

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-10049

(P2017-10049A)

(43) 公開日 平成29年1月12日(2017.1.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	3K107
H01L 27/32 (2006.01)	G09F 9/30 365	5C006
H01L 51/50 (2006.01)	H05B 33/14 A	5C080
H05B 33/12 (2006.01)	H05B 33/12 B	5C094
H05B 33/22 (2006.01)	H05B 33/22 Z	5C380
審査請求 有 請求項の数 4 O L (全 49 頁) 最終頁に続く		

(21) 出願番号 特願2016-182678 (P2016-182678)
 (22) 出願日 平成28年9月20日 (2016. 9. 20)
 (62) 分割の表示 特願2015-244717 (P2015-244717)
 の分割
 原出願日 平成12年2月17日 (2000. 2. 17)
 (31) 優先権主張番号 特願平11-45776
 (32) 優先日 平成11年2月24日 (1999. 2. 24)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 3K107 AA01 BB01 BB08 CC33 CC35
 CC43 DD22 DD28 DD71 DD74
 DD89 EE04 EE57 EE61 HH02
 HH04 HH05

最終頁に続く

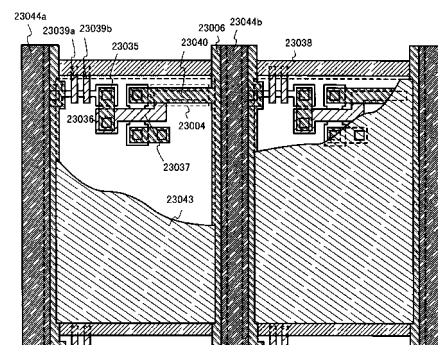
(54) 【発明の名称】 表示装置、表示モジュール及び電子機器

(57) 【要約】

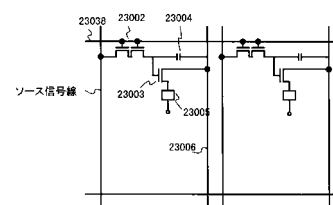
【課題】 新たな構造の画素を提供する。

【解決手段】 画素は、電流制御用TFTと、スイッチング用TFTと、を有する。スイッチング用TFTのゲート電極として機能する導電層は、ゲート配線として機能する領域を有する導電層とは異なるものであるとともに、ソース配線として機能する領域を有する導電層は、スイッチング用TFTのチャンネル形成領域を有する半導体層と電氣的に接続されている。そして、電源線として機能する第1の領域と第1の領域の長尺方向と交差する長尺方向を有する第2の領域を有する導電層において、第1の領域は第2の領域を介して電流制御用TFTのチャンネル形成領域を有する半導体層と電氣的に接続されている。

【選択図】 図35



(A)



(B)

【特許請求の範囲】

【請求項 1】

第 1 及び第 2 のチャンネル形成領域と、第 1 乃至第 9 の導電層と、絶縁層と、正孔注入層と、を有し、

前記第 2 の導電層は、前記第 1 のチャンネル形成領域と重なる領域を有し、

前記第 2 の導電層は、前記第 1 の導電層と電氣的に接続され、

前記第 3 の導電層は、前記第 2 のチャンネル形成領域と重なる領域を有し、

前記第 4 の導電層は、前記第 1 のチャンネル形成領域を介して、前記第 5 の導電層と電氣的に接続され、

前記第 5 の導電層は、前記第 3 の導電層と電氣的に接続され、

10

前記第 6 の導電層は、前記第 2 のチャンネル形成領域を介して、前記第 7 の導電層と電氣的に接続され、

前記第 8 の導電層は、画素電極として機能する領域を有し、

前記第 8 の導電層は、前記第 7 の導電層と電氣的に接続され、

前記絶縁層は、バンクとして機能する領域を有し、

前記正孔注入層は、前記第 8 の導電層と前記第 9 の導電層との間の領域を有することを特徴とする表示装置。

【請求項 2】

第 1 及び第 2 のチャンネル形成領域と、第 1 乃至第 9 の導電層と、絶縁層と、電子注入層と、を有し、

20

前記第 2 の導電層は、前記第 1 のチャンネル形成領域と重なる領域を有し、

前記第 2 の導電層は、前記第 1 の導電層と電氣的に接続され、

前記第 3 の導電層は、前記第 2 のチャンネル形成領域と重なる領域を有し、

前記第 4 の導電層は、前記第 1 のチャンネル形成領域を介して、前記第 5 の導電層と電氣的に接続され、

前記第 5 の導電層は、前記第 3 の導電層と電氣的に接続され、

前記第 6 の導電層は、前記第 2 のチャンネル形成領域を介して、前記第 7 の導電層と電氣的に接続され、

前記第 8 の導電層は、画素電極として機能する領域を有し、

前記第 8 の導電層は、前記第 7 の導電層と電氣的に接続され、

30

前記絶縁層は、バンクとして機能する領域を有し、

前記電子注入層は、前記第 8 の導電層と前記第 9 の導電層との間の領域を有することを特徴とする表示装置。

【請求項 3】

表示装置と、

F P C と、

を有する表示モジュールであって、

前記表示装置は、請求項 1 又は請求項 2 に記載の表示装置であることを特徴とする表示モジュール。

【請求項 4】

40

表示モジュールと、

操作スイッチ、バッテリー、記憶媒体又はアンテナと、

を有し、

前記表示モジュールは、請求項 3 に記載の表示モジュールであることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。特に、階調電圧と時間階調との両方によって階調表示を行う表示装置に関する。

50

【背景技術】

【0002】

最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ（TFT）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型表示装置の需要が高まってきたことによる。

【0003】

アクティブマトリクス型表示装置は、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれ画素TFTが配置され、各画素TFTに接続された画素電極に出入りする電荷を画素TFTのスイッチング機能により制御するものである。

【0004】

近年、画像の高精細化、高解像度化とともに、望ましくはフルカラー表示が行える多階調表示が求められている。

【0005】

また、アクティブマトリクス型表示装置の中でも、表示装置の高精細化、高解像度化に伴い、高速駆動が可能なデジタル駆動方式のアクティブマトリクス型表示装置が注目されてきている。

【発明の概要】

【発明が解決しようとする課題】

【0006】

デジタル駆動方式のアクティブマトリクス型表示装置には、外部から入力されるデジタルビデオデータをアナログデータ（階調電圧）に変換するD/A変換回路（DAC）が必要である。D/A変換回路には、様々な種類のものが存在する。

【0007】

アクティブマトリクス型表示装置の多階調表示能力は、このD/A変換回路の能力、つまりD/A変換回路が何ビットのデジタルビデオデータをアナログデータに変換することができるかに依存している。例えば、一般的に、2ビットのデジタルビデオデータを処理するD/A変換回路を有する表示装置であれば、 $2^2 = 4$ 階調表示を行うことができ、8ビットならば $2^8 = 256$ 階調表示を行うことができ、またnビットならば 2^n 階調表示を行うことができる。

【0008】

しかし、D/A変換回路の能力を上げるためには、D/A変換回路の回路構成が複雑になり、かつレイアウト面積が大きくなる。最近では、D/A変換回路をアクティブマトリクス回路と同一基板上にポリシリコンTFTによって形成する表示装置が報告されてきている。しかし、この場合、D/A変換回路の回路構成が複雑になると、D/A変換回路の歩留まりが低下し、表示装置の歩留まりも低下してしまう。また、D/A変換回路のレイアウト面積が大きくなると、小型の表示装置を実現することが困難になる。

【課題を解決するための手段】

【0009】

そこで、本発明は上述の問題に鑑みてなされたものであり、多階調の表示を実現することのできる表示装置を提供するものである。

【0010】

まず、図1を参照する。図1には、本発明の表示装置の概略構成図が示されている。101はデジタルドライバを有する表示パネルである。101-1はソースドライバであり、101-2および101-3はゲートドライバであり、101-4は複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路である。ソースドライバ101-1およびゲートドライバ101-2ならびに101-3は、アクティブマトリクス回路を駆動する。102はデジタルビデオデータ時間階調処理回路である。

【0011】

デジタルビデオデータ時間階調処理回路102は、外部から入力されるmビットデジタルビデオデータのうちnビットのデジタルビデオデータを、nビットの階調電圧の為のデ

10

20

30

40

50

ジタルビデオデータに変換する。 m ビットのデジタルビデオデータのうち下位 $(m-n)$ ビットの階調情報は、時間階調によって表現される。

【0012】

デジタルビデオデータ時間階調処理回路102によって変換された n ビットデジタルビデオデータは、表示パネル101に入力される。表示パネル101に入力された n ビットデジタルビデオデータは、ソースドライバに入力され、ソースドライバ内のD/A変換回路でアナログ階調データに変換され、各ソース信号線に供給される。

【0013】

次に、本発明の表示装置の別の例を図2に示す。図2において、201はアナログドライバを有する表示パネルである。201-1はソースドライバであり、201-2および201-3はゲートドライバであり、201-4は複数の画素TF Tがマトリクス状に配置されたアクティブマトリクス回路である。ソースドライバ201-1およびゲートドライバ201-2ならびに201-3は、アクティブマトリクス回路を駆動する。202はA/D変換回路であり、外部から供給されるアナログビデオデータを m ビットデジタルビデオデータに変換する。203はデジタルビデオデータ時間階調処理回路である。デジタルビデオデータ時間階調処理回路203は、入力される m ビットデジタルビデオデータのうち n ビットのデジタルビデオデータを、 n ビットの階調電圧の為にデジタルビデオデータに変換する。入力される m ビットのデジタルビデオデータのうち下位 $(m-n)$ ビットの階調情報は、時間階調によって表現される。デジタルビデオデータ時間階調処理回路203によって変換された n ビットデジタルビデオデータは、D/A変換回路204に入力され、アナログビデオデータに変換される。D/A変換回路204によって変換されたアナログビデオデータは、表示パネル201に入力される。表示パネル201に入力されたアナログビデオデータは、ソースドライバに入力され、ソースドライバ内のサンプリング回路によってサンプリングされ、各ソース信号線に供給される。

【0014】

なお、本発明の表示装置の動作の詳細について実施形態を用いて後述することにする。

【0015】

以下に本発明の構成を述べる。

【0016】

本発明によると、複数の画素TF Tがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、を有する表示装置であって、外部から入力される m ビットデジタルビデオデータのうち、上位 n ビットを階調電圧の情報として、かつ下位 $(m-n)$ ビットを時間階調の情報として用い、 m 、 n は共に2以上の正数、かつ $m > n$ であることを特徴とする表示装置が提供される。

【0017】

また、本発明によると、複数の画素TF Tがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、外部から入力される m ビットデジタルビデオデータを階調電圧のための n ビットデジタルビデオデータに変換し、前記ソースドライバに前記 n ビットデジタルビデオデータを供給する回路と(m 、 n は共に2以上の正数、 $m > n$)、を有する表示装置であって、 2^{m-n} 個のサブフレームによって1フレームの映像を形成することによって時間階調表示を行うことを特徴とする表示装置が提供される。

【0018】

また、本発明によると、複数の画素TF Tがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、外部から入力される m ビットデジタルビデオデータを階調電圧のための n ビットデジタルビデオデータに変換し、前記ソースドライバに前記 n ビットデジタルビデオデータを供給する回路と(m 、 n は共に2以上の正数、 $m > n$)、を有する表示装置であって、 2^{m-n} 個のサブフレームによって1フレームの映像を形成することによって

時間階調表示を行い、 $(2^m - (2^{m-n} - 1))$ 通りの階調表示を得ることを特徴とする表示装置が提供される。

【0019】

また、本発明によると、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、を有する表示装置であって、外部から入力されるmビットデジタルビデオデータのうち、上位nビットを階調電圧の情報として、かつ下位 $(m-n)$ ビットを時間階調の情報として用い $(m, n$ は共に2以上の正数、 $m > n$)、前記ソースドライバは、前記nビットデジタルビデオデータをアナログ階調電圧に変換するD/A変換回路を有していることを特徴とする表示装置が提供される。

10

【0020】

また、本発明によると、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、外部から入力されるmビットデジタルビデオデータを階調電圧のためのnビットデジタルビデオデータに変換し、前記ソースドライバに前記nビットデジタルビデオデータを供給する回路と $(m, n$ は共に2以上の正数、 $m > n$)、を有する表示装置であって、前記ソースドライバは、前記nビットデジタルビデオデータをアナログ階調電圧に変換するD/A変換回路を有しており、 2^{m-n} 個のサブフレームによって1フレームの映像を形成することによって時間階調表示を行うことを特徴とする表示装置が提供される。

20

【0021】

また、本発明によると、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、外部から入力されるmビットデジタルビデオデータを階調電圧のためのnビットデジタルビデオデータに変換し、前記ソースドライバに前記nビットデジタルビデオデータを供給する回路と $(m, n$ は共に2以上の正数、 $m > n$)、を有する表示装置であって、前記ソースドライバは、前記nビットデジタルビデオデータをアナログ階調電圧に変換するD/A変換回路を有しており、 2^{m-n} 個のサブフレームによって1フレームの映像を形成することによって時間階調表示を行い、 $(2^m - (2^{m-n} - 1))$ 通りの階調表示を得ることを特徴とする表示装置が提供される。

30

【0022】

また、本発明によると、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、外部から入力されるmビットデジタルビデオデータを階調電圧のためのnビットデジタルビデオデータに変換する回路と $(m, n$ は共に2以上の正数、 $m > n$)、前記nビットデジタルビデオデータをアナログビデオデータに変換し、前記ソースドライバに入力するD/A変換回路と、を有する表示装置であって、 2^{m-n} 個のサブフレームによって1フレームの映像を形成することによって時間階調表示を行うことを特徴とする表示装置が提供される。

【0023】

また、本発明によると、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、外部から入力されるmビットデジタルビデオデータを階調電圧のためのnビットデジタルビデオデータに変換する回路と $(m, n$ は共に2以上の正数、 $m > n$)、前記nビットデジタルビデオデータをアナログビデオデータに変換し、前記ソースドライバに入力するD/A変換回路と、を有する表示装置であって、 2^{m-n} 個のサブフレームによって1フレームの映像を形成することによって時間階調表示を行い、 $(2^m - (2^{m-n} - 1))$ 通りの階調表示を得ることを特徴とする表示装置が提供される。

40

【0024】

前記mは8、前記nは2であってもよい。

50

【0025】

前記mは10、前記nは2であってもよい。

【0026】

前記mは12、前記nは4であってもよい。

【発明の効果】

【0027】

本発明の液晶表示装置によると、D/A変換回路の能力以上の多階調表示をおこなうことができる。よって、小型の液晶表示装置を実現することが可能となる。

【図面の簡単な説明】

【0028】

10

【図1】本発明の液晶表示装置の概略構成図である。

【図2】本発明の液晶表示装置の概略構成図である。

【図3】本発明のある実施形態の液晶表示装置の概略構成図である。

【図4】本発明のある実施形態の液晶表示装置のアクティブマトリクス回路、ソースドライバおよびゲートドライバの回路構成図である。

【図5】本発明のある実施形態の液晶表示装置の階調表示レベルを示す図である。

【図6】本発明のある実施形態の液晶表示装置の駆動タイミングチャートを示す図である。

【図7】本発明のある実施形態の液晶表示装置の駆動タイミングチャートを示す図である。

20

【図8】本発明のある実施形態の液晶表示装置の概略構成図である。

【図9】本発明のある実施形態の液晶表示装置の概略構成図である。

【図10】本発明のある実施形態の液晶表示装置の概略構成図である。

【図11】本発明のある実施形態の液晶表示装置のアクティブマトリクス回路、ソースドライバおよびゲートドライバの回路構成図である。

【図12】本発明のある実施形態の液晶表示装置の駆動タイミングチャートを示す図である。

【図13】本発明の液晶表示装置の作製工程例を示す図である。

【図14】本発明の液晶表示装置の作製工程例を示す図である。

【図15】本発明の液晶表示装置の作製工程例を示す図である。

30

【図16】本発明の液晶表示装置の作製工程例を示す図である。

【図17】本発明の液晶表示装置の作製工程例を示す図である。

【図18】本発明の液晶表示装置の作製工程例を示す図である。

【図19】本発明の液晶表示装置の作製工程例を示す図である。

【図20】本発明の液晶表示装置の作製工程例を示す図である。

【図21】本発明の液晶表示装置の作製工程例を示す図である。

【図22】本発明の液晶表示装置の作製工程例を示す図である。

【図23】無しきい値反強誘電性混合液晶の印加電圧—透過率特性を示すグラフである。

【図24】本発明の液晶表示装置を用いた3板式プロジェクタの概略構成図である。

【図25】本発明の液晶表示装置を用いた3板式プロジェクタの概略構成図である。

40

【図26】本発明の液晶表示装置を用いた単板式プロジェクタの概略構成図である。

【図27】本発明の液晶表示装置を用いたフロントプロジェクタおよびリアプロジェクタの概略構成図である。

【図28】本発明の液晶表示装置を用いたゴーグル型ディスプレイの概略構成図である。

7

【図29】フィールドシーケンシャル駆動のタイミングチャートである。

【図30】本発明の液晶表示装置を用いたノートブック型パーソナルコンピュータの概略構成図である。

【図31】本発明の液晶表示装置を用いた電子機器の例である。

【図32】実施形態16のEL表示装置の構成を示す図である。

50

【図 3 3】実施形態 17 の EL 表示装置の構成を示す図である。

【図 3 4】実施形態 18 の EL 表示装置の画素部の構成を示す断面図である。

【図 3 5】実施形態 19 の EL 表示装置の画素部の構成を示す上面図及び回路図である。

【図 3 6】実施形態 20 の EL 表示装置の画素部の構成を示す断面図である。

【図 3 7】実施形態 21 の EL 表示装置の画素部の構成を示す回路図である。

【発明を実施するための形態】

【0029】

以下に本発明の表示装置を実施形態をもって説明する。ただし、本発明の表示装置は、以下の実施形態に限定されるわけではない。

【0030】

10

(実施形態 1)

本実施形態の表示装置の概略構成図を図 3 に示す。本実施形態においては、説明の簡略のため、外部から 4 ビットデジタルビデオデータが供給される表示装置を例にとる。

【0031】

301 はデジタルドライバを有する表示パネルである。301-1 はソースドライバであり、301-2 および 301-3 はゲートドライバであり、301-4 は複数の画素 TFT がマトリクス状に配置されたアクティブマトリクス回路である。

【0032】

デジタルビデオデータ時間階調処理回路 302 は、外部から入力される 4 ビットデジタルビデオデータのうち上位 2 ビットのデジタルビデオデータを、2 ビットの階調電圧の為のデジタルビデオデータに変換する。4 ビットのデジタルビデオデータのうち下位 2 ビットの階調情報は、時間階調によって表現される。

20

【0033】

デジタルビデオデータ時間階調処理回路 302 によって変換された上位 2 ビットデジタルビデオデータは、表示パネル 301 に入力される。表示パネル 301 に入力された 2 ビットデジタルビデオデータは、ソースドライバに入力され、ソースドライバ内の D/A 変換回路（図示せず）でアナログ階調データに変換され、各ソース信号線に供給される。なお、本実施形態の表示パネルに内蔵される D/A 変換回路は、2 ビットのデジタルビデオデータをアナログ階調電圧に変換する。

【0034】

30

ここで、本実施形態の表示パネルが表示媒体として液晶を用いた液晶パネルである場合について説明する。

表示パネル 301 の回路構成、特にアクティブマトリクス回路 301-4 について、図 4 を用いて説明する。

【0035】

アクティブマトリクス回路 301-4 は、 $(x \times y)$ 個の画素を有している。それぞれの画素には、説明の便宜上、 $P1,1$ 、 $P2,1$ 、 $\dots$ 、 $P_{y,x}$ 等の符号が付けられている。また、それぞれの画素は、画素 TFT 301-4-1、保持容量 301-4-3 を有している。また、ソースドライバ 301-1、ゲートドライバ 301-2 ならびに 301-3、およびアクティブマトリクス回路 301-4 が形成されているアクティブマトリクス基板と対向基板との間には、液晶が挟まれている。液晶 3006 は、各画素に対応する液晶を模式的に示したものである。

40

【0036】

本実施形態のデジタルドライバ表示パネルは、1 ライン分の画素（例えば、 $P1,1$ 、 $P1,2$ 、 $\dots$ 、 $P1,x$ ）を同時に駆動する、いわゆる線順次駆動を行う。

言い換えると、1 ライン分の画素に同時にアナログ階調電圧を書き込む。全ての画素（ $P1,1 \sim P_{y,x}$ ）にアナログ階調電圧を書き込むのに要する時間を 1 フレーム期間（ T_f ）と呼ぶことにする。また、1 フレーム期間（ T_f ）を 4 分割した期間をサブフレーム期間（ T_{sf} ）と呼ぶことにする。さらに、1 ライン分の画素（例えば、 $P1,1$ 、 $P1,2$ 、 $\dots$ 、 $P1,x$ ）にアナログ階調電圧を書き込むのに要する時間を 1 ライン期間（ T_{sfl} ）と呼ぶこ

50

とにする。

【0037】

本実施形態の表示装置の階調表示について説明する。本実施形態の表示装置に外部から供給されるデジタルビデオデータは、4ビットであり、16階調の情報を有している。ここで、図5を参照する。図5には、本実施形態の表示装置の階調表示レベルが示されている。電圧レベルVLはD/A変換回路に入力される最低の電圧レベルであり、また、電圧レベルVHはD/A変換回路に入力される最高の電圧レベルである。

【0038】

本実施形態においては、4階調の電圧レベルを実現するために、電圧レベルVHと電圧レベルVLとの間をほぼ等電圧レベルに分割し、その電圧レベルのステップを α とした。なお、 $\alpha = (VH - VL) / 4$ である。よって、本実施形態のD/A変換回路が出力する階調電圧レベルは、デジタルビデオデータのアドレスが(00)の時はVLとなり、デジタルビデオデータのアドレスが(01)の時はVL + α となり、デジタルビデオデータのアドレスが(10)の時はVL + 2 α となり、デジタルビデオデータのアドレスが(11)の時はVL + 3 α となる。

【0039】

本実施形態のD/A変換回路が出力できる階調電圧レベルは、上述の様にVL、VL + α 、VL + 2 α 、およびVL + 3 α の4通りである。そこで、本発明においては、時間階調表示を組み合わせることによって、表示装置の階調表示レベルの数を上げることができる。本実施形態においては、4ビットデジタルビデオデータのうちの2ビット分の情報を時間階調表示にもちいることによって、電圧レベルのステップ α をほぼ4等分した階調電圧レベルに相当する階調表示レベルを実現することができる。つまり、本実施形態の表示装置は、VL、VL + $\alpha / 4$ 、VL + 2 $\alpha / 4$ 、VL + 3 $\alpha / 4$ 、VL + α 、VL + 5 $\alpha / 4$ 、VL + 6 $\alpha / 4$ 、VL + 7 $\alpha / 4$ 、VL + 2 α 、VL + 9 $\alpha / 4$ 、VL + 10 $\alpha / 4$ 、VL + 11 $\alpha / 4$ 、VL + 3 α の階調電圧レベルに相当する階調表示レベルを実現することができる。

【0040】

ここで、外部から入力される4ビットデジタルビデオデータアドレスと、時間階調処理後デジタルビデオデータアドレスおよびそれに対応する階調電圧レベルと、時間階調を組み合わせた階調表示レベルとの対応を下記の表1に示す。

【0041】

【表 1】

デジタルビデオ データアドレス		時間階調処理後 デジタルビデオデータアドレス (階調電圧 レベル)				時間階調を 組み合わせた 階調表示レベル
上位	下位	1st Tsfl	2nd Tsfl	3rd Tsfl	4th Tsfl	
00	00	00 (V_L)	00 (V_L)	00 (V_L)	00 (V_L)	V_L
	01	00 (V_L)	00 (V_L)	00 (V_L)	01 ($V_L + \alpha$)	$V_L + \alpha/4$
	10	00 (V_L)	00 (V_L)	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	$V_L + 2\alpha/4$
	11	00 (V_L)	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	$V_L + 3\alpha/4$
01	00	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	$V_L + \alpha$
	01	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	10 ($V_L + 2\alpha$)	$V_L + 5\alpha/4$
	10	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	$V_L + 6\alpha/4$
	11	01 ($V_L + \alpha$)	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	$V_L + 7\alpha/4$
10	00	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	$V_L + 2\alpha$
	01	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	11 ($V_L + 3\alpha$)	$V_L + 9\alpha/4$
	10	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	$V_L + 10\alpha/4$
	11	10 ($V_L + 2\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	$V_L + 11\alpha/4$
11	00	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	$V_L + 3\alpha$
	01	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	$V_L + 3\alpha$
	10	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	$V_L + 3\alpha$
	11	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	$V_L + 3\alpha$

【0042】

本実施形態の表示装置は、1フレーム期間 T_f を4つのサブフレーム期間 (1st Tsf、2nd Tsf、3rd Tsf、および4th Tsf) に分割して表示を行っている。

さらに、本実施形態の表示装置は、線順次駆動を行うので、各画素は1ライン期間 (Tsf1) の間、階調電圧が書き込まれる。よって、各サブフレーム期間 (1st Tsf、2nd Tsf、3rd Tsf、および4th Tsf) に対応する各サブフレームライン期間 (1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl) に、時間階調処理後の2ビットデジタルビデオデータのアドレスがD/A変換回路に入力され、D/A変換回路から階調電圧が出力される。4つのサブフレームライン期間 (1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl) に書き込まれる階調電圧によって4回のサブフレームの表示が高速に行われ、結果として1フレームの階調表示は、各サブフレームライン期間の階調電圧レベルの総和を時間平均したものになる。

【0043】

なお、表1に示すように、本実施形態においては、4ビットデジタルビデオデータのアドレスが(1100)～(1111)までは同じ階調電圧レベル($VL+3\alpha$)が出力される。

【0044】

よって、本実施形態の表示装置においては、2ビットデジタルビデオデータを扱うD/A変換回路をした場合でも、 $2^4-3=13$ 階調の階調レベルの表示を行うことができる。

【0045】

図6には、本実施形態の表示装置の駆動タイミングチャートが示されている。

10

図6には、画素P1,1～画素Py,1が例にとって示されている。

【0046】

画素P1,1を例にとって説明すると、画素P1,1には、各サブフレームライン期間(1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl)に、デジタルビデオデータ1,1-1、1,1-2、1,1-3、および1,1-4がそれぞれ書き込まれる。これらのデジタルビデオデータ1,1-1、1,1-2、1,1-3、および1,1-4は、4ビットのデジタルビデオデータ1,1を時間階調処理した2ビットデジタルビデオデータである。

【0047】

このような動作が、全ての画素について行われる。

【0048】

20

ここで、図7を参照する。図7は、ある画素(例えば、画素P1,1)に書き込まれる階調電圧レベルと、サブフレーム期間およびフレーム期間との関係を示したものである。

【0049】

まず、1フレーム期間目に着目すると、第1のサブフレームライン期間(1st Tsfl)には $VL+\alpha$ の階調電圧が書き込まれ、第1のサブフレーム期間(1st Tsf)には階調電圧 $VL+\alpha$ に対応した画像が表示される。次に、第2のサブフレームライン期間(2nd Tsfl)には $VL+2\alpha$ の階調電圧が書き込まれ、第2のサブフレーム期間(2nd Tsf)には階調電圧 $VL+2\alpha$ に対応した画像が表示される。次に、第3のサブフレームライン期間(3rd Tsfl)には $VL+2\alpha$ の階調電圧が書き込まれ、第3のサブフレーム期間(3rd Tsf)には階調電圧 $VL+2\alpha$ に対応した画像が表示される。次に、第4のサブフレームライン期間(4th Tsfl)には $VL+2\alpha$ の階調電圧が書き込まれ、第4のサブフレーム期間(4th Tsf)には階調電圧 $VL+2\alpha$ に対応した画像が表示される。よって、1フレーム目の階調表示レベルは、 $VL+7\alpha/4$ の階調電圧レベルに対応した階調表示となる。

30

【0050】

次に、2フレーム期間目に着目すると、第1のサブフレームライン期間(1st Tsfl)には $VL+2\alpha$ の階調電圧が書き込まれ、第1のサブフレーム期間(1st Tsf)には階調電圧 $VL+2\alpha$ に対応した画像が表示される。次に、第2のサブフレームライン期間(2nd Tsfl)には $VL+2\alpha$ の階調電圧が書き込まれ、第2のサブフレーム期間(2nd Tsf)には階調電圧 $VL+2\alpha$ に対応した画像が表示される。次に、第3のサブフレームライン期間(3rd Tsfl)には $VL+3\alpha$ の階調電圧が書き込まれ、第3のサブフレーム期間(3rd Tsf)には階調電圧 $VL+3\alpha$ に対応した画像が表示される。次に、第4のサブフレームライン期間(4th Tsfl)には $VL+3\alpha$ の階調電圧が書き込まれ、第4のサブフレーム期間(4th Tsf)には階調電圧 $VL+3\alpha$ に対応した画像が表示される。よって、2フレーム目の階調表示レベルは、 $VL+10\alpha/4$ の階調電圧レベルに対応した階調表示となる。

40

【0051】

このように、13通りの階調表示が行われることが理解される。

【0052】

なお、本実施形態においては、4階調の電圧レベルを実現するために、電圧レベルVHと電圧レベルVLとの間をほぼ等電圧レベルに分割し、その電圧レベルのステップを α と

50

したが、電圧レベル V_H と電圧レベル V_L との間を等電圧レベルに分割せず任意に設定した場合でも、本発明の効果はある。

【0053】

また、本実施形態においては、各サブフレームライン期間に書き込まれる階調電圧レベルを表1のように設定したが、下記の表2に示す様にしてもよい。

【0054】

【表2】

デジタルビデオデータアドレス		時間階調処理後 デジタルビデオデータ アドレス (階調電圧 レベル)				時間階調を 組み合わせた 階調表示レベル
上位	下位	1st Tsfl	2nd Tsfl	3rd Tsfl	4th Tsfl	
00	00	00 (V_L)	00 (V_L)	00 (V_L)	00 (V_L)	V_L
	01	01 ($V_L + \alpha$)	00 (V_L)	00 (V_L)	00 (V_L)	$V_L + \alpha / 4$
	10	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	00 (V_L)	00 (V_L)	$V_L + 2\alpha / 4$
	11	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	00 (V_L)	$V_L + 3\alpha / 4$
01	00	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	$V_L + \alpha$
	01	10 ($V_L + 2\alpha$)	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	$V_L + 5\alpha / 4$
	10	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	01 ($V_L + \alpha$)	01 ($V_L + \alpha$)	$V_L + 6\alpha / 4$
	11	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	01 ($V_L + \alpha$)	$V_L + 7\alpha / 4$
10	00	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	$V_L + 2\alpha$
	01	11 ($V_L + 3\alpha$)	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	$V_L + 9\alpha / 4$
	10	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	10 ($V_L + 2\alpha$)	10 ($V_L + 2\alpha$)	$V_L + 10\alpha / 4$
	11	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	10 ($V_L + 2\alpha$)	$V_L + 11\alpha / 4$
11	00	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	$V_L + 3\alpha$
	01	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	$V_L + 3\alpha$
	10	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	$V_L + 3\alpha$
	11	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	11 ($V_L + 3\alpha$)	$V_L + 3\alpha$

【0055】

また、各サブフレームライン期間 (1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl) に書き込まれるデジタルビデオデータのアドレス (または階調電圧レベル) は、表1または表2以外の組み合わせによっても設定され得る。

【0056】

また、本実施形態においては、外部から入力される4ビットデジタルビデオデータのう

ち上位 2 ビットのデジタルビデオデータを、2 ビットの階調電圧の為のデジタルビデオデータに変換し、4 ビットのデジタルビデオデータのうち下位 2 ビットの階調情報は、時間階調によって表現されるようにした。ここで、一般に、外部から m ビットのデジタルビデオデータが時間階調処理回路によって、上位 n ビットデジタルビデオデータが、階調電圧の為のデジタルビデオデータに変換され、下位 $(m - n)$ ビットの階調情報は、時間階調によって表現される場合を考える。なお、 m 、 n は共に 2 以上の整数であり、 $m > n$ とする。

【0057】

この場合、フレーム期間 (T_f) とサブフレーム期間 (T_{sf}) との関係は、 $T_f = 2^{m-n} \cdot T_{sf}$ となり、 $(2^m - (2^{m-n} - 1))$ 通りの階調表示を行うことができる。

10

【0058】

なお、 $m = 12$ および $n = 4$ でもよい。

【0059】

(実施形態 2)

本実施形態においては、8 ビットデジタルビデオデータが入力される表示装置について説明する。図 8 を参照する。図 8 には、本実施形態の表示装置の概略構成図が示されている。801 はデジタルドライバを有するパネルである。801-1 ならびに 801-2 はソースドライバであり、801-3 はゲートドライバであり、801-4 は複数の画素 TFT がマトリクス状に配置されたアクティブマトリクス回路であり、801-5 はデジタルビデオデータ時間階調処理回路である。

20

【0060】

デジタルビデオデータ時間階調処理回路 801-5 は、外部から入力される 8 ビットデジタルビデオデータのうち 6 ビットのデジタルビデオデータを、6 ビットの階調電圧の為のデジタルビデオデータに変換する。8 ビットのデジタルビデオデータのうち 2 ビットの階調情報は、時間階調によって表現される。

【0061】

デジタルビデオデータ時間階調処理回路 801-5 によって変換された 6 ビットデジタルビデオデータは、ソースドライバ 801-1 および 801-2 に入力され、ソースドライバ内の D/A 変換回路 (図示せず) でアナログ階調電圧に変換され、各ソース信号線に供給される。なお、本実施形態の表示装置に内蔵される D/A 変換回路は、6 ビットのデジタルビデオデータをアナログ階調電圧に変換する。

30

【0062】

なお、本実施形態の表示装置においては、ソースドライバ 801-1 ならびに 801-2、ゲートドライバ 801-3、アクティブマトリクス回路 801-4、およびデジタルビデオデータ時間階調処理回路 801-5 が同一基板上に一体形成されている。

【0063】

ここで、図 9 を参照する。図 9 には、本実施形態の表示装置の回路構成がより詳しく示されている。ソースドライバ 801-1 は、シフトレジスタ回路 801-1-1、ラッチ回路 1 (801-1-2)、ラッチ回路 2 (801-1-3)、D/A 変換回路 (801-1-4) を有している。その他、バッファ回路やレベルシフタ回路 (いずれも図示せず) を有している。また、説明の便宜上、D/A 変換回路 801-1-4 にはレベルシフタ回路が含まれている。

40

【0064】

ソースドライバ 801-2 は、ソースドライバ 801-1 と同じ構成を有する。なお、ソースドライバ 801-1 は、奇数番目のソース信号線に画像信号 (階調電圧) を供給し、ソースドライバ 801-2 は、偶数番目のソース信号線に画像信号を供給するようになっている。

【0065】

なお、本実施形態のアクティブマトリクス型表示装置においては、回路レイアウトの都合上、アクティブマトリクス回路の上下を挟むように 2 つのソースドライバ 801-1 お

50

よび 801-2 を設けたが、回路レイアウト上、可能であれば、ソースドライバを 1 つだけ設けるようにしても良い。

【0066】

また、801-3 はゲートドライバであり、シフトレジスタ回路、バッファ回路、レベルシフタ回路等（いずれも図示せず）を有している。

【0067】

アクティブマトリクス回路 801-4 は、 1920×1080 （横×縦）の画素を有している。各画素の構成は、上記実施形態 1 で説明したものと同様である。

【0068】

本実施形態の表示装置は、6 ビットデジタルビデオデータを扱う D/A 変換回路 801-1-4 を有している。また、外部から供給される 8 ビットデジタルビデオデータのうち下位 2 ビット分の情報を時間階調を行うために用いる。なお、時間階調については、上述の実施形態 1 と同様である。

【0069】

よって、本実施形態の表示装置は、 $2^8 - 3 = 253$ 通りの階調表示を行うことができる。

【0070】

（実施形態 3）

図 10 において、1001 はアナログドライバを有する表示パネルである。1001-1 はソースドライバであり、1001-2 および 1001-3 はゲートドライバであり、1001-4 は複数の画素 TFT がマトリクス状に配置されたアクティブマトリクス回路である。

【0071】

デジタルビデオデータ時間階調処理回路 1002 は、外部から入力される 4 ビットデジタルビデオデータのうち上位 2 ビットのデジタルビデオデータを、2 ビットの階調電圧の為のデジタルビデオデータに変換する。4 ビットのデジタルビデオデータのうち下位 2 ビットの階調情報は、時間階調によって表現される。

【0072】

デジタルビデオデータ時間階調処理回路 1002 によって変換された上位 2 ビットデジタルビデオデータは、D/A 変換回路 1003 に入力され、アナログビデオデータに変換される。おして、このアナログビデオデータは、パネル 1001 に入力される。

【0073】

ここで、本実施形態の表示パネル 1001 に表示媒体として液晶を用いて液晶パネルとした場合について説明する。

本実施形態の表示パネル 1001 の回路構成、特にアクティブマトリクス回路 1001-4 について、図 11 を用いて説明する。

【0074】

アクティブマトリクス回路 1001-4 は、 $(x \times y)$ 個の画素を有している。それぞれの画素には、説明の便宜上、 $P1,1$ 、 $P2,1$ 、 $\dots$ 、 $P_{y,x}$ 等の符号が付けられている。また、それぞれの画素は、画素 TFT 1001-4-1、保持容量 1001-4-3 を有している。また、ソースドライバ 1001-1、ゲートドライバ 1001-2 ならびに 1001-3、およびアクティブマトリクス回路 1001-4 が形成されているアクティブマトリクス基板と対向基板との間には、液晶が挟まれている。液晶 1001-4-2 は、各画素に対応する液晶を模式的に示したものである。

【0075】

本実施形態のアナログドライバ液晶パネルは、1 つの画素を順に駆動する、いわゆる点順次駆動を行う。全ての画素（ $P1,1 \sim P_{y,x}$ ）にアナログ階調電圧を書き込むのに要する時間を 1 フレーム期間（ T_f ）と呼ぶことにする。また、1 フレーム期間（ T_f ）を 4 分割した期間をサブフレーム期間（ T_{sf} ）と呼ぶことにする。さらに、1 つ分の画素（例えば、 $P1,1$ 、 $P1,2$ 、 $\dots$ 、 $P1,x$ ）にアナログ階調電圧を書き込むのに要する時間を 1 サ

10

20

30

40

50

ブフレームドット期間 (T_{sfd})
と呼ぶことにする。

【0076】

本実施形態の表示装置の階調表示について説明する。本実施形態の表示装置に外部から供給されるデジタルビデオデータは、4ビットであり、16階調の情報を有している。なお、本実施形態の表示装置の階調表示レベルは、図5に示したものと同様であるので、図5を参照する。

【0077】

図12には、本実施形態の表示装置の駆動タイミングチャートが示されている。図12には、画素P_{1,1}、P_{1,2}、P_{1,3}、および画素P_{y,x}が例にとって示されている。

10

【0078】

画素P_{1,1}を例にとって説明すると、画素P_{1,1}には、各サブフレームドット期間 (1st T_{sfd}、2nd T_{sfd}、3rd T_{sfd}、および4th T_{sfd}) に、デジタルビデオデータ1,1-1、1,1-2、1,1-3、および1,1-4が書き込まれる。これらのデジタルビデオデータ1,1-1、1,1-2、1,1-3、および1,1-4は、4ビットのデジタルビデオデータ1,1を時間階調処理した2ビットデジタルビデオデータをアナログ変換したアナログビデオデータである。

【0079】

このような動作が、全ての画素について行われる。

【0080】

よって、本実施形態の表示装置においても、上述の実施形態1と同様、13階調の階調表示が行える。

20

【0081】

なお、本実施形態の表示装置に外部からアナログビデオデータが入力される場合には、入力されるアナログビデオデータをデジタルビデオデータ変換し、デジタルビデオデータ時間階調処理回路1002に入力するようにすれば良い。

【0082】

また、本実施形態においても、一般に、外部からmビットのデジタルビデオデータが時間階調処理回路によって、上位nビットデジタルビデオデータが、階調電圧の為のデジタルビデオデータに変換され、下位(m-n)ビットの階調情報は、時間階調によって表現される場合を考える。なお、m、nは共に2以上の整数であり、m>nとする。

30

【0083】

この場合、フレーム期間(T_f)とサブフレーム期間(T_{sf})との関係は、 $T_f = 2^{m-n} \cdot T_{sf}$ となり、 $(2^m - (2^{m-n} - 1))$ 通りの階調表示を行うことができる。

【0084】

(実施形態4)

本実施形態では、上述の実施形態1～3で説明した本発明の表示装置(または液晶パネル)の作製工程例を以下に説明する。本実施形態では、絶縁表面を有する基板上に複数のTF Tを形成し、アクティブマトリクス回路、ソースドライバ、ゲートドライバ、および他の周辺回路等を同一基板上に形成する例を図13～図16に示す。なお、以下の例では、アクティブマトリクス回路の1つの画素TF Tと、他の回路(ソースドライバ、ゲートドライバ、および他の周辺回路)の基本回路であるCMOS回路とが同時に形成される様子を示す。また、以下の例では、CMOS回路においてはPチャネル型TF TとNチャネル型TF Tとがそれぞれ1つのゲイト電極を備えている場合について、その作製工程を説明するが、ダブルゲイト型やトリプルゲイト型のような複数のゲイト電極を備えたTF TによるCMOS回路をも同様に作製することができる。また、以下の例では、画素TF TはダブルゲイトのNチャネル型TF Tである、シングルゲイト、トリプルゲイト等のTF Tとしてもよい。また、上記実施形態2の表示装置の様に、デジタルビデオデータ時間階調処理回路を同時に形成する様にしても良い。

40

【0085】

図13(A)を参照する。まず、絶縁表面を有する基板として石英基板5000を準備

50

する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。石英基板上に一旦非晶質シリコン膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板またはシリコン基板を用いても良い。次に、下地膜5001を形成する。本実施形態では、下地膜5001には酸化シリコン(SiO_2)が用いられた。次に、非晶質シリコン膜5003を形成する。非晶質シリコン膜5003は、最終的な膜厚(熱酸化後の膜減りを考慮した膜厚)

が10~75nm(好ましくは15~45nm)となる様に調節する。

【0086】

なお、非晶質シリコン膜5003の成膜に際して膜中の不純物濃度の管理を徹底的に行うことが重要である。本実施形態の場合、非晶質シリコン膜5003中では、後の結晶化を阻害する不純物であるC(炭素)およびN(窒素)の濃度はいずれも $5 \times 10^{18} \text{ atoms/cm}^3$ 未満(代表的には $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下)、O(酸素)は $1.5 \times 10^{19} \text{ atoms/cm}^3$ 未満(代表的には $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下)となる様に管理する。なぜならば各不純物がこれ以上の濃度で存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。本明細書中において膜中の上記の不純物元素濃度は、SIMS(質量2次イオン分析)の測定結果における最小値で定義される。

【0087】

上記構成を得るため、本実施形態で用いる減圧熱CVD炉は定期的にドライクリーニングを行い、成膜室の清浄化を図っておくことが望ましい。ドライクリーニングは、200~400℃程度に加熱した炉内に100~300sccmの ClF_3 (フッ化塩素)ガスを流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

【0088】

なお、本出願人の知見によれば炉内温度300℃とし、 ClF_3 ガスの流量を300sccmとした場合、約2μm厚の付着物(主にシリコンを主成分する)を4時間で完全に除去することができる。

【0089】

また、非晶質シリコン膜5003中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質シリコン膜5003の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

【0090】

次に、非晶質シリコン膜5003の結晶化工程を行う。結晶化の手段としては特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施形態2のどちらの手段でも良いが、本実施形態では、同公報の実施例2に記載した技術内容(特開平8-78329号公報に詳しい)を利用するのが好ましい。

【0091】

特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜4004を150nmに形成する。マスク絶縁膜4004は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置によって結晶領域の位置を決定することができる(図13(B))。

【0092】

そして、非晶質シリコン膜5003の結晶化を助長する触媒元素としてニッケル(Ni)を含有した溶液(Ni酢酸塩エタノール溶液)5005をスピコート法により塗布する。なお、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、ゲルマニウム(Ge)、白金(Pt)、銅(Cu)、金(Au)等を用いることができる(図13(B))。

【0093】

10

20

30

40

50

また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、後述する横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0094】

触媒元素の添加工程が終了したら、次に、450℃で1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～960℃（代表的には550～650℃）の温度で4～24時間の加熱処理を加えて非晶質シリコン膜5003の結晶化を行う。本実施形態では窒素雰囲気中で570℃で14時間の加熱処理を行う。

【0095】

この時、非晶質シリコン膜5003の結晶化は、ニッケルを添加した領域4006で発生した核から優先的に進行し、基板5000の基板面に対してほぼ平行に成長した多結晶シリコン膜からなる結晶領域5007が形成される。この結晶領域5007を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。

【0096】

なお、マスク絶縁膜5004を用いずに、Ni酢酸溶液を非晶質シリコン膜の前面に塗布し結晶化させることもできる。

【0097】

図13（D）を参照する。次に、触媒元素のゲッタリングプロセスを行う。まず、リンイオンのドーピングを選択的に行う。マスク絶縁膜5004が形成された状態で、リンのドーピングを行う。すると、多結晶シリコン膜のマスク絶縁膜5004で覆われていない部分5008のみに、リンがドーピングされる（これらの領域をリン添加領域5008と呼ぶ）。このとき、ドーピングの加速電圧と、酸化膜で成るマスクの厚さを最適化し、リンがマスク絶縁膜5004を突き抜けないようにする。このマスク絶縁膜5004は、必ずしも酸化膜でなくてもよいが、酸化膜は活性層に直接触れても汚染の原因にならないので都合がよい。

【0098】

リンのドーズ量は、 1×10^{14} から 1×10^{15} ions/cm²程度とすると良い。本実施形態では、 5×10^{14} ions/cm²のドーズをイオンドーピング装置を用いて行った。

【0099】

なお、イオンドーピングの際の加速電圧は10keVとした。10keVの加速電圧であれば、リンは150nmのマスク絶縁膜をほとんど通過することができない。

【0100】

図13（E）を参照する。次に、600℃の窒素雰囲気にて1～12時間（本実施形態では12時間）熱アニールし、ニッケル元素のゲッタリングを行った。

こうすることによって、図13（E）において矢印で示されるように、ニッケルがリンに吸い寄せられることになる。600℃の温度のもとでは、リン原子は膜中をほとんど動かないが、ニッケル原子は数100μm程度またはそれ以上の距離を移動することができる。このことからリンがニッケルのゲッタリングに最も適した元素の1つであることが理解できる。

【0101】

次に図14（A）を参照し、多結晶シリコン膜をパターニングする工程を説明する。このとき、リンの添加領域5008、すなわちニッケルがゲッタリングされた領域が残らないようにする。このようにして、ニッケル元素をほとんど含まない多結晶シリコン膜の活性層5009～5011が得られた。得られた多結晶シリコン膜の活性層5009～5011が後にTFETの活性層となる。

【0102】

図14（B）を参照する。活性層5009～5011を形成したら、その上にシリコン

10

20

30

40

50

を含む絶縁膜でなるゲイト絶縁膜 5012 を 70 nm に成膜する。そして、酸化性雰囲気において、800～1100℃（好ましくは950～1050℃）で加熱処理を行い、活性層 5009～5011 とゲイト絶縁膜 5012 の界面に熱酸化膜（図示せず）を形成する。

【0103】

なお、触媒元素をゲッタリングするための加熱処理（触媒元素のゲッタリングプロセス）を、この段階で行っても良い。その場合、加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による触媒元素のゲッタリング効果を利用する。なお、ハロゲン元素によるゲッタリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。また、この場合ハロゲン元素を含むガスとして、代表的にはHCl、HF、NF₃、HBr、Cl₂、ClF₃、BCl₂、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることができる。

この工程においては、例えばHClを用いた場合、活性層中のニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されと考えられる。また、ハロゲン元素を用いて触媒元素のゲッタリングプロセスを行う場合、触媒元素のゲッタリングプロセスを、マスク絶縁膜 5004 を除去した後、活性層をパターンニングする前に行なってもよい。また、触媒元素のゲッタリングプロセスを、活性層をパターンニングした後に行なってもよい。また、いずれのゲッタリングプロセスを組み合わせを行なってもよい。

【0104】

次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターンニングによって後のゲイト電極の原型を形成する。本実施形態では2wt%のスカンジウムを含有したアルミニウム膜を用いる。

【0105】

また、導電性を付与するための不純物を添加した多結晶シリコン膜によってゲイト電極を形成しても良い。

【0106】

次に、特開平7-135318号公報記載の技術により多孔性陽極酸化膜 5013～5020、無孔性陽極酸化膜 5021～5024 およびゲイト電極 5025～5028 を形成する（図14（B））。

【0107】

こうして図14（B）の状態が得られたら、次にゲイト電極 5025～5028 および多孔性陽極酸化膜 5013～5020 をマスクとしてゲイト絶縁膜 5012 をエッチングする。そして、多孔性陽極酸化膜 5013～5020 を除去し、図14（C）の状態を得る。なお、図14（C）において5029～5031で示されるのは加工後のゲイト絶縁膜である。

【0108】

図15（A）を参照する。次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはNチャネル型ならばP（リン）またはAs（砒素）、P型ならばB（ボロン）またはGa（ガリウム）を用いれば良い。

【0109】

本実施形態では、Nチャネル型およびPチャネル型のTFETを形成するための不純物添加をそれぞれ2回の工程に分けて行う。

【0110】

最初に、Nチャネル型のTFETを形成するための不純物添加を行う。まず、1回目の不純物添加（本実施形態ではP（リン）を用いる）を高加速電圧80keV程度で行い、n⁻領域を形成する。このn⁻領域は、Pイオン濃度が $1 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ となるように調節する。

10

20

30

40

50

【0111】

さらに、2回目の不純物添加を低加速電圧10keV程度で行い、 n^+ 領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、この n^+ 領域は、シート抵抗が500Ω以下（好ましくは300Ω以下）となるように調節する。

【0112】

以上の工程を経て、CMOS回路を構成するNチャネル型TFETのソース領域およびドレイン領域5033および5033、低濃度不純物領域5037、チャネル形成領域5040が形成される。また、画素TFETを構成するNチャネル型TFETのソース領域およびドレイン領域5035および5036、低濃度不純物領域5038および5039、なら

10

【0113】

なお、図15（A）に示す状態ではCMOS回路を構成するPチャネル型TFETの活性層は、Nチャネル型TFETの活性層と同じ構成となっている。

【0114】

次に、図15（B）に示すように、Nチャネル型TFETを覆ってレジストマスク5043を設け、P型を付与する不純物イオン（本実施形態ではボロンを用いる）の添加を行う。

【0115】

この工程も前述の不純物添加工程と同様に2回に分けて行うが、Nチャネル型をPチャネル型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB（ボロン）イオンを添加する。

20

【0116】

こうしてCMOS回路を構成するPチャネル型TFETのソース領域およびドレイン領域5044および5045、低濃度不純物領域5046、チャネル形成領域5047が形成される（図15（B））。

【0117】

また、導電性を付与するための不純物を添加した多結晶シリコン膜によってゲイト電極を形成した場合は、低濃度不純物の形成には公知のサイドウォール構造を用いれば良い。

【0118】

次に、ファーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

30

【0119】

図15（C）を参照する。次に、第1層間絶縁膜5048として酸化シリコン膜と窒化シリコン膜との積層膜を形成し、コンタクトホールを形成した後、ソース電極およびドレイン電極5049～5053を形成する。なお、第1層間絶縁膜5048として有機性樹脂膜を用いることもできる。

【0120】

図16を参照する。次に、第2層間絶縁膜5054を窒化シリコン膜で形成する。そして次に、有機性樹脂膜からなる第3層間絶縁膜5056を0.5～3μmの厚さに形成する。有機性樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、成膜方法が簡単である点、容易に膜厚を厚くできる点、比誘電率が低いので寄生容量を低減できる点、平坦性に優れている点などが挙げられる。なお、上述した以外の有機性樹脂膜を用いることもできる。

40

【0121】

次に、第3層間絶縁膜5056の一部をエッチングし、画素TFETのドレイン電極5052の上部に第2層間絶縁膜を挟んでブラックマトリクス5055を形成する。本実施形態では、ブラックマトリクス5055にはTi（チタン）が用いられた。なお、本実施形態では、画素TFETとブラックマトリクスとの間で保持容量が形成される。

50

【0122】

次に、第2層間絶縁膜5054および第3層間絶縁膜5056にコンタクトホールを形成し、画素電極5057を120nmの厚さに形成する。なお、本実施形態は透過型のアクティブマトリクス表示装置の例であるため、画素電極5057を構成する導電膜としてITO等の透明導電膜を用いる。

【0123】

次に、基板全体を350℃の水素雰囲気中で1～2時間加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダングリングボンド（不対結合手）を補償する。なお、この水素化処理を、プラズマ化させることによってできた水素で行っても良い。

【0124】

以上の工程を経て同一基板上にCMOS回路および画素マトリクス回路を有するアクティブマトリクス基板が完成する。

【0125】

次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、アクティブマトリクス型表示装置を作製する工程を説明する。

【0126】

図16（C）の状態のアクティブマトリクス基板に配向膜5059を形成する。本実施形態では、配向膜5059にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板5060、透明導電膜から成る対向電極5061、配向膜5062とで構成される。

【0127】

なお、本実施形態では、配向膜にはポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施形態では、配向膜に比較的大きなプレチル角を持つようなポリイミドを用いた。

【0128】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶5063を注入し、封止剤（図示せず）によって完全に封止する。本実施形態では、液晶5063にネマチック液晶を用いた。

【0129】

よって、図16（C）に示すような透過型のアクティブマトリクス型表示装置が完成する。

【0130】

なお、本実施形態で説明した非晶質シリコン膜の結晶化の方法の代わりに、レーザー光（代表的にはエキシマレーザー光）によって、非晶質シリコン膜の結晶化を行ってもよい。

【0131】

また、多結晶シリコン膜を用いる代わりに、スマートカット、SIMOX、エルトラン等のSOI構造（SOI基板）を用いて他のプロセスを行ってもよい。

【0132】

（実施形態5）

本実施形態では、本発明の表示装置の別の作製方法について説明する。ここでは、アクティブマトリクス回路とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。

【0133】

〔島状半導体層、ゲート絶縁膜形成の工程：図17（A）〕 図17（A）において、基板7001には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【0134】

そして、基板7001のTFTが形成される表面には、酸化シリコン膜、窒化シリコン

10

20

30

40

50

膜、または窒化酸化シリコン膜からなる下地膜 7002 をプラズマ CVD 法やスパッタ法で 100 ~ 400 nm の厚さに形成した。例えば下地膜 7002 として、窒化シリコン膜 7002 を 25 ~ 100 nm、ここでは 50 nm の厚さに、酸化シリコン膜 7003 を 50 ~ 300 nm、ここでは 150 nm の厚さとした 2 層構造で形成すると良い。下地膜 7002 は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0135】

次に下地膜 7002 の上に 20 ~ 100 nm の厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは 400 ~ 550 °C で数時間加熱して脱水素処理を行い、含有水素量を 5 atom% 以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気中にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製される TFT の特性バラツキを低減させることができる。

10

【0136】

非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせる SOI (Silicon On Insulators) の公知技術を使用して結晶質シリコン膜を形成しても良い。

20

【0137】

こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層 7004 ~ 7006 を形成した。結晶質シリコン膜の n チャネル型 TFT が作製される領域には、しきい値電圧を制御するため、あらかじめ $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度でボロン (B) を添加しておいても良い。

【0138】

次に、島状半導体層 7004 ~ 7006 を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜 7007 を形成した。ゲート絶縁膜 7007 は、10 ~ 200 nm、好ましくは 50 ~ 150 nm の厚さに形成すれば良い。例えば、プラズマ CVD 法で N_2O と SiH_4 を原料とした窒化酸化シリコン膜を 75 nm 形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、800 ~ 1000 °C で熱酸化して 115 nm のゲート絶縁膜としても良い。(図 17 (A))

30

【0139】

〔n⁻領域の形成：図 17 (B)〕 島状半導体層 7004、7006 及び配線を形成する領域の全面と、島状半導体層 7005 の一部 (チャネル形成領域となる領域を含む) にレジストマスク 7008 ~ 7011 を形成し、n 型を付与する不純物元素を添加して低濃度不純物領域 7012 を形成した。この低濃度不純物領域 7012 は、後に CMOS 回路の n チャネル型 TFT に、ゲート絶縁膜を介してゲート電極と重なる LDD 領域 (本明細書中では Lov 領域という。なお、ov とは overlap の意味である。) を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれる n 型を付与する不純物元素の濃度を (n⁻) で表すこととする。従って、本明細書中では低濃度不純物領域 7012 を n⁻ 領域と言い換えることができる。

40

【0140】

ここではフォスフィン (PH_3) を質量分離しないでプラズマ励起したイオンドープ法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜 7007 を通してその下の半導体層にリンを添加した。添加するリン濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の範囲にするのが好ましく、こ

50

では $1 \times 10^{18} \text{atoms/cm}^3$ とした。

【0141】

その後、レジストマスク7008～7011を除去し、窒素雰囲気中で400～900℃、好ましくは550～800℃で1～12時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行なった。

【0142】

〔ゲート電極用および配線用導電膜の形成：図17（C）〕 第1の導電膜7013を、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素またはいずれかを主成分とする導電性材料で、10～100nmの厚さに形成した。第1の導電膜7013としては、例えば窒化タンタル（Ta₂N₃）や窒化タングステン（W₂N₃）を用いることが望ましい。さらに、第1の導電膜7013上に第2の導電膜7014をTa、Ti、Mo、Wから選ばれた元素またはいずれかを主成分とする導電性材料で、100～400nmの厚さに形成した。例えば、Taを200nmの厚さに形成すれば良い。また、図示しないが、第1の導電膜7013の下に導電膜7013、7014（特に導電膜7014）の酸化防止のためにシリコン膜を2～20nm程度の厚さで形成しておくことは有効である。

【0143】

〔p-chゲート電極、配線電極の形成とp⁺領域の形成：図18（A）〕 レジストマスク7015～7018を形成し、第1の導電膜と第2の導電膜（以下、積層膜として扱う）をエッチングして、pチャネル型TFTのゲート電極7019、ゲート配線7020、7021を形成した。なお、nチャネル型TFTとなる領域の上には全面を覆うように導電膜7022、7023を残した。

【0144】

そして、レジストマスク7015～7018をそのまま残してマスクとし、pチャネル型TFTが形成される半導体層7004の一部に、p型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン（B₂H₆）を用いてイオンドープ法（勿論、イオンインプランテーション法でも良い）で添加した。ここでは $5 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるp型を付与する不純物元素の濃度を（p⁺⁺）で表すこととする。従って、本明細書中では不純物領域7024、7025をp⁺⁺領域と言い換えることができる。

【0145】

なお、この工程において、レジストマスク7015～7018を使用してゲート絶縁膜7007をエッチング除去して、島状半導体層7004の一部を露出させた後、p型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0146】

〔n-chゲート電極の形成：図18（B）〕 次に、レジストマスク7015～7018は除去した後、レジストマスク7026～7029を形成し、nチャネル型TFTのゲート電極7030、7031を形成した。このときゲート電極7030はn⁻領域7012とゲート絶縁膜を介して重なるように形成した。

【0147】

〔n⁺領域の形成：図18（C）〕 次に、レジストマスク7026～7029を除去し、レジストマスク7032～7034を形成した。そして、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク7034はnチャネル型TFTのゲート電極7031を覆う形で形成した。これは、後の工程において画素マトリクス回路のnチャネル型TFTに、ゲート電極と重ならないようにLDD領域を形成するためである。

【0148】

そして、n型を付与する不純物元素を添加して不純物領域7035～7039を形成し

た。ここでも、フォスフィン (PH_3) を用いたイオンドープ法 (勿論、イオンインプラネーション法でも良い) で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。なお、ここで形成された不純物領域 7037~7039 に含まれる n 型を付与する不純物元素の濃度を (n^+) で表すこととする。従って、本明細書中では不純物領域 7037~7039 を n^+ 領域と言い換えることができる。また、不純物領域 7035、7036 は既に n^- 領域が形成されていたので、厳密には不純物領域 7037~7039 よりも若干高い濃度でリンを含む。

【0149】

なお、この工程において、レジストマスク 7032~7034 およびゲート電極 7030 をマスクとしてゲート絶縁膜 7007 をエッチングし、島状半導体膜 7005、7006 の一部を露出させた後、n 型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0150】

〔 n^- 領域の形成：図 19 (A)〕 次に、レジストマスク 7032~7034 を除去し、画素マトリクス回路の n チャンネル型 TFT となる島状半導体層 7006 に n 型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域 7040~7043 には前記 n^- 領域と同程度かそれより少ない濃度 (具体的には $5 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$) のリンが添加されるようにした。なお、ここで形成された不純物領域 7040~7043 に含まれる n 型を付与する不純物元素の濃度を (n^-) で表すこととする。従って、本明細書中では不純物領域 7040~7043 を n^- 領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域 7067 を除いて全ての不純物領域に n^- の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

【0151】

〔熱活性化の工程：図 19 (B)〕 次に、後に第 1 の層間絶縁膜の一部となる保護絶縁膜 7044 を形成した。保護絶縁膜 7044 は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は 100~400 nm とすれば良い。

【0152】

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) で行うことができる。ここではファーネスアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において 300~650 °C、好ましくは 400~550 °C、ここでは 450 °C、2 時間の熱処理を行った。

【0153】

さらに、3~100 % の水素を含む雰囲気中で、300~450 °C で 1~12 時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。

水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【0154】

〔層間絶縁膜、ソース／ドレイン電極、遮光膜、画素電極、保持容量の形成：図 19 (C)〕 活性化工程を終えたら、保護絶縁膜 7044 の上に 0.5~1.5 μm 厚の層間絶縁膜 7045 を形成した。前記保護絶縁膜 7044 と層間絶縁膜 7045 とでなる積層膜を第 1 の層間絶縁膜とした。

【0155】

その後、それぞれの TFT のソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極 7046~7048 と、ドレイン電極 7049、7050 を形成した。図示していないが、本実施形態ではこの電極を、Ti 膜を 100 nm、Ti を含む

アルミニウム膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の積層膜とした。

【0156】

次に、パッシベーション膜 7051 として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で 50 ~ 500 nm (代表的には 200 ~ 300 nm) の厚さで形成した。その後、この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 °C で 1 ~ 12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 7051 に開口部を形成しておいても良い。

10

【0157】

その後、有機樹脂からなる第 2 の層間絶縁膜 7052 を約 1 μm の厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系 SiO 化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300 °C で焼成して形成した。

【0158】

次に、画素マトリクス回路となる領域において、第 2 の層間絶縁膜 7052 上に遮光膜 7053 を形成した。遮光膜 7053 はアルミニウム (Al)、チタン (Ti)、タンタル (Ta) から選ばれた元素またはいずれかを主成分とする膜で 100 ~ 300 nm の厚さに形成した。そして、遮光膜 7053 の表面に陽極酸化法またはプラズマ酸化法により 30 ~ 150 nm (好ましくは 50 ~ 75 nm) の厚さの酸化膜 7054 を形成した。ここでは遮光膜 7053 としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、酸化膜 7054 として酸化アルミニウム膜 (アルミナ膜) を用いた。

20

【0159】

なお、ここでは遮光膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマ CVD 法、熱 CVD 法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は 30 ~ 150 nm (好ましくは 50 ~ 75 nm) とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC (Diamond like carbon) 膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

30

【0160】

次に、第 2 の層間絶縁膜 7052 にドレイン電極 7050 に達するコンタクトホールを形成し、画素電極 7055 を形成した。なお、画素電極 7056、7057 はそれぞれ隣接する別の画素の画素電極である。画素電極 7055 ~ 7057 は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ (ITO) 膜を 100 nm の厚さにスパッタ法で形成した。

40

【0161】

また、この時、画素電極 7055 と遮光膜 7053 とが酸化膜 7054 を介して重なった領域 7058 が保持容量を形成した。

【0162】

こうして同一基板上に、ドライバー回路となる CMOS 回路と画素マトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路となる CMOS 回路には p チャネル型 TFT 7081、n チャネル型 TFT 7082 が形成され、画素マトリクス回路には n チャネル型 TFT でなる画素 TFT 7083 が形成された。

【0163】

CMOS 回路の p チャネル型 TFT 7081 には、チャネル形成領域 7061、ソース

50

領域 7062、ドレイン領域 7063 がそれぞれ p^+ 領域で形成された。また、 n チャネル型 TFT 7082 には、チャネル形成領域 7064、ソース領域 7065、ドレイン領域 7066、ゲート絶縁膜を介してゲート電極と重なった LDD 領域（以下、Lov 領域という。なお、ov とは overlap の意である。）

7067 が形成された。この時、ソース領域 7065、ドレイン領域 7066 はそれぞれ ($n^- + n^+$) 領域で形成され、Lov 領域 7067 は n^- 領域で形成された。

【0164】

また、画素 TFT 7083 には、チャネル形成領域 7068、7069、ソース領域 7070、ドレイン領域 7071、ゲート絶縁膜を介してゲート電極と重ならない LDD 領域（以下、Loff 領域という。なお、off とは offset の意である。）7072～7075、

10

【0165】

ここでは、画素マトリクス回路およびドライバー回路が要求する回路仕様に応じて各回路を形成する TFT の構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、 n チャネル型 TFT は回路仕様に応じて LDD 領域の配置を異ならせ、Lov 領域または Loff 領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視した TFT 構造と低オフ電流動作を重視した TFT 構造とを実現した。

20

【0166】

例えば、アクティブマトリクス型液晶表示装置の場合、 n チャネル型 TFT 7082 は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフタ回路、バッファ回路などのロジック回路に適している。また、 n チャネル型 TFT 7083 は低オフ電流動作を重視した画素マトリクス回路、サンプリング回路（サンプルホールド回路）に適している。

【0167】

また、チャネル長 3～7 μm に対して Lov 領域の長さ（幅）は 0.5～3.0 μm 、代表的には 1.0～1.5 μm とすれば良い。また、画素 TFT 7083 に設けられる Loff 領域 7072～7075 の長さ（幅）は 0.5～3.5 μm 、代表的には 2.0～2.5 μm とすれば良い。

30

【0168】

（実施形態 6）

本実施形態では、本発明の液晶表示装置の別の作製方法について説明する。ここでは、アクティブマトリクス回路とその周辺に設けられる駆動回路の TFT を同時に作製する方法について説明する。

【0169】

〔島状半導体層、ゲート絶縁膜形成の工程：図 20（A）〕 図 20（A）において、基板 6001 には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

40

【0170】

そして、基板 6001 の TFT が形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜 6002 をプラズマ CVD 法やスパッタ法で 100～400 nm の厚さに形成した。例えば下地膜 6002 として、窒化シリコン膜 6002 を 25～100 nm、ここでは 50 nm の厚さに、酸化シリコン膜 6003 を 50～300 nm、ここでは 150 nm の厚さとした 2 層構造で形成すると良い。下地膜 6002 は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0171】

次に下地膜 6002 の上に 20～100 nm の厚さの、非晶質シリコン膜を公知の成膜

50

法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550℃で数時間加熱して脱水素処理を行い、含有水素量を5atom%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気中にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるTFITの特性バラツキを低減させることができる。

【0172】

非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせるSOI (Silicon On Insulators) の公知技術を使用して結晶質シリコン膜を形成しても良い。

【0173】

こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層6004～6006を形成した。結晶質シリコン膜のnチャンネル型TFITが作製される領域には、しきい値電圧を制御するため、あらかじめ $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度でボロン(B)を添加しておいても良い。

【0174】

次に、島状半導体層6004～6006を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜6007を形成した。ゲート絶縁膜6007は、10～200nm、好ましくは50～150nmの厚さに形成すれば良い。例えば、プラズマCVD法で N_2O と SiH_4 を原料とした窒化酸化シリコン膜を75nm形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、800～1000℃で熱酸化して115nmのゲート絶縁膜としても良い。(図20(A))

【0175】

〔n⁻領域の形成：図20(B)〕 島状半導体層6004、6006及び配線を形成する領域の全面と、島状半導体層6005の一部(チャンネル形成領域となる領域を含む)にレジストマスク6008～6011を形成し、n型を付与する不純物元素を添加して低濃度不純物領域6012、6013を形成した。この低濃度不純物領域6012、6013は、後にCMOS回路のnチャンネル型TFITに、ゲート絶縁膜を介してゲート電極と重なるLDD領域(本明細書中ではLov領域という。なお、ovとはoverlapの意味である。)を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれるn型を付与する不純物元素の濃度を(n⁻)で表すこととする。従って、本明細書中では低濃度不純物領域6012、6013をn⁻領域と言い換えることができる。

【0176】

ここではフォスフィン(PH₃)を質量分離しないでプラズマ励起したイオンドープ法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜6007を通してその下の半導体層にリンを添加した。添加するリン濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。

【0177】

その後、レジストマスク6008～6011を除去し、窒素雰囲気中で400～900℃、好ましくは550～800℃で1～12時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行なった。

【0178】

〔ゲート電極用および配線用導電膜の形成：図20(C)〕 第1の導電膜6014を、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選

10

20

30

40

50

ばれた元素またはいずれかを主成分とする導電性材料で、10～100nmの厚さに形成した。第1の導電膜6014としては、例えば窒化タンタル(TaN)や窒化タングステン(WN)を用いることが望ましい。さらに、第1の導電膜6014上に第2の導電膜6015をTa、Ti、Mo、Wから選ばれた元素またはいずれかを主成分とする導電性材料で、100～400nmの厚さに形成した。例えば、Taを200nmの厚さに形成すれば良い。また、図示しないが、第1の導電膜6014の下に導電膜6014、6015(特に導電膜6015)の酸化防止のためにシリコン膜を2～20nm程度の厚さで形成しておくことは有効である。

【0179】

〔p-chゲート電極、配線電極の形成とp⁺領域の形成：図21(A)〕 レジストマスク6016～6019を形成し、第1の導電膜と第2の導電膜(以下、積層膜として取り扱う)をエッチングして、pチャネル型TFETのゲート電極6020、ゲート配線6021、6022を形成した。なお、nチャネル型TFETとなる領域の上には全面を覆うように導電膜6023、6024を残した。

【0180】

そして、レジストマスク6016～6019をそのまま残してマスクとし、pチャネル型TFETが形成される半導体層6004の一部に、p型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン(B₂H₆)を用いてイオンドープ法(勿論、イオンインプランテーション法でも良い)で添加した。ここでは5×10²⁰～3×10²¹atoms/cm³の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるp型を付与する不純物元素の濃度を(p⁺⁺)で表すこととする。従って、本明細書中では不純物領域6025、6026をp⁺⁺領域と言い換えることができる。

【0181】

なお、この工程において、レジストマスク6016～6019を使用してゲート絶縁膜6007をエッチング除去して、島状半導体層6004の一部を露出させた後、p型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0182】

〔n-chゲート電極の形成：図21(B)〕 次に、レジストマスク6016～6019は除去した後、レジストマスク6027～6030を形成し、nチャネル型TFETのゲート電極6031、6032を形成した。このときゲート電極6031はn⁻領域6012、6013とゲート絶縁膜を介して重なるように形成した。

【0183】

〔n⁺領域の形成：図21(C)〕 次に、レジストマスク6027～6030を除去し、レジストマスク6033～6035を形成した。そして、nチャネル型TFETにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク6035はnチャネル型TFETのゲート電極6032を覆う形で形成した。これは、後の工程において画素マトリクス回路のnチャネル型TFETに、ゲート電極と重ならないようにLDD領域を形成するためである。

【0184】

そして、n型を付与する不純物元素を添加して不純物領域6036～6040を形成した。ここでも、フォスフィン(PH₃)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は1×10²⁰～1×10²¹atoms/cm³とした。なお、ここで形成された不純物領域6038～6040に含まれるn型を付与する不純物元素の濃度を(n⁺)で表すこととする。従って、本明細書中では不純物領域6038～6040をn⁺領域と言い換えることができる。また、不純物領域6036、6037は既にn⁻領域が形成されていたので、厳密には不純物領域6038～6040よりも若干高い濃度でリンを含む。

【0185】

なお、この工程において、レジストマスク 6033～6035 およびゲート電極 6031 をマスクとしてゲート絶縁膜 6007 をエッチングし、島状半導体膜 6005、6006 の一部を露出させた後、n 型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0186】

〔n⁺領域の形成：図 22 (A)〕 次に、レジストマスク 6033～6035 を除去し、画素マトリクス回路の n チャネル型 TFT となる島状半導体層 6006 に n 型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域 6074～6077 には前記 n⁺領域と同程度かそれより少ない濃度（具体的には $5 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³）のリンが添加されるようにした。なお、ここで形成された不純物領域 6074～6077 に含まれる n 型を付与する不純物元素の濃度を (n⁺) で表すこととする。従って、本明細書中では不純物領域 6074～6077 を n⁺領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域 6068 および 6069 を除いて全ての不純物領域にある濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

【0187】

〔熱活性化の工程：図 22 (B)〕 次に、後に第 1 の層間絶縁膜の一部となる保護絶縁膜 6045 を形成した。保護絶縁膜 6045 は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は 100～400 nm とすれば良い。

【0188】

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーンেসアニール法、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) で行うことができる。ここではファーンেসアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において 300～650℃、好ましくは 400～550℃、ここでは 450℃、2 時間の熱処理を行った。

【0189】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0190】

〔層間絶縁膜、ソース／ドレイン電極、遮光膜、画素電極、保持容量の形成：図 22 (C)〕 活性化工程を終えたら、保護絶縁膜 6045 の上に 0.5～1.5 μm 厚の層間絶縁膜 6046 を形成した。前記保護絶縁膜 6045 と層間絶縁膜 6046 とでなる積層膜を第 1 の層間絶縁膜とした。

【0191】

その後、それぞれの TFT のソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極 6047～6049 と、ドレイン電極 6050、6051 を形成した。図示していないが、本実施形態ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の積層膜とした。

【0192】

次に、パッシベーション膜 6052 として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で 50～500 nm（代表的には 200～300 nm）の厚さで形成した。その後、この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた

。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜6052に開口部を形成しておいても良い。

【0193】

その後、有機樹脂からなる第2の層間絶縁膜6053を約1 μm の厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

10

【0194】

次に、画素マトリクス回路となる領域において、第2の層間絶縁膜6053上に遮光膜6054を形成した。遮光膜6054はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素またはいずれかを主成分とする膜で100～300 nmの厚さに形成した。そして、遮光膜6054の表面に陽極酸化法またはプラズマ酸化法により30～150 nm（好ましくは50～75 nm）の厚さの酸化膜6055を形成した。ここでは遮光膜6054としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、酸化膜6055として酸化アルミニウム膜（アルミナ膜）を用いた。

【0195】

なお、ここでは遮光膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30～150 nm（好ましくは50～75 nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

20

【0196】

次に、第2の層間絶縁膜6053にドレイン電極6051に達するコンタクトホールを形成し、画素電極6056を形成した。なお、画素電極6057、6058はそれぞれ隣接する別の画素の画素電極である。画素電極6056～6058は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100 nmの厚さにスパッタ法で形成した。

30

【0197】

また、この時、画素電極6056と遮光膜6054とが酸化膜6055を介して重なった領域6059が保持容量を形成した。

【0198】

こうして同一基板上に、ドライバー回路となるCMOS回路と画素マトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路となるCMOS回路にはpチャネル型TFT6081、nチャネル型TFT6082が形成され、画素マトリクス回路にはnチャネル型TFTでなる画素TFT6083が形成された。

40

【0199】

CMOS回路のpチャネル型TFT6081には、チャネル形成領域6062、ソース領域6063、ドレイン領域6064がそれぞれ p^+ 領域で形成された。また、nチャネル型TFT6082には、チャネル形成領域6065、ソース領域6066、ドレイン領域6067、ゲート絶縁膜を介してゲート電極と重なったLDD領域（以下、Lov領域という。なお、ovとはoverlapの意である。）

6068および6069が形成された。この時、ソース領域6066、ドレイン領域6067はそれぞれ（ $n^- + n^+$ ）領域で形成され、Lov領域6068および6069は n^- 領域で形成された。

【0200】

50

また、画素TFT6083には、チャンネル形成領域6070、6071、ソース領域6072、ドレイン領域6073、ゲート絶縁膜を介してゲート電極と重ならないLDD領域（以下、Loff領域という。なお、offとはoffsetの意である。）6074～6077、Loff領域6075、6076に接した n^+ 領域6078が形成された。この時、ソース領域6072、ドレイン領域6073はそれぞれ n^+ 領域で形成され、Loff領域6074～6077は n^- 領域で形成された。

【0201】

ここでは、画素マトリクス回路およびドライバー回路が要求する回路仕様に応じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、 n チャンネル型TFTは回路仕様に応じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と低オフ電流動作を重視したTFT構造とを実現した。

【0202】

例えば、アクティブマトリクス型液晶表示装置の場合、 n チャンネル型TFT6082は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフト回路、バッファ回路などのロジック回路に適している。また、 n チャンネル型TFT6083は低オフ電流動作を重視した画素マトリクス回路、サンプリング回路（サンプルホールド回路）に適している。

【0203】

また、チャンネル長3～7 μm に対してLov領域の長さ（幅）は0.5～3.0 μm 、代表的には1.0～1.5 μm とすれば良い。また、画素TFT6083に設けられるLoff領域6074～6077の長さ（幅）は0.5～3.5 μm 、代表的には2.0～2.5 μm とすれば良い。

【0204】

（実施形態7）

上記実施形態4～6によって作製された液晶表示装置には、TN液晶以外にも様々な液晶材料を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Display Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.、または米国特許第5594569号に開示された液晶材料を用いることが可能である。

【0205】

特に、無しきい値反強誘電性液晶材料や、強誘電性液晶材料と反強誘電性液晶材料との混合液晶材料である無しきい値反強誘電性混合液晶の中には、その駆動電圧が $\pm 2.5\text{V}$ 程度のものも見出されている。このような低電圧駆動の無しきい値反強誘電性混合液晶を用いた場合には、画像信号のサンプリング回路の電源電圧を5V～8V程度に抑えることが可能となり、比較的LDD領域（低濃度不純物領域）の幅が小さなTFT（例えば、0nm～500nmまたは0nm～200nm）を用いる場合においても有効である。

【0206】

ここで、無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示すグラフを図に示す。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の偏光軸に対してほぼ直角（クロスニコル）に設定されている。このように、無しきい値反強誘電性混合液晶を用いると、図のような印加電圧－透過率特性を示す階調表示を行うことが可能であることがわかる。

【0207】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率

10

20

30

40

50

が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。また、液晶表示装置の駆動方法を、線順次駆動とすることにより、画素への階調電圧の書き込み期間（ピクセルフィールドピリオド）を長くし、保持容量が小さくてもそれを補うこともできる。

【0208】

なお、無しきい値反強誘電性液晶を用いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力が実現される。

【0209】

（実施形態8）

上述の実施形態1～3で説明した本発明の表示装置は、図24に示すような3板式のプロジェクタに用いることができる。

【0210】

図24において、2401は白色光源、2402～2405はダイクロイックミラー、2406ならびに2407は全反射ミラー、2408～2410は本発明の表示装置、および2411は投影レンズである。

【0211】

（実施形態9）

また、上述の実施形態1～3で説明した本発明の液晶表示装置は、図25に示すような3板式のプロジェクタに用いることもできる。

【0212】

図25において、2501は白色光源、2502ならびに2503はダイクロイックミラー、2504～2506は全反射ミラー、2507～2509は本発明の液晶パネル、および2510はダイクロイックプリズム、および2511は投影レンズである。

【0213】

（実施形態10）

また、上述の実施形態1～3で説明した本発明の表示装置の表示媒体として液晶を用いた液晶表示装置は、図26に示すような単板式のプロジェクタに用いることもできる。

【0214】

図26において、2601はランプとリフレクターとから成る白色光源である。2602、2603、および2604は、ダイクロイックミラーであり、それぞれ青、赤、緑の波長領域の光を選択的に反射する。2605はマイクロレンズアレイであり、複数のマイクロレンズによって構成されている。2606は本発明の液晶パネルである。2607はフィールドレンズ、2608は投影レンズ、2609はスクリーンである。

【0215】

（実施形態11）

上記実施形態8～10のプロジェクターは、その投影方法によってリアプロジェクターとフロントプロジェクターとがある。

【0216】

図27（A）はフロント型プロジェクターであり、本体10001、本発明の液晶表示装置10002、光源10003、光学系10004、スクリーン10005で構成されている。なお、図27（A）には、液晶表示装置を1つ組み込んだフロントプロジェクターが示されているが、液晶表示装置を3個（R、G、Bの光にそれぞれ対応させる）組み込んだことによって、より高解像度・高精細のフロント型プロジェクタを実現することができる。

【0217】

図27（B）はリア型プロジェクターであり、10006は本体、10007は液晶表示装置であり、10008は光源であり、10009はリフレクター、10010はスクリーンである。なお、図27（B）には、アクティブマトリクス型半導体表示装置を3個（R、G、Bの光にそれぞれ対応させる）組み込んだリア型プロジェクタが示されている

10

20

30

40

50

。

【0218】

(実施形態12)

本実施形態では、本発明の表示装置をゴーグル型ディスプレイに用いた例を示す。

【0219】

図28を参照する。2801はゴーグル型ディスプレイ本体である。2802-Rならびに2802-Lは本発明の表示装置であり、2803-Rならびに2803-LはLEDバックライトであり、2804-Rならびに2804-Lは光学素子である。

【0220】

(実施形態13)

本実施形態においては、本発明の表示装置のバックライトにLEDを用いて、フィールドシーケンシャル駆動を行うものである。

【0221】

図29に示すフィールドシーケンシャル駆動方法のタイミングチャートには、画像信号書き込みの開始信号(Vsync信号)、赤(R)、緑(G)ならびに青(B)のLEDの点灯タイミング信号(R、GならびにB)、およびビデオ信号(VIDEO)が示されている。Tfはフレーム期間である。また、TR、TG、TBは、それぞれ赤(R)、緑(G)、青(B)のLED点灯期間である。

【0222】

表示装置に供給される画像信号、例えばR1は、外部から入力される赤に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。また、液晶パネルに供給される画像信号、例えばG1は、外部から入力される緑に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。また、液晶パネルに供給される画像信号、例えばB1は、外部から入力される青に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。

【0223】

フィールドシーケンシャル駆動方法においては、LED点灯期間TR期間、TG期間およびTB期間に、それぞれR、G、BのLEDが順に点灯する。赤のLEDの点灯期間(TR)には、赤に対応したビデオ信号(R1)が液晶パネルに供給され、液晶パネルに赤の画像1画面分が書き込まれる。また、緑のLEDの点灯期間(TG)には、緑に対応したビデオデータ(G1)が液晶パネルに供給され、液晶パネルに緑の画像1画面分が書き込まれる。また、青のLEDの点灯期間(TB)には、青に対応したビデオデータ(B1)が表示装置に供給され、表示装置に青の画像1画面分が書き込まれる。これらの3回の画像の書き込みにより、1フレームが形成される。なお、本実施形態の表示装置の表示媒体には、液晶を用いることができる。

【0224】

(実施形態14)

本実施形態においては、本発明の表示装置をノートブック型パーソナルコンピュータに用いた例を図30に示す。

【0225】

3001はノートブック型パーソナルコンピュータ本体であり、3002は本発明の表示装置である。また、本実施形態の表示装置の表示媒体に液晶を用いる場合には、バックライトが用いられる。当該バックライトにはLEDが用いられている。なお、バックライトに従来のように陰極管を用いても良い。

【0226】

(実施形態15)

本発明の表示装置には他に様々な用途がある。本実施形態では、本発明の表示装置を組み込んだ半導体装置について説明する。

【0227】

このような半導体装置には、ビデオカメラ、スチルカメラ、カーナビゲーション、パー

10

20

30

40

50

ソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話など）などが挙げられる。それらの一例を図 3 1 に示す。

【0 2 2 8】

図 3 1 (A) は携帯電話であり、本体 1 1 0 0 1、音声出力部 1 1 0 0 2、音声入力部 1 1 0 0 3、本発明の表示装置 1 1 0 0 4、操作スイッチ 1 1 0 0 5、アンテナ 1 1 0 0 6 で構成される。

【0 2 2 9】

図 3 1 (B) はビデオカメラであり、本体 1 2 0 0 1、本発明の表示装置 1 2 0 0 2、音声入力部 1 2 0 0 3、操作スイッチ 1 2 0 0 4、バッテリー 1 2 0 0 5、受像部 1 2 0 0 6 で構成される。

10

【0 2 3 0】

図 3 1 (C) はモバイルコンピュータであり、本体 1 3 0 0 1、カメラ部 1 3 0 0 2、受像部 1 3 0 0 3、操作スイッチ 1 3 0 0 4、本発明の表示装置 1 3 0 0 5 で構成される。

【0 2 3 1】

図 3 1 (D) は携帯書籍（電子書籍）であり、本体 1 4 0 0 1、本発明の液晶表示装置 1 4 0 0 2、1 4 0 0 3、記憶媒体 1 4 0 0 4、操作スイッチ 1 4 0 0 5、アンテナ 1 4 0 0 6 で構成される。

【0 2 3 2】

（実施形態 1 6）

20

本実施形態では、本願発明の表示装置に用いられる駆動方法を E L（エレクトロルミネッセンス）表示装置に用いた例について説明する。

【0 2 3 3】

図 3 2 (A) は本実施形態の E L 表示装置の上面図である。図 3 2 (A) において、2 4 0 1 0 は基板、2 4 0 1 1 は画素部、2 4 0 1 2 はソース側駆動回路、2 4 0 1 3 はゲート側駆動回路であり、それぞれの駆動回路は配線 2 4 0 1 4 ～ 2 4 0 1 6 を経て F P C 2 4 0 1 7 に至り、外部機器へと接続される。

【0 2 3 4】

図 3 2 (B) は本実施形態の E L 表示装置の断面構造である。このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材 2 6 0 0 0、シール材 2 7 0 0 0、密封材（第 2 のシール材） 2 7 0 0 1 が設けられている。

30

【0 2 3 5】

また、基板 2 4 0 1 0、下地膜 2 4 0 2 1 の上に駆動回路用 T F T（但し、ここでは n チャンネル型 T F T と p チャンネル型 T F T を組み合わせた C M O S 回路を図示している。） 2 4 0 2 2 及び画素部用 T F T 2 4 0 2 3（但し、ここでは E L 素子への電流を制御する T F T だけ図示している。）が形成されている。

【0 2 3 6】

駆動回路用 T F T 2 4 0 2 2、画素部用 T F T 2 4 0 2 3 が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜） 2 4 0 2 6 の上に画素部用 T F T 2 4 0 2 3 のドレインと電氣的に接続する透明導電膜でなる画素電極 2 4 0 2 7 を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（I T O と呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 2 4 0 2 7 を形成したら、絶縁膜 2 4 0 2 8 を形成し、画素電極 2 4 0 2 7 上に開口部を形成する。

40

【0 2 3 7】

次に、E L 層 2 4 0 2 9 を形成する。E L 層 2 4 0 2 9 は公知の E L 材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、E L 材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

50

【0238】

本実施形態では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルタを組み合わせた方式、白色発光層とカラーフィルタを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0239】

EL層24029を形成したら、その上に陰極24030を形成する。陰極24030とEL層24029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層24029と陰極24030を連続成膜するか、EL層24029を不活性雰囲気中で形成し、大気解放しないで陰極24030を形成するといった工夫が必要である。本実施形態ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0240】

なお、本実施形態では陰極24030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層24029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極24030は24031で示される領域において配線24016に接続される。配線24016は陰極24030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料24032を介してFPC24017に接続される。

【0241】

24031に示された領域において陰極24030と配線24016とを電氣的に接続するために、層間絶縁膜24026及び絶縁膜24028にコンタクトホールを形成する必要がある。これらは層間絶縁膜24026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜24028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜24028をエッチングする際に、層間絶縁膜24026まで一括でエッチングしても良い。この場合、層間絶縁膜24026と絶縁膜24028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0242】

このようにして形成されたEL素子の表面を覆って、パッシベーション膜26003、充填材26004、カバー材26000が形成される。

【0243】

さらに、EL素子部を囲むようにして、カバー材26000と基板24010の内側にシール材27000が設けられ、さらにシール材27000の外側には密封材（第2のシール材）27001が形成される。

【0244】

このとき、この充填材26004は、カバー材26000を接着するための接着剤としても機能する。充填材26004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材26004の内部に乾燥剤を設けておくこと、吸湿効果を保持できるので好ましい。

【0245】

また、充填材26004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0246】

スペーサーを設けた場合、パッシベーション膜26003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

10

20

30

40

50

【0247】

また、カバー材26000としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiber glass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材26004としてPVBやEVAを用いる場合、数十 μm のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0248】

但し、EL素子からの発光方向（光の放射方向）によっては、カバー材26000が透光性を有する必要がある。

10

【0249】

また、配線24016はシール材27000および密封材27001と基板24010との隙間を通してFPC24017に電氣的に接続される。なお、ここでは配線24016について説明したが、他の配線24014、24015も同様にしてシール材27000および密封材27001の下を通してFPC24017に電氣的に接続される。

【0250】

(実施形態17)

本実施形態では、実施形態16とは異なる形態のEL表示装置を作製した例について、図33(A)、33(B)を用いて説明する。図32(A)、32(B)と同じ番号のものは同じ部分を指しているので説明は省略する。

20

【0251】

図33(A)は本実施形態のEL表示装置の上面図であり、図33(A)をA-A'で切断した断面図を図33(B)に示す。

【0252】

実施形態16に従って、EL素子の表面を覆ってパッシベーション膜26003までを形成する。

【0253】

さらに、EL素子を覆うようにして充填材6004を設ける。この充填材26004は、カバー材26000を接着するための接着剤としても機能する。充填材26004としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。この充填材26004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

30

【0254】

また、充填材26004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0255】

スペーサーを設けた場合、パッシベーション膜26003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0256】

また、カバー材26000としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiber glass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材26004としてPVBやEVAを用いる場合、数十 μm のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

40

【0257】

但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0258】

50

次に、充填材 2 6 0 0 4 を用いてカバー材 2 6 0 0 0 を接着した後、充填材 2 6 0 0 4 の側面（露呈面）を覆うようにフレーム材 2 6 0 0 1 を取り付ける。フレーム材 2 6 0 0 1 はシール材（接着剤として機能する）2 6 0 0 2 によって接着される。このとき、シール材 2 6 0 0 2 としては、光硬化性樹脂を用いるのが好ましいが、E L 層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シール材 2 6 0 0 2 はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シール材 2 6 0 0 2 の内部に乾燥剤を添加してあっても良い。

【0 2 5 9】

また、配線 2 4 0 1 6 はシール材 2 6 0 0 2 と基板 2 4 0 1 0 との隙間を通して F P C 2 4 0 1 7 に電氣的に接続される。なお、ここでは配線 2 4 0 1 6 について説明したが、他の配線 2 4 0 1 4、2 4 0 1 5 も同様にしてシール材 2 6 0 0 2 の下を通して F P C 2 4 0 1 7 に電氣的に接続される。

【0 2 6 0】

（実施形態 1 8）

本実施形態では、E L 表示パネルにおける画素部のさらに詳細な断面構造を図 3 4 に、上面構造を図 3 5（A）に、回路図を図 3 5（B）に示す。図 3 4、図 3 5（A）及び図 3 5（B）では共通の符号を用いるので互いに参照すれば良い。

【0 2 6 1】

図 3 4 において、基板 2 3 0 0 1 上に設けられたスイッチング用 T F T 2 3 0 0 2 は実施形態 4 の TFT 構造を用いてもよいし、公知の T F T の構造を用いてもよい。本実施形態ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つの T F T が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施形態ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

【0 2 6 2】

また、電流制御用 T F T 2 3 0 0 3 は N T F T を用いて形成される。このとき、スイッチング用 T F T 2 3 0 0 2 のドレイン配線 2 3 0 3 5 は配線 2 3 0 3 6 によって電流制御用 T F T のゲート電極 2 3 0 3 7 に電氣的に接続されている。

また、2 3 0 3 8 で示される配線は、スイッチング用 T F T 2 3 0 0 2 のゲート電極 2 3 0 3 9 a、2 3 0 3 9 b を電氣的に接続するゲート配線である。

【0 2 6 3】

電流制御用 T F T は E L 素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用 T F T のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるように L D D 領域を設ける本願発明の構造は極めて有効である。

【0 2 6 4】

また、本実施形態では電流制御用 T F T 2 3 0 0 3 をシングルゲート構造で図示しているが、複数の T F T を直列につなげたマルチゲート構造としても良い。

さらに、複数の T F T を並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0 2 6 5】

また、図 3 5 A に示すように、電流制御用 T F T 2 3 0 0 3 のゲート電極 2 3 0 3 7 とする配線は 2 3 0 0 4 で示される領域で、電流制御用 T F T 2 3 0 0 3 のドレイン配線 2 3 0 4 0 と絶縁膜を介して重なる。このとき、2 3 0 0 4 で示される領域ではコンデンサが形成される。このコンデンサ 2 3 0 0 4 は電流制御用 T F T 2 3 0 0 3 のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線 2 3 0 4 0 は電流供給線（電源線）2 3 0 0 6 に接続され、常に一定の電圧が加えられている。

【0 2 6 6】

スイッチング用 T F T 2 3 0 0 2 及び電流制御用 T F T 2 3 0 0 3 の上には第 1 パッシベーション膜 2 3 0 4 1 が設けられ、その上に樹脂絶縁膜でなる平坦化膜 2 3 0 4 2 が形成される。平坦化膜 2 3 0 4 2 を用いて T F T による段差を平坦化することは非常に重要である。後に形成される E L 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、E L 層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0267】

また、2 3 0 4 3 は反射性の高い導電膜でなる画素電極（E L 素子の陰極）であり、電流制御用 T F T 2 3 0 0 3 のドレインに電氣的に接続される。画素電極 2 3 0 4 3 としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

10

【0268】

また、絶縁膜（好ましくは樹脂）で形成されたバンク 2 3 0 4 4 a、2 3 0 4 4 b により形成された溝（画素に相当する）の中に発光層 2 3 0 4 5 が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機 E L 材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（P P V）系、ポリビニルカルバゾール（P V K）系、ポリフルオレン系などが挙げられる。

【0269】

なお、P P V 系有機 E L 材料としては様々な型のものがあるが、例えば「H. Shenk, H. B ecker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平 1 0 - 9 2 5 7 6 号公報に記載されたような材料を用いれば良い。

20

【0270】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 3 0 ~ 1 5 0 n m（好ましくは 4 0 ~ 1 0 0 n m）とすれば良い。

【0271】

但し、以上の例は発光層として用いることのできる有機 E L 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて E L 層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

30

【0272】

例えば、本実施形態ではポリマー系材料を発光層として用いる例を示したが、低分子系有機 E L 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 E L 材料や無機材料は公知の材料を用いることができる。

【0273】

本実施形態では発光層 2 3 0 4 5 の上に P E D O T（ポリチオフェン）または P A n i（ポリアニリン）でなる正孔注入層 3 0 4 6 を設けた積層構造の E L 層としている。そして、正孔注入層 2 3 0 4 6 の上には透明導電膜でなる陽極 2 3 0 4 7 が設けられる。本実施形態の場合、発光層 2 3 0 4 5 で生成された光は上面側に向かって（T F T の上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

40

【0274】

陽極 2 3 0 4 7 まで形成された時点で E L 素子 2 3 0 0 5 が完成する。なお、ここでいう E L 素子 2 3 0 0 5 は、画素電極（陰極）2 3 0 4 3、発光層 2 3 0 4 5、正孔注入層

50

23046及び陽極23047で形成されたコンデンサを指す。図22Aに示すように画素電極23043は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0275】

ところで、本実施形態では、陽極23047の上にさらに第2パッシベーション膜23048を設けている。第2パッシベーション膜23048としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0276】

以上のように本実施形態のEL表示パネルは図34のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TF Tと、ホットキャリア注入に強い電流制御用TF Tとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0277】

(実施形態19)

本実施形態では、実施形態18に示した画素部において、EL素子23005の構造を反転させた構造について説明する。説明には図23を用いる。なお、図34の構造と異なる点はEL素子の部分と電流制御用TF Tだけであるので、その他の説明は省略することとする。

【0278】

図36において、電流制御用TF T23103はPTFTを用いて形成される。

【0279】

本実施形態では、画素電極(陽極)23050として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0280】

そして、絶縁膜でなるバンク23051a、23051bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層23052が形成される。その上にはカリウムアセチルアセトネートでなる電子注入層23053、アルミニウム合金でなる陰極23054が形成される。この場合、陰極23054がパッシベーション膜としても機能する。こうしてEL素子23101が形成される。

【0281】

本実施形態の場合、発光層23052で発生した光は、矢印で示されるようにTF Tが形成された基板の方に向かって放射される。

【0282】

(実施形態20)

本実施形態では、図35(B)に示した回路図とは異なる構造の画素とした場合の例について図37(A)～(C)に示す。なお、本実施形態において、23201はスイッチング用TF T23202のソース配線、23203はスイッチング用TF T23202のゲート配線、23204は電流制御用TF T、23205はコンデンサ、23206、23208は電流供給線、23207はEL素子とする。

【0283】

図37(A)は、二つの画素間で電流供給線23206を共通とした場合の例である。即ち、二つの画素が電流供給線23206を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0284】

また、図37(B)は、電流供給線23208をゲート配線23203と平行に設けた場合の例である。なお、図37(B)では電流供給線23208とゲート配線23203

10

20

30

40

50

とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 2 3 2 0 8 とゲート配線 2 3 2 0 3 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0285】

また、図 3 7 (C) は、図 3 7 (B) の構造と同様に電流供給線 2 3 2 0 8 をゲート配線 2 3 2 0 3 と平行に設け、さらに、二つの画素を電流供給線 2 3 2 0 8 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 2 3 2 0 8 をゲート配線 2 3 2 0 3 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

10

【0286】

なお、本実施形態の構成は、実施形態 1 ～ 9 の構成と自由に組み合わせて実施することが可能である。また、実施形態 10 の電子機器の表示部として本実施形態の画素構造を有する EL 表示パネルを用いることは有効である。

【0287】

(実施形態 2 1)

実施形態 20 に示した図 3 5 (A)、3 5 (B) では電流制御用 TFT 2 3 0 0 3 のゲートにかかる電圧を保持するためにコンデンサ 2 3 0 0 4 を設ける構造としているが、コンデンサ 2 3 0 0 4 を省略することも可能である。実施形態 11 の場合、電流制御用 TFT 2 3 0 0 3 として、ゲート絶縁膜を介してゲート電極に重なるように設けられた LDD 領域を有している TFT を用いている。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施形態ではこの寄生容量をコンデンサ 2 3 0 0 4 の代わりとして積極的に用いる点に特徴がある。

20

【0288】

この寄生容量のキャパシタンスは、上記ゲート電極と LDD 領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる LDD 領域の長さによって決まる。

【0289】

また、実施形態 13 に示した図 3 7 (A)、(B)、(C) の構造においても同様に、コンデンサ 2 3 2 0 5 を省略することは可能である。

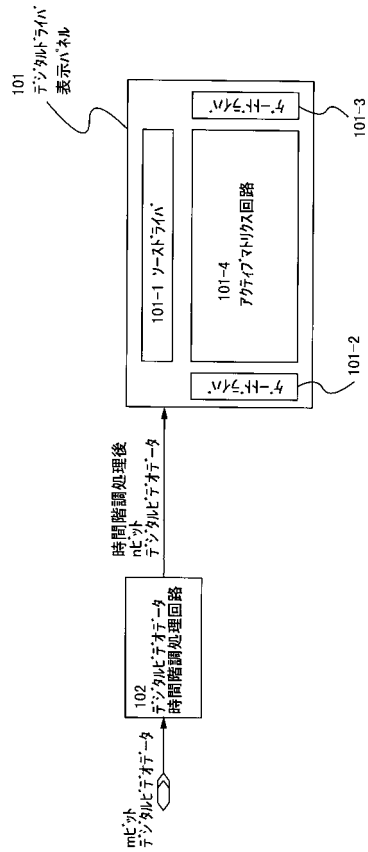
30

【符号の説明】

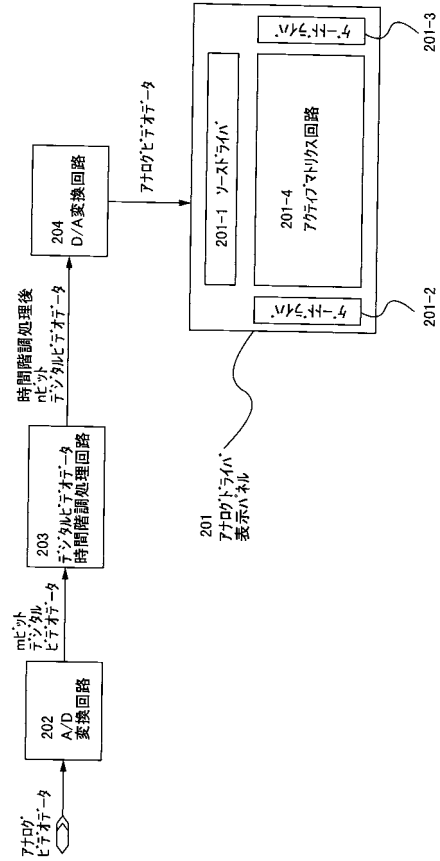
【0290】

- 1 0 1 表示パネル
- 1 0 1-1 ソースドライバ
- 1 0 1-2 ゲートドライバ
- 1 0 1-3 ゲートドライバ
- 1 0 1-4 アクティブマトリクス回路
- 1 0 2 デジタルビデオデータ時間階調処理回路

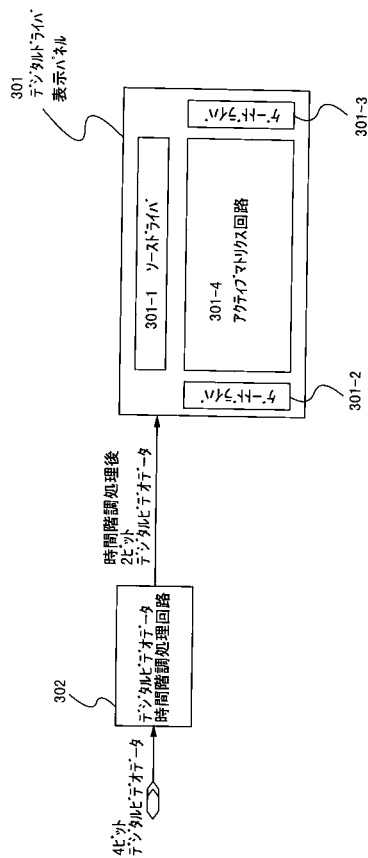
【図 1】



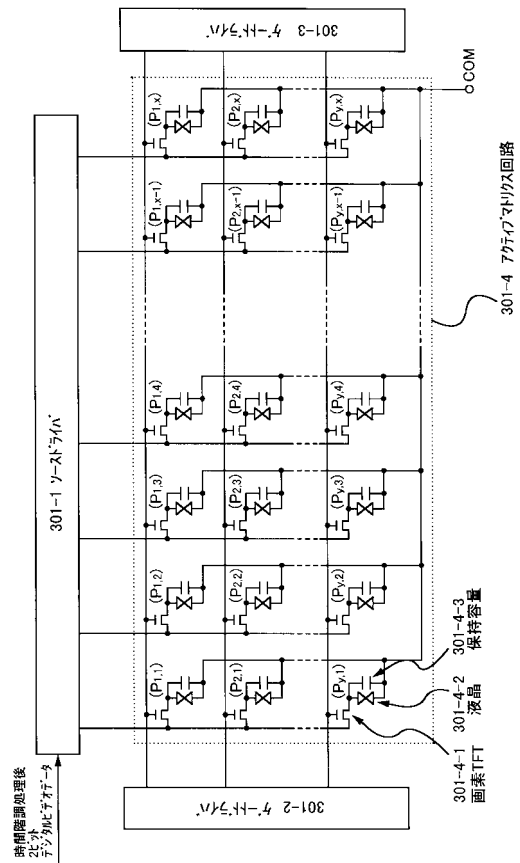
【図 2】



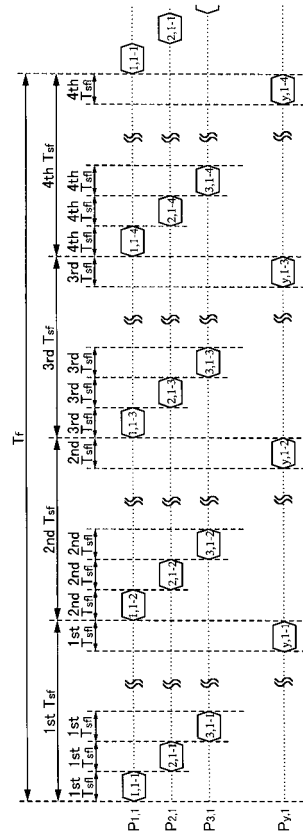
【図 3】



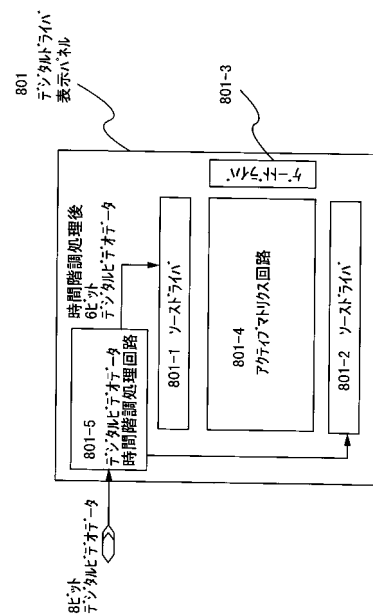
【図 4】



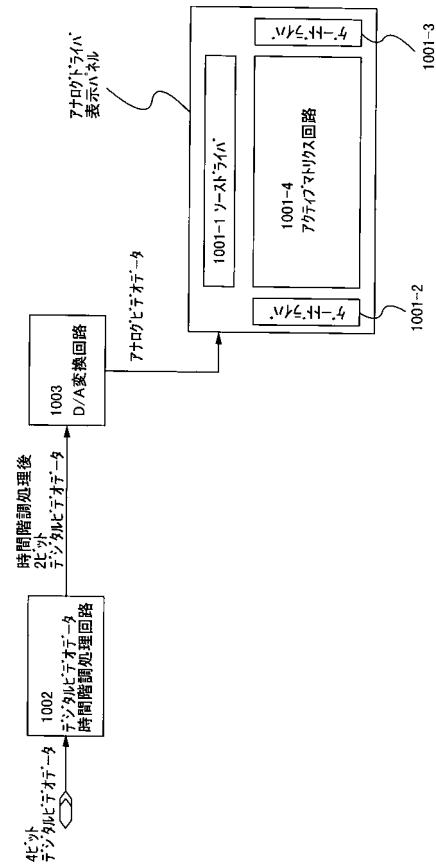
【图 6】



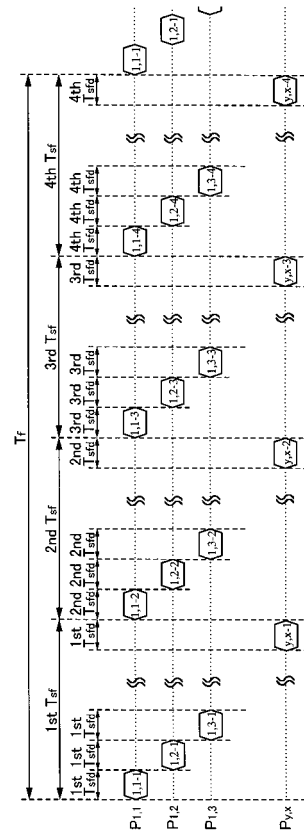
【图 8】



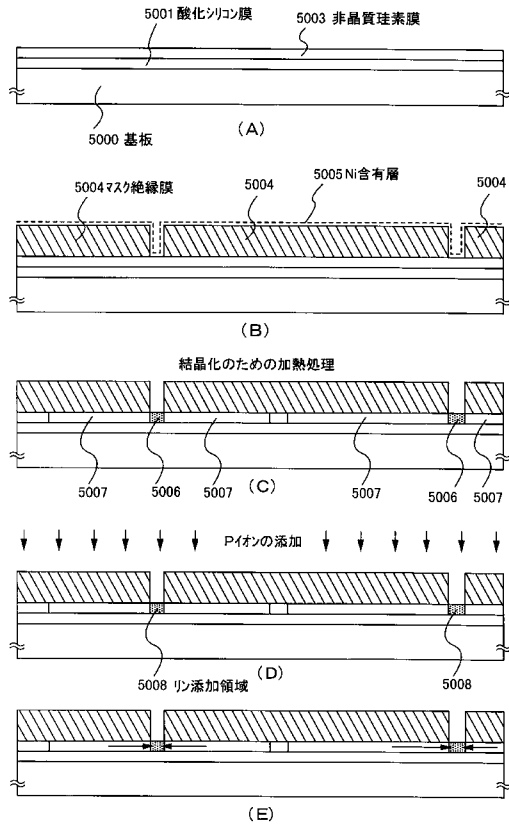
【 図 1 0 】



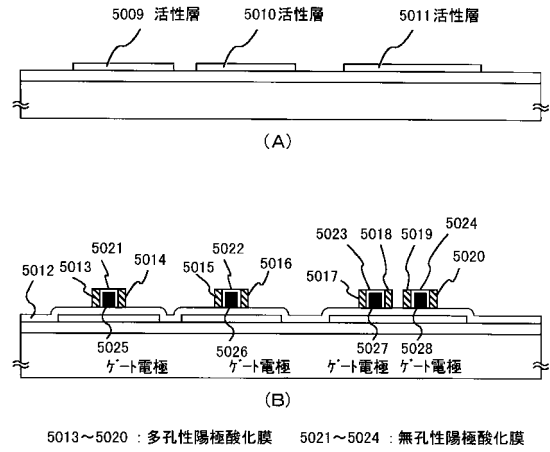
【图 1 2】



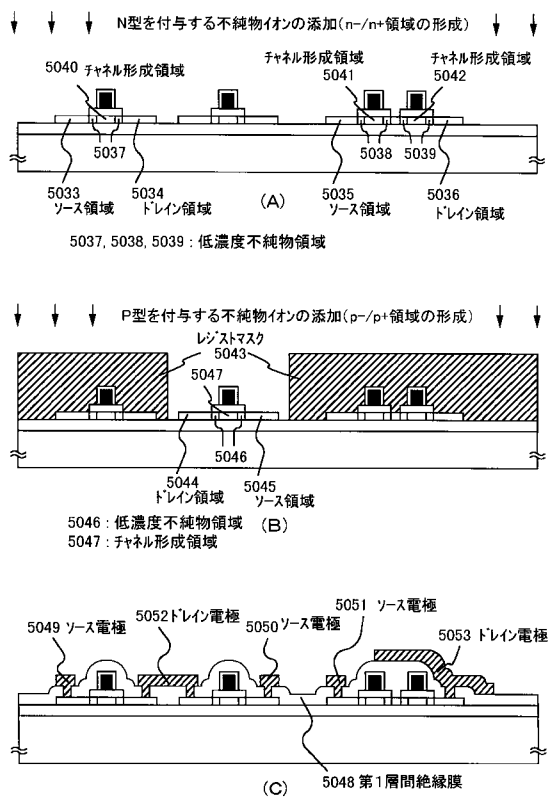
【図 13】



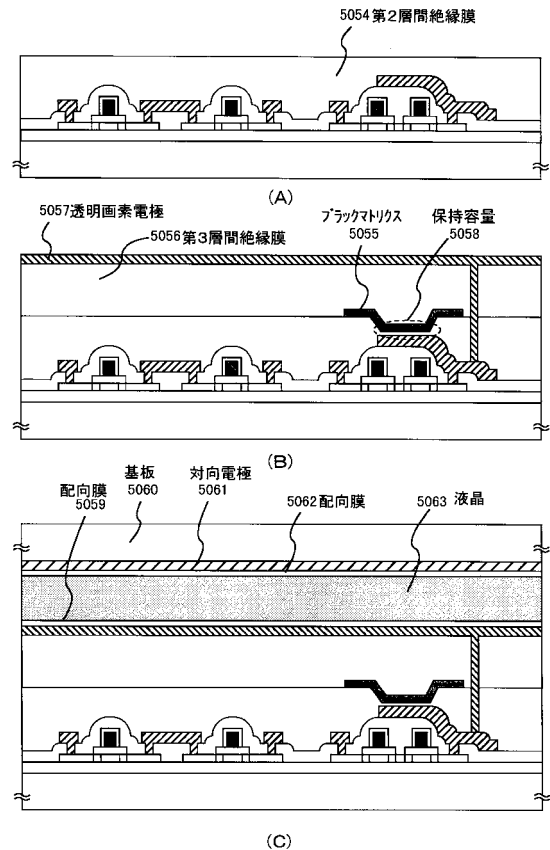
【図 14】



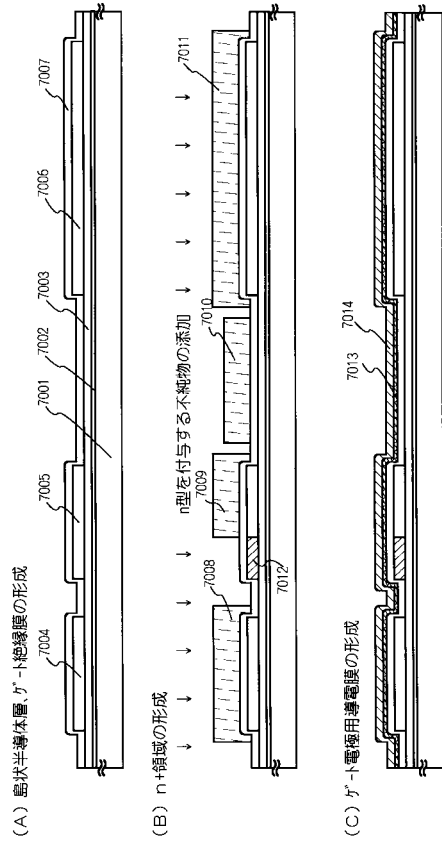
【図 15】



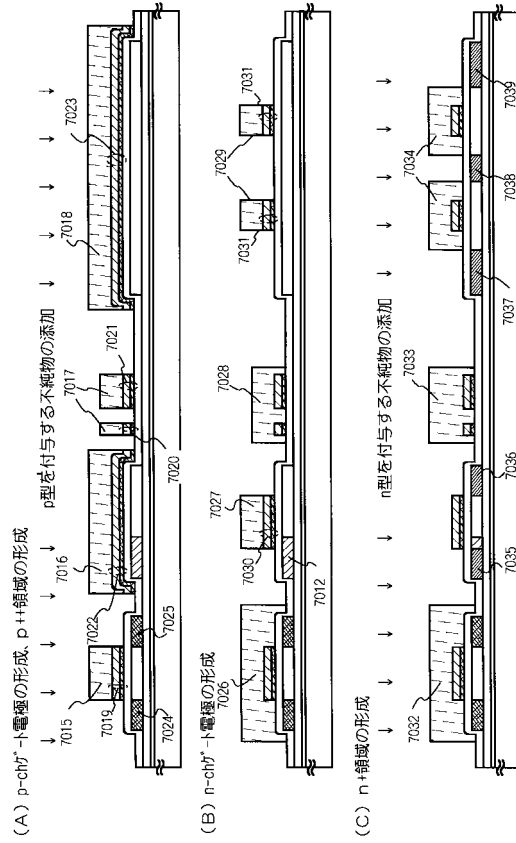
【図 16】



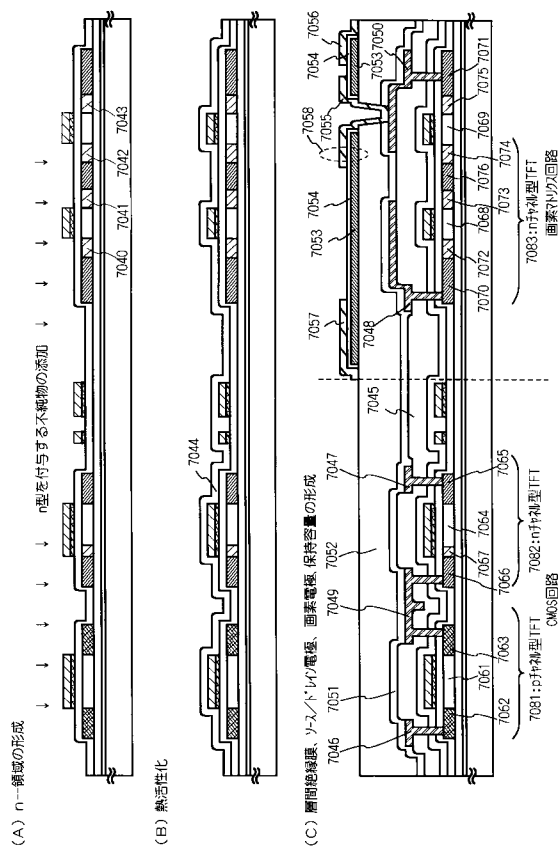
【図 17】



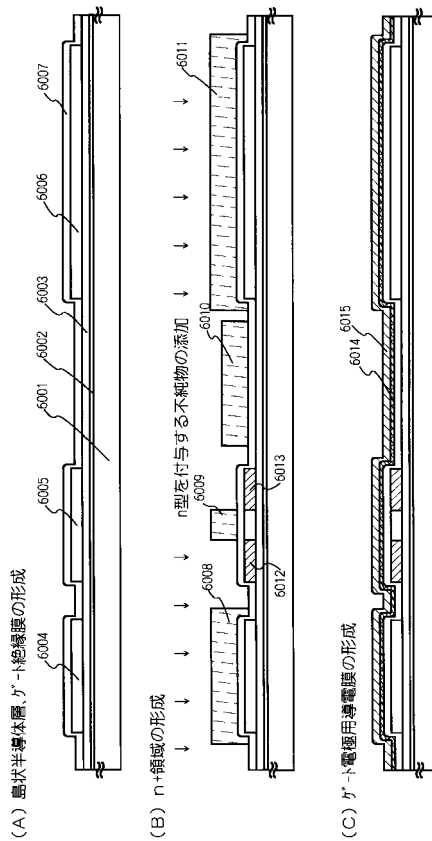
【図 18】



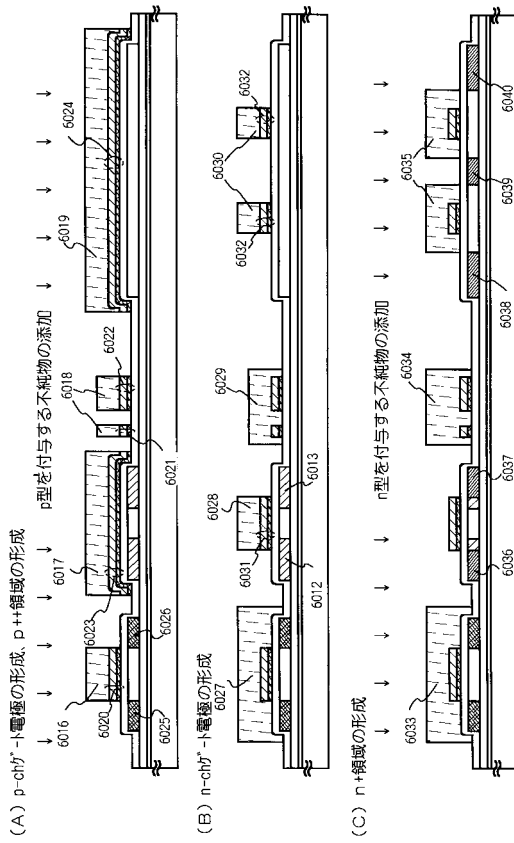
【図 19】



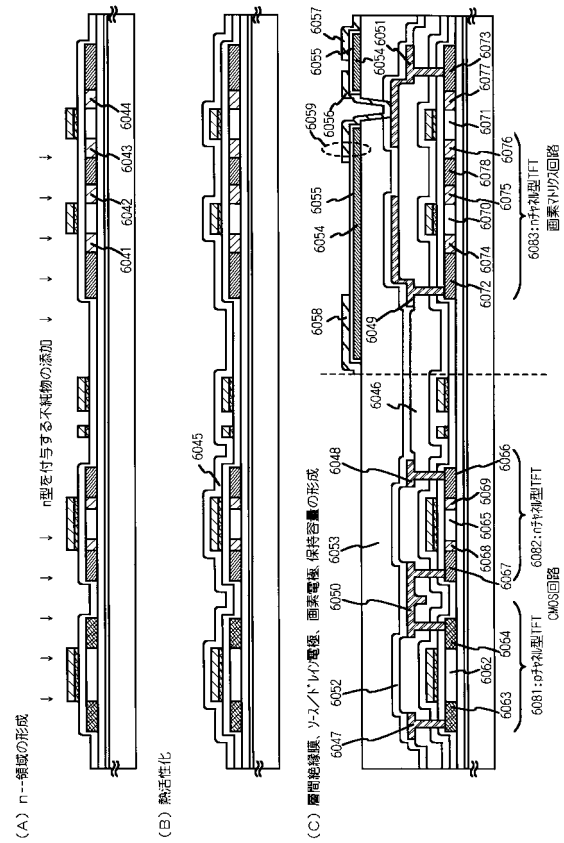
【図 20】



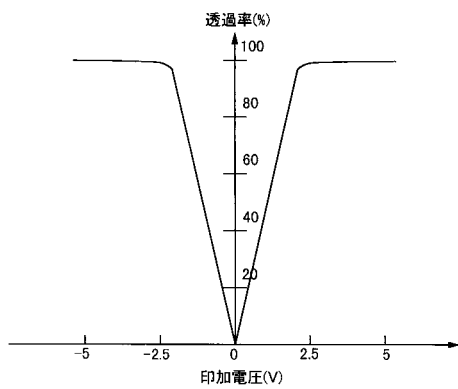
【図 2 1】



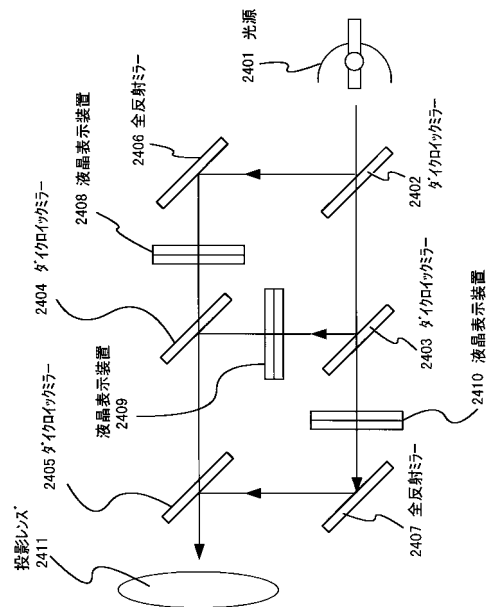
【図 2 2】



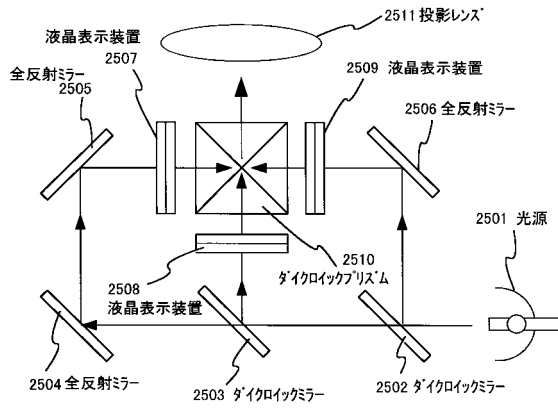
【図 2 3】



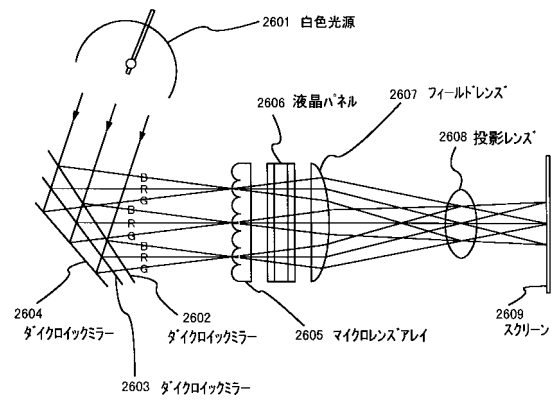
【図 2 4】



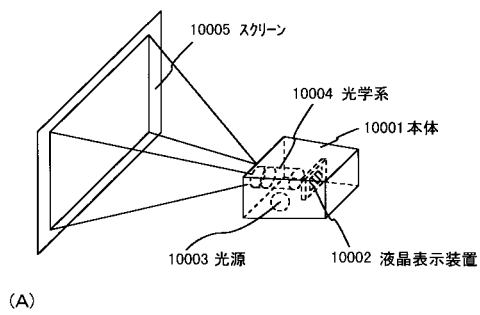
【図 25】



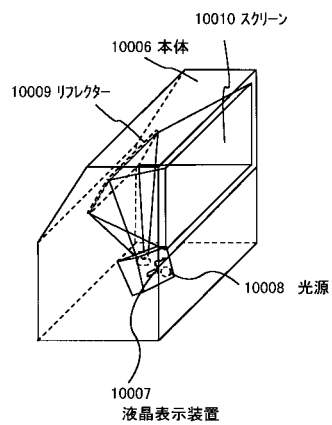
【図 26】



【図 27】

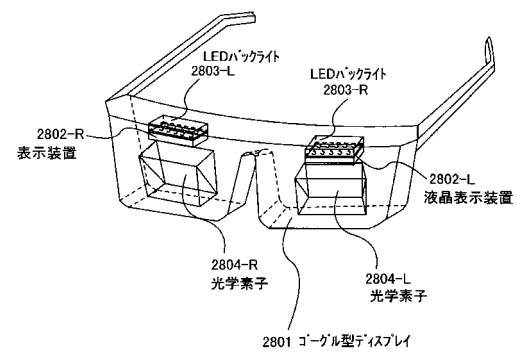


(A)

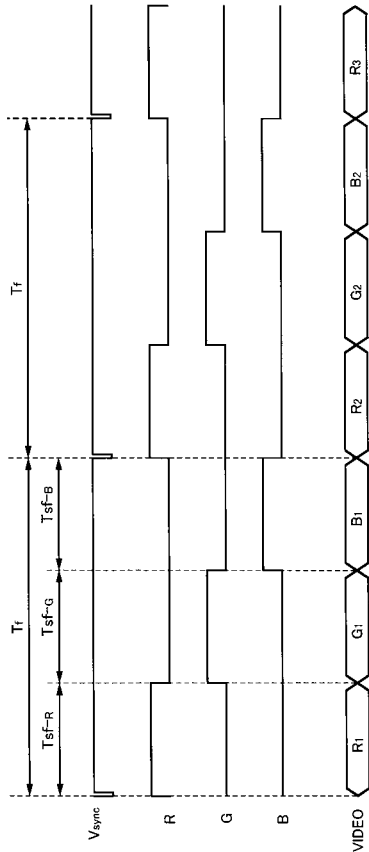


(B)

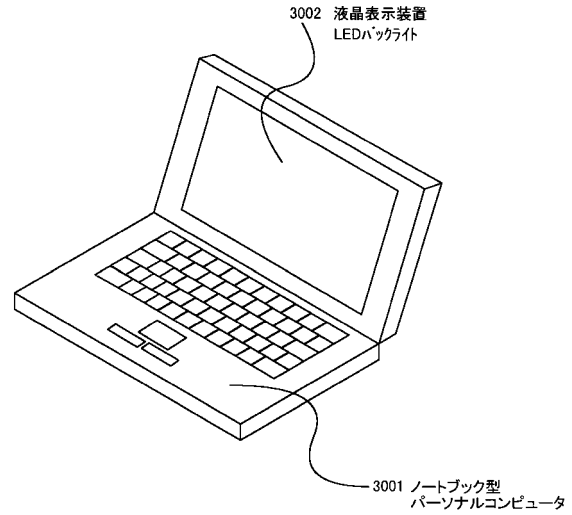
【図 28】



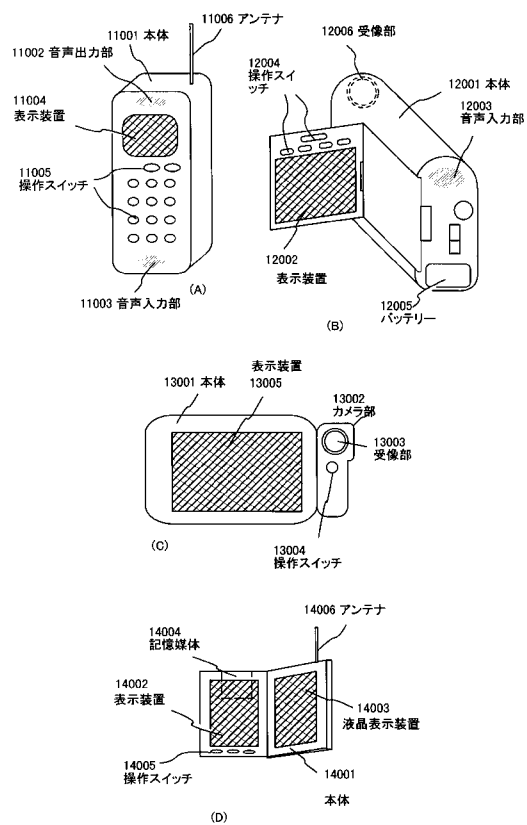
【図 29】



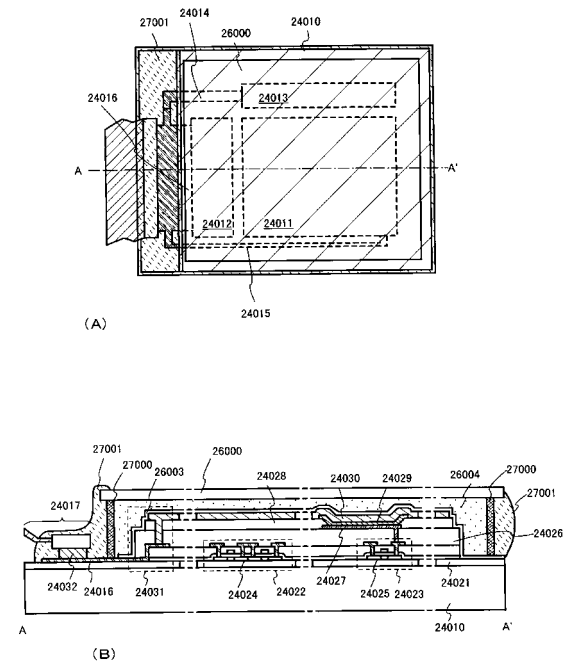
【図 30】



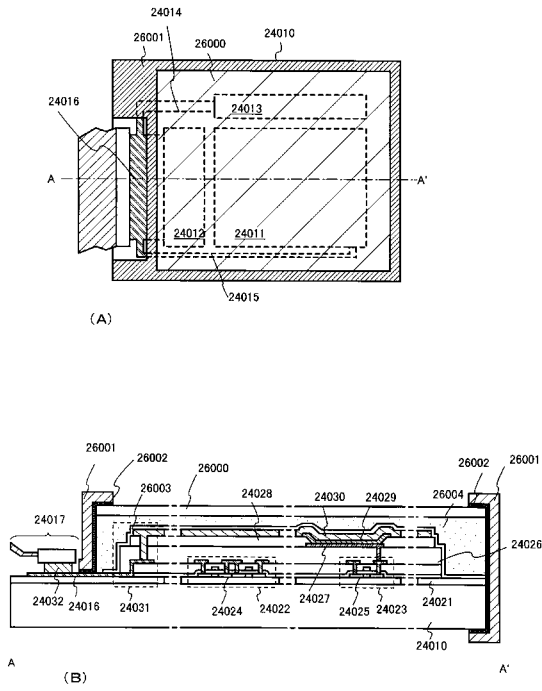
【図 31】



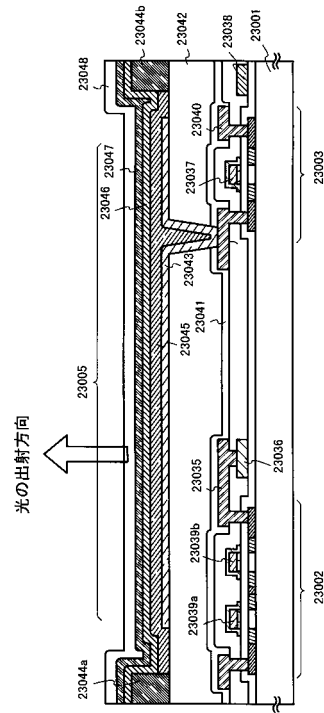
【図 32】



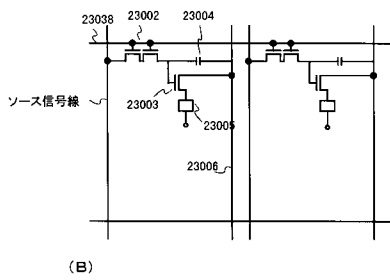
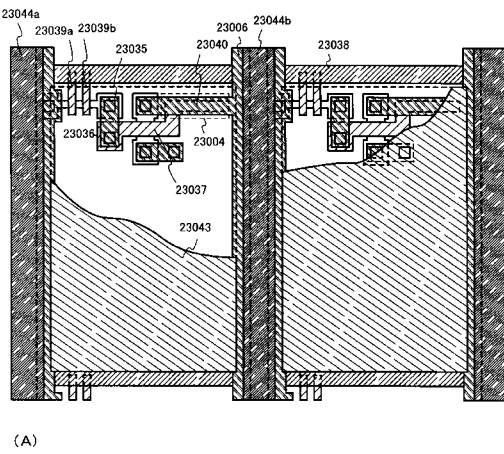
【図 3 3】



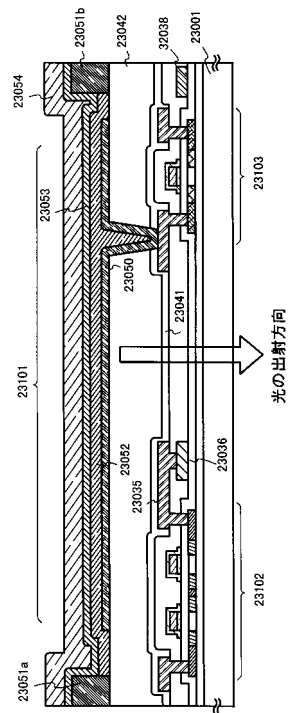
【図 3 4】



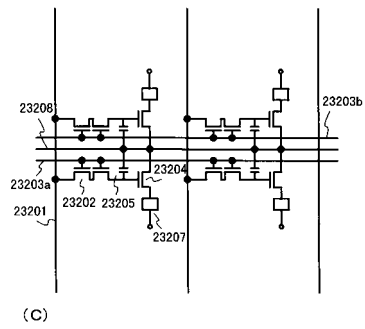
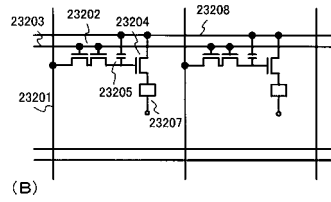
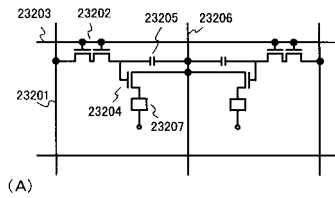
【図 3 5】



【図 3 6】



【図 37】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
H 0 5 B 33/26 (2006.01)	H 0 5 B 33/22	A
H 0 5 B 33/28 (2006.01)	H 0 5 B 33/22	C
G 0 9 G 3/3225 (2016.01)	H 0 5 B 33/26	Z
G 0 9 G 3/20 (2006.01)	H 0 5 B 33/28	
G 0 9 G 3/36 (2006.01)	G 0 9 G 3/3225	Z I T
	G 0 9 G 3/20	6 9 1 C
	G 0 9 G 3/20	6 1 2 B
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 1 E
	G 0 9 G 3/20	6 4 1 K
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 8 0 G
	G 0 9 G 3/20	6 2 3 F
	G 0 9 G 3/36	

F ターム (参考)	5C006	AA14	AA16	AA17	AA22	AF43	AF44	AF51	AF82	AF83	AF84
		BA12	BA13	BB16	BB29	BC02	BC03	BC12	BC13	BC20	BC23
		BC24	BF03	BF04	BF11	BF14	BF24	BF25	BF26	BF33	BF34
		EB04	EB05	EC11	FA20	FA36	FA42	FA43	FA46	FA47	
	5C080	AA06	AA10	BB05	CC03	DD23	DD25	DD26	DD28	EE29	FF03
		FF11	GG11	HH09	JJ02	JJ03	JJ04	JJ05	JJ06	KK04	KK07
		KK23	KK43								
	5C094	AA45	AA60	BA03	BA27	BA43	CA19	DA13	DB04	EA04	FB12
		FB14	FB15	HA05	HA08						
	5C380	AA01	AA02	AB06	AB09	AB11	AB12	AB13	AB18	AB23	AB24
		AB32	AB34	AB46	AC08	AC09	AC11	AC12	BA10	BA12	BA13
		BA29	BA38	CA02	CA04	CA08	CA12	CA16	CA17	CA24	CA26
		CA32	CA45	CA48	CB01	CB14	CC02	CC27	CC34	CC62	CC77
		CD013	CE02	CF07	CF09	CF22	CF24	CF31	CF48	DA02	DA06
		DA08	DA09	DA10	DA33	DA35	DA38	HA02	HA13		