



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년12월13일
 (11) 등록번호 10-1808685
 (24) 등록일자 2017년12월07일

- (51) 국제특허분류(Int. Cl.)
H01L 21/322 (2006.01) *C23C 14/48* (2006.01)
C30B 25/20 (2006.01) *H01L 21/02* (2006.01)
H01L 21/265 (2006.01) *H01L 27/146* (2006.01)
- (52) CPC특허분류
H01L 21/322 (2013.01)
C23C 14/48 (2013.01)
- (21) 출원번호 10-2016-7034485(분할)
- (22) 출원일자(국제) 2013년11월12일
 심사청구일자 2016년12월08일
- (85) 번역문체출일자 2016년12월08일
- (65) 공개번호 10-2016-0148033
- (43) 공개일자 2016년12월23일
- (62) 원출원 특허 10-2015-7013181
 원출원일자(국제) 2013년11월12일
 심사청구일자 2015년05월19일
- (86) 국제출원번호 PCT/JP2013/006661
- (87) 국제공개번호 WO 2014/076945
 국제공개일자 2014년05월22일
- (30) 우선권주장
 JP-P-2012-249598 2012년11월13일 일본(JP)
- (56) 선행기술조사문헌
 JP2003163216 A*
 JP2008294245 A
 JP2008311418 A
 JP2012059849 A*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 가부시키키가이샤 사무코
 일본국 도쿄도 미나토쿠 시바우라 1초메 2반 1고
- (72) 발명자
 카도노, 타케시
 일본 1058634 도쿄도 미나토쿠 시바우라 1초메 2반 1고 가부시키키가이샤 사무코 (내)
 쿠리타, 카즈나리
 일본 1058634 도쿄도 미나토쿠 시바우라 1초메 2반 1고 가부시키키가이샤 사무코 (내)
- (74) 대리인
 특허법인 남앤드남

전체 청구항 수 : 총 4 항

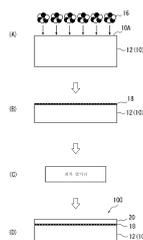
심사관 : 박성호

(54) 발명의 명칭 **반도체 에피텍셀 웨이퍼의 제조 방법, 반도체 에피텍셀 웨이퍼, 및 고체 활상 소자의 제조 방법**

(57) 요약

본 발명은, 보다 높은 게터링 능력을 가지며, 또한, 에피텍셀층 표면의 헤이즈 레벨(haze level)이 저감된 반도체 에피텍셀 웨이퍼를 제조하는 방법의 제공을 목적으로 한다. 본 발명의 반도체 에피텍셀 웨이퍼의 제조 방법은, 반도체 웨이퍼(10)에 클러스터 이온(Cluster Ions; 16)을 조사하여, 반도체 웨이퍼의 표면(10A)에, 클러스터 (뒷면에 계속)

대표도 - 도1



이온(16)의 구성 원소로 이루어진 개질층(18)을 형성하는 제 1 공정과, 상기 제 1 공정 후에, 반도체 웨이퍼 표면(10A)의 헤이즈 레벨이 0.20ppm 이하가 되도록, 결정성(結晶性) 회복을 위한 열처리를 반도체 웨이퍼(10)에 대해 행하는 제 2 공정과, 상기 제 2 공정 후에, 반도체 웨이퍼의 개질층(18) 상에 에피텍셜층(20)을 형성하는 제 3 공정을 가지는 것을 특징으로 한다.

(52) CPC특허분류

C30B 25/20 (2013.01)

H01L 21/02381 (2013.01)

H01L 21/02439 (2013.01)

H01L 21/02532 (2013.01)

H01L 21/02576 (2013.01)

H01L 21/02579 (2013.01)

H01L 21/02658 (2013.01)

H01L 21/265 (2013.01)

H01L 27/14689 (2013.01)

명세서

청구범위

청구항 1

반도체 웨이퍼에 클러스터 이온을 조사하여, 상기 반도체 웨이퍼의 표면에, 상기 클러스터 이온의 구성 원소로 이루어진 개질층(改質層)을 형성하는 제 1 공정과,

상기 제 1 공정 후에, 상기 반도체 웨이퍼 표면의 헤이즈 레벨이 0.20ppm 이하가 되도록, 결정성 회복을 위한 열처리를 상기 반도체 웨이퍼에 대해 행하는 제 2 공정과,

상기 제 2 공정 후에, 상기 반도체 웨이퍼의 개질층 상에 에피텍셜층을 형성하는 제 3 공정

을 갖고,

상기 제 1 공정에 있어서, 시클로hex산, 피렌 및 디벤질 중 어느 것을 탄소원 화합물로 하여, 탄소 및 수소를 구성 원소로 하는 상기 클러스터 이온을 생성하는 것을 특징으로 하는 반도체 에피텍셜 웨이퍼의 제조 방법.

청구항 2

제 1항에 있어서,

상기 반도체 웨이퍼가, 실리콘 웨이퍼인 반도체 에피텍셜 웨이퍼의 제조 방법.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1항에 있어서,

상기 클러스터 이온의 탄소의 도스량이 $2.0 \times 10^{14} \text{ atom/cm}^2$ 이상인 반도체 에피텍셜 웨이퍼의 제조 방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

제 1항에 기재된 제조 방법으로 제조된 에피텍셜 웨이퍼의, 표면에 위치하는 에피텍셜층에, 고체 활상 소자를

형성하는 것을 특징으로 하는 고체 활상 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 에피택셜 웨이퍼의 제조 방법, 반도체 에피택셜 웨이퍼, 및 고체 활상 소자의 제조 방법에 관한 것이다. 본 발명은 특히, 보다 높은 게터링 능력을 발휘함으로써 금속 오염을 억제할 수 있고, 또한, 에피택셜층 표면의 헤이즈 레벨(haze level)이 저감된 반도체 에피택셜 웨이퍼를 제조하는 방법에 관한 것이다.

배경 기술

[0002] 반도체 디바이스의 특성을 열화(劣化)시키는 요인으로서, 금속 오염을 들 수 있다. 예컨대, 이면조사형(裏面照射型) 고체 활상 소자에서는, 상기 소자의 기관이 되는 반도체 에피택셜 웨이퍼에 혼입(混入)된 금속은, 고체 활상 소자의 암전류(暗電流)를 증가시키는 요인이 되어, 화이트 스팟(white spot)이라 불리는 결함을 발생시킨다. 이면조사형 고체 활상 소자는, 배선층 등을 센서부보다 하층에 배치함으로써, 외부로부터의 광을 센서에 직접 받아들여, 암소(暗所) 등에서도 보다 선명한 화상이나 동영상을 촬영할 수 있기 때문에, 최근, 디지털 비디오 카메라나 스마트폰 등의 휴대전화에 널리 이용되고 있다. 이 때문에, 화이트 스팟 결함을 최대한 줄일 것이 요망되고 있다.

[0003] 웨이퍼에 대한 금속의 혼입은, 주로 반도체 에피택셜 웨이퍼의 제조 공정 및 고체 활상 소자의 제조 공정(디바이스 제조 공정)에서 발생한다. 전자(前者)의 반도체 에피택셜 웨이퍼의 제조 공정에 있어서의 금속 오염은, 에피택셜 성장로(爐)의 구성재(構成材)로부터의 중금속 파티클에 의한 것, 혹은, 에피택셜 성장시의 노내(爐內) 가스로서 염소계 가스를 이용하기 때문에, 그 배관 재료가 금속 부식하여 발생하는 중금속 파티클에 의한 것 등을 고려할 수 있다. 최근, 이러한 금속 오염은, 에피택셜 성장로의 구성재를 내부식성(耐腐食性)이 우수한 재료로 교환하는 등에 의해, 어느 정도는 개선되고 있지만, 충분하지는 않다. 한편, 후자(後者)의 고체 활상 소자의 제조 공정에 있어서, 이온 주입, 확산 및 산화 열처리 등의 각 처리 중에 있어서, 반도체 기관의 중금속 오염이 염려된다.

[0004] 이 때문에, 종래에는, 반도체 에피택셜 웨이퍼에 금속을 포획하기 위한 게터링 싱크를 형성하거나, 혹은 고농도 붕소 기관 등의 금속 포획 능력(게터링 능력)이 높은 기관을 이용하여, 반도체 웨이퍼에 대한 금속 오염을 회피하였다.

[0005] 반도체 웨이퍼에 게터링 싱크를 형성하는 방법으로서, 반도체 웨이퍼의 내부에 결정 결함인 산소 석출물(실리콘 산화물 석출물의 통칭이며, BMD: Bulk Micro Defect라고도 함)이나 전위(轉位)를 형성하는 인트린식 게터링(IG; Intrinsic Gettering)법과, 반도체 웨이퍼의 이면에 게터링 싱크를 형성하는 엑스트린식 게터링(EG; Extrinsic Gettering)법이 일반적이다.

[0006] 여기서, 중금속의 게터링법의 하나의 방법으로서, 반도체 웨이퍼 중에 모노머 이온(싱글 이온) 주입에 의해 게터링 사이트를 형성하는 기술이 있다. 특허 문헌 1에는, 실리콘 웨이퍼의 일면(一面)으로부터 탄소 이온을 주입하여, 탄소 이온 주입 영역을 형성한 후, 그 표면에 실리콘 에피택셜층을 형성하여, 실리콘 에피택셜 웨이퍼로 하는 제조 방법이 기재되어 있다. 이 기술에서는, 탄소 이온 주입 영역이 게터링 사이트로서 기능한다.

[0007] 또한, 특허 문헌 2에는, 실리콘 웨이퍼에 탄소 이온을 주입하여 탄소 주입층을 형성하고, 이후, 이온 주입에 의해 흐트러진 웨이퍼의 결정성을 회복시키기 위한 열처리(이하에서는, 「회복 열처리」라고 함)를 RTA(Rapid Thermal Annealing) 장치에서 행함으로써, 상기 회복 열처리 공정을 단축시키고, 이후에 실리콘 에피택셜층을 형성하는 기술이 기재되어 있다.

[0008] 또한, 특허 문헌 3에는, 실리콘 단결정 기관에 대해 붕소, 탄소, 알루미늄, 비소, 안티몬 중 적어도 1종류를 도스량 $5 \times 10^{14} \sim 1 \times 10^{16} \text{ atom/cm}^2$ 의 범위에서 이온 주입하고, 이후, 상기 이온 주입을 행한 상기 실리콘 단결정 기관에 대해 회복 열처리를 하지 않고 세정을 행한 후, 개별 처리 방식의 에피택셜 장치를 이용하여 1100℃ 이상의 온도에서 에피택셜층을 형성하는 것을 특징으로 하는 에피택셜 웨이퍼의 제조 방법이 기재되어 있다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 일본 특허공개공보 H06-338507호
- (특허문헌 0002) 일본 특허공개공보 제2008-294245호
- (특허문헌 0003) 일본 특허공개공보 제2010-177233호

발명의 내용

해결하려는 과제

- [0010] 특허 문헌 1, 특허 문헌 2, 및 특허 문헌 3에 기재된 기술은, 모두 에피텍셀층 형성 전에 모노머 이온을 반도체 웨이퍼에 주입하는 것이다. 그러나, 본 발명자들의 검토에 의하면, 모노머 이온을 주입한 반도체 에피텍셀 웨이퍼에서는, 게터링 능력이 불충분하여, 보다 강력한 게터링 능력이 요구됨을 알 수 있었다.
- [0011] 또한, 반도체 에피텍셀 웨이퍼로부터 고품질의 반도체 디바이스를 얻기 위해서는, 에피텍셀층 표면의 평탄도가 높은 것(헤이즈 레벨이 낮은 것)이 중요하다.
- [0012] 이에, 본 발명은, 상기 과제를 감안하여, 보다 높은 게터링 능력을 가지며, 또한, 에피텍셀층 표면의 헤이즈 레벨이 저감된 반도체 에피텍셀 웨이퍼 및 그 제조 방법, 그리고, 상기 반도체 에피텍셀 웨이퍼로부터 고체 활상 소자를 형성하는 고체 활상 소자의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0013] 본 발명자들의 검토에 의하면, 반도체 웨이퍼에 클러스터 이온을 조사함으로써, 모노머 이온을 주입하는 경우에 비해, 이하의 유리한 점이 있음을 알아내었다. 즉, 클러스터 이온을 조사한 경우, 모노머 이온과 동등한 가속 전압으로 조사하더라도, 1 원자 또는 1 분자 당의 에너지는, 모노머 이온의 경우보다 작게 하여 반도체 웨이퍼에 충돌하기 때문에, 조사한 원소의 깊이방향 프로파일의 피크 농도를 고농도로 할 수 있고, 피크 위치를 반도체 웨이퍼 표면에 보다 가까운 위치에 위치시킬 수 있다. 그 결과, 게터링 능력이 향상됨을 알아내었다. 또한, 클러스터 이온의 조사는, 원자 또는 분자가 복수 집합된 덩어리를 조사하는 것이기 때문에, 사용하는 클러스터 이온의 사이즈나 도스량에 따라서는 반도체 웨이퍼의 가장 바깥쪽 면(outermost surface)의 결정성이 흐트러져, 에피텍셀층 표면의 평탄도가 나빠지는(헤이즈 레벨이 높아지는) 경우가 있다. 이 때문에, 클러스터 이온의 조사 후에 회복 열처리를 행하여, 반도체 웨이퍼 표면의 헤이즈 레벨을 소정의 레벨까지 회복시키고, 이후에 에피텍셀층을 형성함으로써, 에피텍셀층 표면의 헤이즈 레벨을 충분히 저감시킬 수 있음을 알아내었다.
- [0014] 본 발명자들은 상기의 사실에 근거하여, 본 발명을 완성시키기에 이르렀다.
- [0015] 즉, 본 발명의 반도체 에피텍셀 웨이퍼의 제조 방법은, 반도체 웨이퍼에 클러스터 이온을 조사하여, 상기 반도체 웨이퍼의 표면에, 상기 클러스터 이온의 구성 원소로 이루어진 개질층을 형성하는 제 1 공정과, 상기 제 1 공정 후에, 상기 반도체 웨이퍼 표면의 헤이즈 레벨이 0.20ppm 이하가 되도록, 결정성 회복을 위한 열처리를 상기 반도체 웨이퍼에 대해 행하는 제 2 공정과, 상기 제 2 공정 후에, 상기 반도체 웨이퍼의 개질층 상에 에피텍셀층을 형성하는 제 3 공정을 갖고, 제 1 공정에 있어서, 시클로hex산, 피렌 및 디벤질 중 어느 것을 탄소원 화합물로 하여, 탄소 및 수소를 구성 원소로 하는 클러스터 이온을 생성하는 것을 특징으로 한다.
- [0016] 여기서, 상기 반도체 웨이퍼는 실리콘 웨이퍼일 수 있다.
- [0017] 또한, 상기 반도체 웨이퍼는, 실리콘 웨이퍼의 표면에 실리콘 에피텍셀층이 형성된 에피텍셀 실리콘 웨이퍼로 해도 되며, 이 경우, 상기 제 1 공정에 있어서 상기 개질층은 상기 실리콘 에피텍셀층의 표면에 형성된다.
- [0018] 여기서, 상기 클러스터 이온이, 구성 원소로서 탄소를 포함하는 것이 바람직하며, 구성 원소로서 탄소를 포함하는 2종 이상의 원소를 포함하는 것이 더욱 바람직하다.
- [0019] 여기서, 상기 클러스터 이온의 탄소의 도스량은 2.0×10^{14} atom/cm² 이상으로 하는 것이 바람직하다.
- [0020] 다음으로, 본 발명의 반도체 에피텍셀 웨이퍼는, 반도체 웨이퍼와, 상기 반도체 웨이퍼의 표면에 형성된, 상기 반도체 웨이퍼 중에 고용(固溶)된 소정 원소로 이루어진 개질층과, 상기 개질층 상의 에피텍셀층을 가지며, 상기 개질층에 있어서의 상기 소정 원소의 깊이방향의 농도 프로파일의 반치폭(半値幅)이 100nm 이하이며, 상기 에피텍셀층 표면의 헤이즈 레벨이 0.30ppm 이하인 것을 특징으로 한다.

- [0021] 여기서, 상기 반도체 웨이퍼는 실리콘 웨이퍼일 수 있다.
- [0022] 또한, 상기 반도체 웨이퍼는, 실리콘 웨이퍼의 표면에 실리콘 에피텍셀층이 형성된 에피텍셀 실리콘 웨이퍼로 해도 되며, 이 경우, 상기 개질층은 상기 실리콘 에피텍셀층의 표면에 위치한다.
- [0023] 또한, 상기 반도체 웨이퍼의 표면으로부터의 깊이가 150nm 이하인 범위 내에, 상기 개질층에 있어서의 상기 농도 프로파일의 피크가 위치하는 것이 바람직하고, 그 피크 농도가, $1 \times 10^{15} \text{ atom/cm}^3$ 이상인 것이 바람직하다.
- [0024] 여기서, 상기 소정 원소가 탄소를 포함하는 것이 바람직하고, 상기 소정 원소가 탄소를 포함하는 2종 이상의 원소를 포함하는 것이 더욱 바람직하다.
- [0025] 그리고, 본 발명의 고체 활상 소자의 제조 방법은, 상기 어느 하나의 제조 방법으로 제조된 에피텍셀 웨이퍼 또는 상기 어느 하나의 에피텍셀 웨이퍼의 표면에 위치하는 에피텍셀층에, 고체 활상 소자를 형성하는 것을 특징으로 한다.

발명의 효과

- [0026] 본 발명에 의하면, 반도체 웨이퍼에 클러스터 이온을 조사하여, 상기 반도체 웨이퍼의 표면에 상기 클러스터 이온의 구성 원소로 이루어진 개질층을 형성하고, 이후에 반도체 웨이퍼 표면의 헤이즈 레벨을 회복시키는 열처리를 실시하였으므로, 상기 개질층이 보다 높은 게터링 능력을 발휘함으로써, 금속 오염을 억제할 수 있으며, 또한, 에피텍셀층 표면의 헤이즈 레벨이 저감된 반도체 에피텍셀 웨이퍼를 얻을 수 있으며, 나아가, 상기 반도체 에피텍셀 웨이퍼로부터 고품질의 고체 활상 소자를 형성할 수 있다.

도면의 간단한 설명

- [0027] 도 1은, 본 발명의 하나의 실시형태에 따른 반도체 에피텍셀 웨이퍼(100)의 제조 방법을 설명하는 모식적인 단면도이다.
- 도 2는, 본 발명의 다른 실시형태에 따른 반도체 에피텍셀 웨이퍼(200)의 제조 방법을 설명하는 모식적인 단면도이다.
- 도 3의 (A)는 클러스터 이온을 조사하는 경우의 조사 메카니즘을 설명하는 모식도이고, (B)는 모노머 이온을 주입하는 경우의 주입 메카니즘을 설명하는 모식도이다.
- 도 4는, 참고예 1 및 2에 있어서의 SIMS 측정으로 얻어진 탄소의 농도 프로파일이다.
- 도 5의 (A)는 실시예 1에 대해, (B)는 비교예 4에 대해, 실리콘 에피텍셀 웨이퍼의 탄소 농도 프로파일과, 게터링 능력 평가 후의 Ni 농도 프로파일을 함께 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하에서는, 도면을 참조하면서 본 발명의 실시형태에 대해 상세히 설명한다. 참고로, 동일한 구성 요소에는 원칙적으로 동일한 참조 번호를 사용하며, 설명을 생략한다. 또한, 도 1 및 도 2에서는 설명의 편의상, 실제의 두께 비율과는 달리, 반도체 웨이퍼(10)에 대해 제 1 및 제 2 에피텍셀층(14, 20)의 두께를 과장하여 나타낸다.
- [0029] (반도체 에피텍셀 웨이퍼의 제조 방법)
- [0030] 본 발명의 제 1 실시형태에 따른 반도체 에피텍셀 웨이퍼(100)의 제조 방법은, 도 1에 나타난 바와 같이, 반도체 웨이퍼(10)에 클러스터 이온(16)을 조사하여, 반도체 웨이퍼(10)의 표면(10A)에, 상기 클러스터 이온(16)의 구성 원소로 이루어진 개질층(18)을 형성하는 제 1 공정(도 1(A), (B))과, 반도체 웨이퍼(10)의 표면(10A)의 헤이즈 레벨이 0.20ppm 이하가 되도록, 결정성 회복을 위한 열처리(회복 열처리)를 반도체 웨이퍼(10)에 대해 행하는 제 2 공정(도 1(C))과, 반도체 웨이퍼(10)의 개질층(18) 상에 에피텍셀층(20)을 형성하는 제 3 공정(도 1(D))을 가지는 것을 특징으로 한다. 도 1(D)는, 상기 제조 방법의 결과 얻어진 반도체 에피텍셀 웨이퍼(100)의 모식적인 단면도이다.
- [0031] 반도체 웨이퍼(10)로서는, 예컨대 실리콘, 화합물 반도체(GaAs, GaN, SiC)로 이루어지며, 표면에 에피텍셀층을 가지지 않는 벌크의 단결정 웨이퍼를 들 수 있다. 이면조사형 고체 활상 소자를 제조하는 경우, 일반적으로는 벌크의 단결정 실리콘 웨이퍼를 이용한다. 또한, 반도체 웨이퍼(10)는, 초크랄스키법(CZ법)이나 부유 대역 용융법(FZ법)에 의해 성장된 단결정 실리콘 잉곳을 실톱(wire saw) 등으로 슬라이스한 것을 사용할 수 있다. 또

한, 보다 높은 게터링 능력을 얻기 위해, 탄소 및/또는 질소를 첨가해도 된다. 또한, 임의의 불순물 도펀트를 첨가하여, n형 또는 p형으로 해도 된다. 도 1에 나타난 제 1 실시형태는, 반도체 웨이퍼(10)로서, 표면에 에피택셜층을 가지지 않는 벌크 반도체 웨이퍼(12)를 이용하는 예이다.

[0032] 또한, 반도체 웨이퍼(10)로서는, 도 2(A)에 나타난 바와 같이, 벌크 반도체 웨이퍼(12) 표면에 반도체 에피택셜층(제 1 에피택셜층)(14)이 형성된 에피택셜 반도체 웨이퍼를 들 수도 있다. 예컨대, 벌크의 단결정 실리콘 웨이퍼의 표면에 실리콘 에피택셜층이 형성된 에피택셜 실리콘 웨이퍼이다. 실리콘 에피택셜층은, CVD(Chemical Vapor Deposition)법에 의해 일반적인 조건으로 형성할 수 있다. 제 1 에피택셜층(14)은, 두께를 0.1~10 μ m의 범위 내로 하는 것이 바람직하며, 0.2~5 μ m의 범위 내로 하는 것이 더욱 바람직하다.

[0033] 그 예로서, 본 발명의 제 2 실시형태에 의한 반도체 에피택셜 웨이퍼(200)의 제조 방법은, 도 2에 나타난 바와 같이, 벌크 반도체 웨이퍼(12)의 표면(적어도 한쪽 면)에 제 1 에피택셜층(14)이 형성된 반도체 웨이퍼(10)에 클러스터 이온(16)을 조사하여, 반도체 웨이퍼의 표면(10A)(본 실시형태에서는 제 1 에피택셜층(14)의 표면)에, 클러스터 이온(16)의 구성 원소로 이루어진 개질층(18)을 형성하는 제 1 공정(도 2(A)~(C))과, 반도체 웨이퍼의 표면(10A)의 헤이즈 레벨이 0.20ppm 이하가 되도록, 결정성 회복을 위한 열처리(회복 열처리)를 반도체 웨이퍼(10)에 대해 행하는 제 2 공정(도 2(D))과, 반도체 웨이퍼(10)의 개질층(18) 상에 에피택셜층(20)을 형성하는 제 3 공정(도 2(E))을 가지는 것을 특징으로 한다. 도 2(E)는, 상기 제조 방법의 결과 얻어진 반도체 에피택셜 웨이퍼(200)의 모식적인 단면도이다.

[0034] 여기서, 본 발명의 특징적 공정의 하나는, 도 1(A) 및 도 2(B)에 나타난 클러스터 이온 조사 공정이다. 상기 공정을 채용하는 것의 기술적 의의를, 작용 효과와 함께 설명한다. 클러스터 이온(16)을 조사한 결과 형성되는 개질층(18)은, 클러스터 이온(16)의 구성 원소가 반도체 웨이퍼 표면의 결정의 격자 간 위치 또는 치환 위치에 고용되어 국소적으로 존재하는 영역이며, 게터링 사이트로서 작용한다. 그 이유는, 이하와 같이 추측된다. 즉, 클러스터 이온의 형태로 조사된 탄소나 붕소 등의 원소는, 실리콘 단결정의 치환 위치·격자 간 위치에 고밀도로 국소적으로 존재한다. 그리고, 실리콘 단결정의 평형 농도 이상으로까지 탄소나 붕소를 고용시키면, 중금속의 고용도(전이(遷移)금속의 포화 용해도)가 매우 증가된다는 것이 실험적으로 확인되었다. 즉, 평형 농도 이상으로까지 고용된 탄소나 붕소에 의해 중금속의 고용도가 증가되고, 이에 따라 중금속에 대한 포획율이 현저히 증가된 것으로 생각된다.

[0035] 여기서, 본 발명에서는 클러스터 이온(16)을 조사하기 때문에, 모노머 이온을 주입하는 경우에 비해, 보다 높은 게터링 능력을 얻을 수 있다. 이 때문에, 보다 높은 게터링 능력을 가지는 반도체 에피택셜 웨이퍼(100, 200)를 제조하는 것이 가능해지며, 본 제법에 의해 얻어지는 반도체 에피택셜 웨이퍼(100, 200)로부터 제조한 이면 조사형 고체 촬상 소자는, 종래에 비해 화이트 스팟 결함의 발생 억제를 기대할 수 있다.

[0036] 참고로, 본 명세서에 있어서 「클러스터 이온」이란, 원자 또는 분자가 복수 집합하여 덩어리가 된 클러스터에 양전하 또는 음전하를 부여하여, 이온화한 것을 의미한다. 클러스터는, 복수(통상 2~2000개 정도)의 원자 또는 분자가 서로 결합된 덩어리 형태의 집단이다.

[0037] 본 발명자들은, 클러스터 이온을 조사함으로써, 높은 게터링 능력이 얻어지는 작용을 이하와 같이 생각하고 있다.

[0038] 실리콘 웨이퍼에, 예컨대 탄소의 모노머 이온을 주입하는 경우, 도 3(B)에 나타난 바와 같이, 모노머 이온은, 실리콘 웨이퍼를 구성하는 실리콘 원자를 스퍼터링하여, 실리콘 웨이퍼 중의 소정 깊이 위치에 주입된다. 주입 깊이는, 주입 이온의 구성 원소의 종류 및 이온의 가속 전압에 의존한다. 이 경우, 실리콘 웨이퍼의 깊이방향에 있어서의 탄소의 농도 프로파일은, 비교적 넓어지며, 주입된 탄소의 존재 영역은 대략 0.5~1 μ m 정도가 된다. 복수 종의 이온을 동일 에너지로 동시 조사한 경우에는, 가벼운 원소일수록 깊게 주입되기 때문에, 즉, 각각의 원소의 질량에 따른 상이한 위치에 주입되기 때문에, 주입 원소의 농도 프로파일은 보다 넓어진다.

[0039] 한편, 실리콘 웨이퍼에, 예컨대 탄소와 붕소로 이루어진 클러스터 이온을 조사하는 경우, 도 3(A)에 나타난 바와 같이, 클러스터 이온(16)은, 실리콘 웨이퍼에 조사되면 그 에너지로 순간적으로 1350~1400 $^{\circ}$ C 정도의 고온 상태가 되어, 실리콘이 용해된다. 이후, 실리콘은 급속히 냉각되어, 실리콘 웨이퍼 중의 표면 근방에 탄소 및 붕소가 고용된다. 즉, 본 명세서에 있어서의 「개질층」이란, 조사하는 이온의 구성 원소가 반도체 웨이퍼 표면의 결정의 격자 간 위치 또는 치환 위치에 고용된 층을 의미한다. 실리콘 웨이퍼의 깊이방향에 있어서의 탄소 및 붕소의 농도 프로파일은, 클러스터 이온의 가속 전압 및 클러스터 사이즈에 의존하는데, 모노머 이온의 경우에 비해 샤프해지며, 조사된 탄소 및 붕소가 국소적으로 존재하는 영역(즉, 개질층)의 두께는, 대략 500nm

이하의 영역(예컨대 50~400nm 정도)이 된다. 참고로, 클러스터 이온의 형태로 조사된 원소는, 에피텍셀층(20)의 형성 과정에서 다소의 열확산은 일어난다. 이 때문에, 에피텍셀층(20) 형성 후의 탄소 및 붕소의 농도 프로파일은, 이러한 원소가 국소적으로 존재하는 피크의 양측에, 넓은 확산 영역이 형성된다. 그러나, 개질층의 두께는 크게 변화되지 않는다(후술되는 도 5(A) 참조). 그 결과, 탄소 및 붕소의 석출 영역을 국소적이면서 고농도로 할 수 있다. 또한, 실리콘 웨이퍼의 표면 근방에 개질층(18)이 형성되기 때문에, 보다 근접 게터링이 가능해진다. 그 결과, 모노머 이온을 주입하는 경우보다 높은 게터링 능력을 얻을 수 있는 것으로 생각된다. 참고로, 클러스터 이온의 형태이면, 한 번의 클러스터 이온 조사 처리에 의해 복수 종의 이온을 동시에 조사할 수 있는 이점도 있다.

[0040] 모노머 이온은 일반적으로 150~2000keV 정도의 가속 전압으로 주입하는데, 각 이온이 그 에너지를 가지고 실리콘 원자와 충돌하기 때문에, 모노머 이온이 주입된 실리콘 웨이퍼 표층부의 결정성이 크게 흐트러진다. 이 때문에, 이온 주입 후에 흐트러진 결정성을 회복시키기 위한 열처리(회복 열처리)를 행하더라도, 이후에 형성하는 에피텍셀층 표면의 헤이즈 레벨의 회복율이 낮다.

[0041] 한편, 클러스터 이온은 일반적으로 10~100keV/Cluster 정도의 가속 전압으로 조사하는데, 클러스터는 복수의 원자 또는 분자의 집합체이기 때문에, 1 원자 또는 1 분자 당의 에너지를 작게 하여 주입할 수 있다. 이 때문에, 반도체 웨이퍼 표층부의 결정에 미치는 손상은 작다. 게다가, 도 3에 나타낸 바와 같은 주입 메카니즘의 상이(相異)에도 기인하여, 클러스터 이온을 조사하는 쪽이 모노머 이온을 주입하는 것보다 반도체 웨이퍼의 표층부의 결정성을 저하되지 않는다. 단, 사용하는 클러스터 이온의 사이즈나 도스량에 따라서는 반도체 웨이퍼의 가장 바깥쪽 면(outermost surface)의 결정성이 흐트러져, 에피텍셀층 표면의 헤이즈 레벨이 높아지는 경우가 있다. 이 경우에 있어서도, 제 1 공정 후, 제 2 공정에서 소정 조건의 회복 열처리를 행하고, 이후 에피텍셀층(20)을 에피텍셀 성장시키는 제 3 공정을 행함으로써, 에피텍셀층(20) 표면의 헤이즈 레벨을 충분히 저감시킬 수 있다.

[0042] 클러스터 이온(16)은 결합 양식에 따라 다종(多種)의 클러스터가 존재하며, 예컨대 이하의 문헌에 기재된 바와 같은 공지의 방법으로 생성할 수 있다. 가스 클러스터 빔의 생성법으로서, (1) 일본 특허공개공보 H09-41138호, (2) 일본 특허공개공보 H04-354865호, 이온 빔의 생성법으로서, (1) 하전 입자 빔 공학: 이시카와 준조: ISBN978-4-339-00734-3 :CORONA PUBLISHING, (2) 전자·이온 빔 공학: 전기학회: ISBN4-88686-217-9 :Ohmsha, (3) 클러스터 이온 빔 기초와 응용: ISBN4-526-05765-7: THE NIKKAN KOGYO SHIMBUN. 또한, 일반적으로, 양전하의 클러스터 이온의 발생에는 닐슨형 이온원(Nielsen ion source) 혹은 코프만형 이온원(Kaufman ion source)이 이용되고, 음전하의 클러스터 이온의 발생에는 체적 생성법을 이용한 대전류 음이온원이 이용된다.

[0043] 이하에서는, 클러스터 이온의 조사 조건에 대해 설명한다. 우선, 조사하는 원소는 특별히 한정되지 않으며, 탄소, 붕소, 인, 비소 등을 들 수 있다. 그러나, 보다 높은 게터링 능력을 얻는 관점에서 보면, 클러스터 이온이, 구성 원소로서 탄소를 포함하는 것이 바람직하다. 격자 위치의 탄소 원자는 공유 결합 반경이 실리콘 단결정에 비해 작기 때문에, 실리콘 결정 격자의 수축장(收縮場, compression site)이 형성되므로, 격자 간의 불순물을 끌어당기는 게터링 능력이 높다.

[0044] 또한, 구성 원소로서 탄소를 포함하는 2종 이상의 원소를 포함하는 것이 더욱 바람직하다. 석출 원소의 종류에 따라 효율적으로 게터링 가능한 금속의 종류가 달라지기 때문에, 2종 이상의 원소를 고용시킴으로써, 보다 폭넓은 금속 오염에 대응할 수 있기 때문이다. 예컨대, 탄소의 경우는, 니켈을 효율적으로 게터링할 수 있고, 붕소의 경우는, 구리, 철을 효율적으로 게터링할 수 있다.

[0045] 이온화시키는 화합물은 특별히 한정되지 않는데, 이온화가 가능한 탄소원 화합물로서는, 에탄, 메탄, 이산화탄소(CO₂) 등을 이용할 수 있고, 이온화가 가능한 붕소원 화합물로서는, 디보란, 테카보란(B₁₀H₁₄) 등을 이용할 수 있다. 예컨대, 벤질과 테카보란을 혼합한 가스를 재료 가스로 한 경우, 탄소, 붕소 및 수소가 집합된 수소화합물 클러스터를 생성할 수 있다. 또한, 시클로헥산(C₆H₁₂)을 재료로 하면, 탄소 및 수소로 이루어진 클러스터 이온을 생성할 수 있다. 탄소원 화합물로서는 특히 피렌(C₁₆H₁₀), 디벤질(C₁₄H₁₄) 등으로부터 생성된 클러스터 C_nH_m(3≤n≤16, 3≤m≤10)을 이용하는 것이 바람직하다. 작은 사이즈의 클러스터 이온 빔을 형성하기 쉽기 때문이다.

[0046] 또한, 클러스터 이온의 가속 전압 및 클러스터 사이즈를 제어함으로써, 개질층(18)에 있어서의 구성 원소의 깊이방향의 농도 프로파일의 피크의 위치를 제어할 수 있다. 본 명세서에 있어서 「클러스터 사이즈」란, 1개의 클러스터를 구성하는 원자 또는 분자의 개수를 의미한다.

- [0047] 본 실시형태의 제 1 공정에서는, 높은 게터링 능력을 얻는 관점에서, 반도체 웨이퍼(10)의 표면(10A)으로부터의 깊이가 150nm 이하인 범위 내에, 개질층(18)에 있어서의 구성 원소의 깊이방향의 농도 프로파일의 피크가 위치하도록, 클러스터 이온(16)을 조사한다. 참고로, 본 명세서에 있어서, 「구성 원소의 깊이방향의 농도 프로파일」은, 구성 원소가 2종 이상의 원소를 포함하는 경우는, 합계가 아니라, 각각 단독의 원소에 대한 프로파일을 의미하는 것으로 한다.
- [0048] 피크 위치를 해당 깊이의 범위로 설정하기 위해 필요한 조건으로서, 클러스터 이온으로서 C_nH_m ($3 \leq n \leq 16$, $3 \leq m \leq 10$)을 이용하는 경우, 탄소 1 원자 당의 가속 전압은, 0keV/atom 초과 50keV/atom 이하로 하며, 바람직하게는, 40keV/atom 이하로 한다. 또한, 클러스터 사이즈는 2~100개, 바람직하게는 60개 이하, 보다 바람직하게는 50개 이하로 한다.
- [0049] 참고로, 가속 전압의 조정에는, (1) 정전(靜電) 가속, (2) 고주파 가속의 2가지 방법이 일반적으로 이용된다. 전자의 방법으로서, 복수의 전극을 등간격으로 늘어놓고, 이들 사이에 동일한 전압을 인가(印加)하여, 축방향으로 등가속(等加速) 전계를 만드는 방법이 있다. 후자의 방법으로서, 이온을 직선 형상으로 주행시키면서 고주파를 이용하여 가속하는 선형 가속법(linear acceleration (linac) method)이 있다. 또한, 클러스터 사이즈의 조정은, 노즐로부터 분출되는 가스의 가스 압력 및 진공 용기의 압력, 이온화할 때의 필라멘트에 인가하는 전압 등을 조정함으로써 행할 수 있다. 참고로, 클러스터 사이즈는, 사중극(四重極) 고주파 전계에 의한 질량 분석 또는 타임 오브 플라이트(time-of-flight) 질량 분석에 의해 클러스터 개수 분포를 구하고, 클러스터 개수의 평균치를 취함으로써 구할 수 있다.
- [0050] 또한, 클러스터 이온의 도스량은, 이온 조사 시간을 제어함으로써 조정할 수 있다. 본 실시형태에서는, 게터링 능력을 얻기 위해, 클러스터 이온의 탄소의 도스량은, $1 \times 10^{13} \sim 1 \times 10^{16} \text{ atom/cm}^2$ 인 것이 바람직하다. $1 \times 10^{13} \text{ atom/cm}^2$ 미만인 경우, 게터링 능력을 충분히 얻지 못할 가능성이 있고, $1 \times 10^{16} \text{ atom/cm}^2$ 를 초과하는 경우, 에피텍셜 표면에 커다란 손상을 줄 우려가 있기 때문이다. 클러스터 이온의 탄소의 도스량은 특히, $2.0 \times 10^{14} \text{ atom/cm}^2$ 이상으로 하는 것이 바람직하다. 이 경우, 반도체 웨이퍼의 결정에 미치는 손상이 커지기 때문에, 회복 열처리에 의한 결정성 회복의 효과가 보다 효과적으로 된다.
- [0051] 본 발명의 다른 특징적 공정은, 반도체 웨이퍼 표면(10A)의 헤이즈 레벨이 0.20ppm 이하가 되도록, 결정성 회복을 위한 열처리(회복 열처리)를 반도체 웨이퍼(10)에 대해 행하는 제 2 공정(도 1(C), 도 2(D))이다. 반도체 웨이퍼의 표면(10A)의 헤이즈 레벨을 0.20ppm 이하로 하면, 이어지는 제 3 공정에서 에피텍셜층(20)을 형성함으로써, 반도체 에피텍셜 웨이퍼의 에피텍셜층 표면을 0.30ppm 이하로 하는 것이 가능해진다.
- [0052] 여기서, 헤이즈 레벨이란, 반도체 웨이퍼의 표면 조도(粗度, roughness)의 지표이다. 반도체 웨이퍼에, 에피텍셜층이 형성되면, 에피텍셜층의 표면에 헤이즈(Haze)라 불리는 흐림(dulling)이 발생하기 쉽고, 파티클 카운터에 의한 LPD(Light Point Defects : 휘점 결함)의 측정이 곤란해져, 반도체 에피텍셜 웨이퍼의 품질을 보증할 수 없게 되는 경우가 있기 때문에, 상기 지표가 이용된다. 헤이즈 레벨은, 웨이퍼 표면에 조사한 광(주로 레이저 광)의 표면 산란광을 측정하였을 때의, 입사광에 대한 전산란광(全散亂光)의 비율(ppm)로서 구해지며, 임의의 방법에 의해 측정할 수 있다. 예컨대, 표면 결함 검사 장치인 KLA-Tencor사(社)에서 제조한 Surfscan SP-1을 이용하여, DWN 모드(Dark Field Wide Normal 모드 : 암시야·와이드·수직 입사 모드)로 웨이퍼 표면을 관찰하여, 얻어진 헤이즈치의 평균치를 헤이즈 레벨로서 평가할 수 있다. 일반적으로, 표면 조도가 클수록 헤이즈 레벨은 높아진다.
- [0053] 하나의 실시형태에서는, 반도체 웨이퍼의 표면(10A)의 헤이즈 레벨을 0.20ppm 이하로 하는 회복 열처리를 행하기 위해서는, 에피텍셜층(20)을 형성하기 위한 에피텍셜 성장 장치 내에서, 에피텍셜 성장에 앞서 행해지는 수소 베이킹 처리를 겸하여, 반도체 웨이퍼(10)의 결정성을 회복시킬 수 있다. 여기서, 수소 베이킹 처리의 일반적인 조건은, 에피텍셜 성장 장치의 내부를 수소 분위기로 하고, 600℃ 이상 900℃ 이하의 노내 온도(爐內溫度, furnace temperature)에서 실리콘 웨이퍼(10)를 노내(爐內)에 투입하여, 1℃/초 이상 15℃/초 이하의 승온(昇溫) 속도로 1100℃ 이상 1200℃ 이하의 온도 범위까지 승온시키고, 그 온도로 30초 이상 1분 이하 동안 유지시키는 것이다. 본 실시형태에서는 결정성을 충분히 회복하는 관점에서, 상기의 일반적인 수소 베이킹 처리 이상의 열처리를 적극적으로 행하는 것이다. 수소 베이킹 처리를 겸하는 경우의 회복 열처리 조건은, 상기 유지 온도 및 유지 시간을 각각 1100~1200℃, 1분 이상으로 할 수 있으며, 유지 시간을 2분 이상으로 하는 것이 더욱 바람직하다. 열처리 시간의 상한(上限)은 특별히 한정되지 않는데, 예컨대 10분으로 할 수 있다. 10분을 초과하여 열처리를 실시하더라도, 클러스터 이온 조사에 의해 흐트러진 결정성을 회복시키는 효과는 포

화되어 있어, 더욱 장시간의 열처리는 생산성 저하를 초래하기 때문이다. 참고로, 상기 에피택셀 성장에 앞서 행해지는 수소 베이킹 처리를 겸한 회복 열처리를 행하는 경우, 수소 베이킹 처리를 모의(模擬)한 동일 조건의 회복 열처리를 행함으로써, 회복 열처리 후 에피택셀층 형성 전의 반도체 웨이퍼의 표면(10A)의 헤이즈 레벨을 측정할 수 있다.

[0054] 또한, 회복 열처리의 다른 실시형태로서, 제 2 공정에서는, RTA/RTO(Rapid Thermal Oxidation)나, 배치식 열처리 장치(세로형 열처리 장치, 가로형 열처리 장치) 등, 에피택셀 장치와는 별개의 가열 장치를 이용하여 회복 열처리를 행하는 것이 가능하다. 이 경우의 회복 열처리는, 900~1200℃, 10초~1시간의 회복 열처리 조건으로 행하는 것이 가능하다. 여기서, 열처리 온도를 900~1200℃ 이하로 하는 것은, 900℃ 미만에서는, 결정성의 회복 효과를 얻기가 어렵기 때문이며, 한편, 1200℃를 초과하면, 고온에서의 열처리에 기인하는 슬립(slip)이 발생하고, 또한, 장치에 대한 열부하가 커지기 때문이다. 또한, 열처리 시간을 10초~1시간으로 하는 것은, 10초 미만에서는 회복 효과를 얻기가 어렵기 때문이며, 한편, 1시간을 초과하면, 생산성 저하를 초래하며, 장치에 대한 열부하가 커지기 때문이다. 이 경우, 상기 회복 열처리를 행한 후에, 에피택셀 성장 장치에 반도체 웨이퍼(10)를 반송하여, 이어지는 제 3 공정을 행한다. 참고로, 클러스터 이온의 탄소의 도스량이 1.0×10^{15} atom/cm² 이상인 경우는, 회복 열처리에 필요로 하는 시간이 길어지기 때문에, 에피택셀 성장 장치 내로 반송하기 전에 상기 회복 열처리를 행하는 것이 더욱 바람직하다.

[0055] 본 실시형태의 제 3 공정에 있어서, 개질층(18) 상에 형성하는 제 2 에피택셀층(20)으로서는, 실리콘 에피택셀층을 들 수 있으며, 일반적인 조건에 의해 형성할 수 있다. 예컨대, 수소를 캐리어 가스로 하여, 디클로로실란, 트리클로로실란 등의 소스 가스를 챔버 내에 도입하고, 사용하는 소스 가스에 의해서도 성장 온도는 달라지지만, 대략 1000~1200℃의 범위의 온도로 CVD법에 의해 반도체 웨이퍼(10) 상에 에피택셀 성장시킬 수 있다. 에피택셀층(20)은, 1~15μm의 두께 범위 내로 하는 것이 바람직하다. 1μm 미만인 경우, 반도체 웨이퍼(10)로부터의 도펀트의 외방(外方) 확산에 의해 제 2 에피택셀층(20)의 저항율이 변화되어 버릴 가능성이 있고, 또한, 15μm를 초과하는 경우, 고체 촬상 소자의 분광 감도 특성에 영향을 미칠 우려가 있기 때문이다. 제 2 에피택셀층(20)은 이면조사형 고체 촬상 소자를 제조하기 위한 디바이스층이 된다.

[0056] 참고로, 도 2에 나타낸 제 2 실시형태에서는, 클러스터 이온 조사를 벌크 반도체 웨이퍼(12)가 아닌 제 1 에피택셀층(14)에 행하는 것도 특징의 하나이다. 벌크 반도체 웨이퍼는 에피택셀층에 비해 산소 농도가 2자리수 정도 높다. 이 때문에, 벌크 반도체 웨이퍼 중에 형성된 개질층은, 에피택셀층에 형성된 개질층보다 많은 산소가 확산되고, 많은 산소를 포획한다. 포획된 산소는 디바이스 공정 중에 포획 사이트로부터 재방출되며, 디바이스의 활성 영역으로 확산되어, 점(點)결함을 형성하기 때문에, 디바이스의 전기 특성에 악영향을 준다. 따라서, 고용 산소 농도가 낮은 에피택셀층에 클러스터 이온을 조사하여, 산소 확산의 영향을 거의 무시할 수 있는 에피택셀층에 게터링층을 형성하는 것이 디바이스 공정에 있어서 중요한 설계 조건이 된다.

[0057] (반도체 에피택셀 웨이퍼)

[0058] 다음으로, 상기 제조 방법에 의해 얻어지는 반도체 에피택셀 웨이퍼(100, 200)에 대해 설명한다. 제 1 실시형태에 따른 반도체 에피택셀 웨이퍼(100) 및 제 2 실시형태에 따른 반도체 에피택셀 웨이퍼(200)는, 도 1(D) 및 도 2(E)에 나타낸 바와 같이, 반도체 웨이퍼(10)와, 상기 반도체 웨이퍼(10)의 표면에 형성되고, 반도체 웨이퍼(10) 중에 고용된 소정 원소로 이루어지는 개질층(18)과, 상기 개질층(18) 상의 에피택셀층(20)을 가진다. 그리고, 어느 경우에 있어서도 개질층(18)에 있어서의 소정 원소의 깊이방향의 농도 프로파일의 반치폭(W)(피크의 폭을 특징짓는 파라미터. 피크의 폭을 특징짓는 양이며, 피크치의 1/2의 값을 갖는 횡축의 폭을 말한다)이 100nm 이하이고, 또한 에피택셀층(20) 표면의 헤이즈 레벨이 0.30ppm 이하인 것을 특징으로 한다.

[0059] 즉, 본 발명의 제조 방법에 의하면, 모노머 이온 주입에 비해, 클러스터 이온을 구성하는 원소의 석출 영역을 국소적이고 고농도로 할 수 있기 때문에, 상기 반치폭(W)을 100nm 이하로 하는 것이 가능해진다. 하한(下限)으로서는 10nm로 설정할 수 있다. 참고로, 본 명세서에 있어서의 「깊이방향의 농도 프로파일」은, 2차 이온 질량분석법(SIMS : Secondary Ion Mass Spectrometry)으로 측정된 깊이방향의 농도 분포를 의미한다. 또한, 「소정 원소의 깊이방향의 농도 프로파일의 반치폭」은, 측정 정밀도를 고려하여, 에피택셀층의 두께가 1μm를 초과하는 경우는, 에피택셀층을 1μm로 박막화한 상태에서, SIMS로 소정 원소의 농도 프로파일을 측정하였을 때의 반치폭으로 한다.

[0060] 또한, 본 발명의 제조 방법에 의하면, 클러스터 이온 조사 후에 반도체 웨이퍼(10)의 표면(10A)의 헤이즈 레벨이 0.20ppm 이하가 되도록 회복 열처리를 행하고 나서 에피택셀층(20)을 형성함으로써, 상기 헤이즈 레벨을 0.30ppm 이하로 하는 것이 가능해졌다. 참고로, 반도체 에피택셀 웨이퍼 표면의 헤이즈 레벨의 측정은, 전술한

반도체 웨이퍼의 헤이즈 레벨 측정과 동일하게 하여 행할 수 있다.

- [0061] 소정 원소로서는, 반도체 웨이퍼의 주재료(실리콘 웨이퍼의 경우, 실리콘) 이외의 원소라면 특별히 한정되지 않으나, 탄소 또는 탄소를 포함하는 2종 이상의 원소로 하는 것이 바람직하다는 것은 전술한 대로이다.
- [0062] 보다 높은 게터링 능력을 얻는 관점에서 보면, 반도체 에피택셜 웨이퍼(100, 200)는 모두, 반도체 웨이퍼(10)의 표면으로부터의 깊이가 150nm 이하인 범위 내에, 개질층(18)에 있어서의 농도 프로파일의 피크가 위치하는 것이 바람직하다. 또한, 농도 프로파일의 피크 농도가, $1 \times 10^{15} \text{ atom/cm}^3$ 이상인 것이 바람직하고, $1 \times 10^{17} \sim 1 \times 10^{22} \text{ atom/cm}^3$ 의 범위 내인 것이 보다 바람직하며, $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atom/cm}^3$ 의 범위 내인 것이 더욱 바람직하다.
- [0063] 또한, 반도체 에피택셜 웨이퍼(100, 200) 모두, 에피택셜층(20) 표면의 헤이즈 레벨은 0.30ppm 이하이고, 0.26ppm 이하인 것이 보다 바람직하며, 하한으로서는 0.05ppm으로 설정할 수 있다.
- [0064] 또한, 개질층(18)의 깊이방향 두께는, 대략 30~400nm의 범위 내로 할 수 있다.
- [0065] 본 실시형태의 반도체 에피택셜 웨이퍼(100, 200)에 의하면, 종래에 비해 높은 게터링 능력을 발휘함으로써, 금속 오염을 보다 억제할 수 있으며, 또한, 에피택셜층 표면의 헤이즈 레벨을 0.30ppm 이하로 할 수 있다.
- [0066] (고체 활상 소자의 제조 방법)
- [0067] 본 발명의 실시형태에 따른 고체 활상 소자의 제조 방법은, 상기의 제조 방법으로 제조된 에피택셜 웨이퍼 또는 상기의 에피택셜 웨이퍼, 즉 반도체 에피택셜 웨이퍼(100, 200)의 표면에 위치하는 에피택셜층(20)에, 고체 활상 소자를 형성하는 것을 특징으로 한다. 상기 제조 방법에 의해 얻어지는 고체 활상 소자는, 종래에 비해 제조 공정의 각 처리 중에서 발생하는 중금속 오염의 영향을 저감시킬 수 있어, 종래에 비해 화이트 스팟 결함의 발생을 충분히 억제할 수 있다.
- [0068] 이상, 본 발명의 대표적인 실시형태에 대해 설명하였지만, 본 발명은 이러한 실시형태에 한정되는 것은 아니다. 예컨대, 반도체 웨이퍼(10) 상에 2층의 에피택셜층을 형성해도 된다.
- [0069] 실시예
- [0070] (참고 실험예)
- [0071] 우선, 클러스터 이온 조사와 모노머 이온 주입의 상이(相異)를 명확히 하기 위해, 이하의 실험을 행하였다.
- [0072] (참고예 1)
- [0073] CZ 단결정으로부터 얻은, n형 실리콘 웨이퍼(직경: 300mm, 두께: 725 μm , 도펀트: 인, 도펀트 농도: $4 \times 10^{14} \text{ atom/cm}^3$)를 준비하였다. 그런 다음, 클러스터 이온 발생 장치(Nissin Ion Equipment Co., Ltd. 제조, 모델 번호: CLARIS)를 이용해서, 디벤질($\text{C}_{14}\text{H}_{14}$)로부터 C_5H_5 클러스터를 생성하여, 도스량 $1.2 \times 10^{14} \text{ Clusters/cm}^2$ (탄소의 도스량 $6.0 \times 10^{14} \text{ atom/cm}^2$), 탄소 1 원자 당 14.8keV/atom의 조사 조건으로 실리콘 웨이퍼에 조사하였다.
- [0074] (참고예 2)
- [0075] 참고예 1과 동일한 실리콘 웨이퍼에 대해, 클러스터 이온 조사 대신에, CO_2 를 재료 가스로 하여, 탄소의 모노머 이온을 생성하고, 도스량 $1.2 \times 10^{14} \text{ atom/cm}^2$, 가속 전압 300keV/atom의 조건으로 한 것 이외에는, 참고예 1과 동일한 조건으로, 실리콘 웨이퍼에 조사하였다.
- [0076] (SIMS 측정 결과)
- [0077] 상기 참고예 1 및 2에서 제작한 샘플에 대해, SIMS에 의해 측정을 행하여, 도 4에 나타낸 탄소의 농도 프로파일을 얻었다. 참고로, 가로축(橫軸)의 깊이는 실리콘 웨이퍼의 표면을 제로로 하고 있다. 상기 도 4로부터 분명한 바와 같이, 클러스터 이온을 조사한 참고예 1에서는, 탄소 농도 프로파일이 샤프하지만, 모노머 이온을 주입한 참고예 2에서는, 탄소 농도 프로파일이 넓다. 또한, 참고예 2에 비해 참고예 1에서는, 탄소의 농도 프로파일의 피크 농도가 높고, 피크 위치도 보다 실리콘 웨이퍼 표면 근방에 위치하고 있다. 이것으로부터, 에피택셜층 형성 후에도, 탄소의 농도 프로파일의 경향은 동일해지는 것으로 추정된다.

- [0078] (실시예 1)
- [0079] CZ 단결정으로부터 얻은 n형 실리콘 웨이퍼(직경 : 300mm, 두께 : 725 μ m, 도펀트 종류 : 인, 도펀트 농도 : 4×10^{14} atom/cm³)를 준비하였다. 그런 다음, 클러스터 이온 발생 장치(Nissin Ion Equipment Co., Ltd. 제조, 모델 번호 : CLARIS)를 이용해서, 디벤질(C₁₄H₁₄)로부터 C₅H₅ 클러스터를 생성하여, 도스량 1.2×10^{14} Clusters/cm² (탄소의 도스량 6.0×10^{14} atom/cm²), 탄소 1 원자 당 14.8keV/atom의 조사 조건으로 실리콘 웨이퍼에 조사하였다. 이후, 실리콘 웨이퍼를 에피택셀 성장 장치(Applied Materials, Inc. 제조) 내로 반송하여, 클러스터 이온 조사에 의해 흐트러진 결정성의 회복 열처리로서, 장치 내에서 1130 $^{\circ}$ C의 온도로 2 분 동안의 수소 베이킹 처리를 겸한 열처리를 실시한 후, 수소를 캐리어 가스, 트리클로로실란을 소스 가스로 하여 1000~1150 $^{\circ}$ C에서 CVD법에 의해, 실리콘 웨이퍼 상에 실리콘의 에피택셀층(두께 : 7 μ m, 도펀트 종류 : 인, 도펀트 농도 : 1×10^{15} atom/cm³)을 에피택셀 성장시켜, 본 발명에 따른 실리콘 에피택셀 웨이퍼로 하였다.
- [0080] (실시예 2)
- [0081] 에피택셀 장치 내에서의 수소 베이킹 처리를 겸한 회복 열처리 대신에, 실리콘 웨이퍼를 에피택셀 성장 장치로 반송하기 전에, RTA 장치(Mattson Thermal Products GmbH 제조)를 사용하여, 900 $^{\circ}$ C, 10초의 조건으로 회복 열처리를 실시하고, 이후 에피택셀 성장 장치 내로 반송하여, 장치 내에서 1130 $^{\circ}$ C의 온도로 30초의 수소 베이킹 처리를 실시하여 에피택셀층을 성장시킨 것 이외에는, 실시예 1과 동일한 조건으로, 본 발명에 따른 실리콘 에피택셀 웨이퍼를 제작하였다.
- [0082] (실시예 3)
- [0083] 클러스터 이온의 조사 조건을 표 1에 기재된 조건으로 한 것 이외에는, 실시예 1과 동일하게 하여 본 발명에 따른 실리콘 에피택셀 웨이퍼를 제작하였다.
- [0084] (실시예 4)
- [0085] 클러스터 이온의 조사 조건을 표 1에 기재된 조건으로 한 것 이외에는, 실시예 2와 동일하게 하여 본 발명에 따른 실리콘 에피택셀 웨이퍼를 제작하였다.
- [0086] (비교예 1, 2)
- [0087] 클러스터 이온의 조사 조건을 표 1에 기재된 바와 같이 하고, 회복 열처리 공정을 행하지 않은 것 이외에는, 실시예 2와 동일하게 하여 비교예에 따른 실리콘 에피택셀 웨이퍼를 제작하였다.
- [0088] (비교예 3, 4)
- [0089] 클러스터 이온을 조사하는 대신에, 표 1에 기재된 조건으로 탄소의 모노머 이온을 주입하고, 또한 회복 열처리 조건을 표 1에 기재된 조건으로 한 것 이외에는, 비교예 1과 동일하게 하여 비교예에 따른 실리콘 에피택셀 웨이퍼를 제작하였다.
- [0090] (평가 방법 및 평가 결과)
- [0091] 상기 실시예 및 비교예에서 제작한 각 샘플에 대해 평가를 실시하였다. 평가 방법을 이하에 나타낸다.
- [0092] (1) SIMS 측정
- [0093] 대표예로서, 실시예 1 및 비교예 4의 실리콘 에피택셀 웨이퍼에 대해 SIMS 측정을 행하여, 도 5(A) 및 (B)에 나타낸 탄소의 농도 프로파일을 얻었다. 참고로, 가로축의 깊이는 에피택셀층의 표면을 제로로 하고 있다. 또한, 실시예 1~4 및 비교예 1~4에서 제작한 각 샘플에 대해, 에피택셀층을 1 μ m까지 박막화한 후에 SIMS 측정을 하였다. 이때 얻어진 탄소의 농도 프로파일의 반치폭, 피크 농도, 및 피크 위치(에피택셀층을 제외한 표면으로부터의 피크 깊이)를 표 1에 나타내었다.
- [0094] (2) 케터링 능력 평가
- [0095] 실시예 1 및 비교예 4에서 제작한 각 샘플의 실리콘 에피택셀 웨이퍼 표면을, Ni 오염액(1.0×10^{12} /cm²)으로, 스펀 코트 오염법을 이용하여 고의로 오염시키고, 이어서 900 $^{\circ}$ C, 30 분의 열처리를 실시하였다. 이후, SIMS 측정을 하였다. 실시예 1 및 비교예 4에 대한 Ni 농도 프로파일을, 각각 탄소 농도 프로파일과 함께 나타내었다(도

5(A), (B)). 다른 실시예 및 비교예에 대해서는, 케터링 능력 평가의 결과를 표 1에 나타내었다. 참고로, Ni 농도 프로파일의 피크 농도를 이하와 같이 각각 분류하여, 평가 기준으로 하였다.

[0096] ◎ : 1.0×10^{17} atom/cm³ 이상

[0097] ○ : 5.0×10^{16} atom/cm³ 이상 ~ 1.0×10^{17} atom/cm³ 미만

[0098] △ : 5.0×10^{16} atom/cm³ 미만

[0099] (3) 에피텍셀 결함의 평가

[0100] 실시예 및 비교예에서 제작한 각 샘플에 대해, 에피텍셀층 표면에서 관찰되는 에피텍셀 결함을 평가하였다. 표면 결함 검사 장치(KLA-Tencor사 제조 : Surfscan SP-2)를 이용하여, DWO 모드(Dark Field Wide Oblique 모드 : 암시야 · 와이드 · 경사 입사 모드)로 에피텍셀층 표면을 관찰하고, 검출된 결함 부위를 원자간력 현미경(AFM : Atomic Force Microscope)을 이용하여 정점(定點) 관찰 평가하였다. 에피텍셀층 표면에서 관찰된 COP(Crystal originated particles)를 기점으로 한 적층 결함(SF : Staking Fault)의 개수를 측정하여, 이것을 에피텍셀 결함으로서 평가하였다. 에피텍셀 결함의 평가 결과를 표 1에 나타내었다. 참고로, 평가 기준은 이하와 같다.

[0101] ◎ : 2개/웨이퍼 이하

[0102] ○ : 2개/웨이퍼 초과 ~ 10개/웨이퍼 이하

[0103] △ : 10개/웨이퍼 초과 ~ 50개/웨이퍼 이하

[0104] × : 50개/웨이퍼 초과

[0105] (4) 헤이즈 레벨의 평가

[0106] 실시예 및 비교예에서 제작한 각 샘플에 대해, KLA-Tencor사에서 제조한 Surfscan SP-1을 이용하여, DWN 모드로 에피텍셀층 형성 전의 실리콘 웨이퍼 표면 및 에피텍셀 형성 후의 에피텍셀층 표면을 각각 관찰하고, 얻어진 헤이즈치의 평균치를 헤이즈 레벨로서 평가하였다. 헤이즈 레벨의 평가 결과를 표 1에 나타내었다. 참고로, 실시예 1 및 3의 클러스터 이온 조사 후이며 에피텍셀층 형성 전에 있어서의 실리콘 웨이퍼 표면의 헤이즈 레벨에 대해서는, 수소 베이킹을 모의한 회복 열처리를 행하였을 때의 헤이즈 레벨을 측정하는 것이다.

[0107] [표 1]

	클러스터 이온 조사/모노머 이온 주입 조건				회복열처리 조건			에피텍셀 증 성장전의 평가		에피텍셀 실리온 웨이퍼의 평가				
	종별	조사/주입 이온	가속전압 (keV/atom)	도스량※ (클러스터/cm ²) (atoms/cm ²)	온도 (°C)	시간	장치 종별	헤이즈 레벨 (ppm)	반치폭 (nm)	탄소농도 피크위치 (nm)	탄소농도 피크치 (atoms/cm ³)	헤이즈 레벨 (ppm)	게터링 능력	에피텍셀 결함
실시예1	클러스터 이온	C ₆ H ₅	14.8	1.2×10 ¹⁴	1130	2분	에피텍셀 장치	0.155	91	50	3.00×10 ¹⁹	0.233	◎	◎
실시예2	클러스터 이온	C ₆ H ₅	14.8	1.2×10 ¹⁴	900	10초	RTA	0.150	93	50	3.02×10 ¹⁹	0.215	◎	◎
비교예1	클러스터 이온	C ₆ H ₅	14.8	1.2×10 ¹⁴	-	-	-	0.322	89	50	3.00×10 ¹⁹	0.350	◎	△
실시예3	클러스터 이온	C ₆ H ₅	14.8	3.0×10 ¹⁴	1130	2분	에피텍셀 장치	0.193	96	80	4.00×10 ¹⁹	0.256	◎	◎
실시예4	클러스터 이온	C ₆ H ₅	14.8	3.0×10 ¹⁴	900	10초	RTA	0.190	96	80	3.98×10 ¹⁹	0.260	◎	◎
비교예2	클러스터 이온	C ₆ H ₅	14.8	3.0×10 ¹⁴	-	-	-	0.507	95	80	4.01×10 ¹⁹	5.970	◎	△
비교예3	모노머 이온	C	300	1.2×10 ¹⁴	-	-	-	0.157	270	700	1.00×10 ¹⁹	0.275	△	×
비교예4	모노머 이온	C	300	1.2×10 ¹⁴	900	10초	RTA	0.140	270	700	1.03×10 ¹⁹	0.270	△	○

※ 클러스터 이온 조사의 경우의 단위는 클러스터/cm²이며, 모노머 이온 주입의 경우의 단위는 atom/cm²이다.

[0108] [0109] (평가 결과의 고찰)

[0110] 도 5(A) 및 (B)로부터, 클러스터 이온 조사에 의해, 실시예 1에서는, 모노머 이온을 주입한 비교예 4에 비해, 탄소가 국소적이고 고농도로 고용된 개질층이 형성되는 것을 알 수 있다. 또한, Ni의 농도 프로파일로부터, 실시예 1과 비교예 4를 비교하면, 실시예 1에서는 클러스터 이온 조사에 의해 형성된 개질층이 다량의 Ni를 포획하여, 높은 게터링 능력을 발휘하고 있음을 알 수 있다. 또한, 표 1에 나타난 바와 같이, 클러스터 이온을 조사한 실시예 1~4 및 비교예 1, 2는, 모두 반치폭이 100nm 이하로, 모두 충분한 게터링 능력을 구비하고 있는 것을 알 수 있다. 한편, 모노머 이온을 주입한 비교예 3, 4는, 모두 반치폭이 100nm를 초과하여, 게터링 능력이 부족하다. 이와 같이, 클러스터 이온을 조사한 실시예 1~4 및 비교예 1, 2는, 모노머 이온을 주입한 비교예 3, 4에 비해, 탄소 농도 프로파일의 반치폭이 작아지기 때문에, 보다 높은 게터링 능력을 얻을 수 있었다고 할 수 있다.

[0111] 다음으로, 헤이즈 레벨에 대해 표 1을 참조한다. 클러스터 이온 조사를 행한 점에서는 공통되지만, 회복 열처

리를 행한 실시예 1~4와, 회복 열처리를 행하지 않은 비교예 1, 2를 비교하자면, 실시예 1~4는 회복 열처리를 행함으로써 에피택셜층 표면의 헤이즈 레벨이 0.30ppm 이하가 되었지만, 회복 열처리를 행하지 않은 비교예 1, 2는 헤이즈 레벨이 0.30ppm 이하가 되는 일은 없었다. 이와 같이, 클러스터 이온을 조사한 경우에 있어서, 에피택셜 실리콘 웨이퍼의 헤이즈 레벨을 0.30ppm 이하로 하기 위해서는, 에피택셜층 형성 전에 실리콘 웨이퍼 표면의 헤이즈 레벨이 0.20ppm 이하가 되도록 회복 열처리를 행할 필요가 있음을 알 수 있었다. 또한, 비교예 3 과 비교예 4를 비교하자면, 모노머 이온 주입의 경우에 있어서도 회복 열처리에 의해 헤이즈 레벨이 회복됨을 알 수 있는데, 클러스터 이온을 조사한 경우와 비교하면, 그 회복 효과는 근소하다. 이것은, 클러스터 이온 조사의 경우는, 실리콘 웨이퍼 표면의 평탄도를 악화시키는 데 반해, 모노머 이온 주입의 경우는, 고(高)에너지이기 때문에, 실리콘 웨이퍼 표층부의 결정성을 크게 저하시키기 때문이라고 생각된다.

[0112] 참고로, 헤이즈 레벨과 에피택셜 결함에는, 상관관계가 있다는 것도 표 1로부터 알 수 있다. 즉, 헤이즈 레벨이 낮을수록, 에피택셜 결함은 양호한 결과를 나타내고 있다.

[0113] 이상의 결과로부터, 실시예에서 행한 바와 같이, 보다 높은 게터링 능력을 얻기 위해서는, 클러스터 이온을 조사할 필요가 있음을 알 수 있다. 또한, 클러스터 이온의 조사 후에 회복 열처리를 행함으로써, 에피택셜층 표면의 헤이즈 레벨을 0.30ppm 이하로 충분히 낮은 레벨로 할 수 있음을 알 수 있었다.

[0114] (산업상의 이용 가능성)

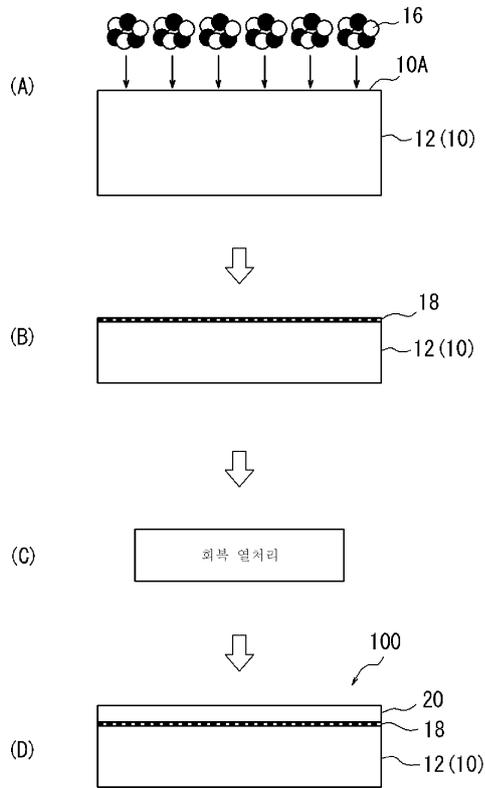
[0115] 본 발명에 의하면, 보다 높은 게터링 능력을 발휘함으로써, 금속 오염을 억제할 수 있고, 또한, 에피택셜층 표면의 헤이즈 레벨이 저감된 반도체 에피택셜 웨이퍼를 얻을 수 있으며, 더욱이, 상기 반도체 에피택셜 웨이퍼로부터 고품질의 고체 촬상 소자를 형성할 수 있다.

부호의 설명

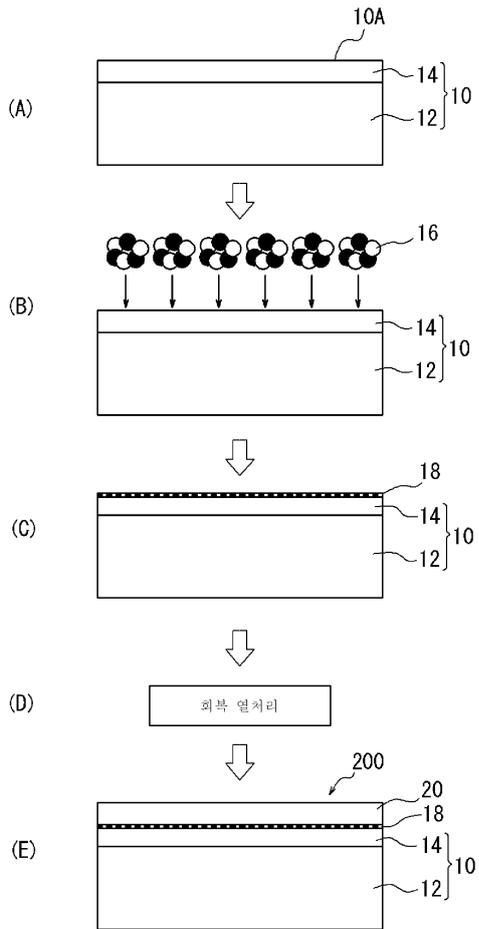
- [0116] 10 : 반도체 웨이퍼
- 10A : 반도체 웨이퍼의 표면
- 12 : 벌크 반도체 웨이퍼
- 14 : 제 1 에피택셜층
- 16 : 클러스터 이온
- 18 : 개질층
- 20 : (제 2) 에피택셜층
- 100 : 반도체 에피택셜 웨이퍼
- 200 : 반도체 에피택셜 웨이퍼

도면

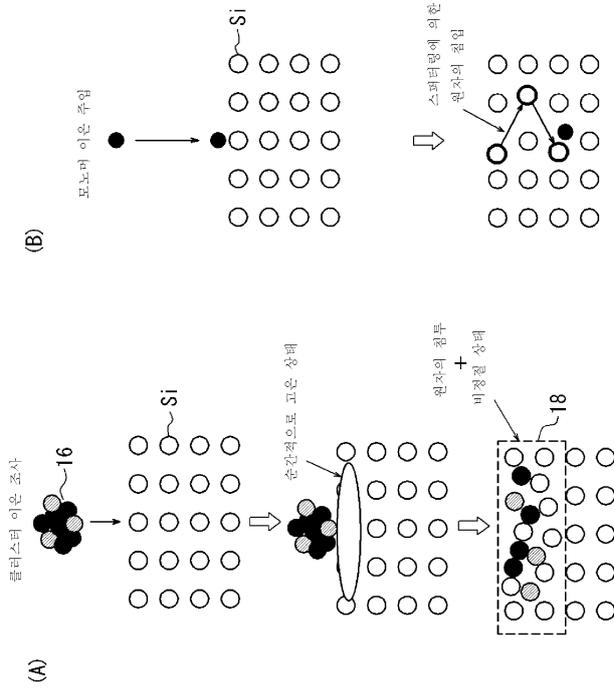
도면1



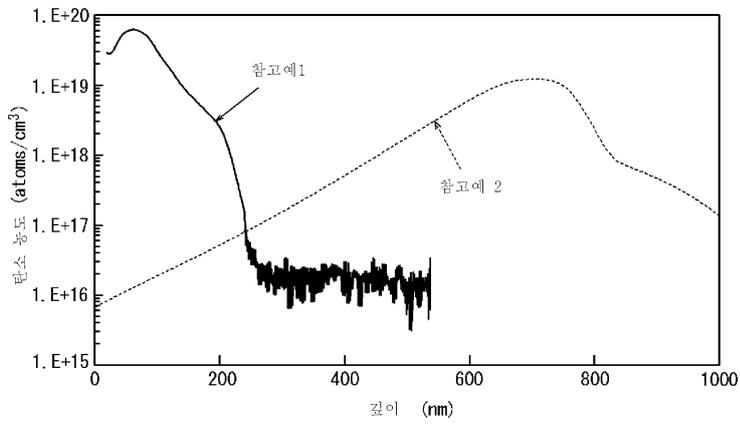
도면2



도면3



도면4



도면5

