



(12) 发明专利申请

(10) 申请公布号 CN 114902414 A

(43) 申请公布日 2022. 08. 12

(21) 申请号 202080090207.6

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038

(22) 申请日 2020.12.14

专利代理师 刘倜

(30) 优先权数据

2019-238710 2019.12.27 JP

2020-005295 2020.01.16 JP

2020-169003 2020.10.06 JP

(51) Int. Cl.

H01L 27/088 (2006.01)

H01L 21/8242 (2006.01)

H01L 27/04 (2006.01)

H01L 27/06 (2006.01)

H01L 27/105 (2006.01)

H01L 27/108 (2006.01)

H01L 27/11556 (2006.01)

H01L 27/1156 (2006.01)

H01L 27/11582 (2006.01)

H01L 29/786 (2006.01)

G06F 9/38 (2006.01)

G06F 15/78 (2006.01)

G11C 11/405 (2006.01)

H01L 21/336 (2006.01)

H01L 21/822 (2006.01)

H01L 21/8239 (2006.01)

(85) PCT国际申请进入国家阶段日

2022.06.24

(86) PCT国际申请的申请数据

PCT/IB2020/061872 2020.12.14

(87) PCT国际申请的公布数据

W02021/130591 JA 2021.07.01

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 大贯达也 上妻宗广 青木健

松寿隆德 冈本佑树 太田将志

长塚修平 国武宽司 山崎舜平

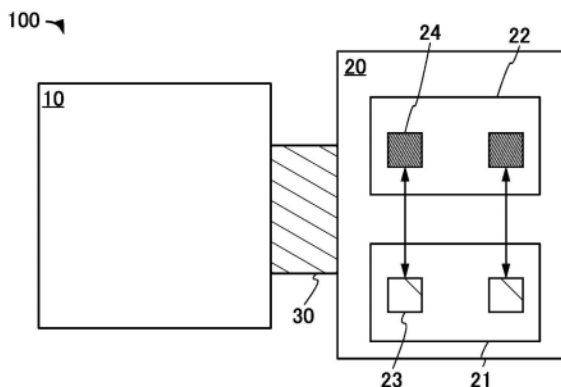
权利要求书2页 说明书43页 附图36页

(54) 发明名称

半导体装置

(57) 摘要

提供一种新颖结构的半导体装置。该半导体装置包括加速器。加速器包括第一存储电路、第二存储电路及运算电路。第一存储电路包括第一晶体管。第二存储电路包括第二晶体管。第一晶体管及第二晶体管都包括在沟道形成区域中含有金属氧化物的半导体层。运算电路包括第三晶体管。第三晶体管包括在沟道形成区域中含有硅的半导体层。第一晶体管及第二晶体管设置在不同的层中。包括第一晶体管的层设置在包括第三晶体管的层上。包括第二晶体管的层设置在包括第一晶体管的层上。第一存储电路具有与第二存储电路不同的数据保持特性。



1. 一种半导体装置,包括:
CPU;以及
加速器,
其中,所述加速器包括第一存储电路、第二存储电路及运算电路,
所述第一存储电路包括第一晶体管,
所述第二存储电路包括第二晶体管,
所述第一晶体管及所述第二晶体管都包括在沟道形成区域中含有金属氧化物的半导体层,
所述运算电路包括第三晶体管,
所述第三晶体管包括在沟道形成区域中含有硅的半导体层,
CPU包括具有设置有备份电路的触发器的CPU核心,
所述备份电路包括第四晶体管,
所述第四晶体管包括在沟道形成区域中含有金属氧化物的半导体层,
所述第一晶体管及所述第二晶体管设置在不同的层中,
并且,包括所述第一晶体管的层及包括所述第二晶体管的层设置在包括所述第三晶体管的层上。
2. 根据权利要求1所述的半导体装置,
其中所述备份电路具有如下功能:在所述CPU进行电源门控时,在停止供应电源电压的状态下保持所述触发器所保持的数据。
3. 根据权利要求1或2所述的半导体装置,
其中所述第一存储电路及所述第二存储电路具有保持输入到所述运算电路的数据的功能。
4. 根据权利要求1至3中任一项所述的半导体装置,
其中所述第二存储电路具有与所述第一存储电路不同的电路结构。
5. 一种半导体装置,包括:
CPU;以及
加速器,
其中,所述加速器包括第一存储电路、第二存储电路及运算电路,
所述第一存储电路包括第一晶体管,
所述第二存储电路包括第二晶体管,
所述第一晶体管及所述第二晶体管都包括在沟道形成区域中含有金属氧化物的半导体层,
所述运算电路包括第三晶体管,
所述第三晶体管包括在沟道形成区域中含有硅的半导体层,
所述第一晶体管及所述第二晶体管设置在不同的层中,
包括所述第一晶体管的层设置在包括所述第三晶体管的层上,
包括所述第二晶体管的层设置在包括所述第一晶体管的层上,
并且,所述第一存储电路具有与所述第二存储电路不同的数据保持特性。
6. 根据权利要求5所述的半导体装置,

其中所述第一存储电路具有保持输入到所述运算电路的数据或从所述运算电路输出的数据的功能。

7. 根据权利要求5或6所述的半导体装置，
其中用来驱动所述第一晶体管的振幅电压小于用来驱动所述第二晶体管的振幅电压。
8. 根据权利要求5至7中任一项所述的半导体装置，
其中所述第一晶体管的栅极绝缘膜的厚度小于所述第二晶体管的栅极绝缘膜的厚度。
9. 根据权利要求5至8中任一项所述的半导体装置，
其中所述第二存储电路具有与所述第一存储电路不同的电路结构。
10. 根据权利要求1至9中任一项所述的半导体装置，
其中所述运算电路是进行积和运算的电路。
11. 根据权利要求1至10中任一项所述的半导体装置，
其中所述金属氧化物包含In、Ga及Zn。

半导体装置

技术领域

[0001] 本说明书说明半导体装置等。

[0002] 注意,本发明的一个方式不局限于上述技术领域。作为本说明书等所公开的本发明的一个方式的技术领域的例子,可以举出半导体装置、摄像装置、显示装置、发光装置、蓄电装置、存储装置、显示系统、电子设备、照明装置、输入装置、输入输出装置、其驱动方法或者其制造方法。

背景技术

[0003] 具有包括CPU(Central Processing Unit:中央处理器)等的半导体装置的电子设备已经普及。为了使上述电子设备快速处理大量数据,有关提升半导体装置性能的技术开发日益火热。作为实现高性能化的技术,可以举出使GPU(Graphics Processing Unit:图形处理器)等加速器与CPU紧密结合的所谓的SoC(System on Chip:系统芯片)化技术。在通过SoC化实现了高性能化的半导体装置中,有发热及功耗增大的问题。

[0004] 在AI(Artificial Intelligence)技术中,计算量及参数量庞大,所以运算量增大。运算量增大为发热及功耗增大的主要原因,因此人们已在积极提出用来降低运算量的体系结构。作为典型体系结构,可以举出Binary Neural Network(BNN)及Ternary Neural Network(TNN),它们对缩小电路规模和实现低功耗特别有效(例如参照专利文献1)。例如,在BNN中,通过将原来表现为32位或16位精度的数据压缩为2值,即“+1”、“-1”,可以大幅度减少计算量及参数量。BNN因对缩小电路规模和实现低功耗有效而被认为适用于在如嵌入式芯片等有限硬件资源中被要求低功耗的应用程序。

[0005] [先行技术文献]

[0006] [专利文献]

[0007] [专利文献1]国际专利申请公开第2019/078924号

发明内容

[0008] 发明所要解决的技术问题

[0009] 在利用加速器进行利用AI技术的运算处理时,用于运算的权重数据从DRAM、SRAM等的以与加速器不同的工艺制造的芯片高速传送到加速器。为了降低数据的传输频率,加速器侧需要用来保持权重数据或中间数据的很大存储容量。在加速器的存储容量较小时,需要高速数据传送,并且在加速器远离储存了权重数据的芯片时,布线的寄生电容或电阻变大,所以有功耗变大的担忧。

[0010] 本发明的一个方式的目的之一是具备加速器的半导体装置的低功耗化。另外,本发明的一个方式的目的之一是抑制具备加速器的半导体装置的发热。另外,本发明的一个方式的目的之一是具备加速器的半导体装置的小型化。另外,本发明的一个方式的目的之一是在具备加速器的半导体装置中缩减CPU与被用作存储器的半导体装置之间的数据传输次数。另外,本发明的一个方式的目的之一是在具备加速器的半导体装置中改善存储记忆

体(storage memory)与被用作高速缓冲存储器的半导体装置之间的数据传输速度。此外,本发明的一个方式的目的之一是提供一种具有新颖结构的半导体装置。

[0011] 注意,本发明的一个方式并不需要实现所有上述目的,只要可以实现至少一个目的即可。此外,上述目的的记载不妨碍其他目的的存在。可以从说明书、权利要求书、附图等的记载显而易见地看出并抽出上述以外的目的。

[0012] 解决技术问题的手段

[0013] 本发明的一个方式是一种半导体装置,包括CPU以及加速器,加速器包括第一存储电路、第二存储电路及运算电路,第一存储电路包括第一晶体管,第二存储电路包括第二晶体管,第一晶体管及第二晶体管都包括在沟道形成区域中含有金属氧化物的半导体层,运算电路包括第三晶体管,第三晶体管包括在沟道形成区域中含有硅的半导体层,CPU包括具有设置有备份电路的触发器的CPU核心,备份电路包括第四晶体管,第四晶体管包括在沟道形成区域中含有金属氧化物的半导体层,第一晶体管及第二晶体管设置在不同的层中,包括第一晶体管的层及包括第二晶体管的层设置在包括第三晶体管的层上。

[0014] 在本发明的一个方式中,备份电路优选具有如下功能:在CPU进行电源门控时,在停止供应电源电压的状态下保持触发器所保持的数据。

[0015] 在本发明的一个方式中,第一存储电路及第二存储电路优选具有保持输入到运算电路的数据的功能。

[0016] 在本发明的一个方式中,第二存储电路优选具有与第一存储电路不同的电路结构。

[0017] 本发明的一个方式是一种半导体装置,包括CPU以及加速器,加速器包括第一存储电路、第二存储电路及运算电路,第一存储电路包括第一晶体管,第二存储电路包括第二晶体管,第一晶体管及第二晶体管都包括在沟道形成区域中含有金属氧化物的半导体层,运算电路包括第三晶体管,第三晶体管包括在沟道形成区域中含有硅的半导体层,第一晶体管及第二晶体管设置在不同的层中,包括第一晶体管的层设置在包括第三晶体管的层上,包括第二晶体管的层设置在包括第一晶体管的层上,第一存储电路具有与第二存储电路不同的数据保持特性。

[0018] 在本发明的一个方式的半导体装置中,第一存储电路优选具有保持输入到运算电路的数据或从运算电路输出的数据的功能。

[0019] 在本发明的一个方式中,用来驱动第一晶体管的振幅电压优选小于用来驱动第二晶体管的振幅电压。

[0020] 在本发明的一个方式中,第一晶体管的栅极绝缘膜的厚度优选小于第二晶体管的栅极绝缘膜的厚度。

[0021] 在本发明的一个方式中,第二存储电路优选具有与第一存储电路不同的电路结构。

[0022] 在本发明的一个方式中,运算电路优选为进行积和运算的电路。

[0023] 在本发明的一个方式中,金属氧化物优选包含In、Ga及Zn。

[0024] 注意,本发明的其他方式被记载于以下说明的实施方式及附图中。

[0025] 发明效果

[0026] 本发明的一个方式可以实现具备加速器的半导体装置的低功耗化。另外,本发明

的一个方式可以抑制具备加速器的半导体装置的发热。另外,本发明的一个方式可以实现具备加速器的半导体装置的小型化。另外,本发明的一个方式可以在具备加速器的半导体装置中缩减CPU与被用作存储器的半导体装置之间的数据传输次数。另外,本发明的一个方式可以在具备加速器的半导体装置中改善存储记忆体与被用作高速缓冲存储器的半导体装置之间的数据传输速度。此外,本发明的一个方式可以提供一种具有新颖结构的半导体装置。

[0027] 多个效果的记载不妨碍彼此的效果的存在。此外,本发明的一个方式并不需要具有所有上述效果。在本发明的一个方式中,上述之外的目的、效果及新颖的特征可从本说明书中的描述及附图自然得知。

附图说明

- [0028] 图1A及图1B是说明半导体装置的结构例子的图。
- [0029] 图2A及图2B是说明半导体装置的结构例子的图。
- [0030] 图3A及图3B是说明半导体装置的结构例子的图。
- [0031] 图4A及图4B是说明半导体装置的结构例子的图。
- [0032] 图5A至图5E是说明半导体装置的结构例子的图。
- [0033] 图6A及图6B是说明半导体装置的结构例子的图。
- [0034] 图7A及图7B是以层级示出各种存储器的图。
- [0035] 图8A至图8C是说明半导体装置的结构例子的图。
- [0036] 图9A至图9C是说明半导体装置的结构例子的图。
- [0037] 图10是说明半导体装置的结构例子的图。
- [0038] 图11是说明半导体装置的结构例子的图。
- [0039] 图12A及图12B是说明半导体装置的结构例子的图。
- [0040] 图13是说明半导体装置的结构例子的图。
- [0041] 图14A及图14B是说明半导体装置的结构例子的图。
- [0042] 图15A及图15B是说明半导体装置的结构例子的图。
- [0043] 图16是说明半导体装置的结构例子的图。
- [0044] 图17是说明CPU的结构例子的图。
- [0045] 图18A及图18B是说明CPU的结构例子的图。
- [0046] 图19是说明CPU的结构例子的图。
- [0047] 图20A及图20B是根据本发明的一个方式的存储装置的俯视图及截面图。
- [0048] 图21A及图21B是根据本发明的一个方式的存储装置的俯视图及截面图。
- [0049] 图22是根据本发明的一个方式的存储装置的俯视图。
- [0050] 图23是根据本发明的一个方式的存储装置的截面图。
- [0051] 图24是根据本发明的一个方式的存储装置的截面图。
- [0052] 图25是根据本发明的一个方式的存储装置的截面图。
- [0053] 图26A是说明IGZO的结晶结构的分类的图。图26B是说明石英玻璃的XRD谱的图。图26C是说明结晶性IGZO的XRD谱的图。
- [0054] 图27是说明集成电路的结构例子的图。

- [0055] 图28A及图28B是说明集成电路的结构例子的图。
- [0056] 图29A及图29B是说明集成电路的应用例子的图。
- [0057] 图30A及图30B是说明集成电路的应用例子的图。
- [0058] 图31A至图31C是说明集成电路的应用例子的图。
- [0059] 图32是说明集成电路的应用例子的图。

具体实施方式

[0060] 下面,对实施方式进行说明。注意,本发明的一个实施方式不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实,就是其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明的一个方式不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0061] 注意,在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加的。因此,该序数词不限制构成要素的个数。此外,该序数词不限制构成要素的顺序。此外,例如,在本说明书等中,一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书的范围中被设定为“第二”所指的构成要素。此外,例如,在本说明书等中,一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书的范围中被省略。

[0062] 在附图中,有时使用同一符号表示同一要素或具有相同功能的要素、同一材质的要素或同时形成的要素等,并有时省略重复说明。

[0063] 在本说明书中,有时将电源电位VDD简称为电位VDD、VDD等。其他构成要素(例如,信号、电压、电路、元件、电极及布线等)也是同样的。

[0064] 此外,在多个要素使用同一符号并且需要区别它们时,有时对符号附加“_1”,“_2”, “[n]”, “[m,n]”等用于识别的符号。例如,将第二个布线GL表示为布线GL[2]。

[0065] (实施方式1)

[0066] 将说明本发明的一个方式的半导体装置的结构及工作等。

[0067] 在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等的半导体元件之外,半导体电路、运算装置或存储装置也是半导体装置的一个方式。显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置以及电子设备等有时可以说是包括半导体装置。

[0068] 图1A及图1B是用来说明作为本发明的一个方式的半导体装置100的图。半导体装置100包括CPU10、加速器20及总线30。加速器20包括运算处理部21及存储部22。运算处理部21包括运算电路23。存储部22包括存储电路24。存储部22有时被称为器件存储器或公共存储器。存储电路24包括具有包含沟道形成区域的半导体层29的晶体管25。运算电路23与存储电路24通过布线31电连接。

[0069] CPU10具有进行通用处理的功能,例如执行操作系统、控制数据、执行各种运算或程序等。CPU10包括一个或多个CPU核心。CPU10例如包括在沟道形成区域中含有硅的晶体管(Si晶体管)。通过使Si晶体管为互补型晶体管,可以为CMOS电路(SiCMOS)。CPU10与加速器20通过总线30连接。

[0070] 各CPU核心优选包括即使停止供应电源电压也能够保持数据的数据保持电路。通

过采用该结构,可以使用电源开关等与电源域(power domain)电离开来控制电源电压的供应。此外,电源电压有时被称为驱动电压。数据保持电路例如优选为包括在沟道形成区域中包含氧化物半导体(oxide semiconductor)的晶体管(OS晶体管)的存储器。关于具有包括OS晶体管的数据保持电路的CPU核心的结构,将在实施方式3中说明。

[0071] 加速器20具有执行从主程序中调用出来的程序(也称为内核或内核程序)的功能。加速器20例如能够进行图形处理中的行列运算的并行处理、神经网络的积和运算的并行处理、科学技术计算中的浮点数运算的并行处理等。

[0072] 存储部22具有储存加速器20所处理的数据的功能。具体而言,可以储存如神经网络的积和运算的并行处理所使用的权重数据等运算处理部21的输入或输出数据。

[0073] 存储部22跨着多个存储电路层22_1至22_N(N为2以上的自然数)设置。多个存储电路层22_1至22_N各自包括存储电路24。多个存储电路层22_1至22_N所包括的各层中的存储电路24通过布线31电连接于运算处理部21所包括的运算电路23,并具有保持2值或3值的数字值的功能。在存储电路24中,晶体管25所具有的半导体层29为氧化物半导体。也就是说,晶体管25为OS晶体管。存储电路24优选为包括OS晶体管的存储器(以下称为OS存储器)。

[0074] 由于金属氧化物的带隙为2.5eV以上,所以OS晶体管具有极小的关态电流(off-state current)。作为一个例子,可以将源极与漏极间的电压为3.5V且室温(25°C)下的每沟道宽度1 μ m的关态电流设定为低于 1×10^{-20} A,优选低于 1×10^{-22} A,更优选低于 1×10^{-24} A。就是说,漏极电流的开关比可以为20位数以上且150位数以下。因此,在OS存储器中,通过OS晶体管从保持节点泄漏的电荷量极少。由此,OS存储器可以被用作非易失性存储电路。另外,可以进行加速器的电源门控。

[0075] 以高密度集成的半导体装置有时因驱动电路而发热。由于该发热而晶体管的温度增高,因此该晶管的特性发生变化,这有可能导致场效应迁移率的变化或工作频率的下降等。OS晶体管的耐热性比Si晶体管高,因此不易发生温度变化所导致的场效应迁移率的变化,并且不易发生工作频率的下降。再者,在OS晶体管中,即使温度增高,也容易维持漏极电流相对于栅极-源极间电压呈指数式增长的特性。因此,通过使用OS晶体管,可以在高温环境下稳定工作。

[0076] 作为应用于OS晶体管的金属氧化物,有Zn氧化物、Zn-Sn氧化物、Ga-Sn氧化物、In-Ga氧化物、In-Zn氧化物及In-M-Zn氧化物(M是选自Ti、Ga、Y、Zr、La、Ce、Nd、Sn或Hf)等。尤其是在将使用Ga作为M的金属氧化物用于OS晶体管的情况下,优选调整元素比例,由此可以形成场效应迁移率等电特性优良的晶体管。此外,包含镧和铈的氧化物也可以还包含选自铝、镓、铋、铜、钒、铍、硼、硅、钛、铁、镍、锆、锆、钼、镧、铈、钕、钐、钨和镁等中的一种或多种。

[0077] 为了提高OS晶体管的可靠性、电特性,用于半导体层的金属氧化物优选为CAAC-OS、CAC-OS、nc-OS等的具有结晶部的金属氧化物。CAAC-OS是c-axis-aligned crystalline oxide semiconductor的简称。CAC-OS是Cloud-Aligned Composite oxide semiconductor的简称。nc-OS是nanocrystalline oxide semiconductor的简称。

[0078] CAAC-OS具有c轴取向性,其多个纳米晶在a-b面方向上连结而结晶结构具有畸变。注意,畸变是指在多个纳米晶连结的区域中晶格排列一致的区域与其他晶格排列一致的区域之间的晶格排列的方向变化的部分。

[0079] CAC-OS具有使成为载流子的电子(或空穴)流过的功能以及不使成为载流子的电

子流过的功能。通过分离使电子流过的功能和不使电子流过的功能,可以最大限度地提高双方的功能。换言之,通过将CAC-OS用于OS晶体管的沟道形成区域,可以实现高通态电流及极低关态电流的双方。

[0080] 因为金属氧化物的带隙大,电子不容易被激发,空穴的有效质量大,所以OS晶体管与一般的Si晶体管相比有时不容易发生雪崩击穿等。因此,例如有时可以抑制起因于雪崩击穿的热载流子劣化等。通过能够抑制热载流子劣化,可以以高漏极电压驱动OS晶体管。

[0081] OS晶体管是以电子为多数载流子的积累型晶体管。由此,该OS晶体管与具有pn结的反转型晶体管(典型的是,Si晶体管)相比作为短沟道效应之一的DIBL(Drain-Induced Barrier Lowering,漏极导致的势垒降低)的影响小。换言之,与Si晶体管相比,OS晶体管对短沟道效应具有高耐性。

[0082] 由于OS晶体管对短沟道效应具有高耐性,可以缩小其沟道长度而不降低其可靠性,因此通过使用OS晶体管,可以提高电路的集成度。漏极电场随沟道长度的微型化而变强,但如上所述,OS晶体管与Si晶体管相比不容易发生雪崩击穿。

[0083] 此外,OS晶体管的抗短沟道效应能力强,所以与Si晶体管相比可以增加栅极绝缘膜的厚度。例如,即使是沟道长度及沟道宽度为50nm以下的微型晶体管,有时也可以设置10nm左右的较厚的栅极绝缘膜。通过增加栅极绝缘膜的厚度可以降低寄生电容,所以可以提高电路的工作速度。此外,通过增加栅极绝缘膜的厚度,可以减少经过栅极绝缘膜的泄漏电流,所以可以降低静态功耗。

[0084] 如此,通过使加速器20包括作为OS存储器的存储电路24,在停止供应电源电压的情况下也可以保持数据。因此,可以进行加速器20的电源门控,可以实现功耗的大幅度的降低。

[0085] 由OS晶体管构成的存储电路24可以与可由Si CMOS构成的运算电路23层叠而设置。就是说,多个存储电路层22_1至22_N在设置有运算处理部21的衬底上设置。多个存储电路层22_1至22_N各自可以层叠地设置。因此,可以以不引起电路面积的增加的方式配置上述存储电路层,而可以增加加速器20的运算处理所需的存储容量。由于可以缩减运算处理所需的数据的传输次数,因此可以实现低功耗化。包括多个存储电路24的存储电路层22_1至22_N通过以延伸在大致垂直于设置有运算电路23的衬底表面的方向(在图1B中,大致垂直于xy平面的z方向)的方式设置的布线31与运算电路23电连接。注意,“大致垂直”是指以 85° 以上且 95° 以下的角度配置的状态。

[0086] 注意,作为存储电路24所包括的晶体管以OS晶体管为例进行说明,但只要是可与下层运算电路23所包括的Si晶体管层叠的晶体管,即可。例如,也可以将利用贴合技术等层叠在包括Si晶体管的衬底上的Si晶体管用作上层的晶体管。此时,设置在上层的Si晶体管的沟道长度优选比下层的Si晶体管的沟道长度长,以便使上层的Si晶体管的关态电流小。

[0087] 加速器20所包括的存储电路24除了如多个存储电路层22_1至22_N那样层叠的结构之外也可以为单层结构。包括OS晶体管的单层存储电路层22_1可以与可由Si CMOS构成的运算电路23层叠而设置。由此,通过拉近运算电路23与存储电路24的物理性距离,可以缩短布线距离,缩减信号线中产生的寄生电容,而实现低功耗化。

[0088] 在加速器20中,通过采用层叠晶体管的结构可以抑制电路面积的增加,所以可以增加运算电路23个数来配置。由于可以增加运算电路23中的进行运算的电路数(核心数),

因此可以降低用来驱动运算电路23的信号的频率。另外,可以减小用来驱动运算电路23的电源电压。其结果是,可以将运算所需的功耗缩减到几分之一。

[0089] 存储电路24可以具有NOSRAM的电路结构。“NOSRAM(注册商标)”是“Nonvolatile Oxide Semiconductor RAM”的简称。NOSRAM是指存储单元为两个晶体管型(2T)或三个晶体管型(3T)增益单元且存取晶体管为0S晶体管的存储器。通过使用0S晶体管,在存储电路24中可以层叠地设置存储电路层22_1至22_N的各层。0S晶体管在关闭状态下流过源极和漏极间的电流,即,泄漏电流极小。NOSRAM可以通过利用泄漏电流极小这一特性将对应于数据的电荷保持在存储电路内而被用作非易失性存储器。尤其是,NOSRAM能够以不破坏所保持的数据的方式进行读出(非破坏读出),因此适用于只反复进行多次数据读出工作的神经网络的积和运算的并行处理。

[0090] 运算处理部21具有进行使用数字值的运算处理的功能。数字值不容易受到噪声的影响。因此,加速器20适合进行被要求高精度运算结果的运算处理。运算处理部21优选由Si CMOS,即在沟道形成区域中包含硅的晶体管(Si晶体管)构成。通过具有该结构,可以与0S晶体管层叠而设置。

[0091] 运算电路23具有使用保持在多个存储电路层22_1至22_N中的各存储电路24中的数字值的数据进行整数运算、单精度浮点数运算、双精度浮点数运算等处理中的任一个的功能。运算电路23具有反复执行如积和运算等相同处理的功能。

[0092] 此外,运算电路23具有如下结构:在每个存储电路24的读出位线,即每一个列(Column)上,设置一个运算电路23(Column-Parallel Calculation)。通过采用该结构,可以并行进行存储电路24的每一行(最大为所有位线)的数据的运算处理。与使用CPU10的积和运算相比,对CPU与存储器之间的数据总线尺寸(32位等)没有限制,由此在Column-Parallel Calculation中可以大幅度提高运算的并行度,所以可以提高作为AI技术的深度神经网络的学习(深度学习)、进行浮点数运算的科学技术计算等庞大运算处理的运算效率。再加上,可以在结束从存储电路24输出的数据的运算之后进行读出,所以可以降低存取存储器(CPU与存储器间的数据传输或CPU运算)所产生的功耗,由此可以抑制发热及功耗增加。再者,通过拉近运算电路23与存储电路24的物理性距离,例如,层叠以缩短布线距离,可以减少产生在信号线上的寄生电容,由此可以实现低功耗化。

[0093] 推论处理中的积和运算需要大量数据,而需要用于该积和运算的极宽的带宽(数据传输速率)。如图1B的结构,通过在运算电路23上配置多个存储电路层22_1至22_N,可以确保宽的带宽。并且,可以缩短电路间的距离,因此可以提高多个数据的传输速度。由此,可以将推论处理中的积和运算所需的功耗缩减到几分之一。

[0094] 注意,在基于深度神经网络的推论处理中,通过不进行利用64bit等位数大的数据的运算而使数据最优化,优选最优化为32bit以下、更优选为16bit以下、进一步优选为8bit以下的位数,可以以不降低运算精度的方式实现低功耗化。

[0095] 总线30电连接CPU10和加速器20。也就是说,CPU10与加速器20可以通过总线30进行数据传送。

[0096] 图2A是示意性地示出在图1B所示的加速器20中从层叠了的多个存储电路层22_1至22_N中的存储电路24读出数据至运算电路23的图。图2A中的箭头表示数据的动作。如图2A所示,本发明的一个方式的半导体装置可以通过布线31从层叠了的多个存储电路层22_1

至22_N所包括的存储电路24读出数据。处于层叠的位置关系的运算电路23与存储电路24的物理性距离非常近,所以布线距离也短。由此,可以缩减布线31中产生的寄生电容,因此可以实现低功耗化。

[0097] 注意,随着层叠了的多个存储电路层22_1至22_N的层数增加,布线31中产生的寄生电容也增加。因此,优选的是,在连接于存储电路24的布线之间,例如在读出用位线与布线31之间,将开关SW_1至SW_N设置在存储电路层22_1至22_N各层中。开关SW_1至SW_N采用如下结构:以在不读出数据的存储电路层22_1至22_N中处于关闭状态并在读出数据的存储电路层22_1至22_N中处于开启状态的方式被控制。通过采用该结构,可以降低起因于存储电路层22_1至22_N的层数增加的布线31的寄生电容,因此可以实现低功耗化。

[0098] 另外,也可以使层叠了的多个存储电路层22_1至22_N中的每一个的电路布局、晶体管的沟道长度、沟道宽度或晶体管的密度不同,以使存储电路24的个数不同。例如,如图3A所示,也可以为如下电路布局:存储电路层22_1至22_N的下层(例如,存储电路层22_1)中的存储电路24的晶体管的密度较高,而越是上层(附图中的z方向)晶体管的密度越低。通过采用该结构,可以增加与运算电路23的物理性距离近的存储电路,而可以提高上层的存储电路24的数据保持特性。

[0099] 或者,如图3B所示,也可以为如下电路布局:存储电路层22_1至22_N的上层(例如,存储电路层22_N)中的存储电路24的晶体管的密度较高,而越是下层(附图中的存储电路层22_1一侧)晶体管的密度越低。通过采用该结构,可以提高与运算电路23的物理性距离近的存储电路的数据保持特性,并且可以提高数据密度。

[0100] 本发明的一个方式可以使被用作计算量及参数量庞大的AI技术等的加速器的半导体装置低功耗化。另外,本发明的一个方式可以使被用作计算量及参数量庞大的AI技术等的加速器的半导体装置小型化。另外,本发明的一个方式可以抑制被用作计算量及参数量庞大的AI技术等的加速器的半导体装置的发热。另外,本发明的一个方式可以在被用作计算量及参数量庞大的AI技术等的加速器的半导体装置中缩减CPU与被用作存储器的半导体装置之间的数据传输次数。换言之,被用作计算量及参数量庞大的AI技术等的加速器的半导体装置具有非诺依曼型体系结构,与随着处理速度的增加功耗也变大的诺依曼型体系结构相比,可以以极低功耗进行并行处理。

[0101] 图4A是说明可以应用于本发明的半导体装置100所包括的存储电路层22_1至22_N的各层的电路结构例子的图。在图4A中,示出在M行N列(M、N为2以上的自然数)行列方向上排列而配置的写入用字线WWL_1至WWL_M、读出用字线RWL_1至RWL_M、写入用位线WBL_1至WBL_N以及读出用位线RBL_1至RBL_N。此外,还示出与各字线及位线连接的存储电路24。

[0102] 图4B是说明可以应用于存储电路24的电路结构例子的图。存储电路24包括晶体管25、晶体管26、晶体管27及电容元件28(也称为电容器)。

[0103] 晶体管25的源极和漏极中的一方与写入用位线WBL连接。晶体管25的栅极与写入用字线WWL连接。晶体管25的源极和漏极中的另一方与电容元件28的一方电极及晶体管26的栅极连接。晶体管26的源极和漏极中的一方及电容元件28的另一方电极与供应诸如接地电位等恒定电位的布线。晶体管26的源极和漏极中的一方与晶体管27的源极和漏极中的一方连接。晶体管27的栅极与读出用字线RWL连接。晶体管27的源极和漏极中的另一方与读出用位线RBL连接。如上所述,读出用位线RBL通过以延伸在大致垂直于设置有运算电路23的

衬底表面的方向的方式设置的布线31等与运算电路23连接。

[0104] 图4B所示的存储电路24的电路结构相当于三个晶体管型(3T)增益单元的NOSRAM。晶体管25至晶体管27是0S晶体管。0S晶体管在关闭状态下流过源极和漏极间的电流,即,泄漏电流极小。NOSRAM可以通过利用泄漏电流极小这一特性将对应于数据的电荷保持在存储电路内而被用作非易失性存储器。

[0105] 可应用于图4A中的存储电路24的电路结构不局限于图4B的3T型NOSRAM。例如,也可以是图5A所示的相当于DOSRAM的电路。DOSRAM是包括1T1C型的存储单元的RAM,是Dynamic Oxide Semiconductor RAM的简称。图5A示出包括晶体管25A及电容元件28A的存储电路24A。晶体管25A是0S晶体管。图5A示出存储电路24A与位线BL、字线WL及背栅极线BGL连接的例子。

[0106] 可应用于图4A中的存储电路24的电路结构也可以是图5B所示的相当于2T型NOSRAM的电路。图5B示出包括晶体管25B、晶体管26B及电容元件28B的存储电路24B。晶体管25B及晶体管26B都是0S晶体管。晶体管25B及晶体管26B可以是半导体层配置在不同层上的0S晶体管,也可以是半导体层配置在同一层上的0S晶体管。图5B示出存储电路24B与写入用位线WBL、读出用位线RBL、写入用字线WWL、读出用字线RWL、源极线SL及背栅极线BGL连接的例子。

[0107] 可应用于图4A中的存储电路24的电路结构也可以是图5C所示的组合3T型NOSRAM的电路。图5B示出包括可以保持逻辑不同的数据的存储电路24_P及存储电路24_N的存储电路24C。图5B示出包括晶体管25_P、晶体管26_P、晶体管27_P及电容元件28_P的存储电路24_P以及包括晶体管25_N、晶体管26_N、晶体管27_N及电容元件28_N的存储电路24_N。存储电路24_P及存储电路24_N所包括的各晶体管都是0S晶体管。存储电路24_P及存储电路24_N所包括的各晶体管可以是半导体层配置在不同层上的0S晶体管,也可以是半导体层配置在同一层上的0S晶体管。图5C示出存储电路24C与写入用位线WBL_P、读出用位线RBL_P、写入用位线WBL_N、读出用位线RBL_N、写入用字线WWL、读出用字线RWL连接的例子。存储电路24C保持逻辑不同的数据,通过向读出用位线RBL_P及写入用位线WBL_N读出逻辑不同的数据并用读出放大器等放大该数据,可以实现数据的高速读出。

[0108] 在图5C的结构中,也可以设置异或电路(XOR电路),以将相当于保持在存储电路24_P与存储电路24_N中的数据的乘积的数据输出到读出用位线RBL。通过采用该结构,可以省略运算电路23中的相当于乘法的运算,因此可以实现低功耗化。

[0109] 可应用于图4A中的存储电路24的电路结构也可以是图5D所示的MONOS型等包括电荷累积层的NAND型存储电路。图5D示出包括晶体管32[1]至32[n]、晶体管SW1及SW2的存储电路24D。晶体管32[1]至32[n]、晶体管SW1及SW2都是0S晶体管。晶体管32[1]至32[n]、晶体管SW1及SW2可以是包括设置在同一层上的半导体层的0S晶体管,也可以是包括设置在不同层上的半导体层的0S晶体管。晶体管32[1]至32[n]具有包括控制栅电极、以及电荷累积层或浮动栅电极的结构。

[0110] 图5D中的晶体管32[1]至32[n]也可以是在交替地层叠导电层和绝缘层的叠层体中设置开口部且导体、绝缘体、半导体等以同心圆上重叠的方式设置在开口部的内壁上的串型(也称为通心粉型)的NAND型存储器。在存储电路24D中,示出晶体管32[1]至32[n]与字线WL[1]至字线WL[n]及背栅极线BGL[1]至背栅极线BGL[n]连接且晶体管SW1及SW2与控

制线SEL1、SEL2、读出用位线及源极线SL连接的例子。

[0111] 可应用于图4A中的存储电路24的电路结构也可以是图5E所示的组合NOSRAM的NAND型存储电路。图5E示出包括晶体管25[1]至25[n]、晶体管26[1]至26[n]、晶体管SW1及SW2的存储电路24E。晶体管25[1]至25[n]、晶体管26[1]至26[n]、晶体管SW1及SW2都是0S晶体管。晶体管25[1]至25[n]、晶体管26[1]至26[n]、晶体管SW1及SW2可以是包括设置在同一层上的半导体层的0S晶体管,也可以是包括设置在不同层上的半导体层的0S晶体管。使用晶体管25[1]至25[n]、晶体管26[1]至26[n]构成的电路具有在使晶体管25[1]至25[n]关闭时保持对应于数据的电荷的节点ND[1]至节点ND[n]。

[0112] 图5E中的晶体管25[1]至25[n]、晶体管26[1]至26[n]也可以是在交替地层叠导电层和绝缘层的叠层体中设置开口部且导电体、绝缘体、半导体等以同心圆上重叠的方式设置在开口部的内壁上的纵向沟道型(也称为通心粉型)的NAND型存储器。由可在包括Si晶体管的层上制造的0S晶体管构成的NAND型存储器除了作为存储记忆体的功能之外还具有作为主存储器的功能,而可被称为通用存储器。通用存储器在具有作为另一个芯片设置的DRAM(Dynamic RAM)等主存储器的功能时,有能够构成不需DRAM的计算机系统的可能性。在存储电路24E中,示出晶体管25[1]至25[n]分别与字线WL[1]至字线WL[n]连接且晶体管26[1]至26[n]分别与NOSRAM的数据保持节点,即节点ND[1]至节点ND[n]连接的例子。另外,在存储电路24E中,示出晶体管SW1及SW2与控制线SEL1、SEL2、读出用位线RBL及源极线SL连接的例子。

[0113] 可应用于本发明的半导体装置100所包括的存储电路层22_1至22_N的各层的存储电路的电路结构也可以在每个层中不同。例如,如图6A所示,存储电路层22_1至22_N的下层(例如,存储电路层22_1)的存储电路为存储电路24A,上层(例如,存储电路层22_2、存储电路层22_N)的存储电路为存储电路24B。与运算电路23的物理性距离近的存储电路24A可以采用NOSRAM的电路结构,存储电路24B可以采用DOSRAM、NAND型存储器等其他电路结构。

[0114] 作为与图6A不同的结构,在图6B的结构中,上层(例如,存储电路层22_2至22_N)的存储电路为存储电路24N,就是纵向沟道型的通用存储器。与运算电路23的物理性距离近的存储电路24A可以采用NOSRAM的电路结构。通过使存储电路24N成为存储密度较高的纵向沟道型的通用存储器,可以省略DRAM等外部存储器。并且,通过使其写入速度及读出速度比通用存储器快的NOSRAM保持运算处理所需的数据,可以高速地进行运算处理。通过采用上述结构,可以通过NOSRAM(存储电路24A)对通用存储器(存储电路24N)所保持的数据进行运算处理,因此可以大幅度地增大在半导体装置100中用于运算处理的数据的存储容量。并且,可以减小数据的读出及写入所需的延迟时间的差距。

[0115] 一般而言,在计算机等半导体装置中,根据其用途可以使用各种存储装置。图7A示出用于半导体装置的各级类存储装置。越是上层的存储装置越被要求更快的工作速度,越是下层的存储装置越被要求更大的存储容量和更高的记录密度。在图7A中,从最上层依次示出在运算处理部(PU)中作为寄存器一起安装的存储器、NOSRAM等可被用作缓存的存储器以及0S Memory等可被用作存储记忆体或主存储器的存储器。

[0116] 在图7A及图7B中,将使用0S晶体管的三维结构的NAND型通用存储器等作为“0S Memory”。“0S Memory”优选为其存储容量比NOSRAM大的0S晶体管。

[0117] 通用存储器可以进行随机存取,并且0S晶体管的关态电流非常小,因此即使停止

电力供应,通用存储器也可以在1年以上、甚至为10年以上的期间保持被写入的信息。因此,可以将通用存储器看作非易失性存储器。

[0118] 此外,因为写入到通用存储器的电荷量长期不变,所以通用存储器不局限于2值(1位)而可以储存多值(多位)的数据。

[0119] 此外,通用存储器采用将电荷通过0S晶体管写入到节点的方式,由此不需要现有的NAND型快闪存储器所需的高电压,可以实现高速写入工作。此外,通用存储器还不需要NAND型快闪存储器所需的数据改写之前的删除工作。此外,也不进行对浮动栅极或电荷俘获层的电荷注入以及从浮动栅极或电荷俘获层的电荷抽出,因此通用存储器在实质上可以无限地进行数据的写入及读出。与现有的NAND型快闪存储器相比,通用存储器的劣化更少且可以得到更高的可靠性。

[0120] 根据本发明的一个方式的半导体装置可以大幅度地增大用于运算处理的数据的存储容量。并且,可以减小数据的读出及写入所需的延迟时间的差距。另外,如图7B所示,在z方向(垂直于设置有运算处理部21的衬底的方向)上层叠地设置数据保持特性或存储容量彼此不同的存储电路,而可以通过各层输入或输出数据。数据的输入或输出可以使用各层间的布线来进行,由此可以减小布线的寄生电容或电阻,而可以抑制起因于数据的输入或输出的功耗增加。

[0121] 另外,在本发明的一个方式中,存储电路层22_1至22_N的一部分也可以为具有其他功能的电路。例如,如图8A所示,可以采用在加速器20的最上层的存储电路层22_N中设置具有与存储电路不同的功能的电路24F的结构。

[0122] 电路24F是可以使用0S晶体管设置的电路。例如,可以是图8B所示的能够将输入IN的电位作为输出OUT放大的放大电路或放大器电路。晶体管33B可以使用0S晶体管构成。另外,例如,如图8C所示,电路24F除了图8B的结构以外还可以包括天线34。天线34可以通过以被用作天线的方式配置用于电路24F的导电层来形成。天线34例如在是第五代移动通信系统(5G)的天线情况下,在日本使用3.7GHz频段、4.5GHz频段及28GHz频段的通信频率。

[0123] 另外,在本发明的一个方式中,使设置在存储电路层22_1至22_N中的存储电路的数据保持特性不同。数据保持特性相当于能够保持写入数据的时间(数据保持时间)。在图9A的示意图中,使存储电路24A与存储电路24B的数据保持特性不同。在将存储电路24A用作高速缓冲存储器的情况下,存储电路24A的数据保持时间可以为几ms。另外,在将存储电路24B用作主存储器或存储记忆体的情况下,存储电路24B的数据保持时间优选比高速缓冲存储器长。

[0124] 作为使保持时间不同的结构,如图9A所示,使驱动电路35所输出的用来驱动各存储电路的驱动电压 V_1 与 V_2 不同。例如,如图9B所示,使驱动电压 V_1 与 V_2 之间的用来驱动存储电路所包括的晶体管的振幅电压不同。在图9B中,将用来使存储电路24A、24B所包括的晶体管关闭的电位设为电位 V_{off} 。在图9B中,将用来使存储电路24A所包括的晶体管开启的电位 V_{on1} 设为比用来使存储电路24B所包括的晶体管开启的电位 V_{on2} 小的电位。通过如此设定驱动电压 V_1 、 V_2 ,可以使设置在存储电路层22_1至22_N中的存储电路的数据保持特性不同。通过使用来驱动各存储电路的驱动电压 V_1 与 V_2 不同,可以使各存储电路所包括的晶体管的S值(subthreshold swing value,亚阈值摆幅)、场效应迁移率不同。

[0125] 作为其他例子,如图9C所示,例如将用来使存储电路24A、24B所包括的晶体管开启

的电位设为电位 V_{on} 。在图9C中,将用来使存储电路24A所包括的晶体管关闭的电位 V_{off1} 设为比存储电路24B所包括的晶体管开启的电位 V_{off2} 大的电位。通过如此设定驱动电压 V_1 、 V_2 ,可以使设置在存储电路层22_1至22_N中的存储电路的数据保持特性不同。

[0126] 作为使保持时间不同的结构,也可以采用使存储电路所包括的晶体管的被用作栅极绝缘膜的绝缘体的厚度按每个层不同的结构。例如,如图10所示,使存储电路层22_1的存储电路24A所包括的晶体管25A的被用作栅极绝缘膜的绝缘体36A的厚度小于存储电路层22_2至22_N的存储电路24B所包括的晶体管25B的被用作栅极绝缘膜的绝缘体36B的厚度。通过如此按每个层使存储电路所包括的晶体管的被用作栅极绝缘膜的绝缘体的厚度不同,可以使设置在存储电路层22_1至22_N中的存储电路的数据保持特性不同。

[0127] 另外,作为使保持时间不同的结构,也可以采用使存储电路所包括的晶体管的沟道长度按每个层不同的结构。例如,如图11所示,使存储电路层22_1的存储电路24A所包括的晶体管25A的沟道长度 $L1$ 小于存储电路层22_2至22_N的存储电路24B所包括的晶体管25B的沟道长度 $L2$ 。通过如此使存储电路所包括的晶体管的沟道长度按每个层不同,可以使设置在存储电路层22_1至22_N中的存储电路的数据保持特性不同。注意,在图11中说明使沟道长度按每个层不同的结构,但也可以采用使晶体管的沟道宽度或沟道长度与沟道宽度之比例(W/L)不同的结构或者按每个层使驱动频率不同的结构等,而且还可以组合上述结构。

[0128] 图12A是说明可以应用于本发明的半导体装置100所包括的运算处理部21的电路结构例子的图。运算处理部21包括N个运算电路23_1至运算电路23_N。N个运算电路23_1至运算电路23_N分别被输入N个读出用位线 RBL_1 至读出用位线 RBL_N 中的任一个信号,并输出输出信号 Q_1 至 Q_N 。读出用位线 RBL_1 至读出用位线 RBL_N 的信号也可以使用读出放大器等放大而读出。输出信号 Q_1 至 Q_N 相当于使用存储电路24所保持的数据进行积和运算而得到的数据。

[0129] 图12B是说明可以应用于运算电路23_1至运算电路23_N的运算电路23的电路结构例子的图。图13是用来执行根据Binary Neural Network (BNN)的体系结构的运算处理的电路。运算电路23包括被供应读出用位线 RBL 的信号的读出电路41、位积和运算器42、累加器43、锁存器电路44以及输出输出信号 Q 的编码电路45。

[0130] 图13示出图12B所示的运算电路23的结构的更具体的结构例子。图13中示出进行8位的信号($W[0]$ 至 $W[7]$ 及 $A[0]$ 至 $A[7]$)的积和运算并输出1位的输出信号 Q 、11位的输出信号($accout[10:0]$)的结构作为一个例子。在图12B中,当存取存储器时,因为以1时钟选择1行,所以以 M 时钟执行 M 个($=1$ 位 $\times M$ 行)乘法及加法。在图13所示的运算电路中,可以以8并行 $\times 1$ 位 $\times M/8$ 行执行上述 M 个乘法及加法,由此需要 $M/8$ 时钟。因此,在图13所示的结构中,通过并行执行积和运算,可以缩短运算时间,由此可以提高运算效率。

[0131] 图12A及图12B所示的运算电路23通过采用进行专门用于推论处理的积和运算的电路结构可以缩小电路面积。因此,可以将使用多个加速器20传送或接收数据所需的功耗缩减到几分之一。

[0132] 除了上述运算中的低功耗化、借助于专门用于推论处理时的积和运算的运算的低功耗化、借助于电路面积的小型化的低功耗化之外,还进行计算机体系结构的最优化、软件的最优化或驱动方法的最优化,由此能够将现有的数据中心或超级计算机的功耗缩减到千分之一。

[0133] 在图13中,位积和运算器42包括被输入8位的信号(W[0]至W[7]及A[0]至A[7])的乘法器以及被输入该乘法器所得的值的加法器。如图13所示,将以8并行被运算的1位的信号之积表示为WA0至WA7,将它们之和表示为WA10、WA32、WA54及WA76,并将它们之和表示为WA3210及WA7654。

[0134] 在图13中,被用作加法器的累加器43将位积和运算器42的信号与锁存电路44的输出信号之和输出到锁存电路44。在累加器43中,根据控制信号TxD_EN切换输入到加法器的信号。在控制信号TxD_EN为0(TxD_EN=0)时将位积和运算器42的信号与锁存电路44的输出信号之和输出到锁存电路44。在控制信号TxD_EN为1(TxD_EN=1)时将逻辑电路47的信号(11bit selector)与锁存电路44的输出信号之和输出到锁存电路44。

[0135] 在图13中,由AND电路构成的逻辑电路47在信号A[0]至A[7]与信号W[0]至W[7]的积和运算结束后,在以用来批标准化的数据,具体地是切换信号(th select[10:0])进行切换的同时加上信号W[7]。注意,用来批标准化的数据例如还可以同时读出而选择信号W[7]以外的信号W[0]至W[6]。批标准化是用来以神经网络中的各层的输出数据的分布在一定范围内的方式进行调整的工作。例如,关于通常用于神经网络的运算的图像数据,学习用数据的分布容易变得不均匀,因此有时与预测数据(输入数据)的分布不同。在批标准化中,通过将向神经网络的中间层输入的输入数据的分布归一化为平均为0且分散为1的高斯分布,可以提高神经网络中的学习的精度。在Binary Neural Network(BNN)中,各层的输出结果由于活化而被2值化,所以通过抑制相对于阈值的数据分布的偏差,可以适当地进行活化,即信息的区别。

[0136] 锁存电路44保持累加器43的输出信号(accout[10:0])。通过批标准化传输到下一个神经网络的层(NN层)的2值数据为锁存电路44所保持的积和运算结果的最高有效位。在输出信号(accout[10:0])中,最高有效位的信号(accout10)表示以2的补码进行运算的锁存数据的编码,以其正数据及负数据分别为1及0来使其传输到下一个NN层,为此用被用作编码电路的反相器电路46使该信号反转,并作为输出信号Q输出。因为Q是中间层的输出,所以Q暂时保持在加速器20内的缓冲存储器(也被称为输入缓冲器)中,然后用于下一个层的运算。

[0137] 图14A示出基于Binary Neural Network(BNN)的体系结构的分层型神经网络。图14A示出神经元50、一个输入层(I1)、三个中间层(M1至M3)、一个输出层(O1)的全连接神经网络。当输入层I1中的神经元数为786,中间层M1至M3中的神经元数为256,并且输出层O1中的神经元数为10时,各层(层51、层52、层53以及层54)的连接个数分别为 $(786 \times 256) + (256 \times 256) + (256 \times 256) + (256 \times 10)$,一共有334336个。也就是说,神经网络计算所需的权重参数一共为330K位左右,从而可以实现小规系统也能够充分安装的存储器容量。

[0138] 接着,图14B是能够进行图14A所示的神经网络的运算的半导体装置100的详细方框图。

[0139] 图14B示出图1A及图1B所说明的运算处理部21、运算电路23、存储部22中的存储部22_1、存储电路24以及布线31,还示出用来驱动图1A及图1B所示的各构成要素的外围电路的结构例子。

[0140] 图14B示出控制器61、行译码器62、字线驱动器63、列译码器64、写入驱动器65、预充电电路66、读出放大器67、选择器68、输入缓冲器71以及运算控制电路72。

[0141] 图15A是抽出图14B所示的各结构中的控制存储部22中的存储电路层22_1至22_N的方框的图。图15A示出控制器61、行译码器62、字线驱动器63、列译码器64、写入驱动器65、预充电电路66、读出放大器67及选择器68。

[0142] 控制器61处理来自外部的输入信号,以生成行译码器62及列译码器64的控制信号。来自外部的输入信号是如写入使能信号或读出使能信号等用来控制存储部22的存储电路层22_1至22_N的控制信号。此外,在控制器61与CPU10之间通过总线进行写入到存储部22中的存储电路层22_1至22_N的数据或从存储部22的存储电路层22_1至22_N读出的数据的输入及输出。

[0143] 行译码器62生成用来驱动字线驱动器63的信号。字线驱动器63生成供应到写入用字线WWL及读出用字线RWL的信号。列译码器64生成用来驱动读出放大器67及写入驱动器65的信号。读出放大器67放大读出用位线RBL的电位。写入驱动器生成用来控制读出用位线RBL及写入用位线WBL的信号。预充电电路66具有对读出用位线RBL等进行预充电的功能。从存储部22的存储电路层22_1至22_N的存储电路24读出的信号被输入到运算电路23,并且可以经过选择器68输出。选择器68可以依次读出对应于总线宽度的量的数据并经过控制器61向CPU10等输出需要的数据。

[0144] 图15B是抽出图14B所示的各结构中的控制运算处理部21的方框的图。

[0145] 控制器61处理来自外部的输入信号,以生成运算控制电路72的控制信号。此外,控制器61生成用来控制运算处理部21所包括的运算电路23的各种信号。另外,控制器61经过输入缓冲器71输入或输出有关运算结果的数据。通过利用该缓冲存储器,可以进行CPU的数据总线宽度以上的位数的并行计算。此外,可以减少在与CPU10之间传输庞大数量的权重参数的次数,从而可以实现低功耗化。

[0146] 本发明的一个方式可以使被用作计算量及参数量庞大的AI技术等加速器的半导体装置小型化。另外,本发明的一个方式可以使被用作计算量及参数量庞大的AI技术等加速器的半导体装置低功耗化。另外,本发明的一个方式可以抑制被用作计算量及参数量庞大的AI技术等加速器的半导体装置的发热。另外,本发明的一个方式可以在被用作计算量及参数量庞大的AI技术等加速器的半导体装置中缩减CPU与被用作存储器的半导体装置之间的数据传输次数。换言之,被用作计算量及参数量庞大的AI技术等加速器的半导体装置具有非诺依曼型体系结构,与随着处理速度的增加功耗也变高的诺依曼型体系结构相比,可以以极低功耗进行并行处理。

[0147] (实施方式2)

[0148] 在本实施方式中,说明上述实施方式所示的CPU10所执行的程序中的部分运算由加速器20执行的情况下的工作的一个例子的图。

[0149] 图16是说明由加速器执行CPU所执行的程序中的部分运算的情况下的工作例子的图。

[0150] 在CPU中执行主程序(步骤S1)。

[0151] 当CPU确认到存储部中确保使用加速器进行运算所需的数据用区域的指令时(步骤S2),在存储部中确保该数据用区域(步骤S3)。例如,在上述实施方式1中,在存储部22中确保加速器20在运算处理部21中进行运算时所需的数据。

[0152] 接着,CPU从主存储器向上述存储部传送输入数据(步骤S4)。上述存储部接收该输

入数据,将该输入数据储存于在步骤S2确保的区域(步骤S5)。

[0153] 当CPU确认到启动内核程序的指令时(步骤S6),加速器开始执行内核程序(步骤S7)。

[0154] 另外,也可以在加速器开始执行内核程序后立即使CPU从进行运算的状态切换为PG(电源门控)状态(步骤S8)。在该情况下,在加速器马上要结束内核程序的执行之前,CPU从PG状态切换为进行运算的状态(步骤S9)。通过在步骤S8至步骤S9的期间使CPU处于PG状态,可以抑制半导体装置整体的功耗及发热。

[0155] 在加速器结束内核程序的执行后,输出数据被储存于上述存储部(步骤S10)。

[0156] 在结束内核程序的执行之后,当CPU要求将储存于存储部的输出数据传送到主存储器的指令时(步骤S11),加速器将输出数据传送到上述主存储器,而该输出数据被储存至上述主存储器(步骤S12)。

[0157] 当CPU发出解除在存储部中确保的数据用区域的指令时(步骤S13),上述存储部中确保的数据用区域被解除(步骤S14)。

[0158] 通过反复进行上述步骤S1至步骤S14的工作,可以抑制CPU及加速器的功耗及发热,同时可以在加速器执行CPU所执行的程序中的部分运算。

[0159] 本实施方式可以与其他实施方式的记载适当地组合。

[0160] (实施方式3)

[0161] 在本实施方式中,说明包括能够进行电源门控的CPU核心的CPU的一个例子。

[0162] 图17示出CPU10的结构例子。CPU10包括CPU核心200、L1(电平1)高速缓冲存储装置(L1 Cache)202、L2高速缓冲存储装置(L2 Cache)203、总线接口部(Bus I/F)205、电源开关210至212、电平转换器(LS)214。CPU核心200包括触发器220。

[0163] 通过总线接口部205,CPU核心200、L1高速缓冲存储装置202与L2高速缓冲存储装置203彼此连接。

[0164] 根据从外部输入的中断信号(Interrupts)、CPU10所生成的信号SLEEP1等的信号,PMU193进行时钟信号GCLK1、各种的PG(电源门控)控制信号的生成。时钟信号GCLK1、PG控制信号被输入到CPU10。PG控制信号控制电源开关210至212、触发器220。

[0165] 电源开关210、211分别控制向虚拟电源线V_VDD(以下,称为V_VDD线)供应电压VDD、VDD1。电源开关212控制向虚拟电源线V_VDH(以下,称为V_VDH线)供应电压VDDH。CPU10及PMU193不通过电源开关被输入电压VSSS。PMU193不通过电源开关被输入电压VDDD。

[0166] 电压VDDD、VDD1是CMOS电路用驱动电压。电压VDD1是低于电压VDDD的休眠状态下的驱动电压。电压VDDH是OS晶体管用驱动电压且高于电压VDDD。

[0167] L1高速缓冲存储装置202、L2高速缓冲存储装置203和总线接口部205的每一个至少包括一个能够进行电源门控的电源定域。能够进行电源门控的电源定域设置有一个或多个电源开关。上述电源开关被PG控制信号控制。

[0168] 触发器220用于寄存器。触发器220设置有备份电路。以下,说明触发器220。

[0169] 图18A示出触发器220的电路结构例子。触发器220包括扫描触发器221、备份电路222。

[0170] 扫描触发器221包括节点D1、Q1、SD、SE、RT、CK、时钟缓冲电路221A。

[0171] 节点D1是数据输入节点,节点Q1是数据输出节点,节点SD是扫描测试用数据的输

入节点。节点SE是信号SCE的输入节点。节点CK是时钟信号GCLK1的输入节点。时钟信号GCLK1被输入到时钟缓冲电路221A。扫描触发器221的模拟开关与时钟缓冲电路221A的节点CK1、CKB1连接。节点RT是复位信号的输入节点。

[0172] 信号SCE是扫描使能信号,在PMU193生成。PMU193生成信号BK、RC。电平转换器214对信号BK、RC进行电平转移,生成信号BKH、RCH。信号BK、RC是备份信号、恢复信号。

[0173] 扫描触发器221的电路结构不局限于图18A,也可以使用在标准的电路库中准备的触发器。

[0174] 备份电路222包括节点SD_IN、SN11、晶体管M11至M13及电容器C11。

[0175] 节点SD_IN是扫描测试数据的输入节点,连接于扫描触发器221的节点Q1。节点SN11是备份电路222的保持节点。电容器C11是用来保持节点SN11的电压的存储电容器。

[0176] 晶体管M11控制节点Q1与节点SN11之间的导通状态。晶体管M12控制节点SN11与节点SD之间的导通状态。晶体管M13控制节点SD_IN与节点SD之间的导通状态。晶体管M11、M13的开启/关闭被信号BKH控制,晶体管M12的开启/关闭被信号RCH控制。

[0177] 与上述存储电路24所包括的晶体管25至27同样,晶体管M11至M13是0S晶体管。晶体管M11至M13具有包括背栅极的结构。晶体管M11至M13的背栅极与供应电压VBG1的电源线电连接。

[0178] 优选的是,至少晶体管M11、M12为0S晶体管。由于0S晶体管的关态电流极小的特征,可以抑制节点SN11的电压下降。因为0S晶体管在保持数据时几乎不耗电,所以备份电路222具有非易失性特性。由于通过电容器C11的充放电改写数据,所以备份电路222在原理上对改写次数没有限制,可以以低能量进行数据的写入及读出。

[0179] 特别优选的是,备份电路222的所有晶体管为0S晶体管。如图18B所示,可以在由硅CMOS电路构成的扫描触发器221上层叠备份电路222。

[0180] 与扫描触发器221相比,备份电路222的元件个数非常少,由此不需要为了层叠备份电路222改变扫描触发器221的电路结构及布局。也就是说,备份电路222是通用性非常高的备份电路。此外,可以以重叠于形成有扫描触发器221的区域的方式设置备份电路222,由此即使安装备份电路222也可以使触发器220的面积开销为0。因此,通过将备份电路222设置在触发器220,可以进行CPU核心200的电源门控。电源门控所需要的能量少,所以能够高效地对CPU核心200进行电源门控。

[0181] 通过设置备份电路222,虽然晶体管M11所产生的寄生电容附加到节点Q1,但是其小于与节点Q1连接的逻辑电路所产生的寄生电容,因此不影响到扫描触发器221的工作。也就是说,即使设置备份电路222,实质上触发器220的性能也不会下降。

[0182] 作为CPU核心200的低功耗状态,例如,可以设定时钟门控状态、电源门控状态及休眠状态。PMU193根据中断信号、信号SLEEP1等选择CPU核心200的低功耗模式。例如,在从正常工作状态转移到时钟门控状态时,PMU193停止生成时钟信号GCLK1。

[0183] 例如,在从正常工作状态转移到休眠状态时,PMU193进行电压及/或频率调节。例如,在进行电压调节时,为了将电压VDD1输入到CPU核心200,PMU193使电源开关210开启并使电源开关211关闭。电压VDD1是不使扫描触发器221的数据消失的电压。在进行频率调节时,PMU193使时钟信号GCLK1的频率下降。

[0184] 在将CPU核心200从正常工作状态转移到电源门控状态时,进行将扫描触发器221

的数据备份到备份电路222的工作。在将CPU核心200从电源门控状态恢复到正常工作状态时进行将备份电路222的数据再次写入到触发器221的恢复工作。

[0185] 图19示出CPU核心200的电源门控序列的一个例子。注意,在图19中,t1至t7表示时间。信号PSE0至PSE2是电源开关210至212的控制信号,在PMU193生成。在信号PSE0为“H”/“L”时,电源开关210为开启/关闭。信号PSE1、PSE2也是同样的。

[0186] 时间t1之前是正常工作状态。电源开关210开启,CPU核心200被输入电压VDDD。扫描触发器221进行正常工作。此时,不需要使电平转换器214工作,所以电源开关212关闭,信号SCE、BK、RC处于“L”。节点SE处于“L”,所以扫描触发器221储存节点D1的数据。注意,在图19的例子中,在时间t1备份电路222的节点SN11处于“L”。

[0187] 将说明备份时的工作。在工作时间t1,PMU193停止时钟信号GCLK1而使信号PSE2、BK处于“H”。电平转换器214变为活动状态且将“H”的信号BKH输出到备份电路222。

[0188] 备份电路222的晶体管M11成为开启状态,扫描触发器221的节点Q1的数据写入到备份电路222的节点SN11。若扫描触发器221的节点Q1为“L”,节点SN11则保持“L”,若节点Q1为“H”,节点SN11则成为“H”。

[0189] 在时间t2,PMU193使信号PSE2、BK成为“L”,在时间t3,PMU193使信号PSE0成为“L”。在时间t3,CPU核心200的状态转移到电源门控状态。此外,也可以在信号BK下降的时序使信号PSE0下降。

[0190] 将说明电源门控时的工作。在信号PSE0处于“L”时V_VDD线的电压下降,所以节点Q1的数据消失。节点SN11继续保持时间t3的节点Q1的数据。

[0191] 将说明恢复时的工作。在时间t4,PMU193使信号PSE0成为“H”,因此从电源门控状态转移到恢复状态。开始V_VDD线的充电,在V_VDD线的电压成为VDDD的状态(时间t5)时,PMU193使信号PSE2、RC、SCE变为“H”。

[0192] 晶体管M12开启,电容器C11的电荷分配于节点SN11和节点SD。若节点SN11是“H”,节点SD的电压则上升。节点SE是“H”,节点SD的数据被写入到扫描触发器221的输入侧锁存电路。在时间t6,向节点CK输入时钟信号GCLK1,输入侧锁存电路的数据被写入到节点Q1。也就是说,节点SN11的数据被写入到节点Q1。

[0193] 在时间t7,PMU193使信号PSE2、SCE、RC变为“L”结束恢复工作。

[0194] 使用0S晶体管的备份电路222的动态及静态功耗都小,所以非常适合于常闭运算。即便安装触发器220,也几乎不会发生CPU核心200的性能下降以及动态电力的增加。

[0195] 此外,CPU核心200也可以包括能够进行电源门控的多个电源定域。多个电源定域设置有用来控制电压的输入的一个或多个电源开关。此外,CPU核心200也可以具有一个或多个不进行电源门控的电源定域。例如,可以在不进行电源门控的电源定域设置用来控制触发器220、电源开关210至212的控制的电源门控控制电路。

[0196] 注意,触发器220的应用不局限于CPU10。在运算装置中,也可以将触发器220用于设置在能够进行电源门控的电源定域中的寄存器。

[0197] 本实施方式可以与其他实施方式的记载适当地组合。

[0198] (实施方式4)

[0199] 以下,使用图20至图25说明根据上述实施方式的半导体装置的一个例子。首先,说明构成该半导体装置的存储电路(存储单元)的结构例子。

[0200] <存储电路的结构例子>

[0201] 图20A及图20B示出构成根据本发明的一个方式的半导体装置的存储电路860的结构。图20A是存储电路860及其附近的俯视图。另外，图20B是存储电路860的截面图，图20B对应于在图20A中以点划线A1-A2示出的部分。图20B示出晶体管600的沟道长度方向的截面以及晶体管700的沟道宽度方向的截面。注意，在图20A的俯视图中，为了明确起见，省略部分构成要素。注意，图20A中的X方向、Y方向以及Z方向是指彼此正交或交叉的方向。在此，优选的是，X方向及Y方向平行于或大致平行于衬底面，Z方向垂直于或大致垂直于衬底面。

[0202] 本实施方式所示的存储电路860包括晶体管600、晶体管700及电容元件655。存储电路860对应于上述实施方式中的存储电路24，晶体管600、晶体管700及电容元件655分别对应于上述实施方式1中的晶体管25、晶体管26及电容元件28，相当于省略晶体管27的2T型NOSRAM。晶体管600的源极和漏极中的一个、晶体管700的栅极和电容元件655的一个电极电连接。

[0203] 如图20A及图20B所示，在存储电路860中，绝缘体614上配置有晶体管600及晶体管700，晶体管600及晶体管700的一部分上配置有绝缘体680，晶体管600、晶体管700及绝缘体680上配置有绝缘体682，绝缘体682上配置有绝缘体685，绝缘体685上配置有电容元件655，电容元件655上配置有绝缘体688。绝缘体614、绝缘体680、绝缘体682、绝缘体685及绝缘体688被用作层间膜。

[0204] 在此，晶体管600包括：绝缘体614上的绝缘体616；以埋入绝缘体616中的方式配置的导电体605（导电体605a及导电体605b）；绝缘体616及导电体605上的绝缘体622；绝缘体622上的绝缘体624；绝缘体624上的氧化物630a；氧化物630a上的氧化物630b；氧化物630b上的氧化物643a及氧化物643b；氧化物643a上的导电体642a；氧化物643b上的导电体642b；与绝缘体624的一部分、氧化物630a的侧面、氧化物630b的侧面、氧化物643a的侧面、导电体642a的侧面、导电体642a的顶面、氧化物643b的侧面、导电体642b的侧面及导电体642b的顶面接触的绝缘体672；绝缘体672上的绝缘体673；氧化物630b上的氧化物630c；氧化物630c上的绝缘体650；以及在绝缘体650上并与氧化物630c重叠的导电体660（导电体660a及导电体660b）。另外，氧化物630c与氧化物643a的侧面、氧化物643b的侧面、导电体642a的侧面及导电体642b的侧面接触。如图20B所示，导电体660的顶面以与绝缘体650的顶面、氧化物630c的顶面及绝缘体680的顶面大致对齐的方式配置。另外，绝缘体682与导电体660、绝缘体650、氧化物630c及绝缘体680的各顶面接触。

[0205] 注意，以下，有时将氧化物630a、氧化物630b及氧化物630c统称为氧化物630。另外，有时将氧化物643a和氧化物643b统称为氧化物643。另外，有时将导电体642a和导电体642b统称为导电体642。

[0206] 在晶体管600中，导电体660被用作栅极，导电体642a及导电体642b分别被用作源极或漏极。另外，导电体605被用作背栅极。在晶体管600中，被用作栅极的导电体660以填埋形成在绝缘体680等中的开口的方式自对准地形成。如此，在根据本实施方式的半导体装置中，无需对准位置就可以在导电体642a和导电体642b之间的区域中准确地配置导电体660。

[0207] 此外，晶体管700包括：绝缘体614上的绝缘体616；以埋入绝缘体616中的方式配置的导电体705（导电体705a及导电体705b）；绝缘体616及导电体705上的绝缘体622；绝缘体622上的绝缘体624；绝缘体624上的氧化物730a；氧化物730a上的氧化物730b；氧化物730b

上的氧化物743a及氧化物743b;氧化物743a上的导电体742a;氧化物743b上的导电体742b;与绝缘体624的一部分、氧化物730a的侧面、氧化物730b的侧面、氧化物743a的侧面、导电体742a的侧面、导电体742a的顶面、氧化物743b的侧面、导电体742b的侧面及导电体742b的顶面接触的绝缘体672;绝缘体672上的绝缘体673;氧化物730b上的氧化物730c;氧化物730c上的绝缘体750;以及在绝缘体750上并与氧化物730c重叠的导电体760(导电体760a及导电体760b)。另外,氧化物730c与氧化物743a的侧面、氧化物743b的侧面、导电体742a的侧面及导电体742b的侧面接触。在此,如图20B所示,导电体760的顶面以与绝缘体750的顶面、氧化物730c的顶面及绝缘体680的顶面大致对齐的方式配置。另外,绝缘体682与导电体760、绝缘体750、氧化物730c及绝缘体680的各顶面接触。

[0208] 注意,以下,有时将氧化物730a、氧化物730b及氧化物730c统称为氧化物730。另外,有时将氧化物743a和氧化物743b统称为氧化物743。另外,有时将导电体742a和导电体742b统称为导电体742。

[0209] 在晶体管700中,导电体760被用作栅极,导电体742a及导电体742b分别被用作源极或漏极。另外,导电体705被用作背栅极。在晶体管700中,被用作栅极的导电体760以填埋形成在绝缘体680等中的开口的方式自对准地形成。如此,在根据本实施方式的半导体装置中,无需对准就可以在导电体742a和导电体742b之间的区域中准确地配置导电体760。

[0210] 在此,晶体管700形成在与晶体管600相同的层中,并具有与晶体管600同样的结构。因此,虽然未图示,但是晶体管700的沟道长度方向的截面具有与图20B所示的晶体管600的沟道长度方向的截面相同的结构。就是说,未图示在截面图中的氧化物743和导电体742也具有与图20B所示的氧化物643和导电体642相同的结构。虽然未图示,但是晶体管600的沟道宽度方向的截面具有与图20B所示的晶体管700的沟道宽度方向的截面相同的结构。

[0211] 因此,氧化物730具有与氧化物630相同的结构,可以参照氧化物630的记载。导电体705具有与导电体605相同的结构,可以参照导电体605的记载。氧化物743具有与氧化物643相同的结构,可以参照氧化物643的记载。导电体742具有与导电体642相同的结构,可以参照导电体642的记载。绝缘体750具有与绝缘体650相同的结构,可以参照绝缘体650的记载。导电体760具有与导电体660相同的结构,可以参照导电体660的记载。下面,在没有特别的记载的情况下,如上所述,晶体管700的结构可以参照晶体管600的结构记载。

[0212] 另外,优选在晶体管600及晶体管700中将被用作氧化物半导体的金属氧化物(下面,有时称为氧化物半导体)用于包括形成沟道的区域(以下,也称为沟道形成区域)的氧化物630及氧化物730。

[0213] 例如,被用作氧化物半导体的金属氧化物的能隙为2eV以上,优选为2.5eV以上。通过使用能隙较宽的金属氧化物,可以使晶体管600的非导通状态下的泄漏电流(关态电流)为极小。

[0214] 作为氧化物半导体,例如优选使用In-M-Zn氧化物(元素M为选自铝、镓、铟、锡、铜、钒、铍、硼、钛、铁、镍、锆、锆、钼、镧、铈、钕、钆、钇、钨和镁等中的一种或多种)等金属氧化物。特别是,作为元素M优选使用铝、镓、铟或锡。此外,作为氧化物半导体也可以使用In-M氧化物、In-Zn氧化物或M-Zn氧化物。

[0215] 因为在沟道形成区域中使用氧化物半导体的晶体管600及晶体管700具有极小的关态电流,因此可以提供一种功耗低的半导体装置。另外,即使在高温环境下,晶体管600及

晶体管700的关态电流也几乎不增加。具体而言,即使在室温以上且200℃以下的环境温度下,关态电流也几乎不增加。因此,可以实现即使在高温环境下也稳定地工作并具有高可靠性的半导体装置。

[0216] 因为晶体管600的关态电流极小,所以可以将电容元件655的电容值设定为小。由此,可以缩小存储电路860的占有面积,实现半导体装置的集成化。

[0217] 如图20A所示,导电体742a、导电体660、导电体605及导电体705优选在Y方向上延伸。导电体660被用作上述实施方式所示的写入用字线WWL。

[0218] 电容元件655包括绝缘体685上的导电体646a、覆盖导电体646a的绝缘体686、以及与导电体656的至少一部分重叠地配置在绝缘体686上的导电体656。在此,导电体646a被用作电容元件655的一个电极,导电体646b被用作电容元件655的另一个电极。另外,绝缘体686被用作电容元件655的电介质。

[0219] 另外,绝缘体622、绝缘体624、绝缘体672、绝缘体673、绝缘体680、绝缘体682及绝缘体685中形成有开口,以填埋在该开口的方式设置被用作插头的导电体640(导电体640a、导电体640b、导电体640c及导电体640d)。另外,导电体640以在绝缘体685的顶面露出的方式设置。

[0220] 导电体640a的底面与导电体642a接触,导电体640a的顶面与导电体646a接触。导电体640c的底面与导电体760接触,导电体640c的顶面与导电体646a接触。如此,晶体管600的源极和漏极中的一个、晶体管700的栅极和电容元件655的一个电极电连接。

[0221] 导电体640b与导电体642b的侧面接触地设置。导电体640b的下方设置有导电体615及导电体607,导电体640b的上方设置有导电体646b及导电体657。导电体607设置在形成于绝缘体614中的开口中。这里,导电体615形成在与导电体605相同的层中,并具有与导电体605同样的结构。另外,导电体646b形成在与导电体646a相同的层中,并具有与导电体646a同样的结构。另外,导电体657设置在形成于绝缘体686及绝缘体688中的开口中。

[0222] 导电体640b通过导电体607及导电体615与下层的存储电路860的导电体640b电连接。另外,导电体640b通过导电体646b及导电体657与上层的存储电路860的导电体640b电连接。如此,导电体607、导电体615、导电体640b、导电体646b及导电体657在Z方向上延伸,并被用作上述实施方式中的写入用位线WBL。

[0223] 另外,虽然在截面图中未图示,但是导电体640d与导电体742b的侧面接触地设置。另外,导电体640d的下方设置有导电体715。设置有具有与导电体607、导电体646b及导电体657同样的结构的导电体,导电体640d与上层及下层的导电体640d电连接。如此,导电体715及导电体640d等在Z方向上延伸,并被用作上述实施方式中的读出用位线RBL。

[0224] 如图20B所示,通过将晶体管600和晶体管700形成在相同层中,可以以同一工序形成晶体管600和晶体管700。因此,可以缩短半导体装置的制造工序,提高生产率。

[0225] 注意,在存储电路860中,以使晶体管600的沟道长度方向和晶体管700的沟道长度方向平行的方式设置晶体管600、晶体管700及电容元件655,但是本实施方式所示的半导体装置不局限于此。图20等所示的存储电路860只是半导体装置的结构的一个例子,可以根据电路结构或驱动方法使用具有适当结构的晶体管或电容元件等。

[0226] [存储电路的详细结构]

[0227] 以下,说明根据本发明的一个方式的存储电路860的详细结构。以下,晶体管700的

构成要素可以参照晶体管600的构成要素的记载。

[0228] 如图20B所示,氧化物630优选包括绝缘体624上的氧化物630a、氧化物630a上的氧化物630b以及配置在氧化物630b上且其至少一部分与氧化物630b的顶面接触的氧化物630c。在此,优选以其侧面与氧化物643a、氧化物643b、导体642a、导体642b、绝缘体672、绝缘体673及绝缘体680接触的方式设置氧化物630c。

[0229] 也就是说,氧化物630包括氧化物630a、氧化物630a上的氧化物630b及氧化物630b上的氧化物630c。当氧化物630b下设置有氧化物630a时,可以抑制杂质从形成在氧化物630a的下方的结构物扩散到氧化物630b。当氧化物630b上设置有氧化物630c时,可以抑制杂质从形成在氧化物630c的上方的结构物扩散到氧化物630b。

[0230] 注意,在晶体管600中,在沟道形成区域及其附近层叠有氧化物630a、氧化物630b及氧化物630c的三层,但是本发明不局限于此。例如,可以设置氧化物630b的单层、氧化物630b与氧化物630a的两层结构、氧化物630b与氧化物630c的两层结构或者四层以上的叠层结构。例如,也可以使氧化物630c具有两层结构来形成四层的叠层结构。

[0231] 另外,氧化物630优选具有各金属原子的原子个数比互不相同的氧化物层的叠层结构。具体而言,用于氧化物630a的金属氧化物的构成元素中的元素M的原子个数比优选大于用于氧化物630b的金属氧化物的构成元素中的元素M的原子个数比。另外,用于氧化物630a的金属氧化物中的相对于In的元素M的原子个数比优选大于用于氧化物630b的金属氧化物中的相对于In的元素M的原子个数比。另外,用于氧化物630b的金属氧化物中的相对于元素M的In的原子个数比优选大于用于氧化物630a的金属氧化物中的相对于元素M的In的原子个数比。另外,氧化物630c可以使用可用于氧化物630a或氧化物630b的金属氧化物。另外,用于氧化物630c的金属氧化物中的相对于元素M的In的原子个数比优选大于用于氧化物630b的金属氧化物中的相对于元素M的In的原子个数比。

[0232] 具体而言,作为氧化物630a使用In:Ga:Zn=1:3:4[原子个数比]或其附近的组成、或者1:1:0.5[原子个数比]或其附近的组成的金属氧化物,即可。

[0233] 另外,作为氧化物630b使用In:Ga:Zn=4:2:3[原子个数比]或其附近的组成、或者1:1:1[原子个数比]或其附近的组成的金属氧化物,即可。另外,作为氧化物630b也可以使用In:Ga:Zn=5:1:3[原子个数比]或其附近的组成、或者In:Ga:Zn=10:1:3[原子个数比]或其附近的组成的金属氧化物。另外,作为氧化物630b也可以使用In-Zn氧化物(例如,In:Zn=2:1[原子个数比]或其附近的组成、In:Zn=5:1[原子个数比]或其附近的组成、或者In:Zn=10:1[原子个数比]或其附近的组成)。另外,作为氧化物630b也可以使用In氧化物。

[0234] 另外,作为氧化物630c,使用In:Ga:Zn=1:3:4[原子个数比或其附近的组成]、Ga:Zn=2:1[原子个数比]或其附近的组成、或者Ga:Zn=2:5[原子个数比]或其附近的组成的金属氧化物,即可。另外,作为氧化物630c使用可用于氧化物630b的材料,并且以单层或叠层设置。例如,作为氧化物630c具有叠层结构时的具体例子,可以举出In:Ga:Zn=4:2:3[原子个数比]或其附近的组成和In:Ga:Zn=1:3:4[原子个数比]或其附近的组成的叠层结构、Ga:Zn=2:1[原子个数比]或其附近的组成和In:Ga:Zn=4:2:3[原子个数比]或其附近的组成的叠层结构、Ga:Zn=2:5[原子个数比]或其附近的组成和In:Ga:Zn=4:2:3[原子个数比]或其附近的组成的叠层结构、以及氧化镓和In:Ga:Zn=4:2:3[原子个数比]或其附近的组成的叠层结构等。

[0235] 另外,在氧化物630b及氧化物630c中,通过提高膜中的铟的比率,可以提高晶体管的通态电流或场效应迁移率等,所以是优选的。另外,上述的附近的组成包括所希望的原子个数比的 $\pm 30\%$ 的范围。

[0236] 另外,可以根据晶体管被要求的工作频率等,改变包含在金属氧化物中的元素的组成。例如,可以将包括在存储电路中的晶体管的金属氧化物的组成设定为In:Ga:Zn=4:2:3[原子个数比]或其附近,将其他的晶体管的金属氧化物的组成设定为In:Ga:Zn=5:1:3[原子个数比]或其附近。注意,也可以将其他的晶体管的金属氧化物的组成设定为In:Ga:Zn=10:1:3[原子个数比]或其附近或者In:Zn=2:1[原子个数比]或其附近。。

[0237] 另外,氧化物630b也可以具有结晶性。例如,优选使用下述CAAC-OS(c-axis aligned crystalline oxide semiconductor)。CAAC-OS等具有结晶性的氧化物具有杂质及缺陷(氧空位等)少的结晶性高且致密的结构。因此,可以抑制源电极或漏电极从氧化物630b抽出氧。此外,即使进行加热处理也可以减少氧从氧化物630b被抽出,所以晶体管600在制造工序中的高温(所谓热积存:thermal budget)中也是稳定的。

[0238] 优选在设置于包括绝缘体680的层间膜的开口中设置氧化物630c。因此,绝缘体650及导体660包括隔着氧化物630c与氧化物630b和氧化物630a的叠层结构重叠的区域。通过采用该结构,可以连续形成氧化物630c及绝缘体650,从而可以保持氧化物630和绝缘体650的界面的清洁。因此,界面散射给载流子传导带来的影响减少,从而晶体管600可以得到大通态电流及高频率特性。

[0239] 另外,优选将载流子浓度低的氧化物半导体用作氧化物630(例如,氧化物630b)。在以降低氧化物半导体的载流子浓度为目的的情况下,降低氧化物半导体中的杂质浓度以降低缺陷态密度,即可。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。另外,作为氧化物半导体中的杂质,例如有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0240] 特别是,包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位(也称为 V_0 :oxygen vacancy)。再者,有时氢进入氧空位中的缺陷(以下,有时称为 V_0H)被用作供体而产生作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。此外,因为氧化物半导体中的氢因受热、电场等作用而容易移动,所以当氧化物半导体包含多量的氢时可能会导致晶体管的可靠性降低。

[0241] V_0H 会被用作氧化物半导体的供体。然而,难以对该缺陷定量地进行评价。于是,在氧化物半导体中,有时不是根据供体浓度而是根据载流子浓度进行评价。由此,在本说明书等中,有时作为氧化物半导体的参数,不采用供体浓度而采用假定为不被施加电场的状态的载流子浓度。也就是说,有时可以将本说明书等所记载的“载流子浓度”换称为“供体浓度”。

[0242] 如上所述,在将氧化物半导体用作氧化物630的情况下,优选尽量减少氧化物630中的 V_0H 来使该氧化物630成为高纯度本征或实质上高纯度本征。为了得到这种 V_0H 被充分减少的氧化物半导体,重要的是:去除氧化物半导体中的水分、氢等杂质(有时记载为脱水、脱氢化处理);以及对氧化物半导体供应氧来填补氧空位(有时也称为加氧化处理)。通过将 V_0H 等杂质被充分减少的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定的电特

性。

[0243] 在氧化物630b中,利用二次离子质谱(SIMS:Secondary Ion Mass Spectrometry)测得的氢浓度可以低于 1×10^{20} atoms/cm³,优选低于 1×10^{19} atoms/cm³,更优选低于 5×10^{18} atoms/cm³,进一步优选低于 1×10^{18} atoms/cm³。通过将氢等杂质被充分减少的氧化物630用于晶体管600的沟道形成区域,可以实现常关闭特性,可以具有稳定的电特性并提高可靠性。

[0244] 另外,当作为氧化物630使用氧化物半导体时,优选用作沟道形成区域的区域的氧化物半导体的载流子浓度为 1×10^{18} cm⁻³以下,更优选低于 1×10^{17} cm⁻³,进一步优选低于 1×10^{16} cm⁻³,更优选的是低于 1×10^{13} cm⁻³,进一步优选的是低于 1×10^{12} cm⁻³。对用作沟道形成区域的区域的氧化物半导体的载流子浓度的下限值没有特殊限定,例如,可以将其设定为 1×10^{-9} cm⁻³。

[0245] 于是,优选的是,作为绝缘体614、绝缘体622、绝缘体672、绝缘体673及绝缘体682使用抑制杂质的扩散的材料(以下,也称为对杂质的阻挡性材料),减少氢等杂质扩散到氧化物630。注意,在本说明书等中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者,是指俘获并固定所对应的物质(也称为吸杂)的功能。另外,在本说明书等中,有时将具有阻挡性的绝缘膜称为阻挡绝缘膜。

[0246] 例如,作为具有抑制氢及氧的扩散的功能的材料,有氧化铝、氧化铪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。特别是,氮化硅或氮氧化硅对氢具有高阻挡性,所以优选被用作密封材料。

[0247] 例如,作为具有俘获并固定氢的功能的材料,有氧化铝、氧化铪、氧化镓、铟镓锌氧化物等金属氧化物。

[0248] 例如,作为绝缘体614优选使用氧化铝或氧化铪等。由此,可以抑制水或氢等杂质的从衬底一侧向晶体管600一侧的扩散。或者,可以抑制绝缘体624等所包含的氧向衬底一侧扩散。

[0249] 导体605以与氧化物630及导体660重叠的方式配置。另外,导体605优选以嵌入绝缘体616中的方式设置。

[0250] 在导体605被用作栅电极的情况下,通过独立地改变供应到导体605的电位而不使其与施加到导体660的电位联动,可以控制晶体管600的阈值电压(V_{th})。尤其是,通过对导体605施加负电位,可以使晶体管600的V_{th}更大且可以减小关态电流。因此,与不对导体605施加负电位的情况相比,在对导体605施加负电位的情况下,可以减小对导体660施加的电位为0V时的漏极电流。

[0251] 另外,如图20A所示,导体605优选比氧化物630中的不与导体642a及导体642b重叠的区域大。尤其是,如图20B所示,导体605优选延伸到与氧化物630的沟道宽度方向交叉的端部的外侧的区域。就是说,优选在氧化物630的沟道宽度方向的侧面的外侧,导体605和导体660隔着绝缘体重叠。或者,通过将导体605设置得大,可以在形成导体605后的制造工序的使用等离子体的处理中,有时可以缓和局部带电(也称为电荷积聚(charge up))。但是,本发明的一个方式不局限于此。导体605至少与位于导体642a和导体642b之间的氧化物630重叠,即可。

[0252] 此外,以绝缘体624的底面为标准,氧化物630a及氧化物630b和导体660不重叠

的区域中的导电体660的底面优选位于比氧化物630b的底面低的位置上。

[0253] 如图20B所示,通过使被用作栅极的导电体660具有隔着氧化物630c及绝缘体650覆盖沟道形成区域的氧化物630b的侧面及顶面的结构,容易使从导电体660产生的电场作用于产生在氧化物630b中的沟道形成区域整体。因此,可以增大晶体管600的通态电流来提高频率特性。在本说明书中,将由栅极(第一栅极)及背栅极(第二栅极)的电场电围绕沟道形成区域的晶体管结构称为surrounded channel(S-channel)结构。

[0254] 导电体605a优选是抑制水或氢等杂质及氧的透过的导电体。例如,可以使用钛、氮化钛、钽或氮化钽。此外,导电体605b优选使用以钨、铜或铝为主要成分的导电材料。另外,在附图中,导电体605为两层,但是也可以采用三层以上的多层结构。

[0255] 另外,优选绝缘体616、绝缘体680绝缘体685及绝缘体688的介电常数低于绝缘体614的介电常数。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。例如,作为绝缘体616、绝缘体680、绝缘体685及绝缘体688,可以适当地使用氧化硅、氮化硅、氮氧化硅、氮化硅、添加了氟的氧化硅、添加了碳的氧化硅、添加了碳及氮的氧化硅或具有空孔的氧化硅等。

[0256] 例如,绝缘体616、绝缘体680、绝缘体685及绝缘体688可以使用不包含氢原子或其氢原子的含量少的化合物气体并采用CVD法或ALD法形成。作为CVD法可以使用热CVD法或PECVD(Plasma Enhanced CVD)。另外,作为ALD法可以使用热ALD法或PEALD(Plasma Enhanced ALD)。优选使用PECVD、PEALD等利用等离子体的沉积方法,由此进一步提高量产性。

[0257] 例如,在形成上述绝缘膜时,作为沉积气体主要使用具有包含硅原子的分子的气体。当减少上述绝缘膜所包含的氢时,该包含硅原子的分子所具有的氢原子优选少,更优选的是,该包含硅原子的分子不具有氢原子。当然,具有包含硅原子的分子的气体以外的沉积气体所包含的氢原子也优选少,更优选的是,该成膜气体不包含氢原子。

[0258] 在由 $\text{Si}_x\text{-R}_y$ 表示上述包含硅原子的分子时,例如,作为官能团R可以使用异氰酸酯基($-\text{N}=\text{C}=\text{O}$)、氰酸酯基($-\text{O}-\text{C}\equiv\text{N}$)、氰基($-\text{C}\equiv\text{N}$)、重氮基($=\text{N}_2$)、叠氮基($-\text{N}_3$)、亚硝基($-\text{NO}$)及硝基($-\text{NO}_2$)中的至少一个。例如,满足 $1\leq x\leq 3$ 、 $1\leq y\leq 8$,即可。作为这种包含硅原子的分子,例如可以使用四异氰酸酯基硅烷、四氰酸酯基硅烷、四氰基硅烷、六异氰酸酯基硅烷、八异氰酸酯基硅烷等。在此例示出了硅原子与相同种类的官能团键合的分子,但是本实施方式不局限于此。可以采用硅原子也与不同种类的官能团键合的结构。

[0259] 此外,例如,作为官能团R,还可以使用卤素(Cl、Br、I或F)。例如,满足 $1\leq x\leq 2$ 、 $1\leq y\leq 6$,即可。作为这种包含硅原子的分子,例如可以使用四氯硅烷(SiCl_4)、六氯二硅烷(Si_2Cl_6)等。示出了以氯为官能团的例子,但是也可以将氯以外的溴、碘、氟等卤素用作官能团。此外,也可以采用硅原子与不同种类的卤素键合的结构。

[0260] 绝缘体622及绝缘体624具有作为栅极绝缘体的功能。

[0261] 在此,在与氧化物630接触的绝缘体624中,优选通过加热使氧脱离。在本说明书中,有时将通过加热脱离的氧称为过剩氧。例如,作为绝缘体624适当地使用氧化硅或氮化硅等,即可。通过以与氧化物630接触的方式设置包含氧的绝缘体,可以减少氧化物630中的氧空位,从而可以提高晶体管600的可靠性。

[0262] 具体而言,作为绝缘体624,优选使用通过加热使部分氧脱离的氧化物材料。通过

加热使氧脱离的氧化物是指在热脱附谱(TDS(Thermal Desorption Spectroscopy))分析中氧分子的脱离量为 1.0×10^{18} molecules/cm³以上,优选为 1.0×10^{19} molecules/cm³以上,进一步优选为 2.0×10^{19} molecules/cm³以上,或者 3.0×10^{20} molecules/cm³以上的氧化物膜。此外,进行上述TDS分析时的膜的表面温度优选在100℃以上且700℃以下,或者100℃以上且400℃以下的范围内。

[0263] 绝缘体622优选被用作抑制水或氢等杂质从衬底一侧混入晶体管600中的阻挡绝缘膜。例如,绝缘体622的氢透过性优选比绝缘体624低。通过由绝缘体622及绝缘体683围绕绝缘体624及氧化物630等,可以抑制水或氢等杂质从外部进入晶体管600中。

[0264] 再者,绝缘体622优选具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)。例如,绝缘体622的氧透过性优选比绝缘体624低。通过使绝缘体622具有抑制氧或杂质的扩散的功能,可以减少氧化物630所包含的氧扩散到绝缘体622的下方,所以是优选的。此外,可以抑制导体605与绝缘体624及氧化物630所包含的氧起反应。

[0265] 绝缘体622优选使用包含作为绝缘材料的铝和铪中的一个或两个的氧化物的绝缘体。作为包含铝和铪中的一个或两个的氧化物的绝缘体,优选使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。当使用这种材料形成绝缘体622时,绝缘体622被用作抑制氧从氧化物630释放或氢等杂质从晶体管600的周围部进入氧化物630的层。

[0266] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锆、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆。此外,也可以对上述绝缘体进行氮化处理。此外,还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅。

[0267] 此外,作为绝缘体622,例如也可以以单层或叠层使用包含氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶(SrTiO₃)或(Ba,Sr)TiO₃(BST)等所谓的high-k材料的绝缘体。当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,而有时发生泄漏电流等问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。

[0268] 另外,绝缘体622及绝缘体624也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料构成的叠层结构。

[0269] 此外,也可以在氧化物630b和被用作源电极或漏电极的导体642(导体642a及导体642b)之间配置氧化物643(氧化物643a及氧化物643b)。此时,导体642和氧化物630不接触,因此可以抑制导体642吸收氧化物630的氧。也就是说,通过防止导体642的氧化,可以抑制导体642的导电率下降。因此,氧化物643优选具有抑制导体642的氧化的功能。

[0270] 由此,氧化物643优选具有抑制氧的透过的功能。当在被用作源电极或漏电极的导体642和氧化物630b之间配置具有抑制氧的透过的功能的氧化物643时,导体642和氧化物630b之间的电阻得到减少,所以是优选的。通过采用这种结构,可以提高晶体管600的电特性及晶体管600的可靠性。

[0271] 作为氧化物643,也可以使用包含元素M的金属氧化物。特别是,作为元素M优选使用铝、镓、铟或锡。氧化物643中的元素M的浓度优选比氧化物630b高。另外,作为氧化物643,还可以使用氧化镓。此外,作为氧化物643,还可以使用In-M-Zn氧化物等金属氧化物。具体

绝缘体650可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅。尤其是，氧化硅及氧氮化硅具有热稳定性，所以是优选的。

[0281] 与绝缘体624同样，绝缘体650优选使用通过加热释放氧的绝缘体形成。通过作为绝缘体650与氧化物630c的顶面接触的方式设置通过加热释放氧的绝缘体，可以有效地对氧化物630b的沟道形成区域供应氧。与绝缘体624中同样，优选降低绝缘体650中的水或氢等杂质的浓度。绝缘体650的厚度优选为1nm以上且20nm以下。

[0282] 另外，也可以在绝缘体650与导体660之间设置金属氧化物。该金属氧化物优选抑制氧从绝缘体650扩散到导体660。通过设置抑制氧的扩散的金属氧化物，抑制氧从绝缘体650扩散到导体660。换言之，可以抑制供应到氧化物630的氧量的减少。另外，可以抑制因绝缘体650中的氧所导致的导体660的氧化。

[0283] 另外，该金属氧化物有时被用作栅极绝缘体的一部分。因此，在将氧化硅或氧氮化硅等用于绝缘体650的情况下，作为该金属氧化物优选使用作为相对介电常数高的high-k材料的金属氧化物。通过使栅极绝缘体具有绝缘体650与该金属氧化物的叠层结构，可以形成具有热稳定性且相对介电常数高的叠层结构。因此，可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。另外，可以减少被用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。

[0284] 具体而言，可以使用包含选自铅、铝、镓、铋、锗、钨、钛、钽、镍、锆和镁等中的一种或两种以上的金属氧化物。特别是，优选使用作为包含铝及铅中的一个或两个的氧化物的绝缘体的氧化铝、氧化铅、包含铝及铅的氧化物(铝酸铅)等。

[0285] 或者，该金属氧化物有时被用作栅极的一部分。在此情况下，优选将包含氧的导电材料设置在沟道形成区域一侧。通过将包含氧的导电材料设置在沟道形成区域一侧，从该导电材料脱离的氧容易被供应到沟道形成区域。

[0286] 尤其是，作为被用作栅极的导体，优选使用含有包含在形成沟道的金属氧化物中的金属元素及氧的导电材料。此外，也可以使用含有上述金属元素及氮的导电材料。此外，可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有硅的铟锡氧化物。此外，也可以使用包含氮的铟镓锌氧化物。通过使用上述材料，有时可以俘获形成沟道的金属氧化物所包含的氢。或者，有时可以俘获从外方的绝缘体等混入的氢。

[0287] 导体660以其底面及侧面与绝缘体650接触的方式配置。虽然在图20B中，导体660具有两层结构，但是也可以具有单层结构或三层以上的叠层结构。

[0288] 作为导体660a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能的导电材料。此外，优选使用具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0289] 此外，当导体660a具有抑制氧的扩散的功能时，可以抑制绝缘体650所包含的氧使导体660b氧化而导致导电率的下降。作为具有抑制氧的扩散的功能的导电材料，例如，优选使用钽、氮化钽、钒或氧化钒等。

[0290] 此外，作为导体660b优选使用以钨、铜或铝为主要成分的导电材料。另外，由于导体660还被用作布线，所以优选使用导电性高的导体。例如，可以使用以钨、铜或铝为

主要成分的导电材料。另外，导电体660b可以具有叠层结构，例如可以具有钛或氮化钛与上述导电材料的叠层结构。

[0291] 例如，绝缘体680优选使用氧化硅、氧氮化硅、氮氧化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅等。尤其是，因为氧化硅及氧氮化硅具有热稳定性，所以是优选的。此外，因为氧化硅、氧氮化硅、具有空孔的氧化硅等的材料容易形成包含通过加热脱离的氧的区域，所以是优选的。另外，绝缘体680也可以具有层叠有上述材料的结构，例如，可以采用通过溅射法形成的氧化硅和在其上层叠的通过CVD法形成的氧氮化硅的叠层结构。此外，还可以在其上层叠氮化硅。

[0292] 在此，绝缘体680优选包含过剩氧。例如，作为绝缘体680适当地使用氧化硅或氧氮化硅等，即可。通过与氧化物630接触的方式设置包含过剩氧的绝缘体680，可以减少氧化物630中的氧空位，从而可以提高晶体管600的可靠性。为了使绝缘体680包含过剩氧，例如，可以在包含氧的气氛下利用溅射法形成绝缘体682。通过在包含氧的气氛下利用溅射法形成绝缘体682，可以在进行成膜的同时对绝缘体680添加氧。

[0293] 另外，优选降低绝缘体680中的水或氢等杂质浓度。另外，绝缘体680的顶面也可以被平坦化。

[0294] 绝缘体682优选被用作抑制水或氢等杂质从上方混入绝缘体680中的阻挡绝缘膜。另外，绝缘体682优选被用作抑制氧的透过的阻挡绝缘膜。作为绝缘体682，例如，可以使用氧化铝、氮化硅或氮氧化硅等绝缘体。例如，作为绝缘体682，可以使用对氧的阻挡性高的氧化铝。

[0295] 如图20B所示，绝缘体682具有与氧化物630c直接接触的结构。通过采用该结构，可以抑制绝缘体680所包含的氧扩散到导电体660。因此，可以将绝缘体680所包含的氧通过氧化物630c高效地供应到氧化物630a及氧化物630b，从而可以减少氧化物630a及氧化物630b中的氧空位来提高晶体管600的电特性及可靠性。

[0296] 另外，优选在绝缘体682上设置被用作层间膜的绝缘体685。与绝缘体624等中同样，优选降低绝缘体685中的水或氢等杂质的浓度。

[0297] 导电体640优选使用以钨、铜或铝为主要成分的导电材料。此外，导电体640也可以具有叠层结构。另外，在图20A的俯视图中，导电体640具有圆形状，但是不局限于此。例如，在俯视时，导电体640也可以具有椭圆等大致圆形状、四角形等多角形状、使四角形等多角形的角部带弧形的形状。

[0298] 当导电体640采用叠层结构时，优选使用具有抑制水或氢等杂质及氧的透过的功能的导电材料。例如，优选使用钽、氮化钽、钛、氮化钛、钇或氧化钇等。可以以单层或叠层使用具有抑制水或氢等杂质及氧的透过的功能的导电材料。通过使用该导电材料，可以进一步减少从绝缘体680等扩散的水或氢等杂质经过导电体640混入氧化物630中。此外，可以防止添加到绝缘体680的氧被导电体640吸收。

[0299] 此外，以与导电体640a的顶面及导电体640c的顶面接触的方式配置导电体646a，以与导电体640b的顶面接触的方式配置导电体646b。导电体646a及导电体646b优选使用以钨、铜或铝为主要成分的导电材料。另外，导电体646a及导电体646b可以具有叠层结构，例如，可以具有钛或氮化钛与上述导电材料的叠层结构。另外，该导电体可以以嵌入设置于绝缘体的开口中的方式形成。

[0300] 以覆盖绝缘体685、导电体646a及导电体646b的方式设置绝缘体686。绝缘体686例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝、氧化铪、氧氮化铪、氮氧化铪、氮化铪、氧化锆,并可以以叠层或单层设置。

[0301] 例如,绝缘体686可以使用氧氮化硅等绝缘耐压力高的材料和高介电常数(high-k)材料的叠层结构。通过采用该结构,电容元件655可以包括高介电常数(high-k)的绝缘体来确保充分的电容,并可以包括绝缘耐压力高的绝缘体来提高绝缘耐压力,从而可以抑制电容元件655的静电破坏。

[0302] 注意,作为高介电常数(high-k)材料(相对介电常数高的材料)的绝缘体,有氧化镓、氧化铪、氧化锆、含有铝及铪的氧化物、含有铝及铪的氧氮化物、含有硅及铪的氧化物、含有硅及铪的氧氮化物或含有硅及铪的氮化物等。

[0303] 此外,作为绝缘体686,例如也可以以单层或叠层使用包含氧化铝、氧化铪、氧化钽、氧化锆、氧化铪、铪钛酸铅(PZT)、钛酸锶(SrTiO_3)或 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)等high-k材料的绝缘体。例如,在绝缘体686具有叠层结构时,可以采用如下结构:依次层叠有氧化锆、氧化铝、氧化锆的三层结构;依次层叠有氧化锆、氧化铝、氧化锆、氧化铝的四层结构;等。另外,作为绝缘体686也可以使用包含铪、锆的化合物等。随着半导体装置微型化及高集成化,由于用于栅极绝缘体及电容元件的介电质薄膜化,有时发生晶体管或电容元件的泄漏电流等问题。通过作为被用作栅极绝缘体及电容元件的介电质的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位并确保电容元件的电容。

[0304] 另一方面,作为绝缘耐压力高的材料(相对介电常数低的材料),有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。

[0305] 导电体656以隔着绝缘体686与导电体646a的至少一部分重叠的方式配置。导电体656可以使用可用作导电体646的导电体。

[0306] 另外,优选在绝缘体686及导电体646b上设置被用作层间膜的绝缘体688。与绝缘体624等中同样,优选降低绝缘体688中的水或氢等杂质的浓度。

[0307] <<存储电路的变形例子>>

[0308] 以下,使用图21及图21B说明存储电路的变形例子。图21A是存储电路860及其附近的俯视图。另外,图21B是存储电路860的截面图,图21B对应于在图21A中以点划线A1-A2示出的部分。图21B示出晶体管600的沟道长度方向的截面以及晶体管700的沟道宽度方向的截面。注意,在图21A的俯视图中,为了明确起见,省略部分构成要素。注意,图21A中的X方向、Y方向以及Z方向是指彼此正交或交叉的方向。在此,优选的是,X方向及Y方向平行于或大致平行于衬底面,Z方向垂直于或大致垂直于衬底面。

[0309] 图21A和图21B所示的存储电路860的与图20A和图20B存储电路860不同之处在于:使用晶体管690及晶体管790代替晶体管600及晶体管700。在此,晶体管790形成在与晶体管690相同的层中,并具有与晶体管690同样的结构。以下,晶体管790的构成要素可以参照晶体管690的构成要素的记载。

[0310] 晶体管690的与晶体管600不同之处在于:氧化物630c沿着形成在绝缘体680、绝缘体672、绝缘体673、导电体642(导电体642a、导电体642b)及氧化物630b的开口部形成为U字状(U-Shape)。

[0311] 例如,在使晶体管的沟道长度微型化(典型的是5nm以上且小于60nm,优选为10nm以上且30nm以下)时,通过作为晶体管600的结构采用上述结构,可以延长有效的L长度。作为一个例子,在导电体642a和导电体642b之间的距离为20nm的情况下,可以将有效的L长度设定为40nm以上且60nm以下,其是导电体642a和导电体642b之间的距离,即最小加工尺寸的2倍以上且3倍以下左右。因此,图21A和图21B所示的存储电路860具有包括在微型化上优异的晶体管690、晶体管790及电容元件655的结构。

[0312] <<金属氧化物>>

[0313] 作为氧化物630,优选使用被用作氧化物半导体的金属氧化物。以下,将说明可用于根据本发明的氧化物630的金属氧化物。

[0314] 金属氧化物优选至少包含镧或铈。尤其优选包含镧及铈。另外,除此之外,优选还包含镓、铟、锡等。或者,也可以包含硼、钛、铁、镍、锗、锆、钼、镉、铪、铯、钕、钐、钨或镁等中的一种或多种。

[0315] 在此,考虑金属氧化物是包含镧、元素M及铈的In-M-Zn氧化物的情况。注意,元素M为铝、镓、铟或锡等。作为可用作元素M的其他元素,有硼、钛、铁、镍、锗、锆、钼、镉、铪、铯、钕、钐、钨、镁等。注意,作为元素M有时也可以组合多个上述元素。

[0316] 注意,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0317] [金属氧化物的构成]

[0318] 在此,作为金属氧化物的构成例子,说明CAC-OS(Cloud-Aligned Composite Oxide Semiconductor)或CAC-metal oxide。

[0319] CAC-OS或CAC-metal oxide在材料的一部分中具有导电性的功能,在材料的另一部分中具有绝缘性的功能,作为材料的整体具有半导体的功能。此外,在将CAC-OS或CAC-metal oxide用于晶体管的活性层的情况下,导电性的功能是使被用作载流子的电子(或空穴)流过的功能,绝缘性的功能是不使被用作载流子的电子流过的功能。通过导电性的功能和绝缘性的功能的互补作用,可以使CAC-OS或CAC-metal oxide具有开关功能(控制开启/关闭的功能)。通过在CAC-OS或CAC-metal oxide中使各功能分离,可以最大限度地提高各功能。

[0320] 此外,CAC-OS或CAC-metal oxide包括导电性区域及绝缘性区域。导电性区域具有上述导电性的功能,绝缘性区域具有上述绝缘性的功能。此外,在材料中,导电性区域和绝缘性区域有时以纳米粒子级分离。另外,导电性区域和绝缘性区域有时在材料中不均匀地分布。此外,有时观察到其边缘模糊而以云状连接的导电性区域。

[0321] 此外,在CAC-OS或CAC-metal oxide中,导电性区域和绝缘性区域有时以0.5nm以上且10nm以下,优选为0.5nm以上且3nm以下的尺寸分散在材料中。

[0322] 此外,CAC-OS或CAC-metal oxide由具有不同带隙的成分构成。例如,CAC-OS或CAC-metal oxide由具有起因于绝缘性区域的宽隙的成分及具有起因于导电性区域的窄隙的成分构成。在该构成中,当使载流子流过时,载流子主要在具有窄隙的成分中流过。此外,具有窄隙的成分通过与具有宽隙的成分的互补作用,与具有窄隙的成分联动而使载流子流过具有宽隙的成分。因此,在将上述CAC-OS或CAC-metal oxide用于晶体管的沟道形成区域时,在晶体管的导通状态中可以得到高电流驱动力,即大通态电流及高场效应迁移率。

[0323] 就是说,也可以将CAC-OS或CAC-metal oxide称为基质复合材料(matrix composite)或金属基质复合材料(metal matrix composite)。

[0324] [金属氧化物的结构]

[0325] 氧化物半导体(金属氧化物)被分为单晶氧化物半导体和非单晶氧化物半导体。作为非单晶氧化物半导体例如有CAAC-OS、多晶氧化物半导体、nc-OS(nanocrystalline oxide semiconductor)、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0326] 在着眼于结晶结构的情况下,氧化物半导体有时被分类为与上述不同的种类。在此,参照图26A说明氧化物半导体中的结晶结构的分类。图26A是说明氧化物半导体,典型为IGZO(包含In、Ga、Zn的金属氧化物)的结晶结构的分类的图。

[0327] 如图26A所示,IGZO大致被分类为Amorphous、Crystalline及Crystal。另外,completely amorphous包含在Amorphous中。另外,CAAC、nc及CAC包含在Crystalline中。另外,single crystal及poly crystal包含在Crystal中。

[0328] 注意,图26A所示的粗框内的结构是属于New crystalline phase的结构。该结构存在于Amorphous与Crystal之间的边界区域。换言之,能量上不稳定的Amorphous与Crystalline可以说是完全不同的结构。

[0329] 注意,膜或衬底的结晶结构可以使用X射线衍射(XRD:X-Ray Diffraction)图像进行评价。在此,图26B和图26C示出使用石英玻璃及具有被分类为Crystalline的结晶结构的IGZO(也称为Crystalline IGZO)的XRD谱。此外,图26B是石英玻璃的XRD谱,图26C是结晶性IGZO的XRD谱。注意,图26C所示的结晶性IGZO具有In:Ga:Zn=4:2:3[原子个数比]的组成。此外,图26C所示的结晶性IGZO的厚度为500nm。

[0330] 如图26B的箭头所示,石英玻璃具有大致对称的XRD谱峰。另一方面,如图26C的箭头所示,结晶性IGZO具有非对称的XRD谱峰。而XRD谱峰为非对称明示出结晶的存在。换言之,不是左右对称的XRD谱峰不可以说是Amorphous。

[0331] CAAC-OS具有c轴取向性,其多个纳米晶在a-b面方向上连结而结晶结构具有畸变。注意,畸变是指在多个纳米晶连结的区域中晶格排列一致的区域与其他晶格排列一致的区域之间的晶格排列的方向变化的部分。

[0332] 虽然纳米晶基本上是六角形,但是并不局限于正六角形,有不是正六角形的情况。此外,在畸变中有时具有五角形或七角形等晶格排列。另外,在CAAC-OS中,即使在畸变附近也难以观察到明确的晶界(也称为grain boundary)。即,可知由于晶格排列畸变,抑制晶界的形成。这是由于CAAC-OS因为a-b面方向上的氧原子排列的低密度或因金属元素被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0333] 另外,确认到明确的晶界的结晶结构被称为所谓的多晶(polycrystal)。晶界成为再结合中心而载流子被俘获,因而有可能导致晶体管的通态电流的降低、场效应迁移率的降低等。因此,确认不到明确的晶界的CAAC-OS是对晶体管的半导体层提供具有优异的结晶结构的结晶性氧化物之一。注意,为了构成CAAC-OS,优选为包含Zn的结构。例如,与In氧化物相比,In-Zn氧化物及In-Ga-Zn氧化物能够进一步地抑制晶界的发生,所以是优选的。

[0334] 此外,CAAC-OS趋向于具有层叠有包含铟及氧的层(下面称为In层)和包含元素M、锌及氧的层(下面称为(M,Zn)层)的层状结晶结构(也称为层状结构)。另外,铟和元素M彼此

可以取代,在用铟取代(M,Zn)层中的元素M的情况下,也可以将该层表示为(In,M,Zn)层。另外,在用元素M取代In层中的铟的情况下,也可以将该层表示为(In,M)层。

[0335] CAAC-OS是结晶性高的金属氧化物。另一方面,在CAAC-OS中不容易观察到明确的晶界,因此可以说不容易发生起因于晶界的电子迁移率的下降。此外,金属氧化物的结晶性有时因杂质的进入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧空位等)少的金属氧化物。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,包含CAAC-OS的金属氧化物具有高耐热性及高可靠性。

[0336] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。此外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。

[0337] 另外,在包含铟、镓和锌的金属氧化物的一种的In-Ga-Zn氧化物(以下,IGZO)是上述纳米晶时可能具有稳定的结构。尤其是,IGZO有在大气中不容易进行晶体生长的倾向,所以与在IGZO是大结晶(在此,几mm的结晶或者几cm的结晶)时相比在IGZO是小结晶(例如,上述纳米结晶)时可能在结构上稳定。

[0338] a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的金属氧化物。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。

[0339] 氧化物半导体(金属氧化物)具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-like OS、nc-OS、CAAC-OS中的两种以上。

[0340] [杂质]

[0341] 在此,说明金属氧化物中的各杂质的影响。

[0342] 在杂质混入氧化物半导体中时,有时形成缺陷能级或氧空位。因此,在杂质混入氧化物半导体的沟道形成区域中时,使用氧化物半导体的晶体管的电特性容易变动而有时会降低可靠性。此外,在沟道形成区域包括氧空位时,晶体管容易具有常开启特性。

[0343] 此外,上述缺陷能级有时包括陷阱能级。被金属氧化物的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,在沟道形成区域具有陷阱态密度高的金属氧化物的晶体管的电特性有时不稳定。

[0344] 另外,在氧化物半导体的沟道形成区域存在有杂质时,沟道形成区域的结晶性有时降低,或者与沟道形成区域接触地设置的氧化物的结晶性有时降低。在沟道形成区域的结晶性低时,有晶体管的稳定性或可靠性下降的趋势。此外,在与沟道形成区域接触地设置的氧化物的结晶性低时,有时形成界面能级而降低晶体管的稳定性或可靠性。

[0345] 因此,为了提高晶体管的稳定性或可靠性,降低氧化物半导体的沟道形成区域及其附近的杂质浓度是有效的。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0346] 具体而言,将该氧化物半导体的沟道形成区域及其附近的通过SIMS得到的上述杂质的浓度设定为 1×10^{18} atoms/cm³以下,优选设定为 2×10^{16} atoms/cm³以下。或者,将该氧化物半导体的沟道形成区域及其附近的通过利用EDX的元素分析得到的上述杂质的浓度设定为1.0atomic%以下。另外,在作为该氧化物半导体使用包含元素M的氧化物时,将该氧化物

半导体的沟道形成区域及其附近的相对于元素M的上述杂质的浓度比设定为低于0.10,优选设定为低于0.05。在此,用来算出上述浓度比的元素M的浓度既可以是与算出上述杂质的浓度的区域相同的区域的浓度,也可以是该氧化物半导体中的浓度。

[0347] 因为其杂质浓度得到降低的金属氧化物的缺陷态密度低,所以有时其陷阱态密度也低。

[0348] 在氢进入金属氧化物的氧空位中时,有时氧空位和氢键合而形成 V_0H 。有时 V_0H 被用作供体而产生作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。

[0349] 因此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。此外,因为氧化物半导体中的氢因受热、电场等作用而容易移动,所以当氧化物半导体包含多量的氢时可能会导致晶体管的可靠性降低。

[0350] 也就是说,优选尽量减少金属氧化物中的 V_0H 来使该金属氧化物成为高纯度本征或实质上高纯度本征。为了得到这种 V_0H 被充分减少的氧化物半导体,重要的是:去除氧化物半导体中的水分、氢等杂质(有时记载为脱水、脱氢化处理);以及对氧化物半导体供应氧来填补氧空位(有时也称为加氧化处理)。通过将 V_0H 等杂质被充分减少的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定的电特性。

[0351] 另外,优选将载流子浓度低的氧化物半导体用于晶体管。在以降低氧化物半导体的载流子浓度为目的的情况下,降低氧化物半导体中的杂质浓度以降低缺陷态密度,即可。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。另外,作为氧化物半导体中的杂质,例如有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0352] 特别是,包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时在氧化物半导体中形成氧空位。在氧化物半导体中的沟道形成区域包含氧空位的情况下,晶体管趋于具有常开启特性。再者,有时氢进入氧空位中的缺陷被用作供体而产生作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。

[0353] 氢进入氧空位中的缺陷(V_0H)会被用作氧化物半导体的供体。然而,难以对该缺陷定量地进行评价。于是,在氧化物半导体中,有时不是根据供体浓度而是根据载流子浓度进行评价。由此,在本说明书等中,有时作为氧化物半导体的参数,不采用供体浓度而采用假定为不被施加电场的状态的载流子浓度。也就是说,有时可以将本说明书等所记载的“载流子浓度”换称为“供体浓度”。

[0354] 由此,优选尽可能减少氧化物半导体中的氢。具体而言,在氧化物半导体膜中,利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的氢浓度低于 1×10^{20} atoms/cm³,优选低于 1×10^{19} atoms/cm³,更优选低于 5×10^{18} atoms/cm³,进一步优选低于 1×10^{18} atoms/cm³。通过将氢等杂质被充分减少的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定的电特性。

[0355] 沟道形成区域的氧化物半导体的载流子浓度优选为 1×10^{18} cm⁻³以下,更优选为低于 1×10^{17} cm⁻³,进一步优选为低于 1×10^{16} cm⁻³,进一步优选为低于 1×10^{13} cm⁻³,进一步优选为低于 1×10^{12} cm⁻³。另外,对沟道形成区域的氧化物半导体的载流子浓度的下限值并没有特别的限定,例如可以为 1×10^{-9} cm⁻³。

[0356] 根据本发明的一个方式可以提供一种可靠性良好的半导体装置。根据本发明的一个方式可以提供一种具有良好的电特性的半导体装置。根据本发明的一个方式可以提供一种通态电流大的半导体装置。根据本发明的一个方式可以提供一种能够进行微型化或高集成化的半导体装置。根据本发明的一个方式可以提供一种低功耗的半导体装置。

[0357] <<其他半导体材料>>

[0358] 可以用于氧化物630的半导体材料不局限于上述金属氧化物。作为氧化物630,也可以使用具有带隙的半导体材料(不是零带隙半导体的半导体材料)。例如,优选将硅等单个元素的半导体、砷化镓等化合物半导体、被用作半导体的层状物质(也称为原子层物质、二维材料等)等用于半导体材料。特别是,优选将被用作半导体的层状物质用于半导体材料。

[0359] 在此,在本说明书等中,层状物质是具有层状结晶结构的材料群的总称。层状结晶结构是由共价键或离子键形成的层通过如范德华力那样的比共价键或离子键弱的键合层叠的结构。层状物质在每单位层中具有高导电性,即,具有高二维导电性。通过将用作半导体并具有高二维导电性的材料用于沟道形成区域,可以提供通态电流大的晶体管。

[0360] 作为层状物质,有石墨烯、硅烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外,氧族元素是属于第16族的元素的总称,其中包括氧、硫、硒、碲、钋、釷。另外,作为硫族化物,可以举出过渡金属硫族化物、第13族硫族化物等。

[0361] 作为氧化物630,例如优选使用被用作半导体的过渡金属硫族化物。作为能够被用作氧化物630的过渡金属硫族化物,可以具体地举出硫化钼(典型的是 MoS_2)、硒化钼(典型的是 MoSe_2)、碲化钼(典型的是 MoTe_2)、硫化钨(典型的是 WS_2)、硒化钨(典型的是 WSe_2)、碲化钨(典型的是 WTe_2)、硫化铪(典型的是 HfS_2)、硒化铪(典型的是 HfSe_2)、硫化锆(典型的是 ZrS_2)、硒化锆(典型的是 ZrSe_2)等。

[0362] <存储电路配置的结构例子>

[0363] 接着,使用图22及图23说明上述存储电路860的配置的一个例子。图22及图23示出配置有 $2 \times 2 \times 2$ 个上述存储电路860的存储电路块。图22是存储电路块的俯视图。另外,图23是存储电路块的截面图,图23对应于在图22中以点划线B1-B2表示的部分。图23示出晶体管600的沟道长度方向的截面以及晶体管700的沟道宽度方向的截面。注意,在图22的俯视图中,为了明确起见,省略部分构成要素。注意,图22中的X方向、Y方向以及Z方向是指彼此正交或交叉的方向。在此,优选的是,X方向及Y方向平行于或大致平行于衬底面,Z方向垂直于或大致垂直于衬底面。

[0364] 在图22及图23所示的存储电路块中,在X方向上与存储电路860_1相邻地配置有存储电路860_2。另外,在Y方向上与存储电路860_1及存储电路860_2相邻地分别配置有存储电路860_3及存储电路860_4。另外,在Z方向上与存储电路860_1及存储电路860_2相邻地分别配置有存储电路860_5及存储电路860_6。

[0365] 如图22及图23所示,可以将存储电路860_1和存储电路860_2的构成要素配置为轴对称。此时,导电体640b的侧面优选与存储电路860_1的导电体642b及存储电路860_2的导电体642b接触。就是说,被用作位线WBL的导电体607、导电体615、导电体640b、导电体646b及导电体657优选与存储电路860_1的晶体管600的源极和漏极中的一个以及存储电路860_2的晶体管600的源极和漏极中的一个电连接。如此,通过使连接到存储电路860_1和存储电

路860_2的布线共通化,可以进一步缩小存储电路的占有面积。

[0366] 另外,如图23所示,被用作写入用位线WBL的导电体607、导电体615、导电体640b、导电体646b及导电体657还与配置在上层、存储电路860_5及存储电路860_6的晶体管600电连接。如图23所示,存储电路860_1及存储电路860_2的导电体657相当于存储电路860_5及存储电路860_6的导电体607。如此,可以将位线WBL在Z方向上延伸。另外,虽然在截面图中未图示,但是也可以将被用作读出用位线RBL的导电体640d等在Z方向上延伸。

[0367] 另外,如图22所示,存储电路860_1的导电体660延伸到存储电路860_3。如此,可以将字线WWL在Y方向上延伸。另外,如图22所示,存储电路860_1的导电体742a延伸到存储电路860_3。如此,可以将选择线SL在Y方向上延伸。此外,在X方向上相邻的存储电路860也可以共同使用选择线SL。另外,如图22所示,存储电路860_1的导电体605延伸到存储电路860_3。如此,可以将布线BGL1在Y方向上延伸。另外,如图22所示,存储电路860_1的导电体705延伸到存储电路860_3。如此,可以将布线BGL1在Y方向上延伸。

[0368] 注意,在图22中,采用以与导电体660重叠的方式将氧化物630c延伸的结构,但是本实施方式所示的半导体装置不局限于此。例如,也可以采用按每存储电路860进行氧化物630c的图案形成来按每晶体管600分开地设置氧化物630c的结构。另外,例如,在氧化物630c具有两层的叠层结构的情况下,也可以采用按每晶体管600分开地配置氧化物630c的上层和下层中的任一个。

[0369] <半导体装置的结构例子>

[0370] 接着,使用图24说明层叠有上述存储电路860的半导体装置的一个例子。图24是硅层871上层叠有多个包括存储电路860的存储电路层870的半导体装置的截面图。图24所示的半导体装置相当于图1等所示的加速器20,硅层871相当于运算处理部21,存储电路层870相当于存储部22。

[0371] 首先,说明硅层871。硅层871设置有多个晶体管800,构成图1所示的运算电路23等。

[0372] 晶体管800设置在衬底811上,并包括:用作栅极的导电体816、用作栅极绝缘体的绝缘体815、由衬底811的一部分构成的半导体区域813;以及用作源区域或漏区域的低电阻区域814a及低电阻区域814b。晶体管800可以是p沟道型或n沟道型。

[0373] 在此,在图24所示的晶体管800中,形成沟道的半导体区域813(衬底811的一部分)具有凸形状。此外,以隔着绝缘体815覆盖半导体区域813的侧面及顶面的方式设置导电体816。此外,导电体816可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管800也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI衬底进行加工来形成具有凸形状的半导体膜。

[0374] 注意,图24所示的晶体管800的结构只是一个例子,不局限于上述结构,根据电路结构或驱动方法使用适当的晶体管即可。

[0375] 各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,可以根据设计而设置多个布线层。在此,在具有插头或布线的功能的导电体中,有时使用同一附图标记表示多个结构。此外,在本说明书等中,布线、与布线电连接的插头也可以是一个构成要素。就是说,导电体的一部分有时被用作布线,并且导电体的一部分有时被用作插头。

更优选为 $1 \leq n \leq 100$ 。

[0387] 在各存储电路层870中,与图22同样,存储电路860及各种布线配置为矩阵状。另外,如图23所示,在层叠方向上相邻的各存储电路层870通过写入用位线WBL等布线彼此电连接。

[0388] 另外,如图24所示,在最下层的存储电路层870_1中,以嵌入绝缘体611及绝缘体612中的方式配置有导体607。导体607接触于设置在与导体856相同的层中的导体857。

[0389] 另外,存储电路层870_1至存储电路层870_n优选具有由绝缘体611、绝缘体612、绝缘体687、绝缘体683及绝缘体684密封的结构。在此,硅层871上配置有绝缘体611,绝缘体611上配置有绝缘体612。绝缘体612上配置有存储电路层870_1至存储电路层870_n,绝缘体612被形成为在俯视时与存储电路层870_1至存储电路层870_n相同的图案。与绝缘体611的顶面、绝缘体612的侧面及存储电路层870_1至存储电路层870_n的侧面接触地配置有绝缘体687。就是说,绝缘体687被形成为存储电路层870_1至存储电路层870_n的侧壁的形状。以覆盖绝缘体611、绝缘体687及存储电路层870_1至存储电路层870_n的方式配置有绝缘体683。并且,以覆盖绝缘体683的方式配置有绝缘体684。

[0390] 与绝缘体682等同样,绝缘体611、绝缘体612、绝缘体687、绝缘体683及绝缘体684优选使用阻挡性材料。

[0391] 在此,各存储电路层870由绝缘体687及绝缘体683密封。在此,绝缘体687及绝缘体683优选使用相同的材料。此外,绝缘体687及绝缘体683优选采用相同的条件形成。通过使膜性质相等的绝缘体687与绝缘体683彼此接触,可以实现密封性高的密封结构。

[0392] 此外,绝缘体687及绝缘体683优选使用具有俘获并固定氢的功能的材料。具体而言,可以使用氧化铝、氧化钪、氧化镓、镓锌氧化物等金属氧化物。

[0393] 另外,密封存储电路层870的构成要素的绝缘体687及绝缘体683还由绝缘体684覆盖。

[0394] 绝缘体611、绝缘体612及绝缘体683优选使用具有抑制氢及氧的扩散的功能的材料。特别是,氮化硅或氮氧化硅对氢具有高阻挡性,所以优选被用作密封材料。

[0395] 此外,优选在覆盖晶体管600的上方的绝缘体683的上方设置覆盖性高的绝缘体684。另外,绝缘体684优选使用与绝缘体612及绝缘体683相同的材料。

[0396] 例如,在采用溅射法形成绝缘体612、绝缘体683时,可以实现由氢浓度较低的膜而成的密封结构。

[0397] 另一方面,采用溅射法形成的膜的覆盖性较低。于是,通过采用覆盖性高的CVD法等形成绝缘体611及绝缘体684,可以进一步提高密封性。

[0398] 由此,绝缘体612及绝缘体683的氢浓度优选比绝缘体611及绝缘体684低。

[0399] 通过上述步骤,使用阻挡绝缘膜密封存储电路层870_1至存储电路层870_n,可以减少扩散到各存储电路860中的氧化物半导体的氢,因此可以提供一种可靠性高的半导体装置。

[0400] 另外,优选的是,绝缘体611、绝缘体612、绝缘体682、绝缘体687、绝缘体683及绝缘体684也可以使用对氧具有阻挡性的材料。在上述密封结构对氧具有阻挡性时,可以抑制绝缘体680所具有的过剩氧向外的扩散,并将过剩氧高效率地供应到晶体管600。

[0401] 另外,优选以嵌入存储电路层870_1至存储电路层870_n及绝缘体684等中的方式配置绝缘体674。绝缘体674可以使用可用作绝缘体680的绝缘体。如图24所示,绝缘体674的顶面高度与绝缘体684的顶面高度优选大致一致。

[0402] 另外,如图24所示,可以在绝缘体674、绝缘体684、绝缘体683及绝缘体611中形成开口,在该开口中配置导电体876。导电体876的底面与导电体856接触。可以与导电体876的顶面接触的方式设置被用作布线的导电体878。另外,以覆盖存储电路层870_n、绝缘体674及导电体878的方式设置被用作层间膜的绝缘体689。通过采用这样的结构,可以电连接上层的布线(导电体878)与硅层871的电路,而无需通过存储电路层870。

[0403] 注意,图24示出由绝缘体611、绝缘体612、绝缘体687、绝缘体683及绝缘体684一并密封存储电路层870_1至存储电路层870_n的结构,但是根据本实施方式的半导体装置不局限于此。例如,如图25所示,可以采用各存储电路层870由绝缘体611、绝缘体612、绝缘体687、绝缘体683及绝缘体684密封的结构。

[0404] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0405] (实施方式5)

[0406] 在本实施方式中,参照图27及图28说明具有上述实施方式所示的半导体装置100的结构的集成电路的结构。

[0407] 图27示出用来说明具有半导体装置100的结构的集成电路的结构例子的方框图的一个例子。

[0408] 图27所示的集成电路390包括CPU10、加速器20、片上存储器131、DMAC (Direct Memory Access Controller) 141、电源电路160、电源管理单元 (PMU) 142、安全用电路147、存储控制器143、DDR SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory) 控制器144、USB (Universal Serial Bus) 接口电路145、显示器接口电路146、电桥电路150、中断控制电路151、接口电路152、电池控制电路153及ADC (Analog-to-digital converter) /DAC (Digital-to-analog converter) 接口电路154。

[0409] 作为一个例子,CPU10包括CPU核心111、指令高速缓存112、数据高速缓存113及总线接口电路114。加速器20包括存储电路121、运算电路122以及控制电路123。

[0410] CPU核心111包括多个CPU核心。指令高速缓存112可以具有暂时性地储存CPU核心111所执行的指令的电路结构。数据高速缓存113可以具有暂时性地储存CPU核心111所处理的数据或通过处理得到的数据的电路结构。总线接口电路114可以具有能够传送及接收用来使CPU10与半导体装置内的其他电路连接的总线的的数据或地址等的信号的电路结构。

[0411] 存储电路121相当于具备实施方式1所示的存储电路24的结构。存储电路121具有储存加速器20所处理的数据的电路结构即可。运算电路122相当于实施方式1所示的运算电路23。运算电路122具有对存储电路121所保持的数据进行运算处理的电路结构即可。控制电路123如图14B所示那样具有用来控制加速器20内的各电路的电路结构即可。

[0412] 高速总线140A是用来高速地进行CPU10、加速器20、片上存储器131、DMAC141、电源管理单元142、安全用电路147、存储控制器143、DDR SDRAM控制器144、USB接口电路145和显示器接口电路146间的各种信号的传送及接收的总线。例如,可以将AMBA (Advanced Microcontroller Bus Architecture:高级微控制器总线架构) -AHB (Advanced High-performance Bus:高级高性能总线) 作为总线使用。

[0413] 片上存储器131具有储存集成电路390所包括的电路,例如对CPU10或加速器20输入或从CPU10或加速器20输出的数据或程序的电路结构。

[0414] DMAC141是直接内存访问控制器。在包括DMAC141时,CPU10以外的外围设备可以不通过CPU10访问片上存储器131。

[0415] 电源管理单元142具有控制集成电路390所包括的CPU核心等的电路的电源门控的电路结构。

[0416] 安全用电路147具有在集成电路390与外部的电路间进行加密后进行信号的传送和接收等提高信号的保密性的电路结构。

[0417] 存储控制器143具有从集成电路390的外部的程序存储器进行CPU10或加速器20所执行的程序的写入或读出的电路结构。

[0418] DDR SDRAM控制器144具有与集成电路390的外部的DRAM等的主存储器间进行数据的写入或读出的电路结构。

[0419] USB接口电路145具有与集成电路390的外部的电路通过USB端子进行数据的传送及接收的电路结构。

[0420] 显示器接口电路146具有与集成电路390的外部的显示装置进行数据的传送及接收的电路结构。

[0421] 电源电路160是用来生成在集成电路390内使用的电压的电路。例如,电源电路160是用来生成供应给OS晶体管的背栅极的使电特性稳定化的负电压的电路。

[0422] 低速总线140B是用来将在中断控制电路151、接口电路152、电池控制电路153和ADC/DAC接口电路154间的各种信号以低速进行传送和接收的总线。例如,可以将AMBA-APB (Advanced Peripheral Bus:高级外围总线)作为总线使用。高速总线140A与低速总线140B间的各种信号的传送及接收通过电桥电路150进行。

[0423] 中断控制电路151具有对从外围设备接收的要求进行中断处理的电路结构。

[0424] 接口电路152具有使UART (Universal Asynchronous Receiver/Transmitter:通用异步收发器)、I2C (Inter-Integrated Circuit:内置集成电路)、SPI (Serial Peripheral Interface:串行外设接口)等接口工作的电路结构。

[0425] 电池控制电路153具有用来传送及接收与集成电路390的外部的电池的充放电有关的数据的电路结构。

[0426] ADC/DAC接口电路154具有在集成电路390的外部的MEMS (Micro Electro Mechanical Systems:微电子机械系统)装置等输出模拟信号的装置间进行数据的传送和接收的电路结构。

[0427] 图28A、图28B是示出被SoC化时的电路区块的配置的一个例子的图。如图28A所示的集成电路390那样在图27的方框图中示出的各结构可以在芯片上分区域配置。

[0428] 此外,在图27中说明的片上存储器131可以由包括OS晶体管的存储电路诸如NOSRAM等构成。换言之,片上存储器131和存储电路121具有相同的电路结构。因此,在被SoC化时,如图28B所示的集成电路390E那样,可以将片上存储器131和存储电路121一体化地配置在相同区域内。

[0429] 根据上述说明的本发明的一个方式,可以提供一种新颖的半导体装置及电子设备。此外,根据本发明的一个方式,可以提供一种功耗小的半导体装置及电子设备。此外,根

据本发明的一个方式,可以提供一种能够抑制发热的半导体装置及电子设备。

[0430] 本实施方式可以与其他实施方式的记载适当地组合。

[0431] (实施方式6)

[0432] 在本实施方式中,参照图29A至图32说明能够使用上述实施方式中记载的集成电路390的电子设备、移动体、运算系统。

[0433] 图29A示出作为移动体的一个例子的汽车的外观。图29B是汽车内的数据的递送的简图。汽车590包括多个照相机591等。此外,汽车590包括红外线雷达、毫米波雷达、激光雷达等各种传感器(未图示)等。

[0434] 汽车590的照相机591等可以使用上述集成电路390。汽车590通过将照相机591从多个拍摄方向592拍摄的多个图像在上述实施方式中说明的集成电路390中进行处理并通过总线593等利用主体控制器594等对多个图像进行综合分析,来判断周围的交通状况诸如护栏或行人的有无等,由此可以进行自动驾驶。此外,还可以将上述集成电路390用于进行导航、危险预测等的系统。

[0435] 在集成电路390中,通过对所得到的图像数据进行神经网络等的运算处理,例如可以进行图像的高分辨率化、图像噪声的减少、人脸识别(以安全防范等为目的)、物体识别(以自动驾驶等为目的)、图像压缩、图像校正(宽动态范围化)、无透镜图像传感器的图像恢复、位置对准、文字识别、反射眩光等的降低等处理。

[0436] 虽然在上述例子中作为移动体的一个例子说明汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等,可以对这些移动体应用本发明的一个方式的计算机,以提供利用人工智能的系统。

[0437] 图30A是示出便携式电子设备的一个例子的外观图。图30B是便携式电子设备内的数据的递送的简图。便携式电子设备595包括印刷线路板596、扬声器597、照相机598、麦克风599等。

[0438] 在便携式电子设备595中,可以在印刷线路板596上设置上述集成电路390。便携式电子设备595通过利用上述实施方式中说明的集成电路390对通过扬声器597、照相机598、麦克风599等获得的多个数据进行处理及分析,可以提高使用者的方便性。此外,还可以将上述集成电路390用于进行声音指南、图像检索等系统。

[0439] 在集成电路390中,通过对所得到的图像数据进行神经网络等的运算处理,例如可以进行图像的高分辨率化、图像噪声的减少、人脸识别(以安全防范等为目的)、物体识别(以自动驾驶等为目的)、图像压缩、图像校正(宽动态范围化)、无透镜图像传感器的图像恢复、位置对准、文字识别、反射眩光等的降低等处理。

[0440] 图31A所示的便携式游戏机1100包括外壳1101、外壳1102、外壳1103、显示部1104、连接部1105、操作键1107等。外壳1101、外壳1102及外壳1103可以卸下。通过将设置在外壳1101的连接部1105安装在外壳1108,可以将输出到显示部1104的影像输出到其他视频显示设备。另一方面,通过将外壳1102及外壳1103安装在外壳1109,可以使外壳1102及外壳1103一体化而作为操作部使用。上述实施方式所示的集成电路390可以组合到设置在外壳1102及外壳1103的衬底上的芯片等。

[0441] 图31B是USB连接型的条状的电子设备1120。电子设备1120包括外壳1121、盖子

1122、USB连接器1123及基板1124。基板1124收纳在外壳1121内。例如，基板1124安装有存储芯片1125、控制芯片1126。上述实施方式所示的集成电路390可以组合到基板1124的控制芯片1126等。

[0442] 图31C是人型机器人1130。机器人1130包括传感器2101至2106及控制电路2110。例如，上述实施方式所示的集成电路390可以组合到控制电路2110。

[0443] 在上述实施方式中说明的集成电路390可以不设置在电子设备内而用于与电子设备进行通信的服务器。在此情况下，由电子设备及服务器构成运算系统。图32示出系统3000的结构例子。

[0444] 系统3000由电子设备3001及服务器3002构成。电子设备3001与服务器3002间的通信可以通过互联网线3003进行。

[0445] 服务器3002具有多个机架3004。在多个机架设置多个基板3005，可以在该基板3005上安装上述实施方式中所说明的集成电路390。由此，在服务器3002中构成神经网络。并且，服务器3002可以使用从电子设备3001通过互联网线3003输入的数据进行神经网络的运算。服务器3002的运算结果可以根据需要通过互联网线3003传送到电子设备3001。由此，可以减少电子设备3001中的运算负担。

[0446] 本实施方式可以与其他实施方式的记载适当地组合。

[0447] (关于本说明书等的记载的注释)

[0448] 下面，对上述实施方式及实施方式中的各结构的说明附加注释。

[0449] 各实施方式所示的结构可以与其他实施方式或实施例所示的结构适当地组合而构成本发明的一个方式。此外，当在一个实施方式中示出多个结构例子时，可以适当地组合这些结构例子。

[0450] 此外，可以将某一实施方式中说明的内容(或其一部分)应用/组合/替换成该实施方式中说明的其他内容(或其一部分)及/或另一个或多个其他实施方式中说明的内容(或其一部分)。

[0451] 注意，实施方式中说明的内容是指各实施方式中利用各种附图所说明的内容或者利用说明书所记载的文章而说明的内容。

[0452] 此外，通过将某一实施方式中示出的附图(或其一部分)与该附图的其他部分、该实施方式中示出的其他附图(或其一部分)及/或另一个或多个其他实施方式中示出的附图(或其一部分)组合，可以构成更多图。

[0453] 在本说明书等中，根据功能对构成要素进行分类并在方框图中以彼此独立的方框表示。然而，在实际的电路等中难以根据功能对构成要素进行分类，有时一个电路涉及到多个功能或者多个电路涉及到一个功能。因此，方框图中的方框不局限于说明书中说明的构成要素，而可以根据情况适当地改变。

[0454] 为了便于说明，在附图中，任意示出尺寸、层的厚度或区域。因此，本发明并不局限于附图中的尺寸。附图是为了明确起见而示意性地示出的，而不局限于附图所示的形状或数值等。例如，可以包括因噪声或定时偏差等所引起的信号、电压或电流的不均匀等。

[0455] 此外，附图等所示的构成要素的位置关系是相对性的。因此，在参照附图说明构成要素的情况下，为了方便起见，有时使用表示位置关系的“上”、“下”等词句。构成要素的位置关系不局限于本说明书所记载的内容，根据情况可以适当地改换词句。

[0456] 在本说明书等中,在说明晶体管的连接关系时,使用“源极和漏极中的一个”(第一电极或第一端子)、“源极和漏极中的另一个”(第二电极或第二端子)的表述。这是因为晶体管的源极和漏极根据晶体管的结构或工作条件等改变的缘故。注意,根据情况可以将晶体管的源极和漏极适当地换称为源极(漏极)端子或源极(漏极)电极等。

[0457] 此外,在本说明书等中,“电极”或“布线”不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”还包括多个“电极”或“布线”被形成为一体的情况等。

[0458] 此外,在本说明书等中,可以适当地对电压和电位进行调换。电压是指与基准电位的电位差,例如在基准电位为地电压(接地电压)时,也可以将电压称为电位。接地电位不一定意味着0V。注意,电位是相对的,对布线等供应的电位有时根据基准电位而变化。

[0459] 在本说明书等中,节点也可以根据电路结构或器件结构等被称为端子、布线、电极、导电层、导体或杂质区域等。此外,端子、布线等也可以被称为节点。

[0460] 在本说明书等中,A与B连接是指A与B电连接。在此,A与B电连接是指在A和B之间存在对象物(开关、晶体管元件或二极管等的元件、或者包含该元件及布线的电路等)时可以在A和B之间传送电信号的连接。注意,A与B电连接的情况包括A与B直接连接的情况。在此,A与B直接连接是指A和B能够不经过上述对象物而在其间通过布线(或者电极)等传送电信号的连接。换言之,直接连接是指在使用等效电路表示时可以看作相同的电路图的连接。

[0461] 在本说明书等中,开关是指具有通过变为导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过的功能的元件。或者,开关是指具有选择并切换电流路径的功能的元件。

[0462] 在本说明书等中,例如,沟道长度是指在晶体管的俯视图中,半导体(或在晶体管处于导通状态时,在半导体中电流流过的部分)和栅极重叠的区域或者形成沟道的区域中的源极和漏极之间的距离。

[0463] 在本说明书等中,例如,沟道宽度是指半导体(或在晶体管处于导通状态时,在半导体中电流流过的部分)和栅电极重叠的区域、或者形成沟道的区域中的源极和漏极相对的部分的长度。

[0464] 在本说明书等中,根据情况或状态,可以互相调换“膜”和“层”等词句。例如,有时可以将“导电层”调换为“导电膜”。此外,例如有时可以将“绝缘膜”调换为“绝缘层”。

[0465] [符号说明]

[0466] BGL1:布线、C11:电容元件、CK1:节点、D1:节点、GCLK1:时钟信号、I1:输入层、M1:中间层、M3:中间层、M11:晶体管、M12:晶体管、M13:晶体管、O1:输出层、PSE0:信号、PSE1:信号、PSE2:信号、Q_N:输出信号、Q_1:输出信号、Q1:节点、RBL_N:读出用位线、RBL_1:读出用位线、RWL_M:读出用字线、RWL_1:读出用字线、SLEEP1:信号、SN11:节点、SW_N:开关、SW_1:开关、SW1:晶体管、t1:时间、t2:时间、t3:时间、t4:时间、t5:时间、t6:时间、t7:时间、WBL_1:写入用位线、WWL_M:写入用字线、WWL_1:写入用字线、10:CPU、20:加速器、21:运算处理部、22:存储部、22_N:存储电路层、22_1:存储电路层、22_2:存储电路层、23:运算电路、23_N:运算电路、23_1:运算电路、24:存储电路、24_N:存储电路、24_P:存储电路、24A:存储电路、24B:存储电路、24C:存储电路、24D:存储电路、24E:存储电路、25:晶体管、25_N:晶体管、25_P:晶体管、25A:晶体管、25B:晶体管、26:晶体管、26_N:晶体管、26_P:晶体管、26B:晶体

管、27:晶体管、27_N:晶体管、27_P:晶体管、28:电容元件、28_N:电容元件、28_P:电容元件、28A:电容元件、28B:电容元件、29:半导体层、30:总线、31:布线、32:晶体管、33A:晶体管、33B:晶体管、34:天线、35:驱动电路、36A:绝缘体、36B:绝缘体、41:读出电路、42:位积和运算器、43:累加器、44:锁存电路、45:编码电路、46:反相器电路、47:逻辑电路、50:神经元、51:层、52:层、53:层、54:层、61:控制器、62:行译码器、63:字线驱动器、64:列译码器、65:驱动器、66:预充电电路、67:读出放大器、68:选择器、71:输入缓冲器、72:运算控制电路、76:WA、100:半导体装置、110:驱动电路层、111:CPU核心、112:指令高速缓存、113:数据高速缓存、114:总线接口电路、121:存储电路、122:运算电路、123:控制电路、131:片上存储器、140A:高速总线、140B:低速总线、141:DMAC、142:电源管理单元、143:存储控制器、144:控制器、145:接口电路、146:显示器接口电路、147:安全用电路、150:电桥电路、151:控制电路、152:接口电路、153:电池控制电路、154:接口电路、160:电源电路、193:PMU、200:CPU核心、202:高速缓冲存储装置、203:高速缓冲存储装置、205:总线接口部、210:电源开关、211:电源开关、212:电源开关、214:电平转换器、220:触发器、221:扫描触发器、221A:时钟缓冲电路、222:备份电路、390:集成电路、390E:集成电路、590:汽车、591:照相机、592:拍摄方向、593:总线、594:主机控制器、595:便携式电子设备、596:印刷线路板、597:扬声器、598:照相机、599:麦克风、600:晶体管、605:导电体、605a:导电体、605b:导电体、607:导电体、611:绝缘体、612:绝缘体、614:绝缘体、615:导电体、616:绝缘体、622:绝缘体、624:绝缘体、630:氧化物、630a:氧化物、630b:氧化物、630c:氧化物、640:导电体、640a:导电体、640b:导电体、640c:导电体、640d:导电体、642:导电体、642a:导电体、642b:导电体、643:氧化物、643a:氧化物、643b:氧化物、646:导电体、646a:导电体、646b:导电体、650:绝缘体、655:电容元件、656:导电体、657:导电体、660:导电体、660a:导电体、660b:导电体、672:绝缘体、673:绝缘体、674:绝缘体、680:绝缘体、682:绝缘体、683:绝缘体、684:绝缘体、685:绝缘体、686:绝缘体、687:绝缘体、688:绝缘体、689:绝缘体、690:晶体管、700:晶体管、705:导电体、705a:导电体、705b:导电体、715:导电体、730:氧化物、730a:氧化物、730b:氧化物、730c:氧化物、742:导电体、742a:导电体、742b:导电体、743:氧化物、743a:氧化物、743b:氧化物、750:绝缘体、760:导电体、760a:导电体、760b:导电体、790:晶体管、800:晶体管、811:衬底、813:半导体区域、814a:低电阻区域、814b:低电阻区域、815:绝缘体、816:导电体、820:绝缘体、822:绝缘体、824:绝缘体、826:绝缘体、828:导电体、830:导电体、850:绝缘体、852:绝缘体、854:绝缘体、856:导电体、857:导电体、860:存储电路、860_1:存储电路、860_2:存储电路、860_3:存储电路、860_4:存储电路、860_5:存储电路、860_6:存储电路、870:存储电路层、870_n:存储电路层、870_1:存储电路层、871:硅层、876:导电体、878:导电体、1100:便携式游戏机、1101:框体、1102:框体、1103:框体、1104:显示部、1105:连接部、1107:操作键、1108:框体、1109:框体、1120:电子设备、1121:框体、1122:盖子、1123:USB连接器、1124:衬底、1125:存储器芯片、1126:控制器芯片、1130:机器人、2101:传感器、2106:传感器、2110:控制电路、3000:系统、3001:电子设备、3002:服务器、3003:互联网线、3004:机架、3005:衬底、3210:WA、7654:WA。

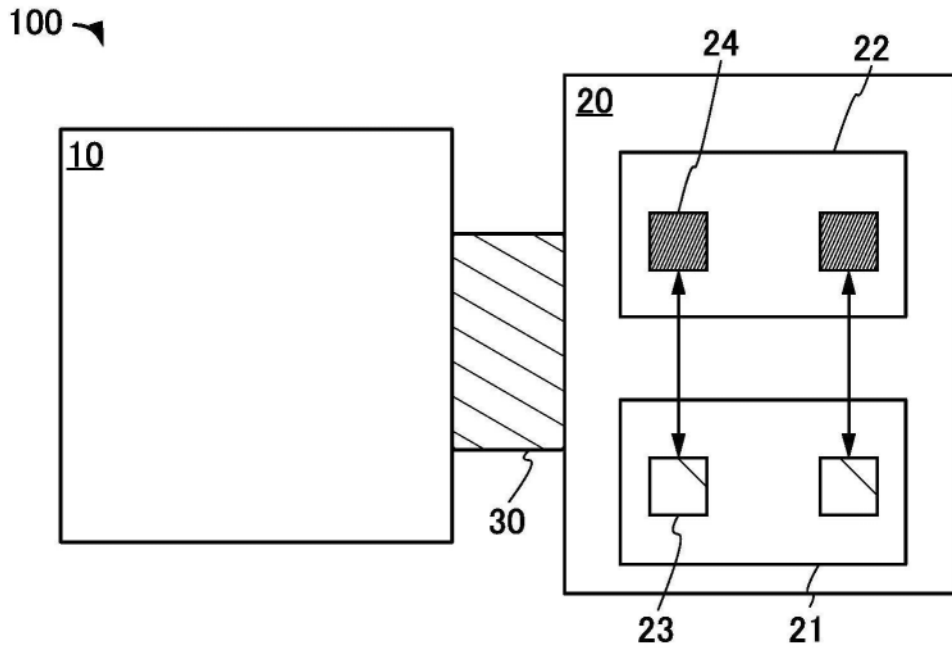


图1A

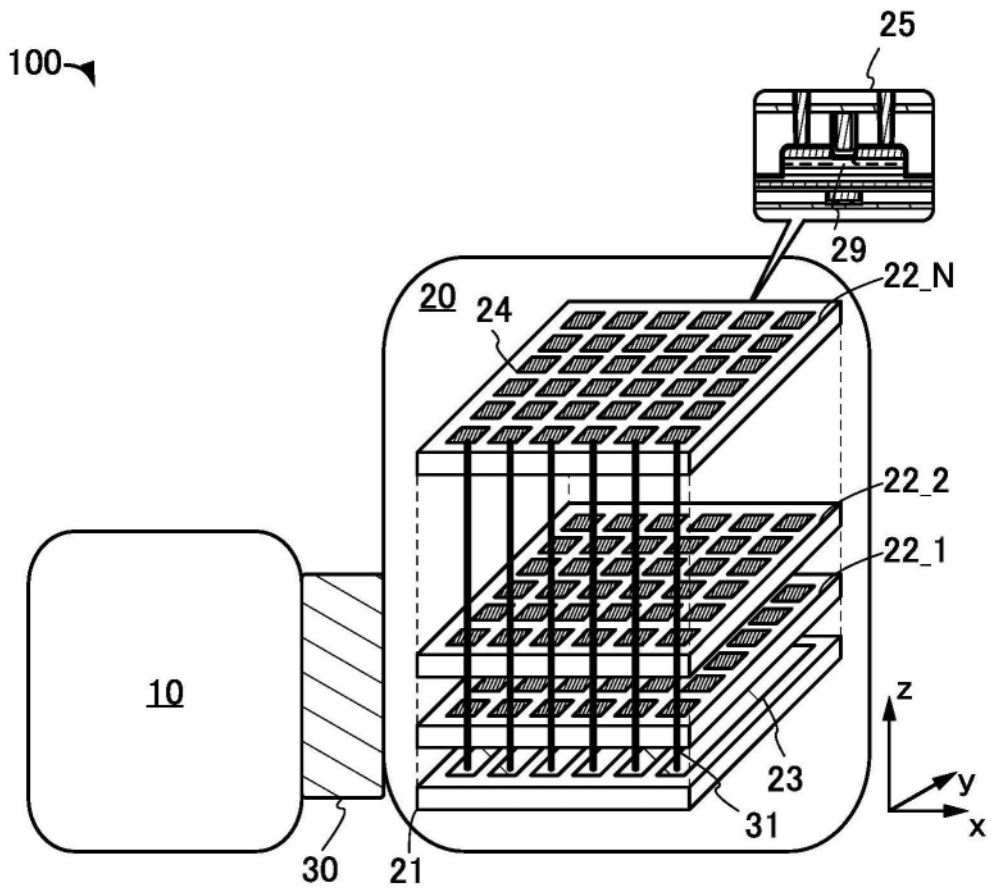


图1B

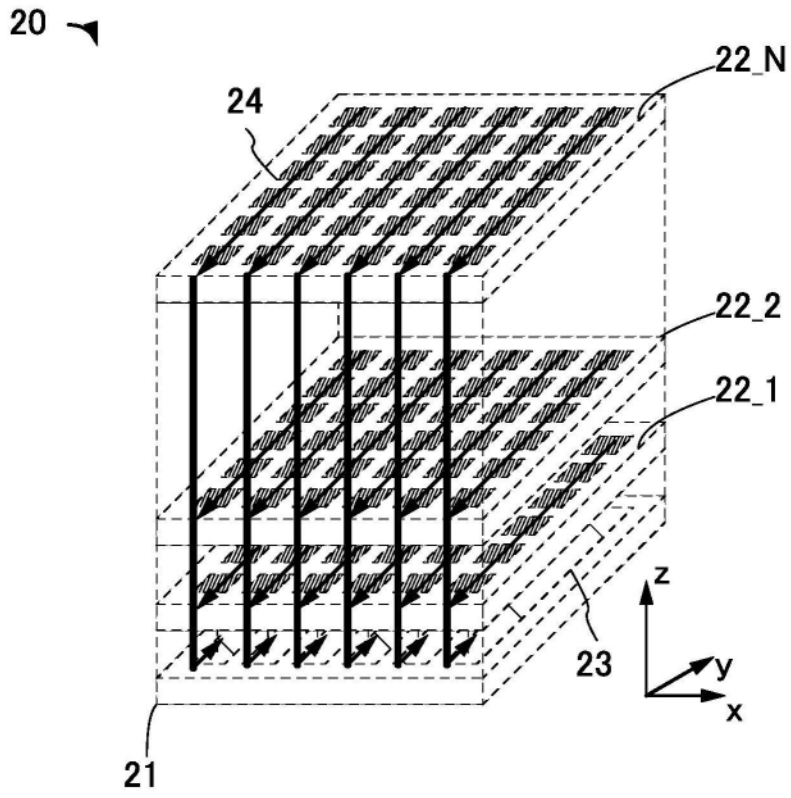


图2A

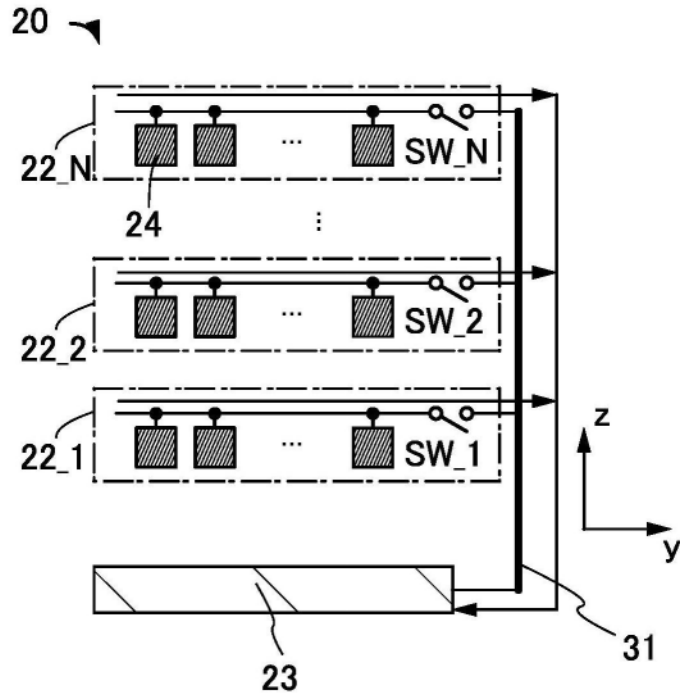


图2B

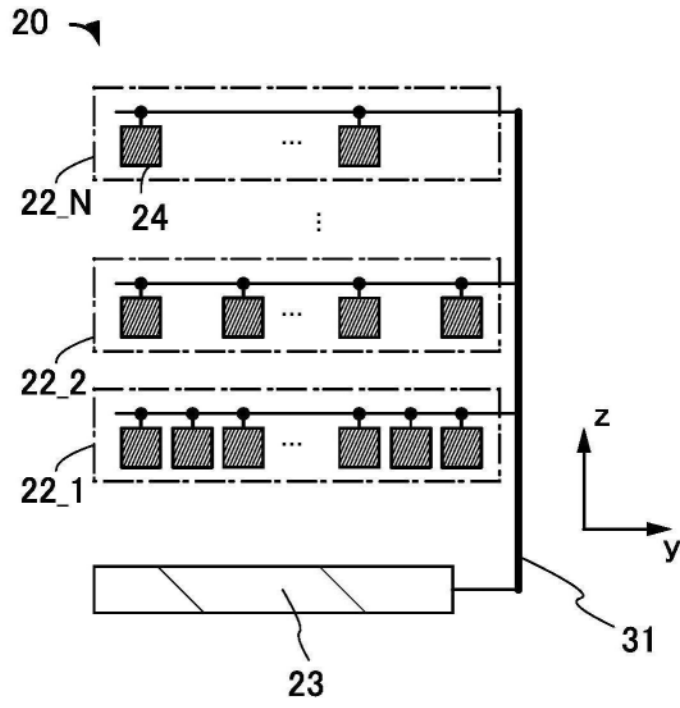


图3A

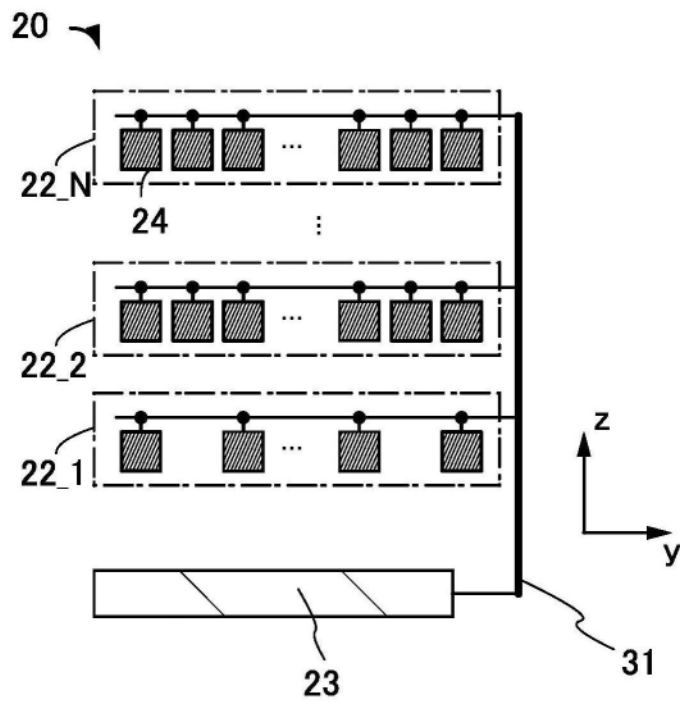


图3B

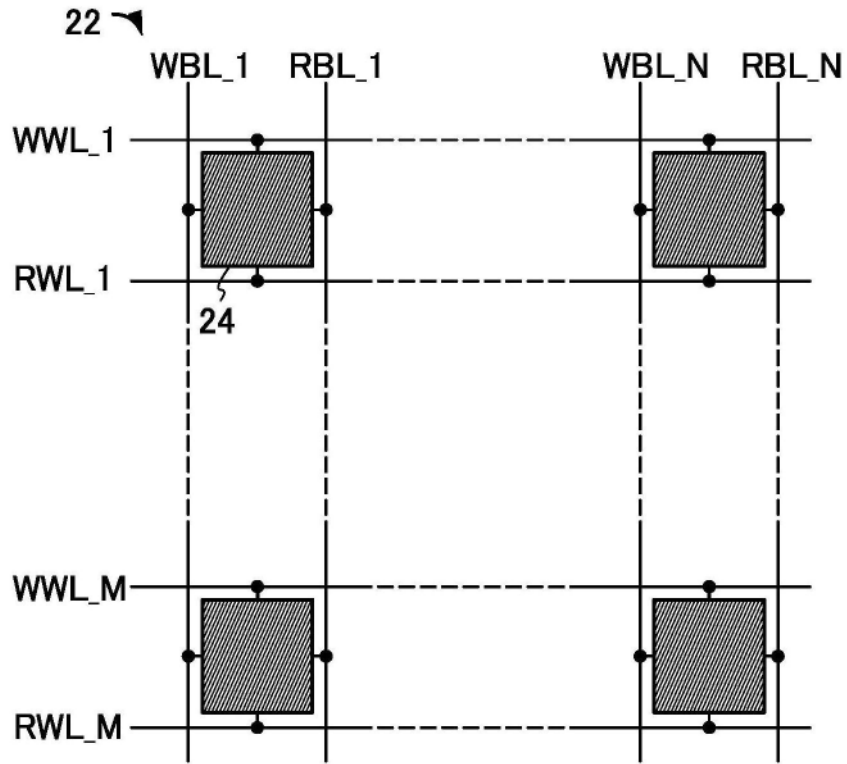


图4A

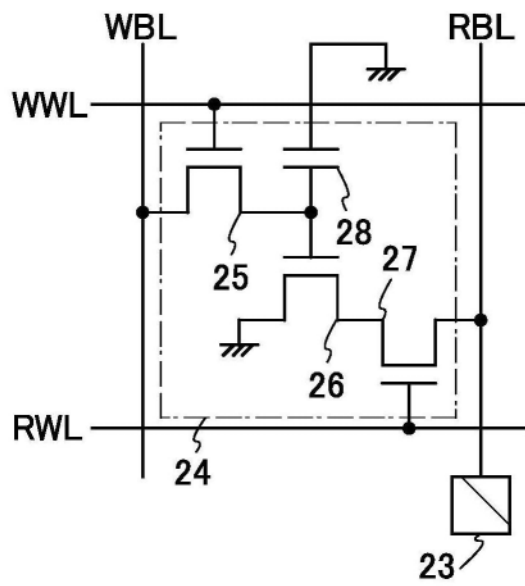


图4B

24A

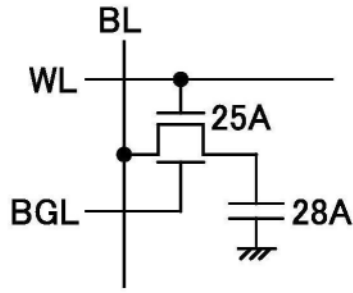


图5A

24B

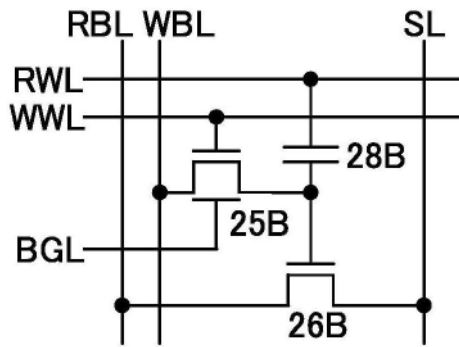


图5B

24C

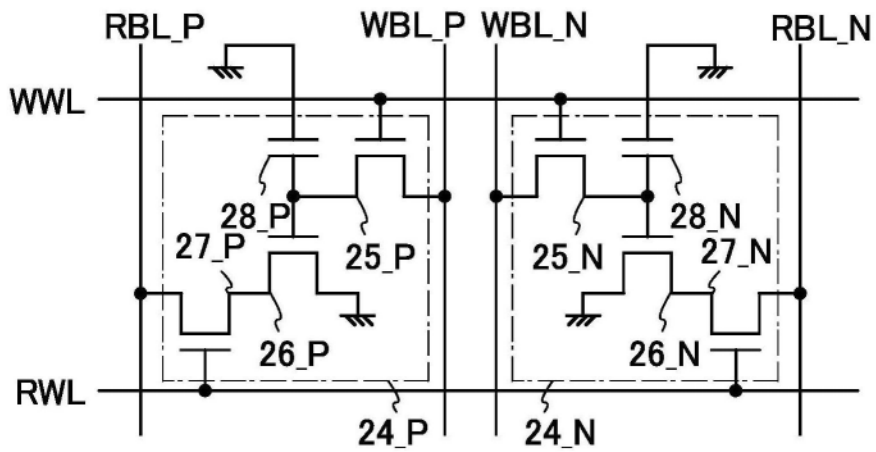


图5C

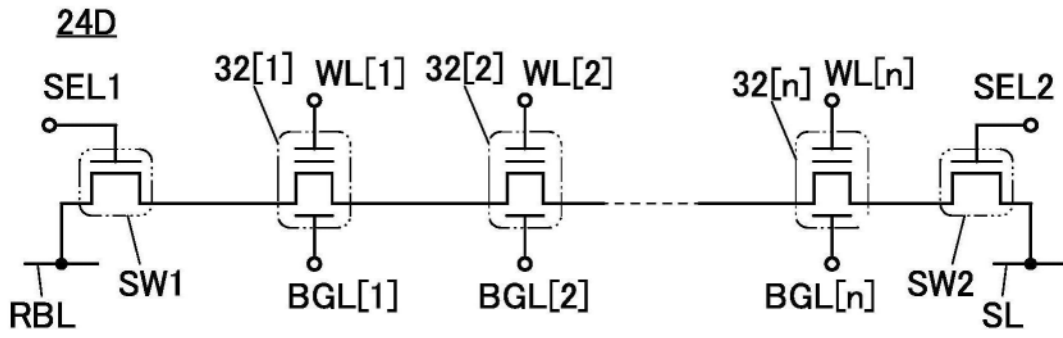


图5D

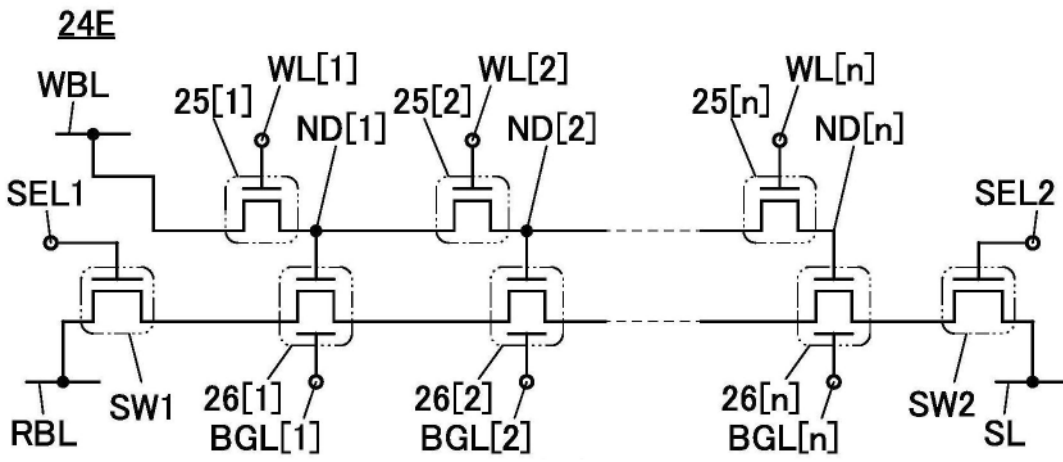


图5E

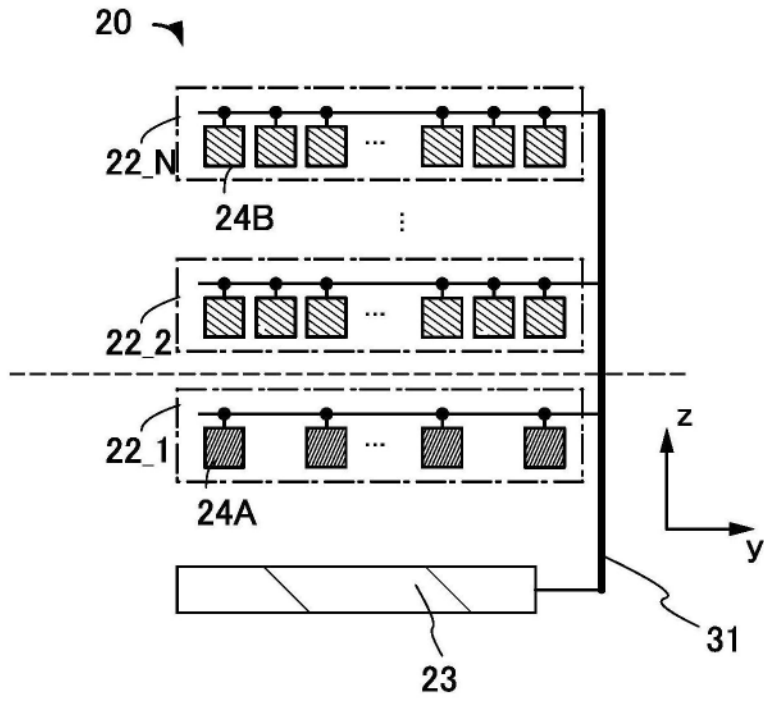


图6A

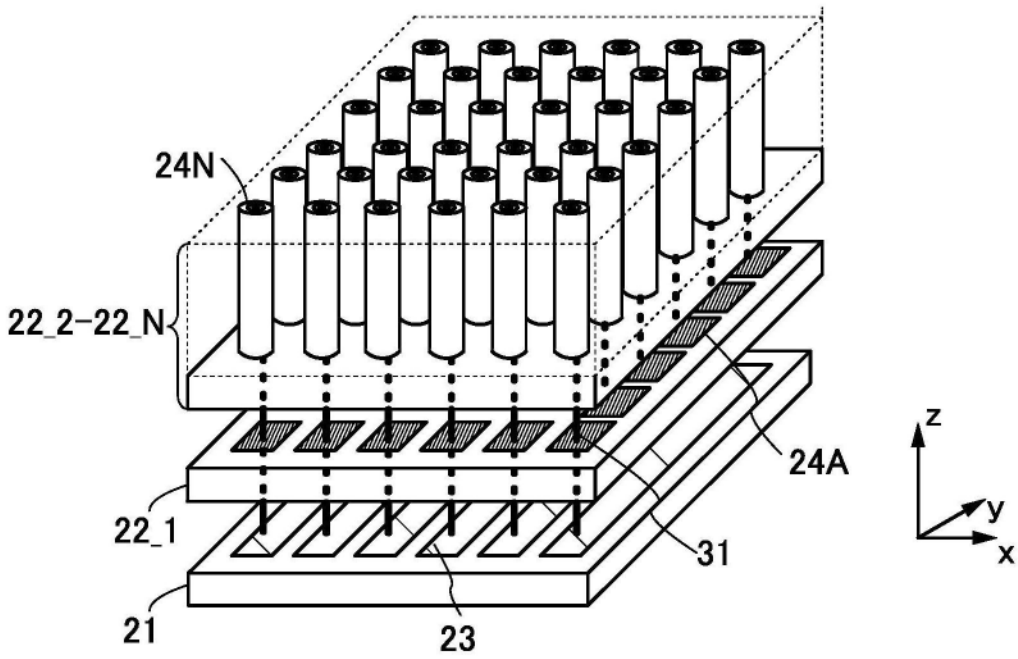


图6B

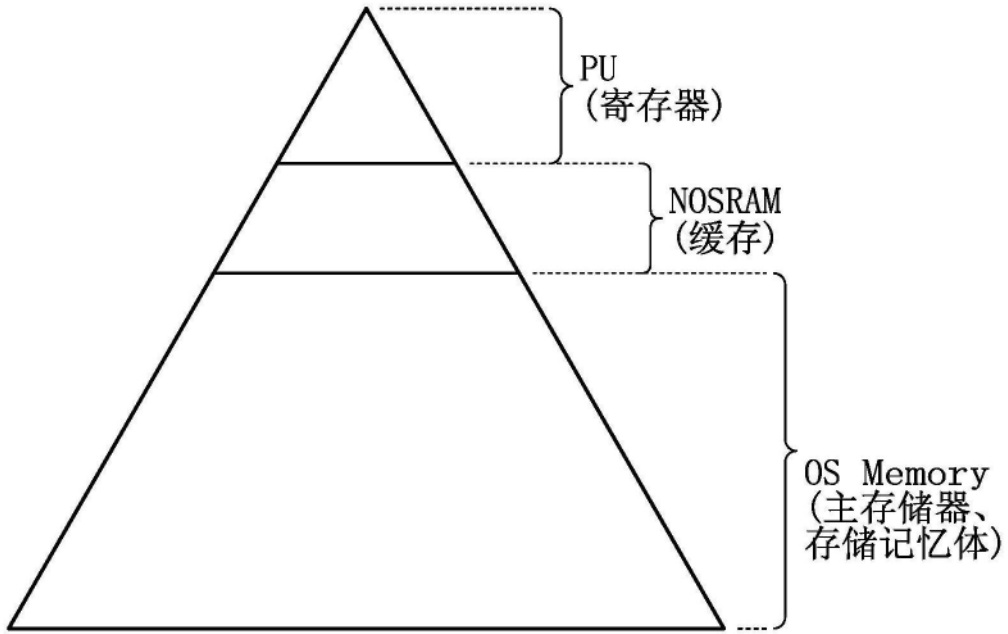


图7A

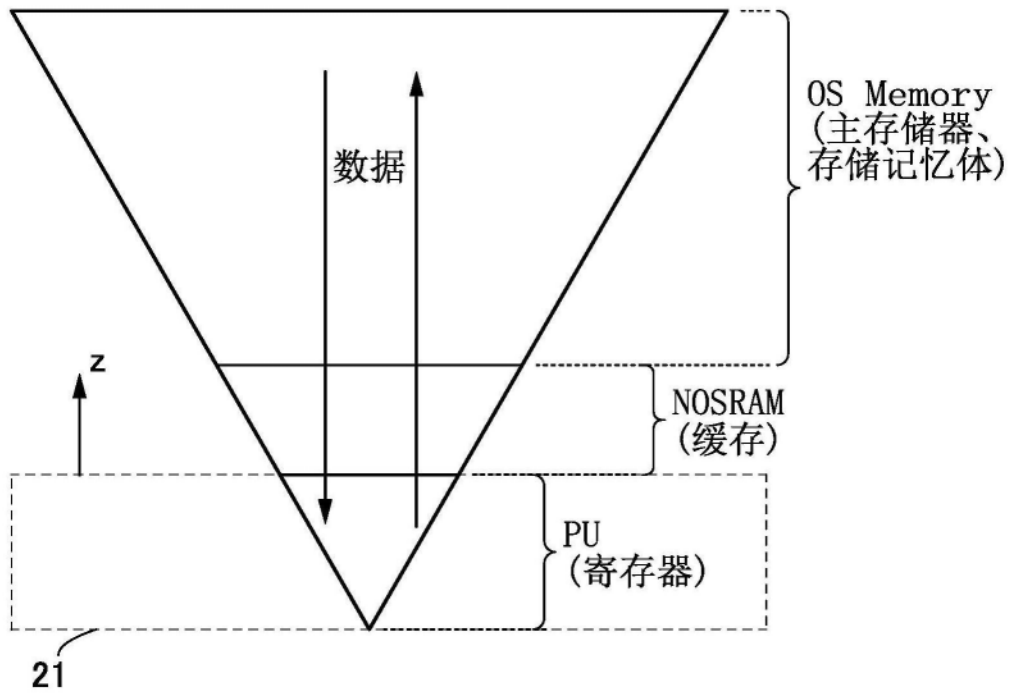


图7B

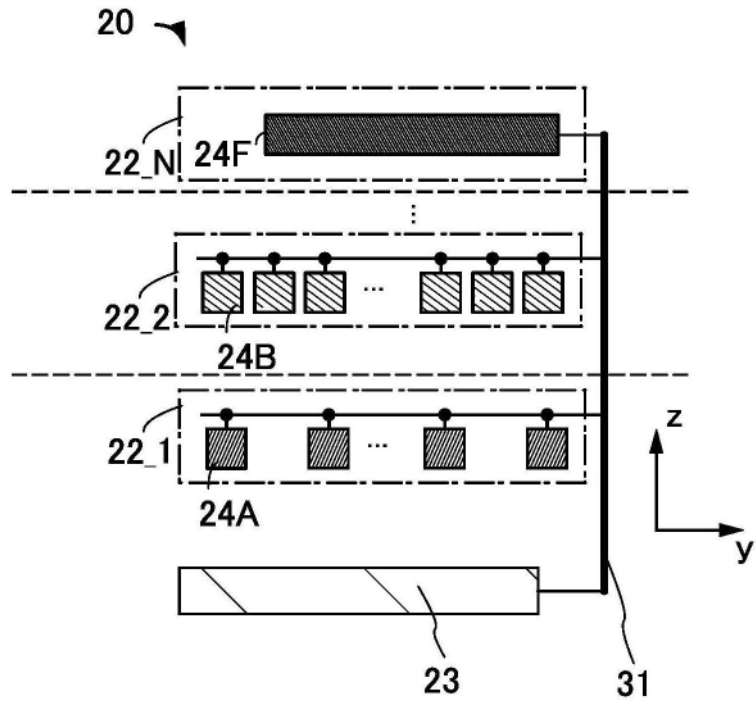


图8A

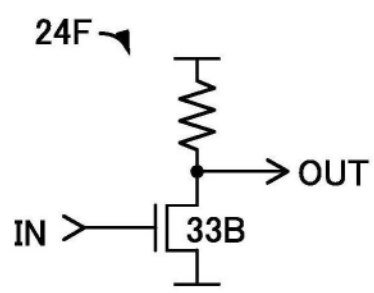


图8B

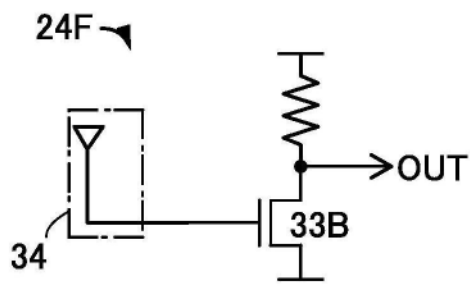


图8C

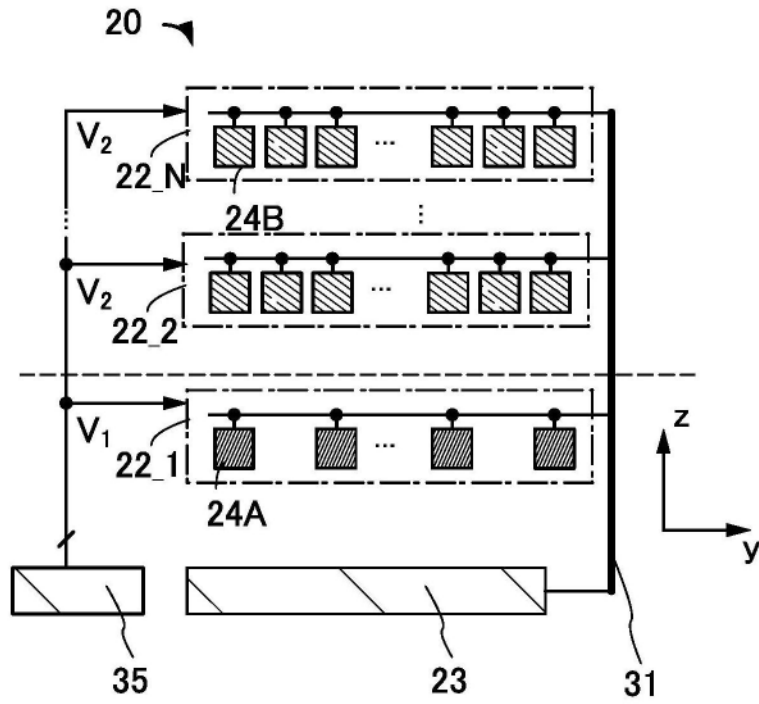


图9A

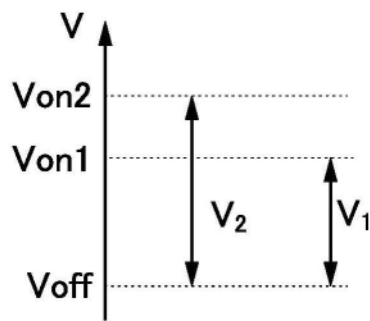


图9B

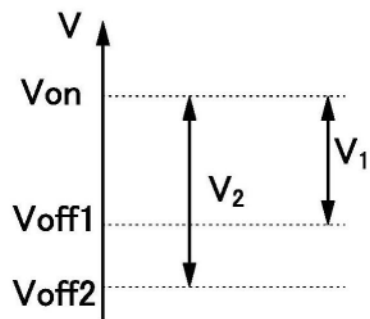


图9C

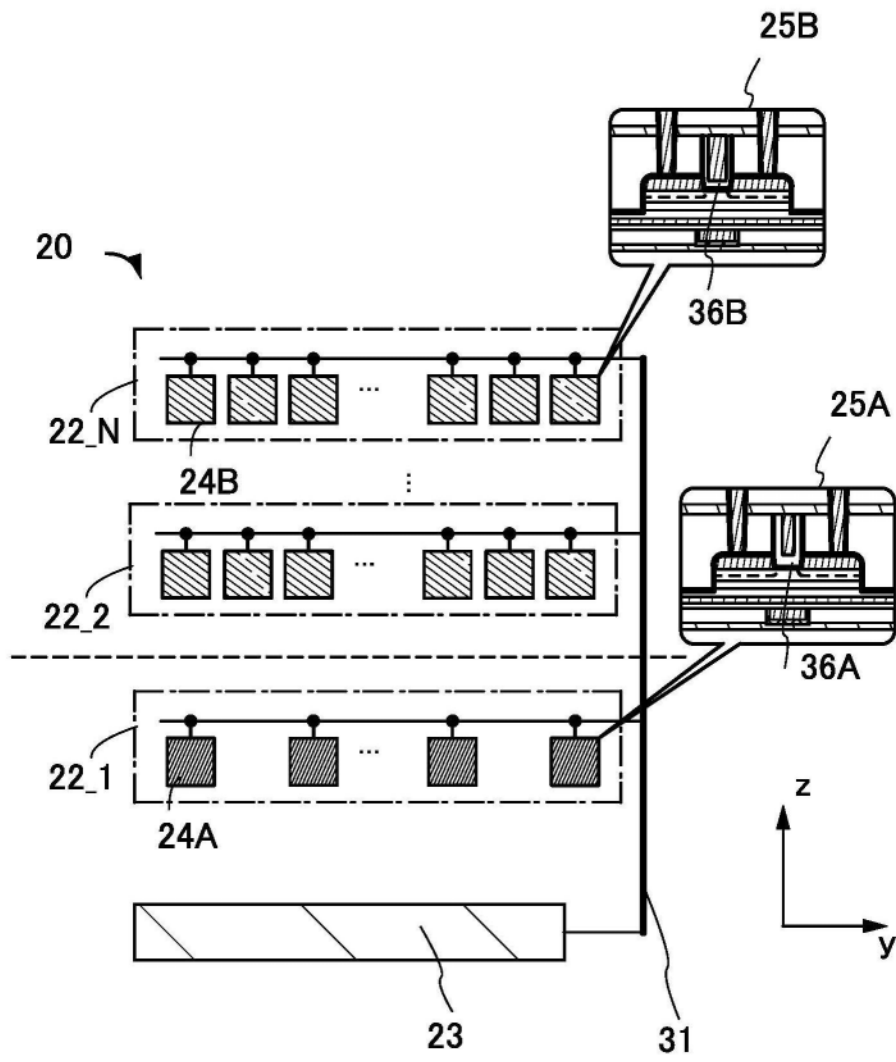


图10

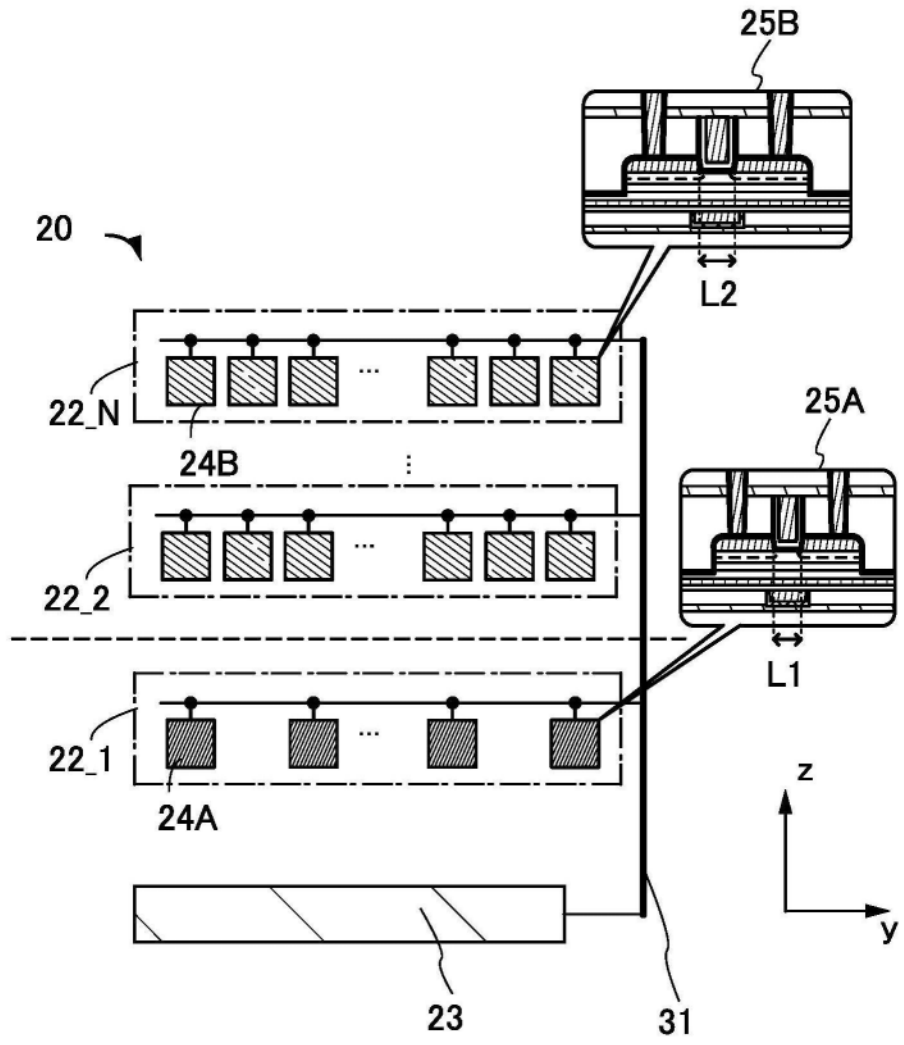


图11

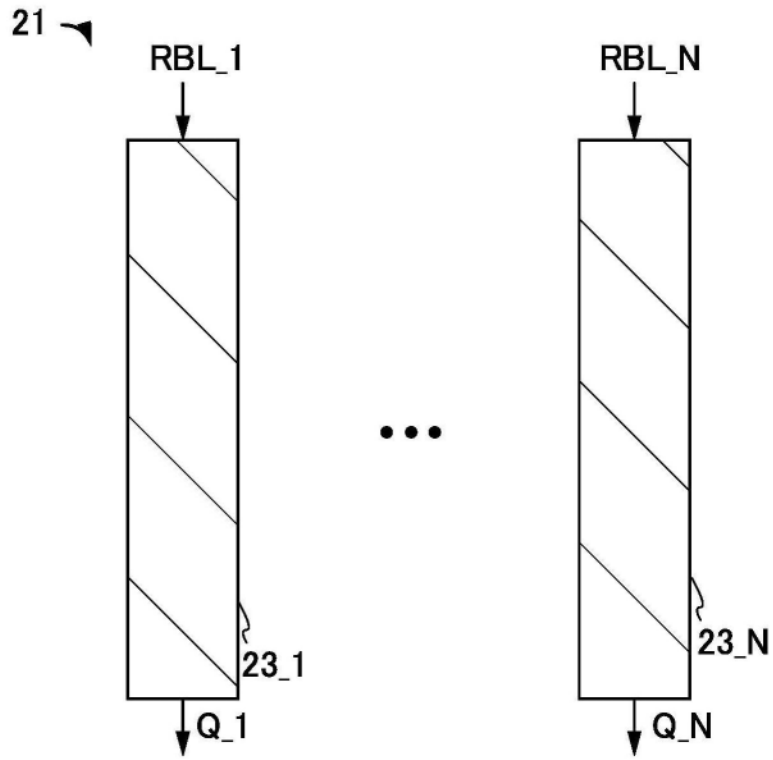


图12A

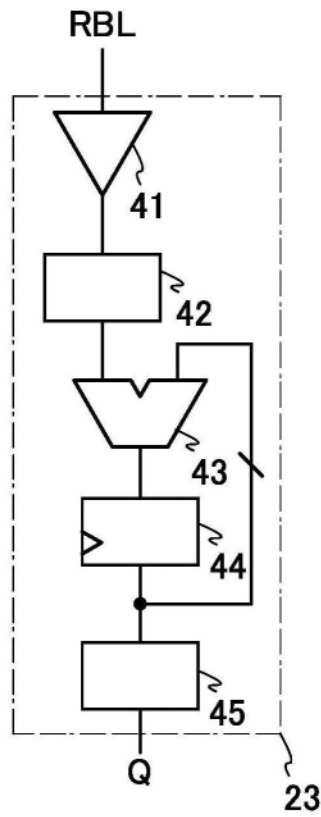


图12B

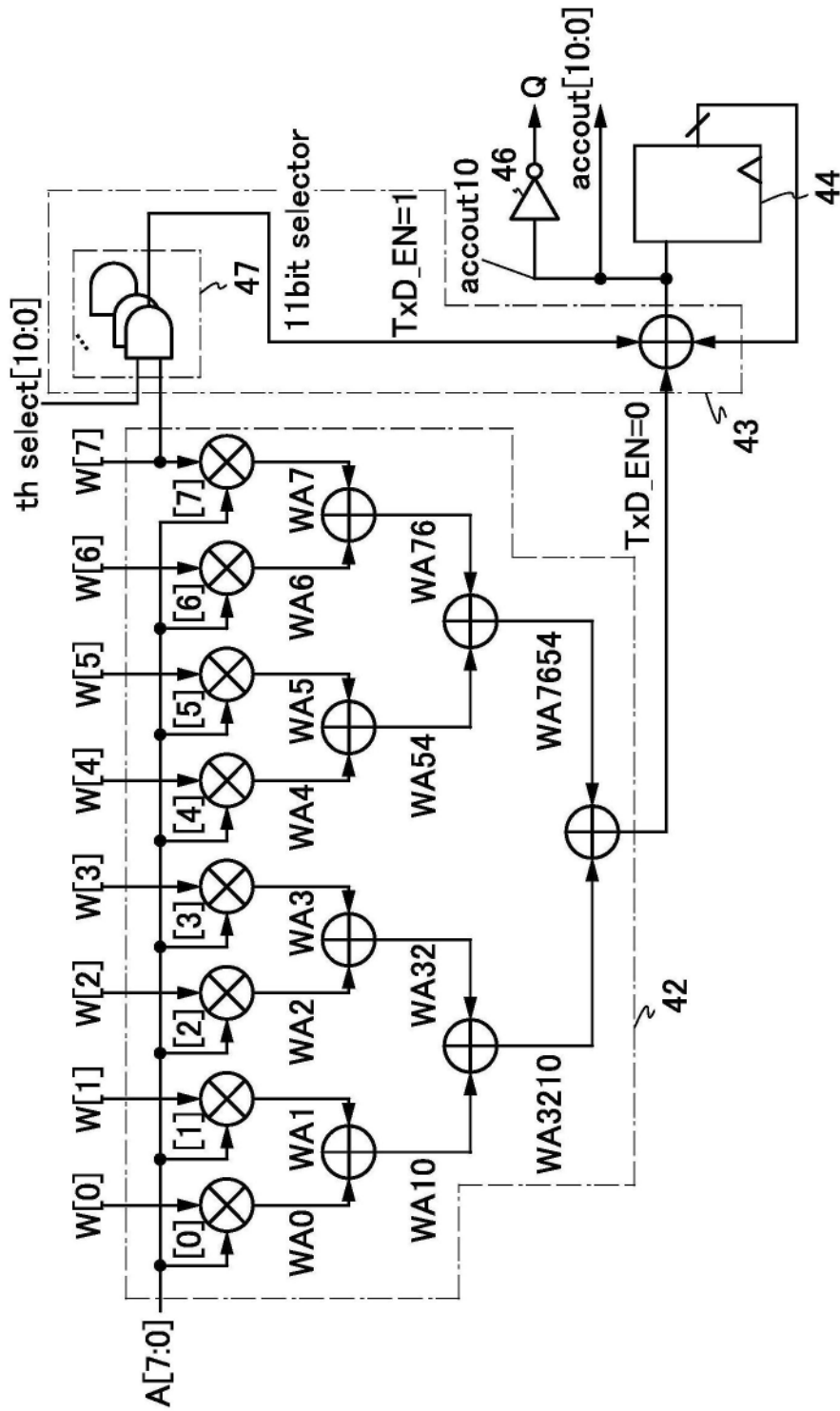


图13

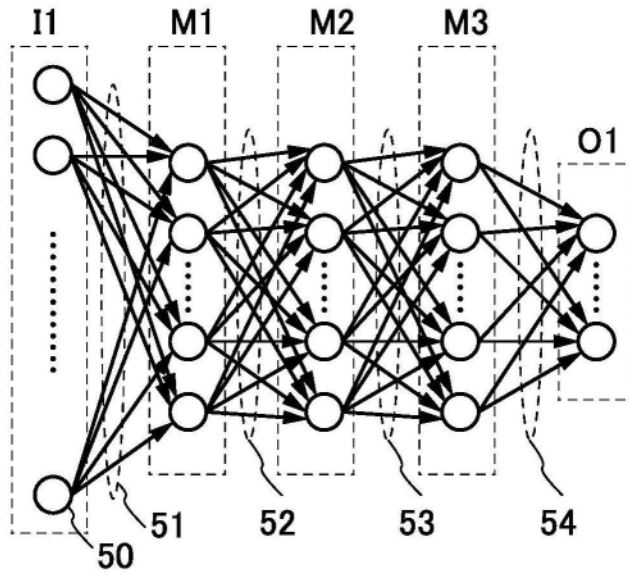


图14A

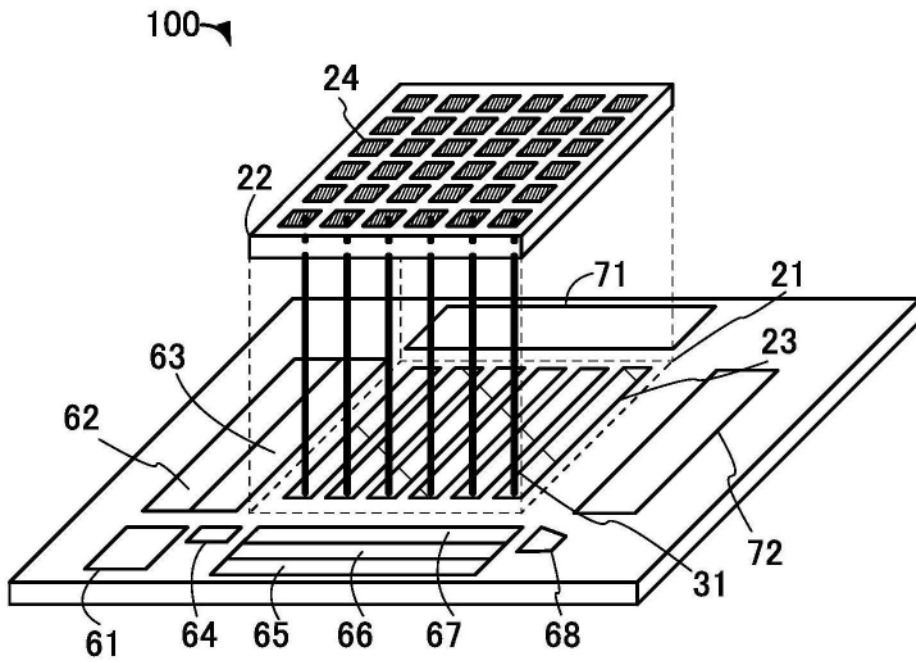


图14B

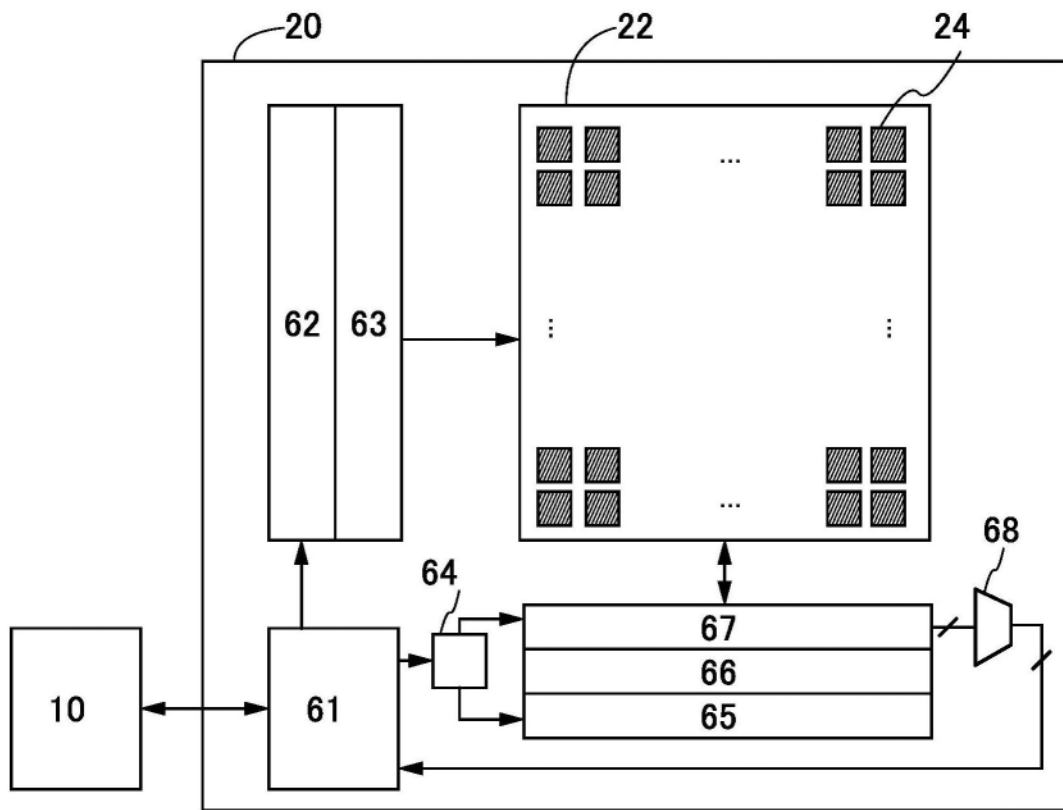


图15A

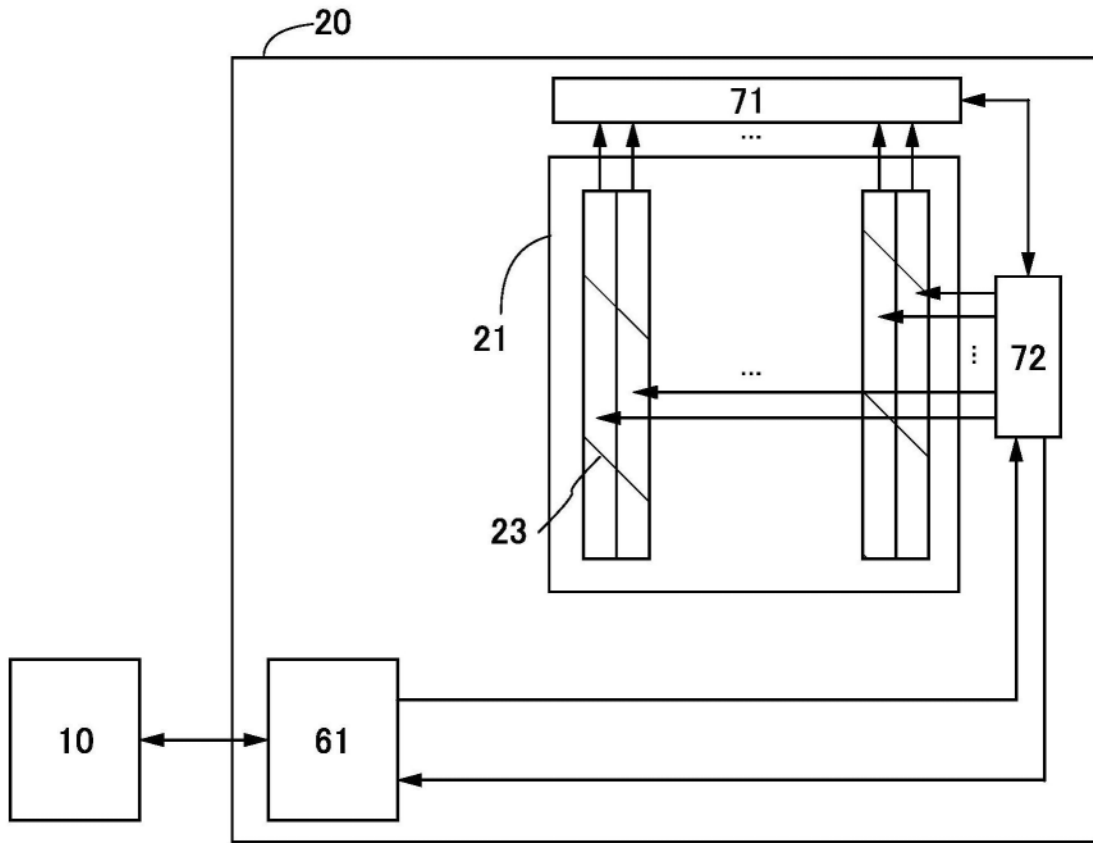


图15B

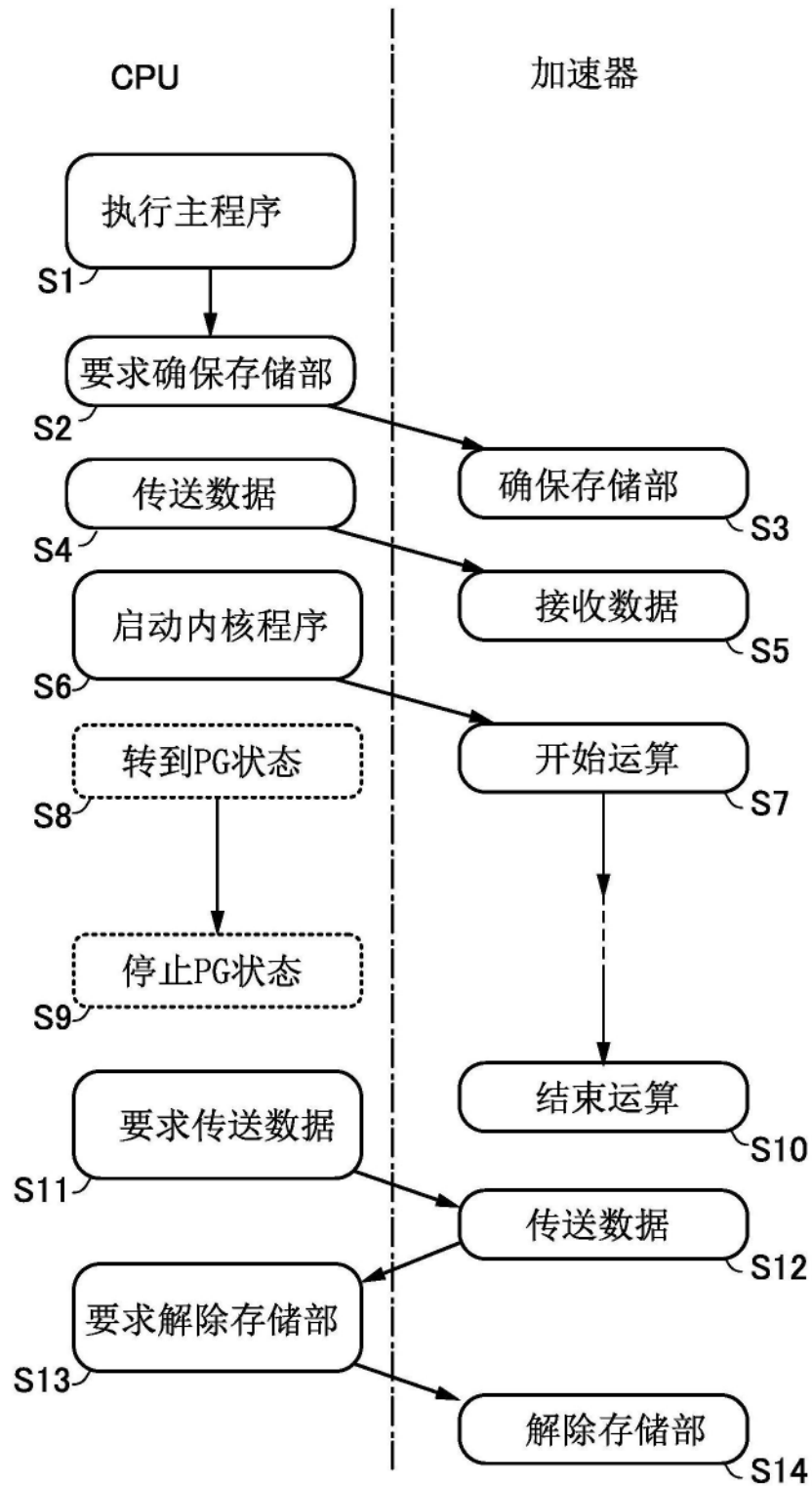


图16

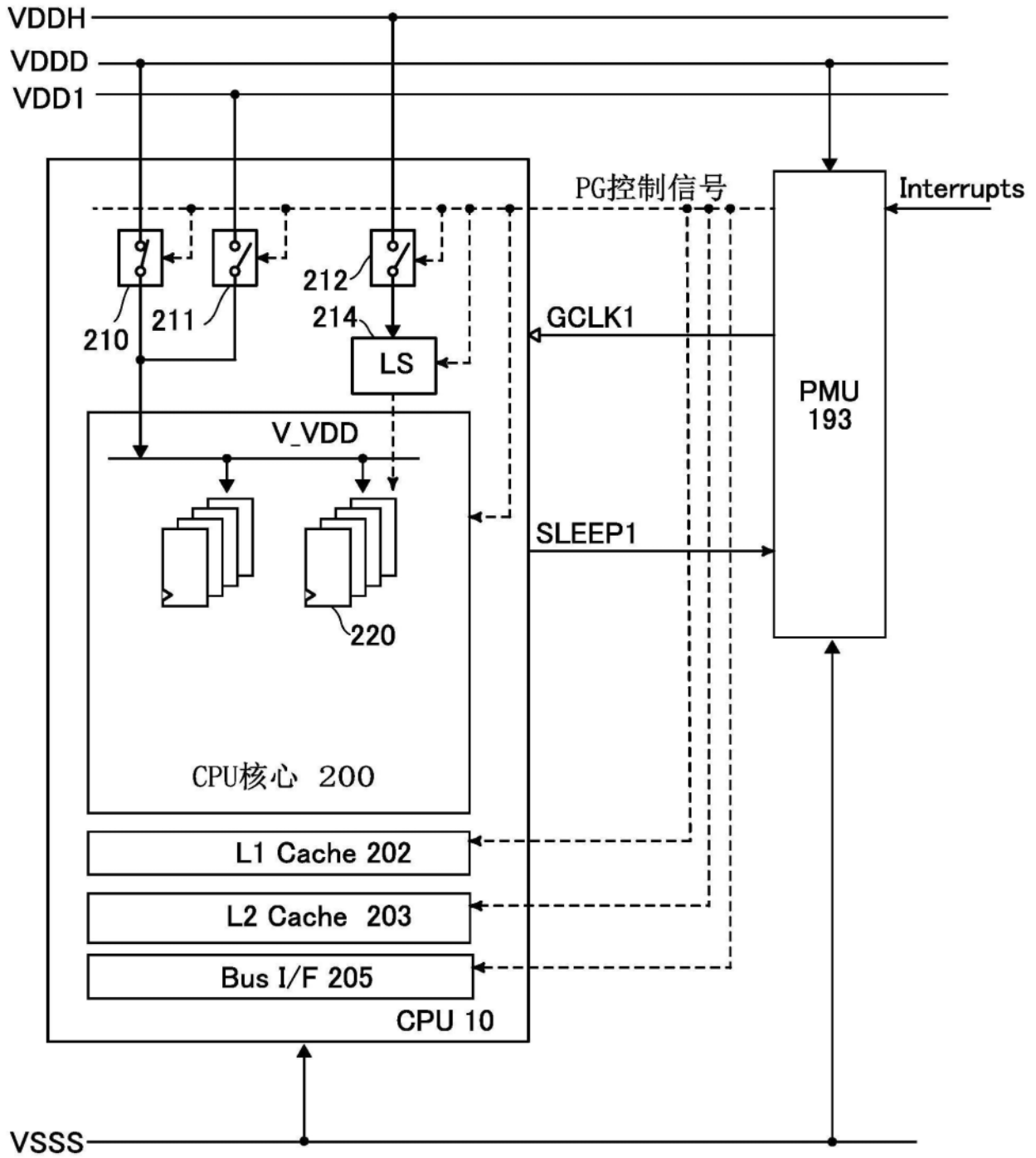


图17

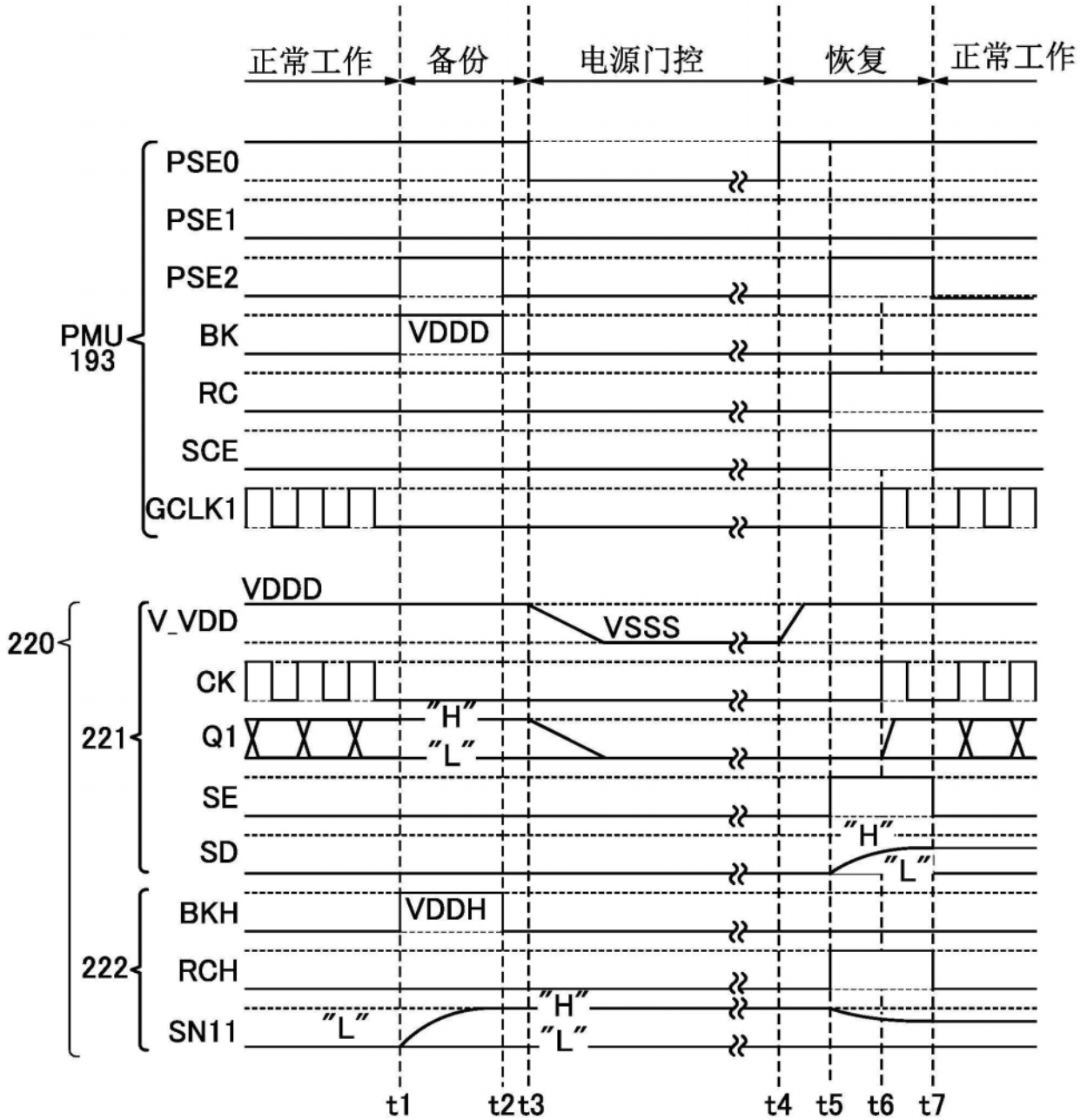


图19

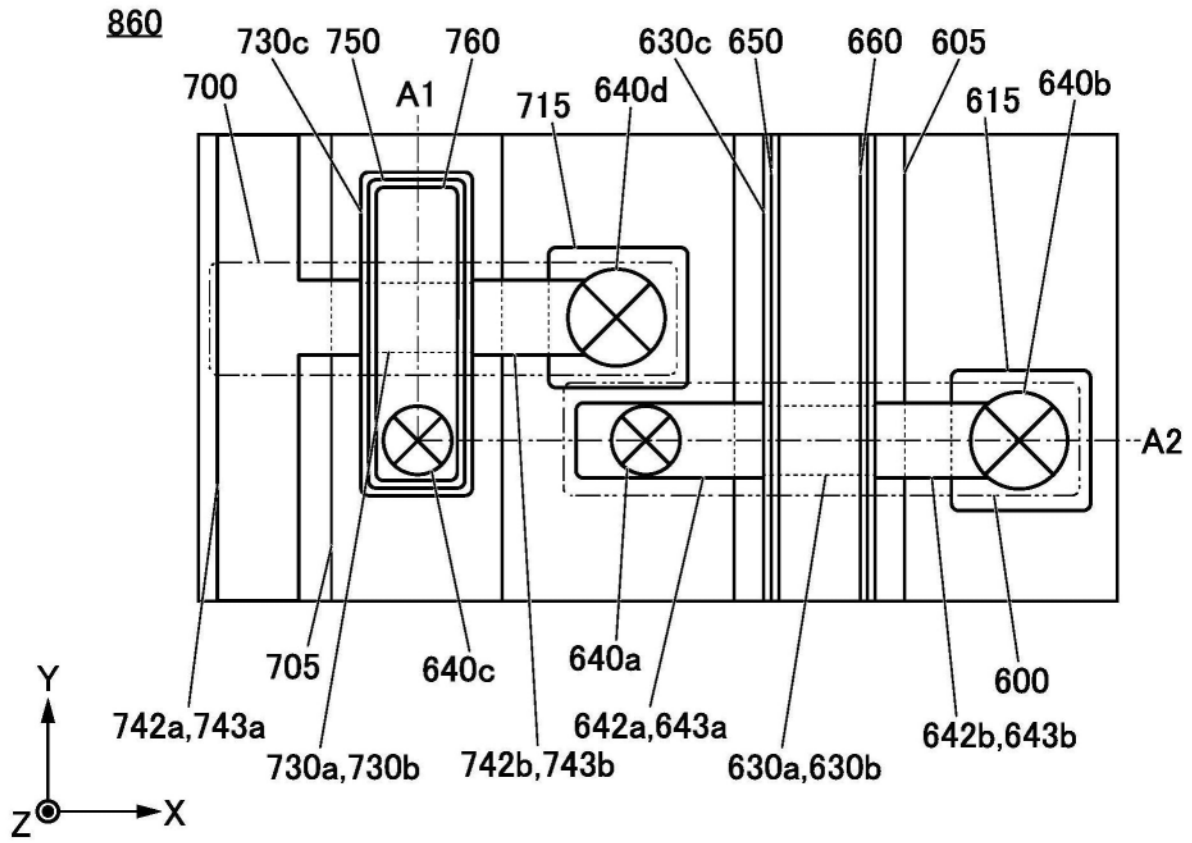


图20A

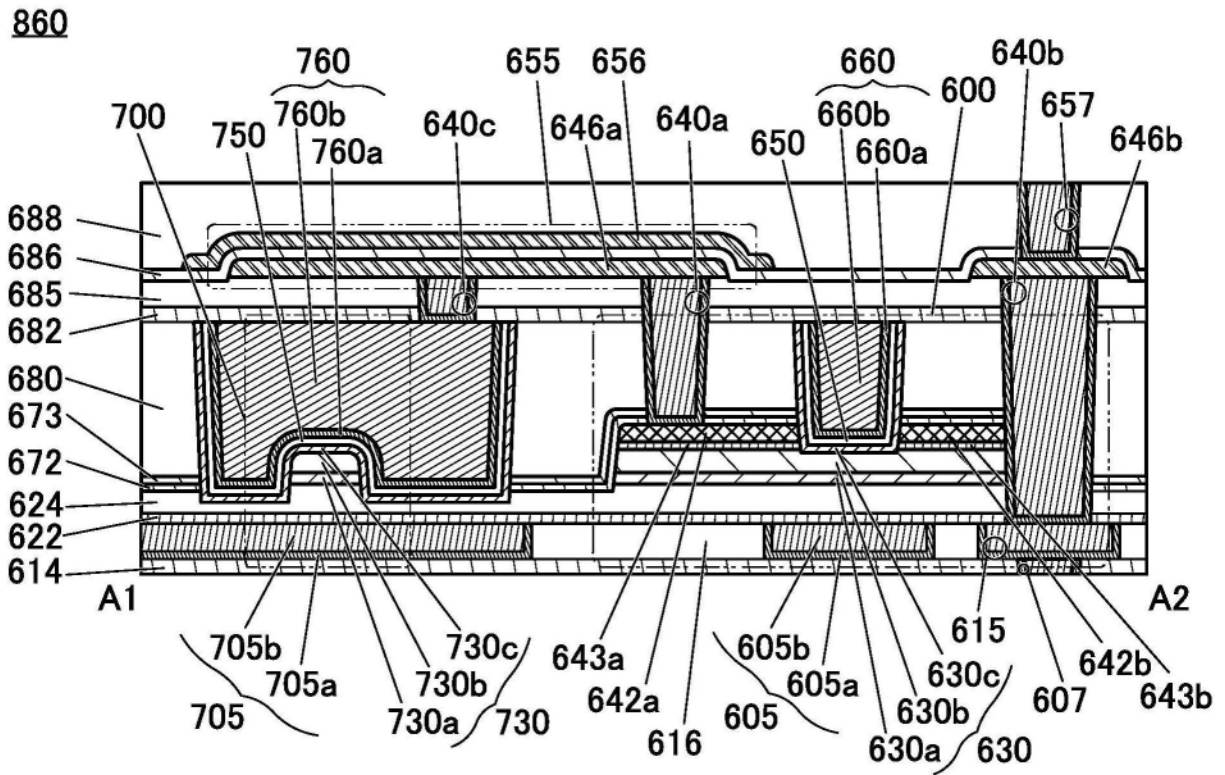


图20B

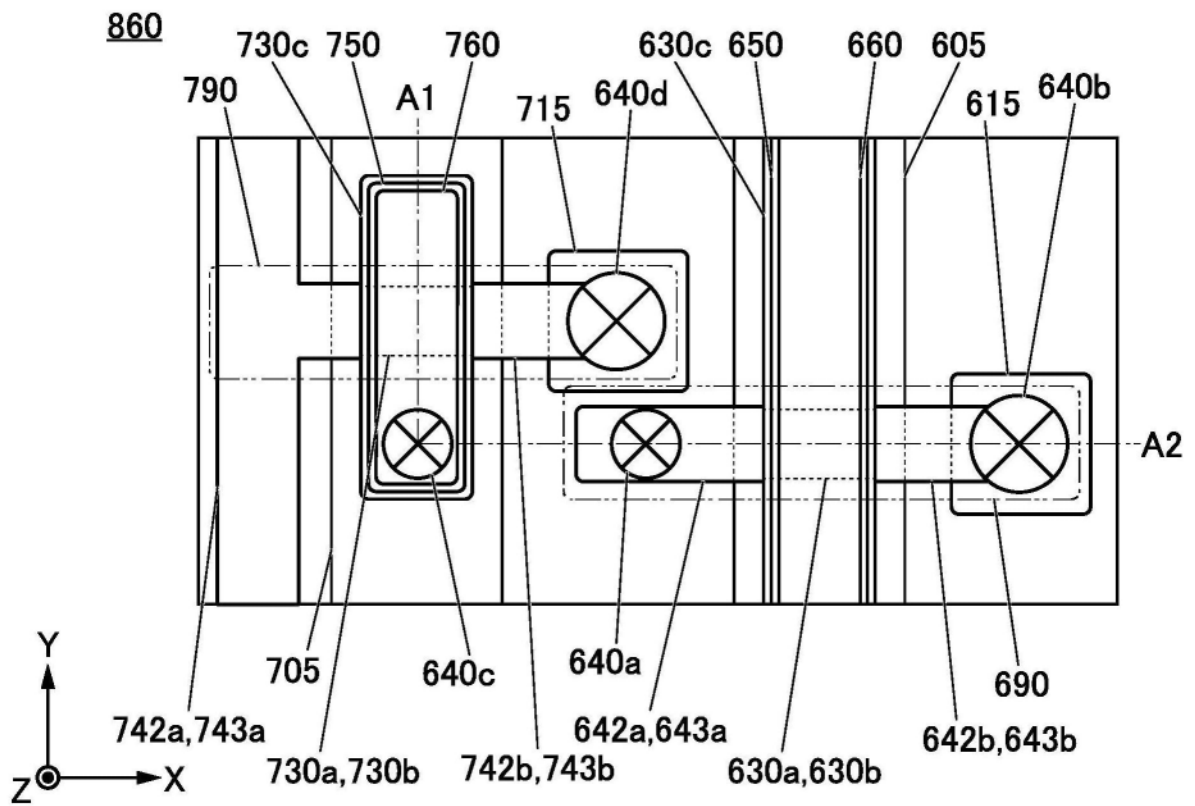


图21A

860

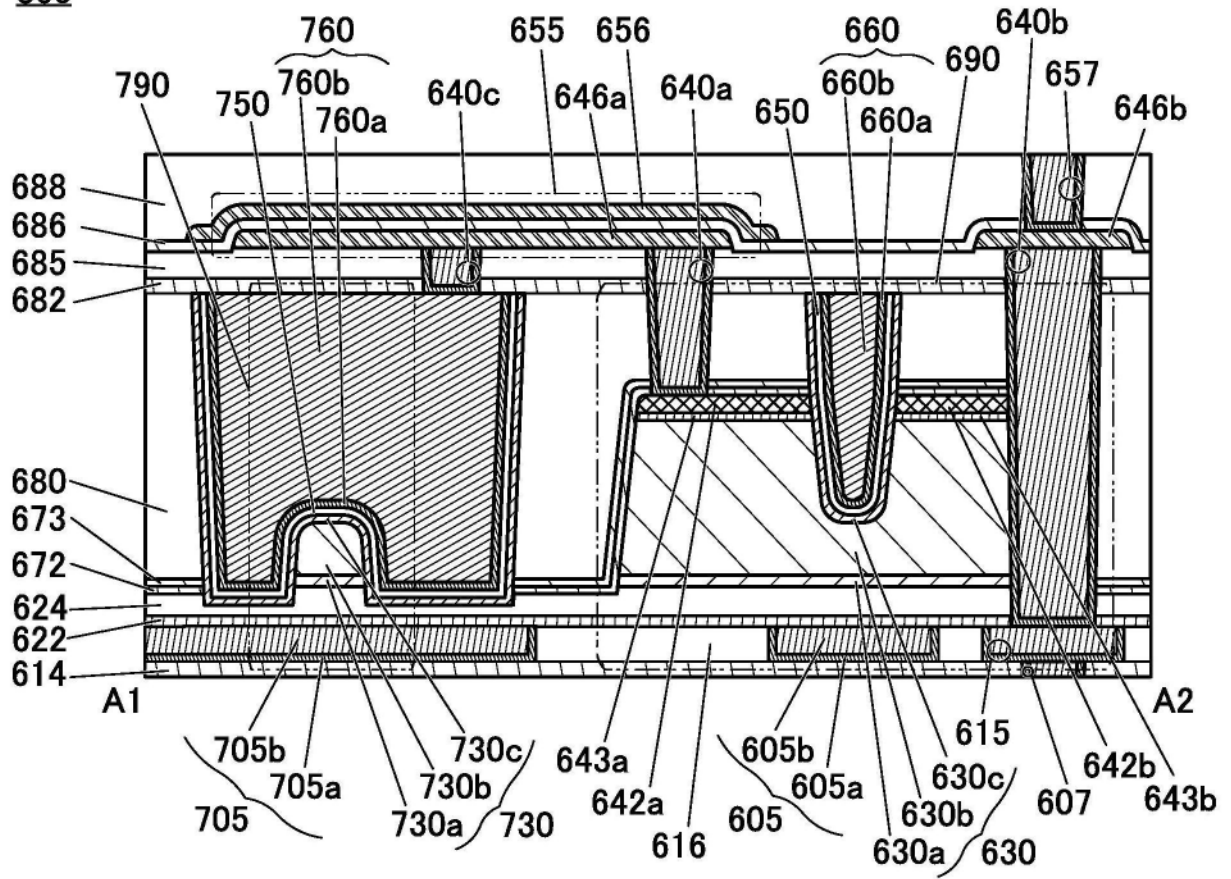


图21B

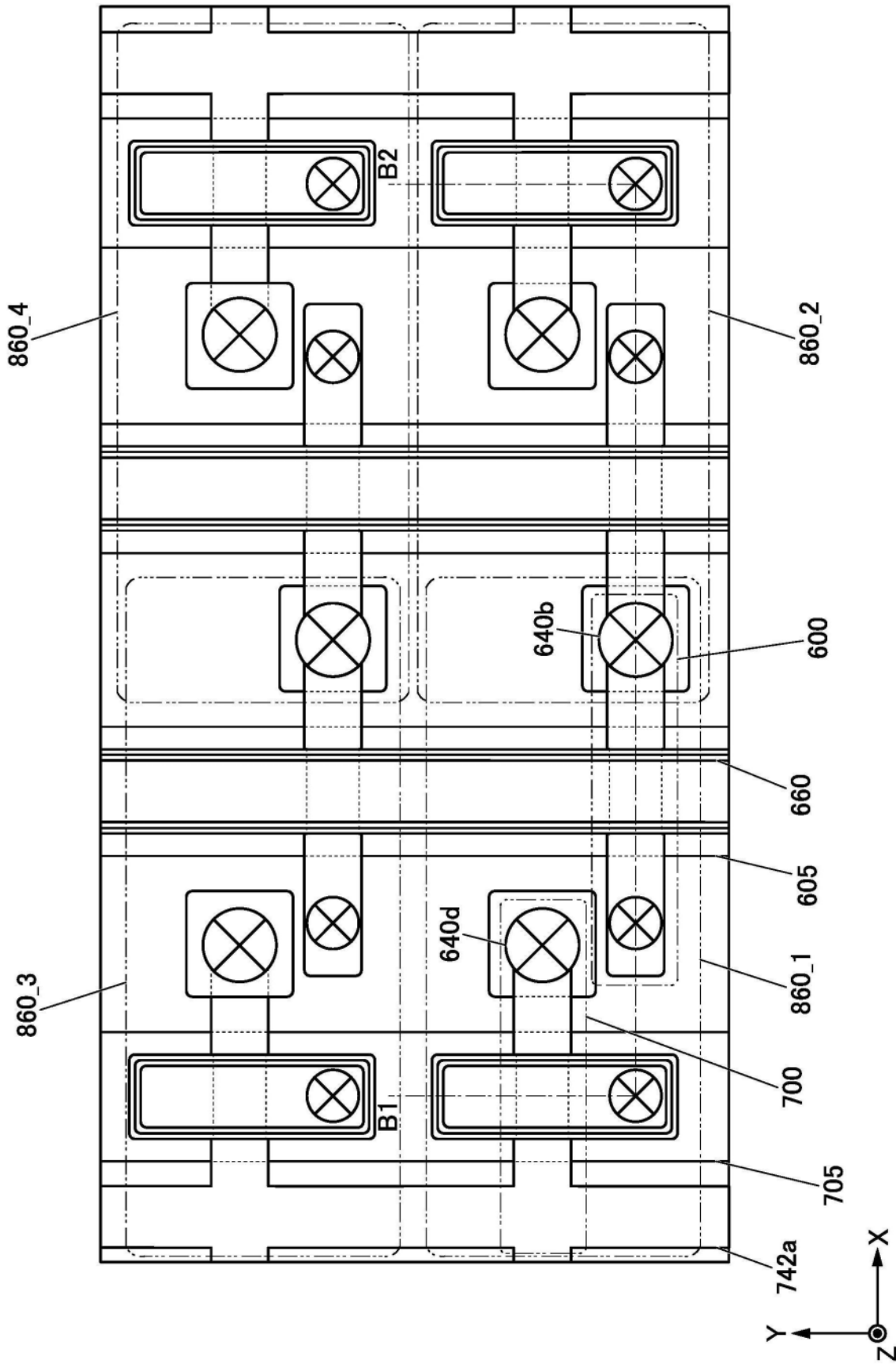


图22

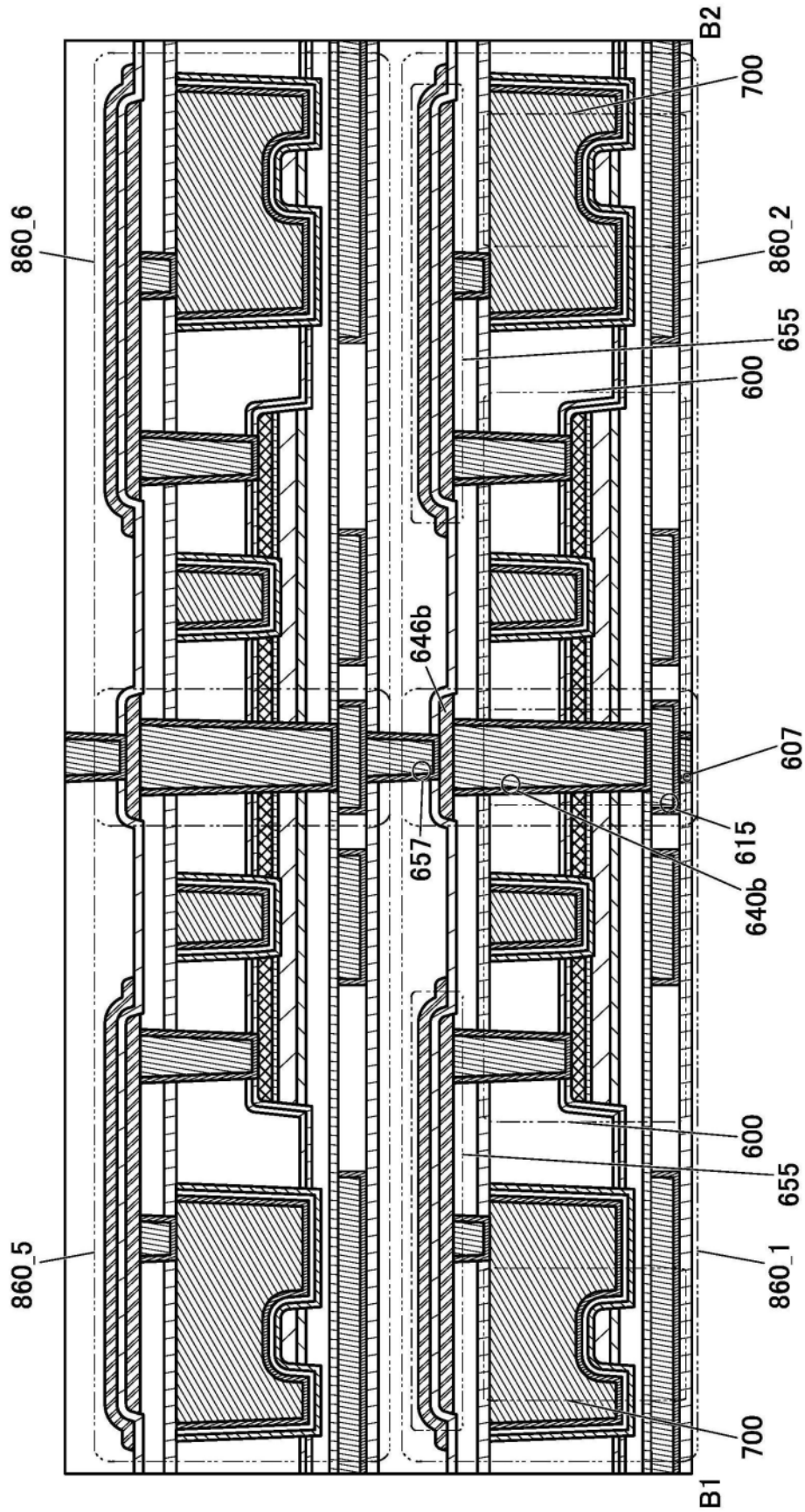


图23

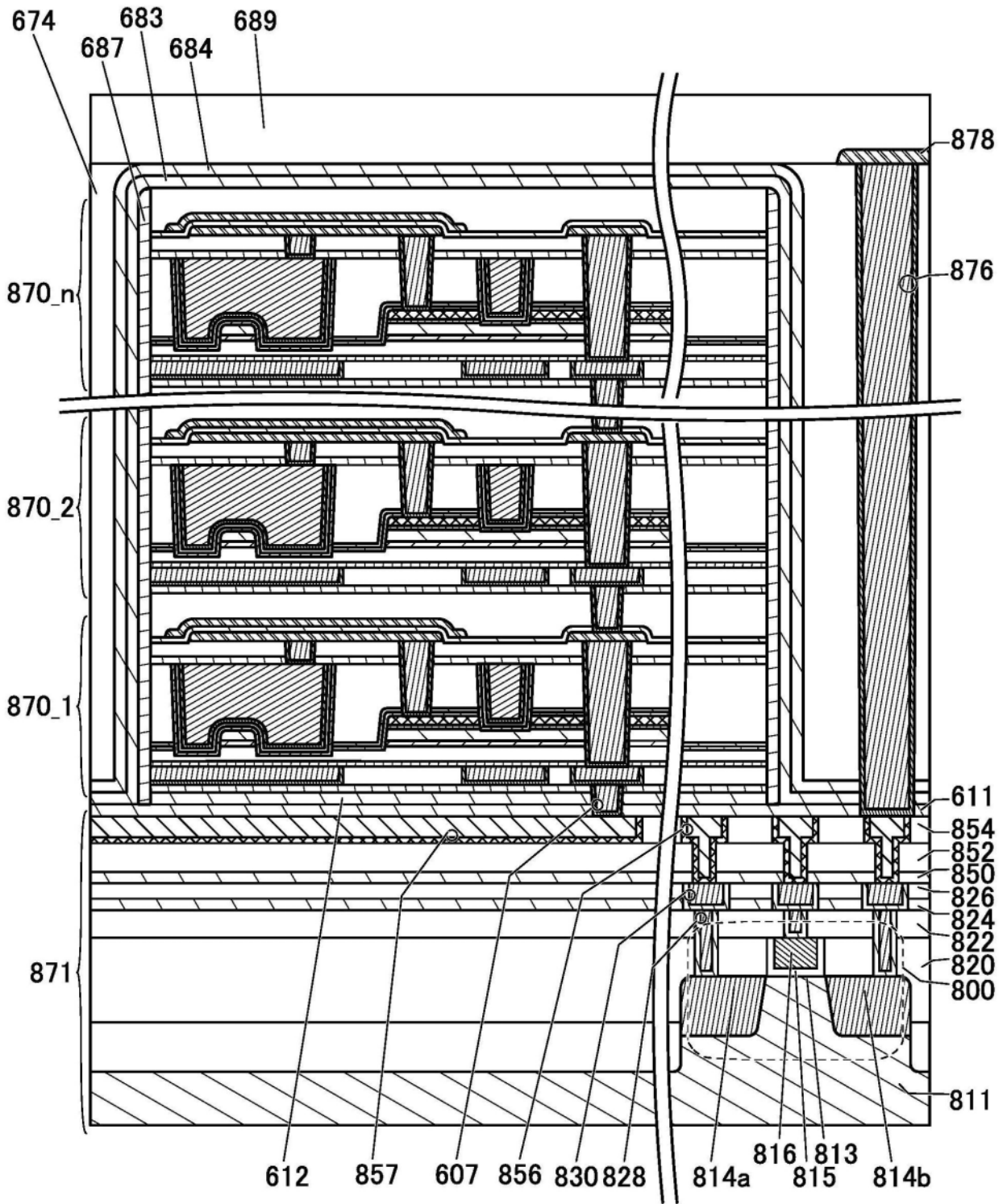


图24

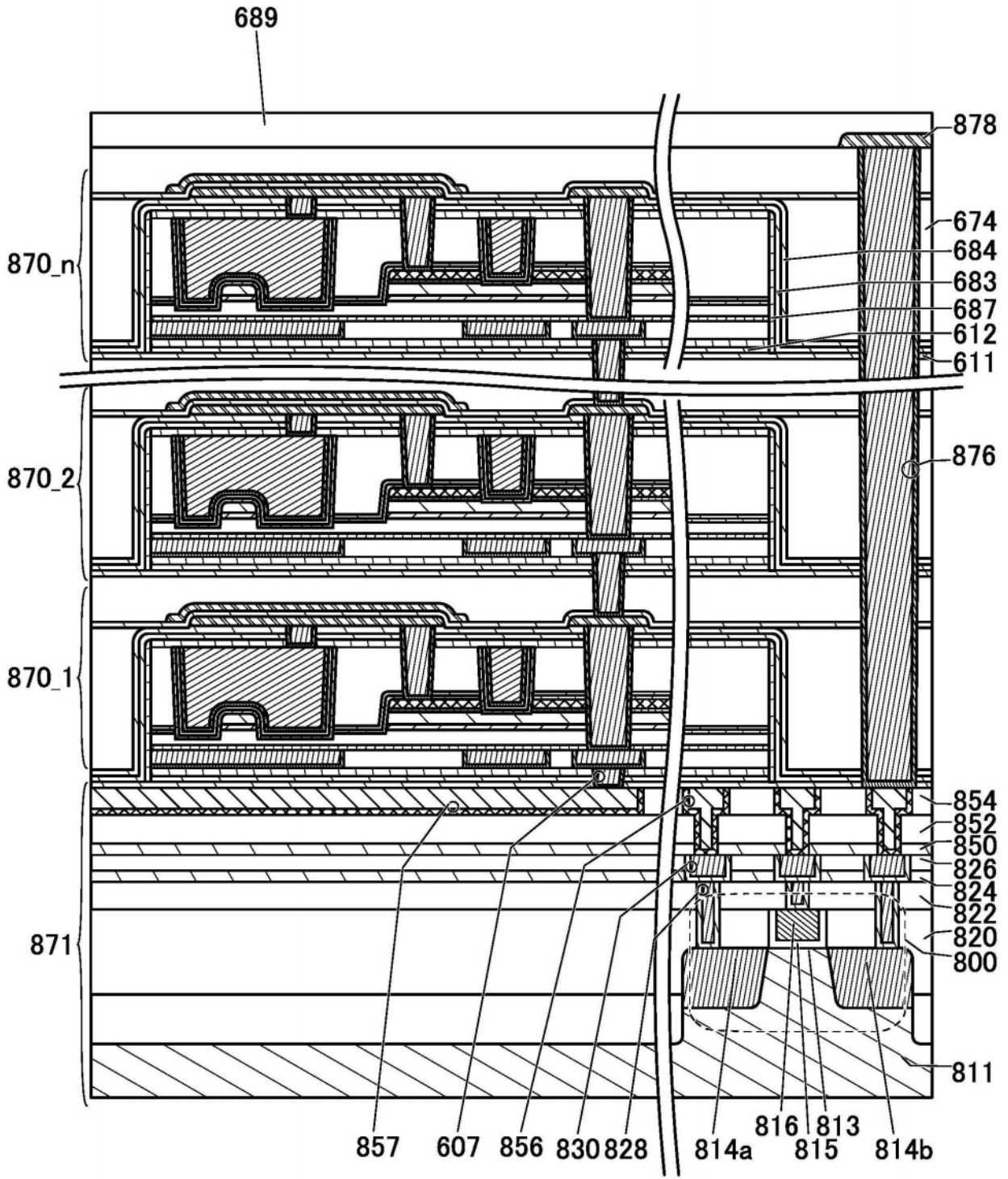


图25

Amorphous	Crystalline	Crystal
completely amorphous	<ul style="list-style-type: none"> · CAAC · nc · CAC 	<ul style="list-style-type: none"> · single crystal · poly crystal

图26A

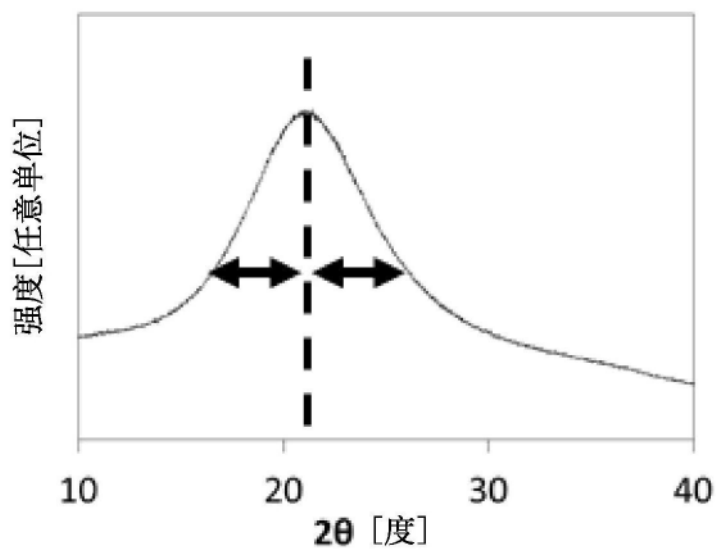


图26B

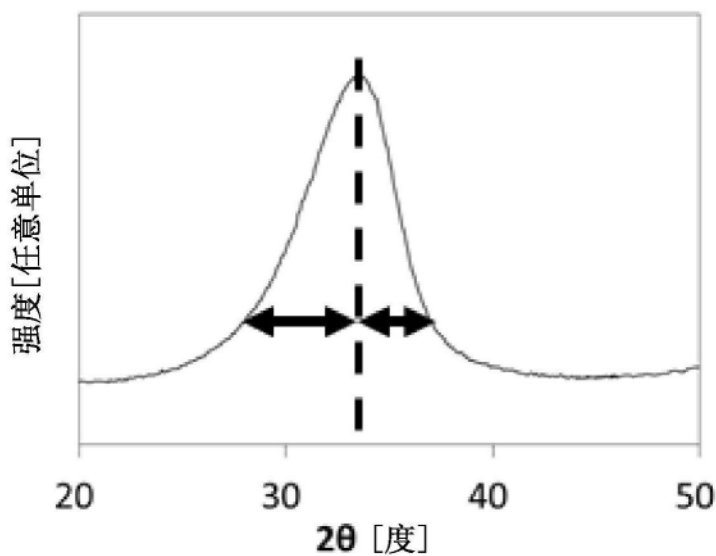


图26C

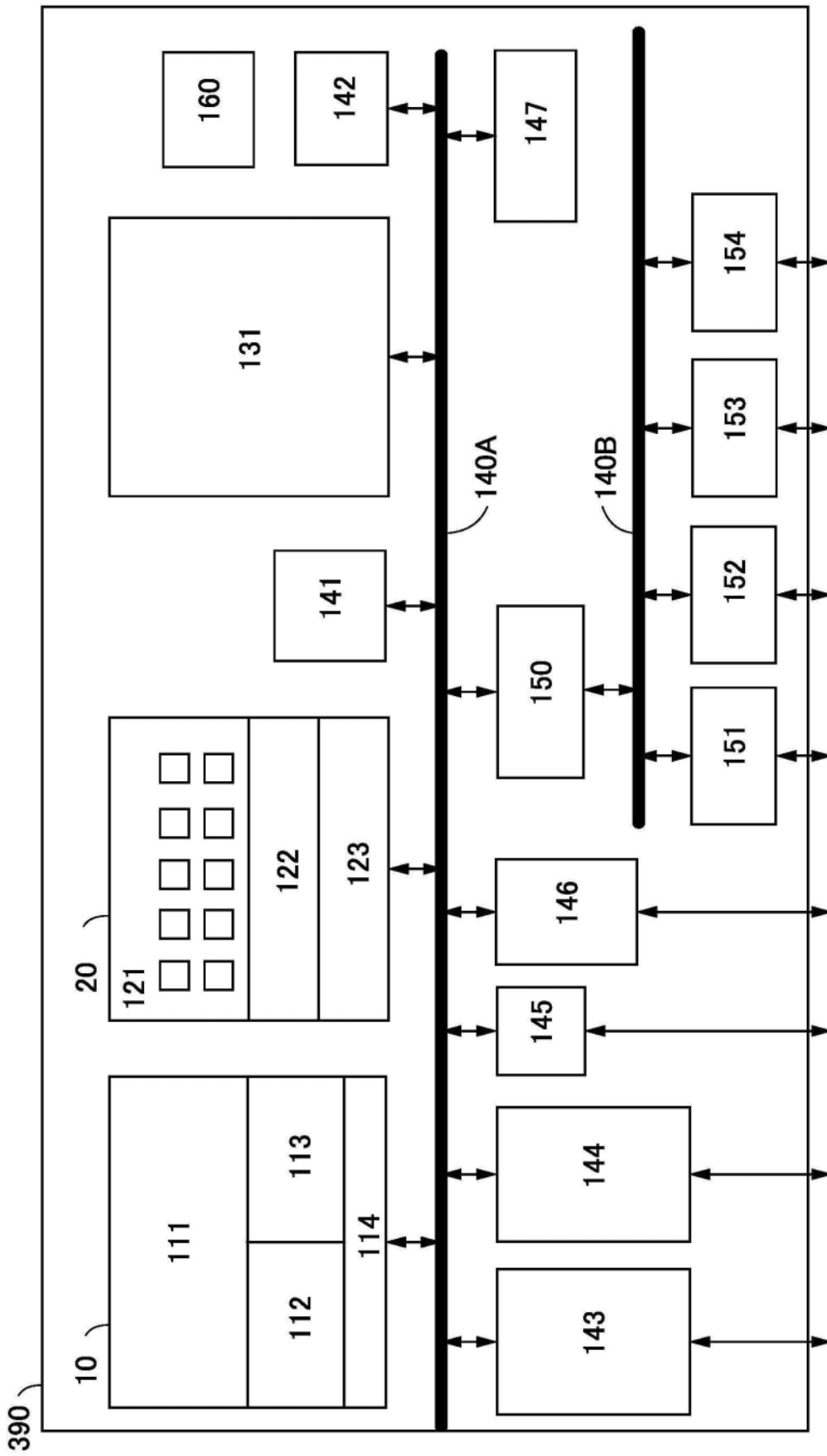


图27

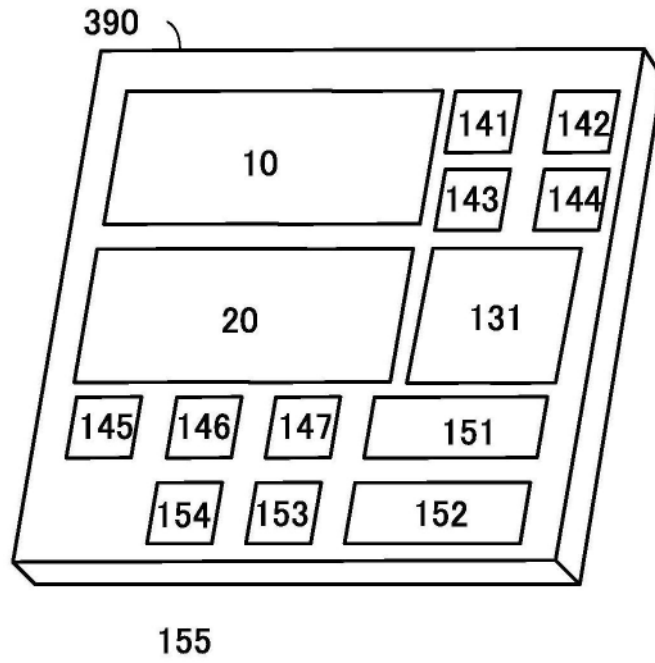


图28A

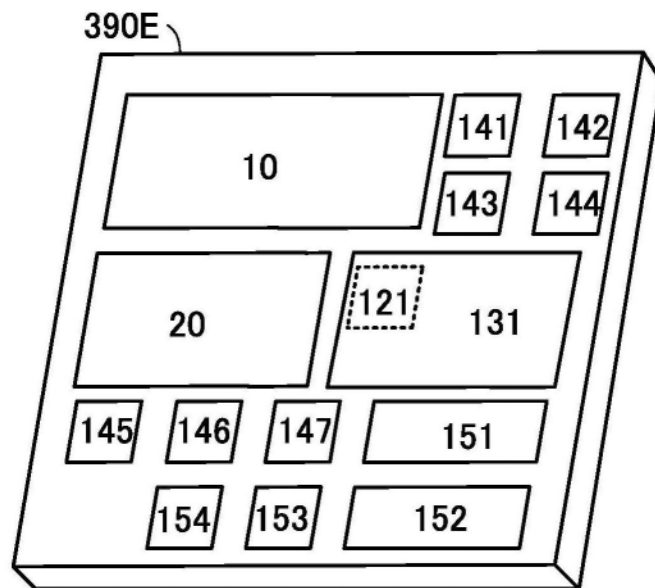


图28B

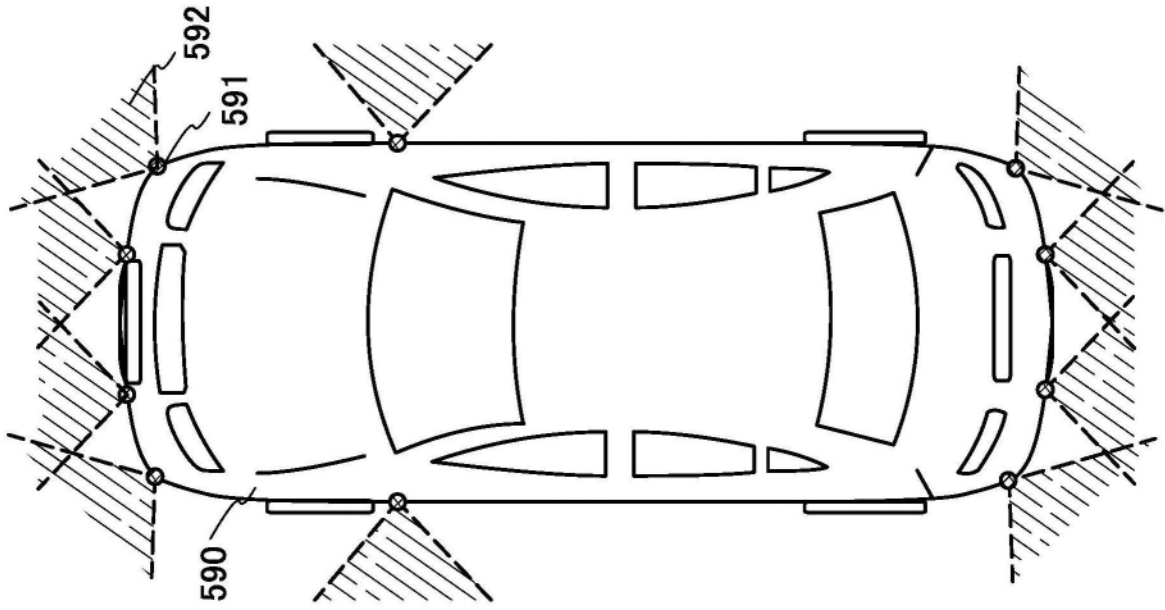


图29A

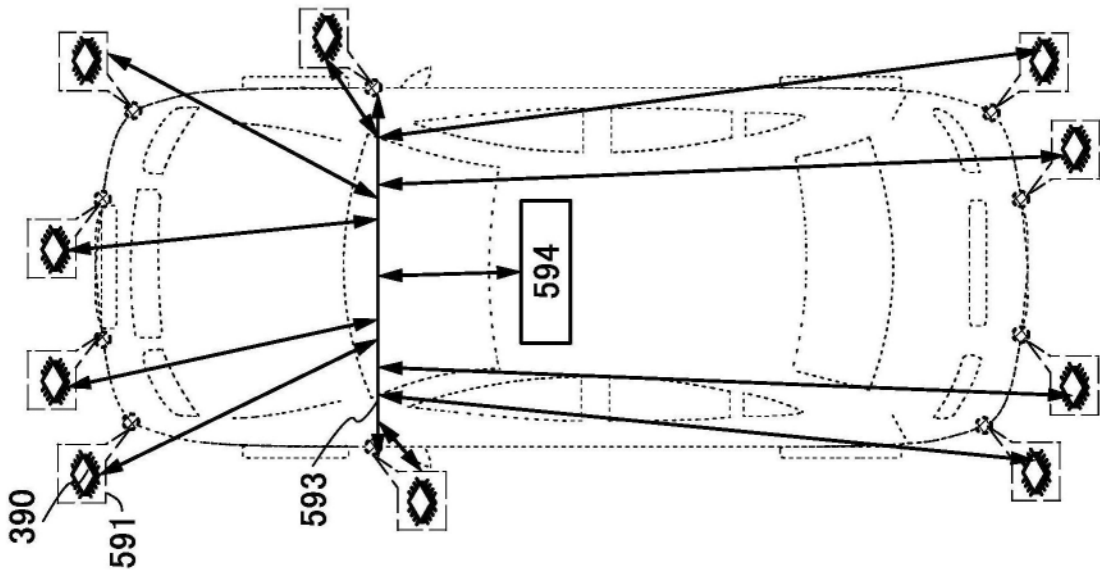


图29B

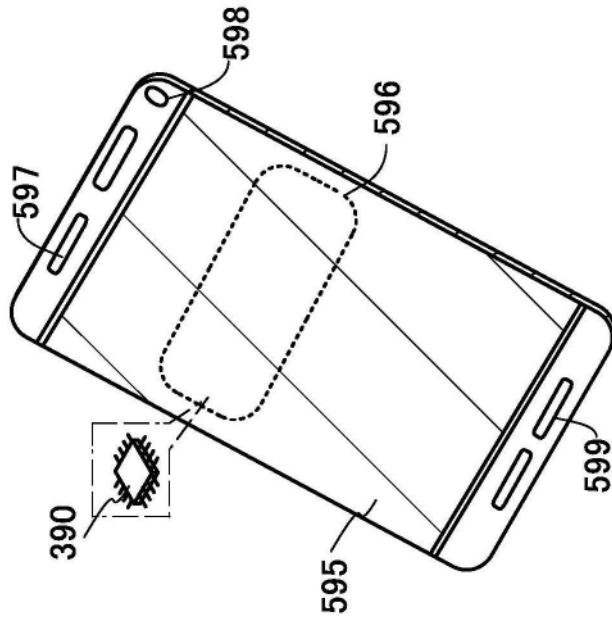


图30A

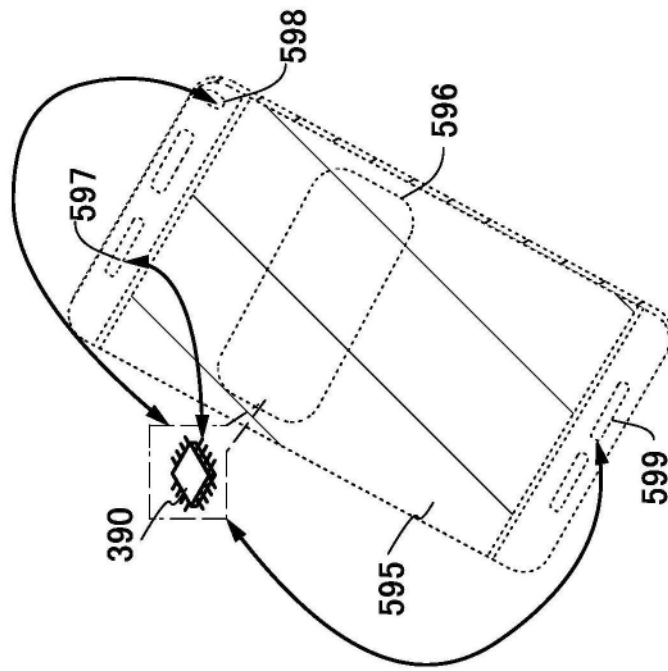


图30B

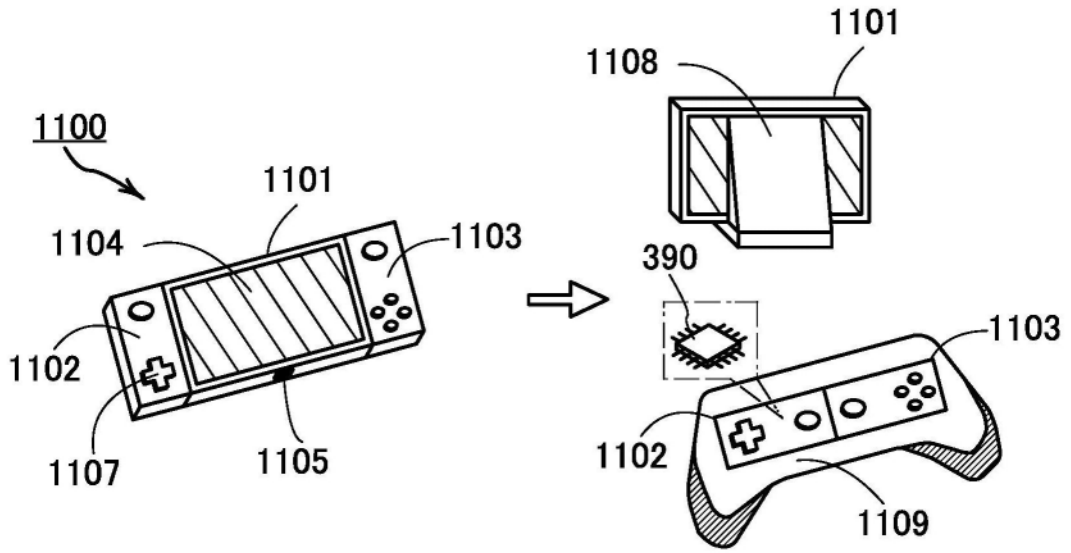


图31A

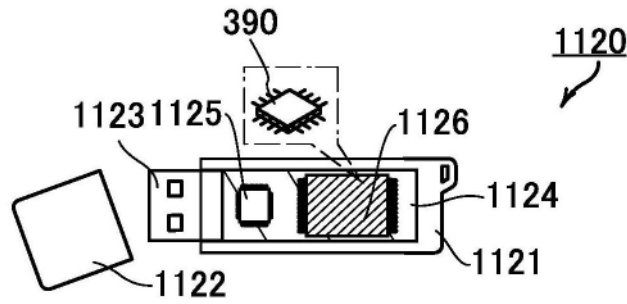


图31B

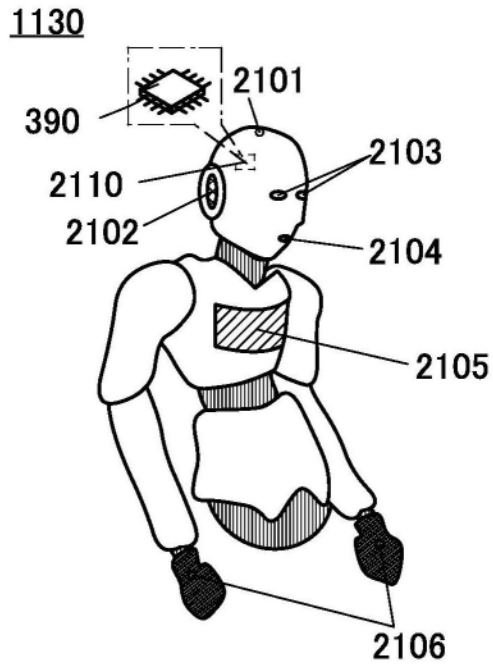


图31C

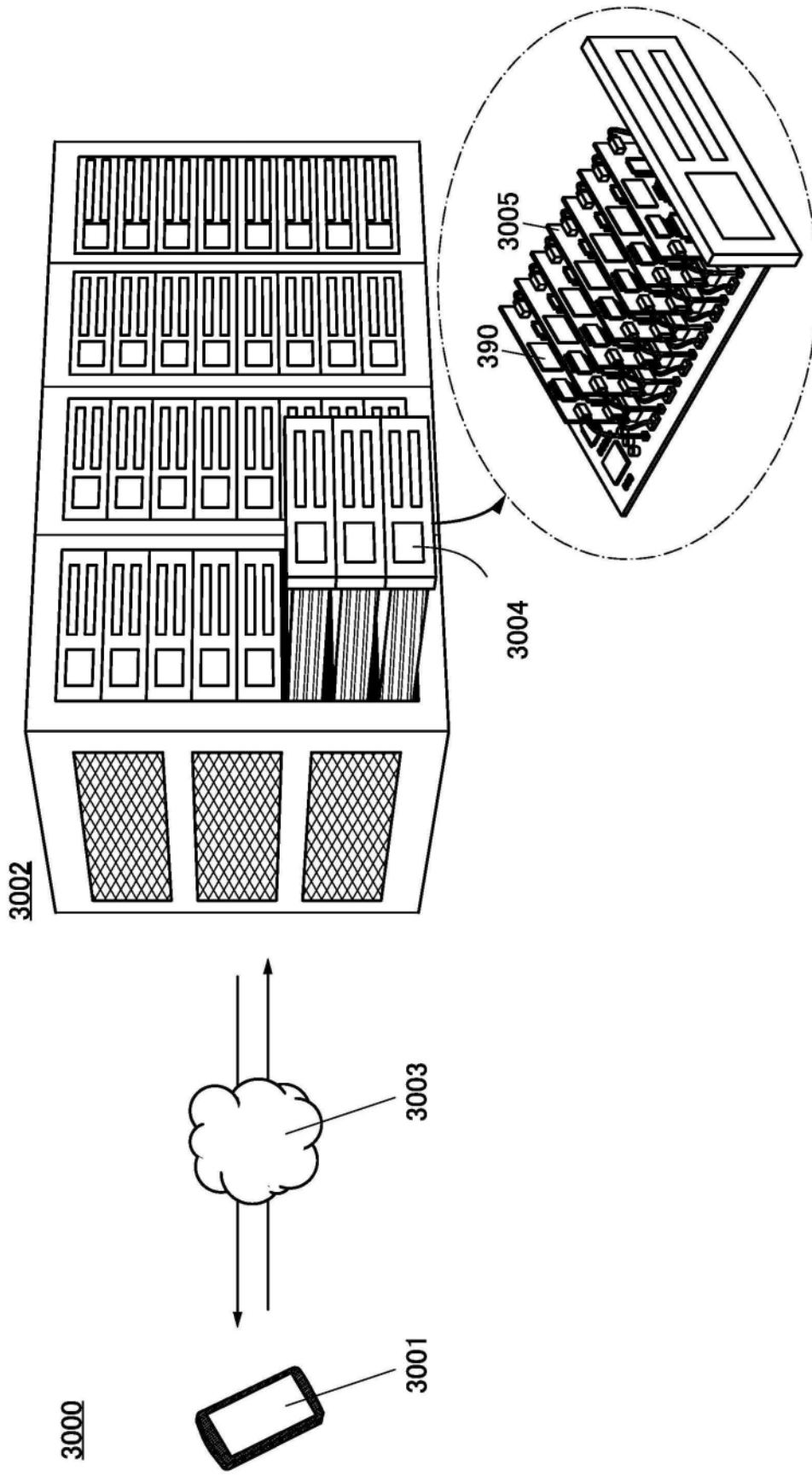


图32