

捌、聲明事項

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家(地區)申請專利，申請日期及案號資料如下：

【格式請依：申請國家(地區)；申請日期；申請案號 順序註記】

1. 美國；2002年03月22日；60/366,245

2. 美國；2002年05月08日；10/140,284

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家(地區)；日期；案號 順序註記】

1. 美國；2002年03月22日；60/366,245

2. 美國；2002年05月08日；10/140,284

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

技術領域

本發明之各項具體實施例係關於運算元的快速乘法，其中至少一個運算元很大。

先前技術

在傳統組合式乘法器中，乘數的各位元位置乘以一被乘數，以產生一中間乘積。該中間乘積與該乘數中所有其他位元位置的中間乘積相加(各自發生移位，使最低有效位元與產生該中間乘積的乘數位元位置一致)，以產生一乘積。

在許多應用中，乘法運算的運算元可為很大的二進位數字。例如，作為加密交易中所進行的協商之一部分，通常要乘1024或2048位元的運算元。乘法一般包括：對被乘數B之每個位元位置均進行一次乘數值A之移位，可能還包括與先前獲得的中間乘積進行一次加法。因此，若被乘數的長度為n，則乘法包括n次移位和n次加法。對於極長的被乘數(1024或2048位元)，逐位的移位運算就極其費事。

因此，該領域需要用於較長運算元的快速乘法技術。而且，需要此種乘法技術實施時沒有先前設計中十分費事的逐位處理。

發明內容

本發明之各項具體實施例提供一乘法電路，其降低了傳統乘法器的複雜性。在該具體實施例中，一乘法電路從兩個運算元(本文稱為「被乘數」和「乘數」)產生一結果。

與一乘數之各位元位置均產生一中間乘積不同，該乘數的複數個位元位置只產生一單一中間乘積。因為要加總的中間乘積減少了，故加總中間乘積以獲得乘積結果就變得更為容易。

實施方式

圖1之方塊圖係說明根據本發明的一項具體實施例之一中間乘積產生器(interstitial product generator；IPG)100。該IPG 100從一被乘數A產生一中間乘積。其包括一被乘數暫存器(本文稱為「A暫存器」)110、一對移位暫存器120、130(分別標記為「移位1」和「移位2」)和一「3A暫存器」140。該A暫存器以虛線表示，因為其可以但不需要置於IPG 100本身內；或者可位於一進位儲存加法器的某個其他部分內，但其內容可當作IPG的輸入。該IPG 100還包括一對多工器(俗稱「MUX」)150、160和一反相器170。

該移位暫存器120、130所儲存的值代表已移位一預定數目的位元位置且儲存於A暫存器內的值。該第一移位暫存器120可儲存朝最高有效位元位置移位一位元位置的A值。其標記為「移位1」。該第二移位暫存器130可儲存朝最高有效位元位置移位二位元位置的A值。在二進位資料系統中，一單一或雙位元移位分別有效地引起一源資料數值的兩倍或四倍乘法。

如其名稱所示，3A暫存器140所儲存的數值代表A暫存器內值的三倍。將A暫存器110和移位1暫存器120內的值

直接相加，或者從移位2暫存器140內的值減去移位1暫存器120內的值，均可得到儲存於該暫存器內的值。實施該等運算的電路簡單明瞭，故在圖1中省略未顯示，以保持圖示的簡明。

A暫存器110、兩個移位暫存器120和130及3A暫存器140的輸出可當作第一MUX 150的輸入。第一MUX 150的輸出可當作第二MUX 160和反相器170的輸入。反相器170的輸出可當作第二MUX 160的第二輸入。該反相器170可產生該第一MUX 150的多位元輸出之「二的補數(two's complement)」反轉。該第二MUX 160可具有直接耦合至「0」值的一第三輸入。或者，該零值可當作該第一MUX 150的輸入。因此，假定一輸入值為A，則該IPG 100可產生以下輸出之任一種： A 、 $\bar{A}$ 、 $2A$ 、 $\overline{2A}$ 、 $3A$ 、 $\overline{3A}$ 、 $4A$ 、 $4\bar{A}$ 和0。

該IPG 100可包括一控制器180，控制兩MUX 150、160運作。如下所述，給定一輸入「區段」，該控制器180可產生一控制信號(標記為 c_i)，使MUX 150、160在驅動時脈(圖中未顯示)之每一週期內輸出一選取的可能輸出。

圖2之方塊圖係說明根據本發明之一項替代性具體實施例的一IPG 200。根據一項具體實施例，該IPG 200可包括複數個反相器210、220、230；一3X乘法器240；一移位器250和一多工器260。在該具體實施例中，該IPG 200顯示為連接至一外部被乘數暫存器，而不是將該被乘數暫存器當作其一部分。該被乘數可當作IPG 200之一第一端子

270 的輸入。若干反相器 210 之一可耦合至該第一端子 270，以反轉所出現的被乘數。

如其名稱所示，該 3X 乘法器所產生的值為該輸入端子處所出現之被乘數的三倍。一第二反相器 220 可耦合至該 3x 乘法器 240，以反轉其輸出。

一移位器 250 也可耦合至該輸入端子 270。可預先將一被乘數向右移一位或兩位。第三反相器可反轉移位器 250 的輸出。上述三個反相器 210、220、230、3X 乘法器 240 和移位器 250 的輸出均為多工器 260 的輸入。

也可控制該多工器 260，使其不輸出 IPG 200 的任何輸入。在此種情形下，該多工器 260 使 IPG 200 可自其產生一零輸出。

根據一項具體實施例，當需要根據一較長被乘數 A 和一較短乘數 B 實施一乘法時，該被乘數 A 可載入至 IPG 200 內。在短暫的初始化後，多工器 260 可獲得 A、3A、 $\overline{A}$ 和 $\overline{3A}$ 的值。同樣地，多工器 260 還將獲得 A 和 $\overline{A}$ 的移位值。一旦該等值可用，即可從 IPG 中將其取出，並根據乘數區段之值轉送至一乘法電路(圖 2 未顯示)的其餘部分。

該 IPG 可包括回應上述乘數區段之一控制器 290，使多工器 260 可自 IPG 內取出一先前所儲存的值。已知許多乘法電路包括用於其他用途的控制器。該控制器 290 可整合於該等已知的控制器內，或根據需要當作一分離元件。圖 2 僅為方便將該控制器 290 顯示為與 IPG 200 分離。

在一項具體實施例中，該乘數 B 可解析為若干四位元區

段 s_i 。各區段 s_i 包括乘數 B 的位元 B_{3i+2} 至 B_{3i-1} 。從該等區段可產生一控制信號 c_i ，以決定 IPG 的哪些值應為該多工器的輸出。在一項具體實施例中，該 IPG 可根據下表 1 所示的方案產生輸出。

區段 s_i 的輸入圖案	c_i	中間乘積
0000	0	0
0001	1	A
0010	1	A
0011	2	$A \ll 1$
0100	2	$A \ll 1$
0101	3	$3A$
0110	3	$3A$
0111	4	$A \ll 2$
1000	-4	$\overline{A \ll 2}$
1001	-3	$\overline{3A}$
1010	-3	$\overline{3A}$
1011	-2	$\overline{A \ll 1}$
1100	-2	$\overline{A \ll 1}$
1101	-1	$\overline{A}$
1110	-1	$\overline{A}$
1111	0	0

表 1

其中 $\overline{A}$ 為一輸入 A 之「二的補數」。控制值 c_i 可按下列式相關於該四位元輸入圖案：

$$C_i = -4s_{i3} + 2s_{i2} + s_{i1} + s_{i0} \quad (1.)$$

其中， s_{ij} 代表區段 s_i 的第 j 個位元位置。對於區段 s_0 ，可能為虛設位元位置「B.1」的零位元位置可設為0，以代表對區段 s_0 (與表1一致)的控制器回應。

從圖3可觀察到，一乘數B不會完全填滿所有的區段，除非其長度為3的倍數。在一項具體實施例中，當該乘數之長度不是3的倍數時，可將其符號延伸至足夠的長度，以填滿最後區段未使用的部分。此舉通常包括複製該符號位元(即最高有效位元 B_{MSB})，以填充其後面的虛設位元位置。

上述IPG具體實施例可套用於各種結構的乘法器電路。在各種應用中，藉由使每三個位元位置(而不是傳統的每一個位元位置)進行一次加法，使用IPG本質上可使乘法器電路實現更快運算速度。

圖4係在根據本發明的一項具體實施例之組合式乘法器300中應用IPG。該組合式乘法器300可包括第一和第二暫存器310，分別用於儲存被乘數A和乘數B。其可包括一IPG 330、一控制器340、複數個中間乘積暫存器350.1至350.L和一乘積暫存器360。加法電路370可插入該中間乘積暫存器350.1至350.L與該乘積暫存器360之間。為清楚起見，圖4藉由各暫存器350.1至350.L和360之協同定位位置之間的複數條互連線來表示該加法電路。

在操作中，可初始化IPG 330以產生 A 、 $\overline{A}$ 、 $3A$ 和 $\overline{3A}$ 值及 A 和 $\overline{A}$ 的移位值。控制器340可將乘數B解析為若干區段，



並且回應各區段的位元圖案，使IPG 330將上述值之一載入一對應的中間乘積暫存器(如350.1)內。在一項具體實施例中，中間乘積暫存器350.1至350.L的數目可根據乘數B所支援的區段數目來決定。因此，中間乘積暫存器350.1至350.L的數目可依據乘數暫存器320的長度而定。

在各中間乘積暫存器350.1至350.L中載入資料後，組合式乘法器300即可藉由加總所有中間乘積暫存器350.1至350.L，使最終乘積儲存於乘積暫存器360內。

在一項具體實施例中，被乘數A之長度為 m ，乘數B之長度為 n ，則乘積暫存器360的長度與傳統的組合式乘法器一樣為 $n+m$ 。中間乘積暫存器350.1至350.L的長度可為 $m+2$ ，而在傳統組合式乘法器中，其長度可能為 m 。

在傳統組合式乘法器中，乘數B的各位元位置均需一中間乘積暫存器。而在上述具體實施例中，乘數B的每三個位元位置僅需一中間乘積暫存器(如350.1)。因此，由於上述具體實施例中的組合式乘法器300僅包括傳統暫存器約三分之一的中間暫存器，預期該具體實施例產生結果的速度約為傳統電路的三倍。預期本具體實施例將更快地產生乘積是因為最後加法所涉及的中間暫存器更少，因此，可更快地獲得乘積。

圖5為根據本發明之一項具體實施例的一IPG應用方塊圖，該IPG整合於一移位相加(shift-add)乘法器電路400內。該乘法器電路400可包括一對暫存器410、420，用於儲存被乘數A和乘數B。該移位相加乘法器電路400也可包

括一IPG 430、一控制器、一進位儲存加法器450和一乘積暫存器460。

運作時可初始化該乘法器電路400。在該具體實施例中，該乘積暫存器460可清零，而中間乘積產生器430可載入被乘數A的值。之後，在運作時，控制器440可讀取乘數暫存器420的各區段，使一選取值從IPG 430輸出至該進位儲存加法器450的第一輸入。乘積暫存器460的最高有效位元可輸入至該進位儲存加法器的第二輸入。該進位儲存加法器450可將其兩個輸入上的數值相加，並將結果寫回乘積暫存器460。一旦乘積暫存器460被新的值覆寫，即向下移位三個位元位置。可對乘數B所支援的所有區段重複執行該程序。

與圖4的具體實施例一樣，圖5的具體實施例具有較傳統移位相加乘法器電路更好的性能。傳統電路對乘數B的各位元位置都實施一次加法。相反，圖5所示的具體實施例對乘數B每三個位元位置僅實施一次加法。此外，加法次數更少使圖5的移位相加乘法器以較傳統電路更短的時間產生乘積。

在另一項具體實施例中，一乘法器電路可省去一乘數暫存器(如圖5的乘法器420)。圖6為一乘法器500，包括一被乘數暫存器510、一IPG 520、一控制器530、一進位儲存加法器540和一乘積暫存器550。被乘數值可當作一初始化步驟輸入IPG 520。此外，乘數值(B)可載入至乘積暫存器550的最低有效位元位置。



在每個時脈週期，乘積暫存器550的內容可向下移位三個位元位置。當乘積暫存器之最低有效位元移出乘積暫存器時，可輸入至控制器530。如上表1所示，在回應三個位元（以及來自先前時脈週期之移位的一個位元）時，控制器530可使IPG 520產生一輸出。該IPG輸出為進位儲存加法器540的一第一輸入。從乘積暫存器向下移位的值為進位儲存加法器540的一第二輸入。進位儲存加法器540將兩個輸入值相加，然後將其儲存至乘積暫存器的最高有效位元位置內。此外，此項具體實施例相對於一次運算單一位元移位的其他移位相加乘法器，可提供改善的性能。

本文具體解說及說明了本發明之若干具體實施例。但應明白，本發明之修改及變化係由上述原理涵蓋，且在隨附的申請專利範圍之條款內，而不致脫離本發明之精神及希望的範疇。

【圖式簡單說明】

圖1之方塊圖係說明根據本發明的一項具體實施例之一中間乘積產生器。

圖2之方塊圖係說明根據本發明的另一項具體實施例之一中間乘積產生器。

圖3為示範性乘數暫存器的方塊圖。

圖4為根據本發明之一項具體實施例的一乘法器電路。

圖5為根據本發明之另一項具體實施例的一乘法器電路。

圖6為根據本發明之另一項具體實施例的一乘法器電

路。

圖式代表符號說明

100	中間乘積產生器
110	被乘數暫存器
120	移位暫存器
130	移位暫存器
140	3 A 暫存器
150	多工器
160	多工器
170	反相器
180	控制器
200	中間乘積產生器
210	反相器
220	反相器
230-1	反相器
230-2	反相器
240	3 X 乘法器
250-1	移位器
250-2	移位器
260	多工器
270	輸入端子
280	圖中有文中無
290	控制器
300	組合式乘法器



310	第一和第二暫存器
320	乘數暫存器
330	中間乘積產生器
340	控制器
350.1	中間乘積暫存器
350.2	中間乘積暫存器
350.3	中間乘積暫存器
350.L	中間乘積暫存器
360	乘積暫存器
370	加法電路
400	移位相加乘法器電路
410	暫存器
420	暫存器
430	中間乘積產生器
440	控制器
450	進位儲存加法器
460	乘積暫存器
500	乘法器
510	被乘數暫存器
520	中間乘積產生器
530	控制器
540	進位儲存加法器
550	乘積暫存器

陸、(一)、本案指定代表圖為：第4圖

(二)、本代表圖之元件代表符號簡單說明：

300	組合式乘法器
310	第一和第二暫存器
320	乘數暫存器
330	中間乘積產生器
340	控制器
350.1	中間乘積暫存器
350.2	中間乘積暫存器
350.3	中間乘積暫存器
350.L	中間乘積暫存器
360	乘積暫存器
370	加法電路

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾壹、圖式

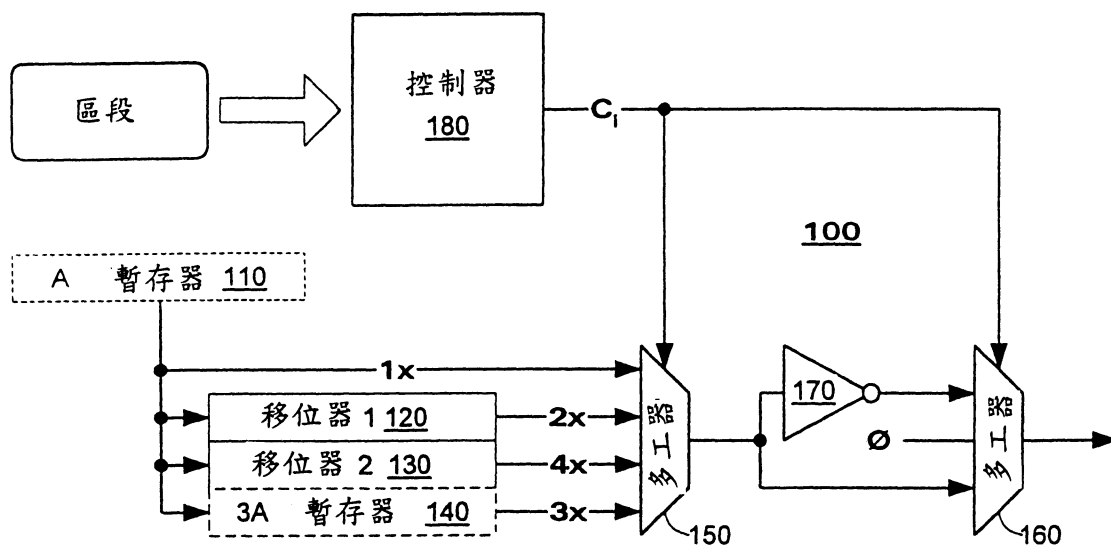


圖 1

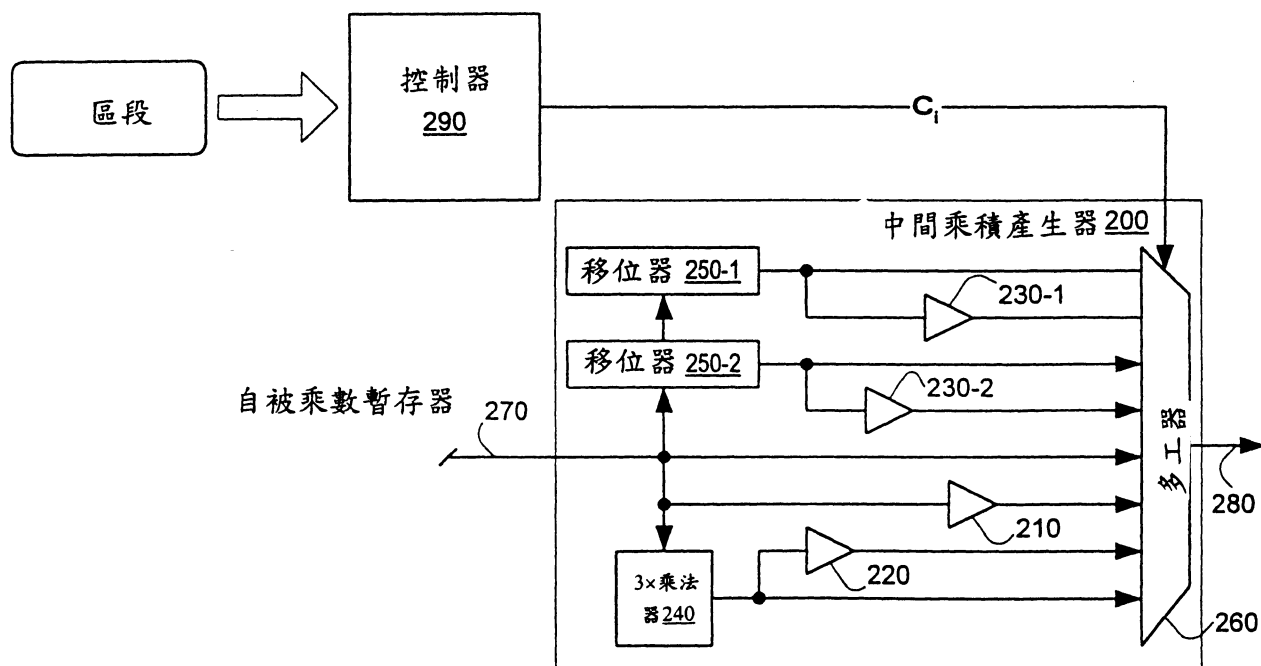


圖 2

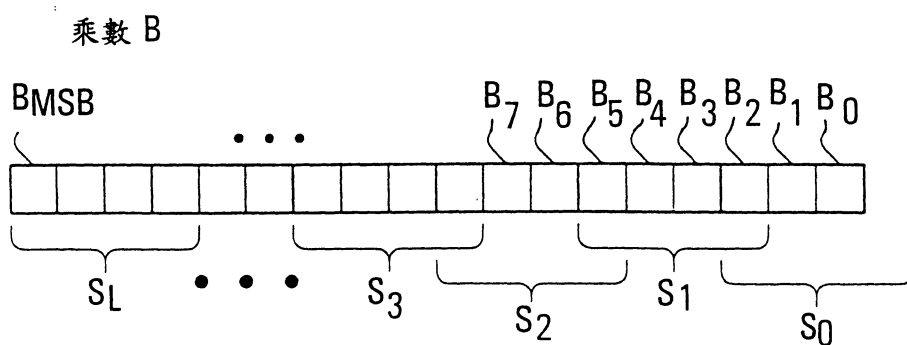


圖 3

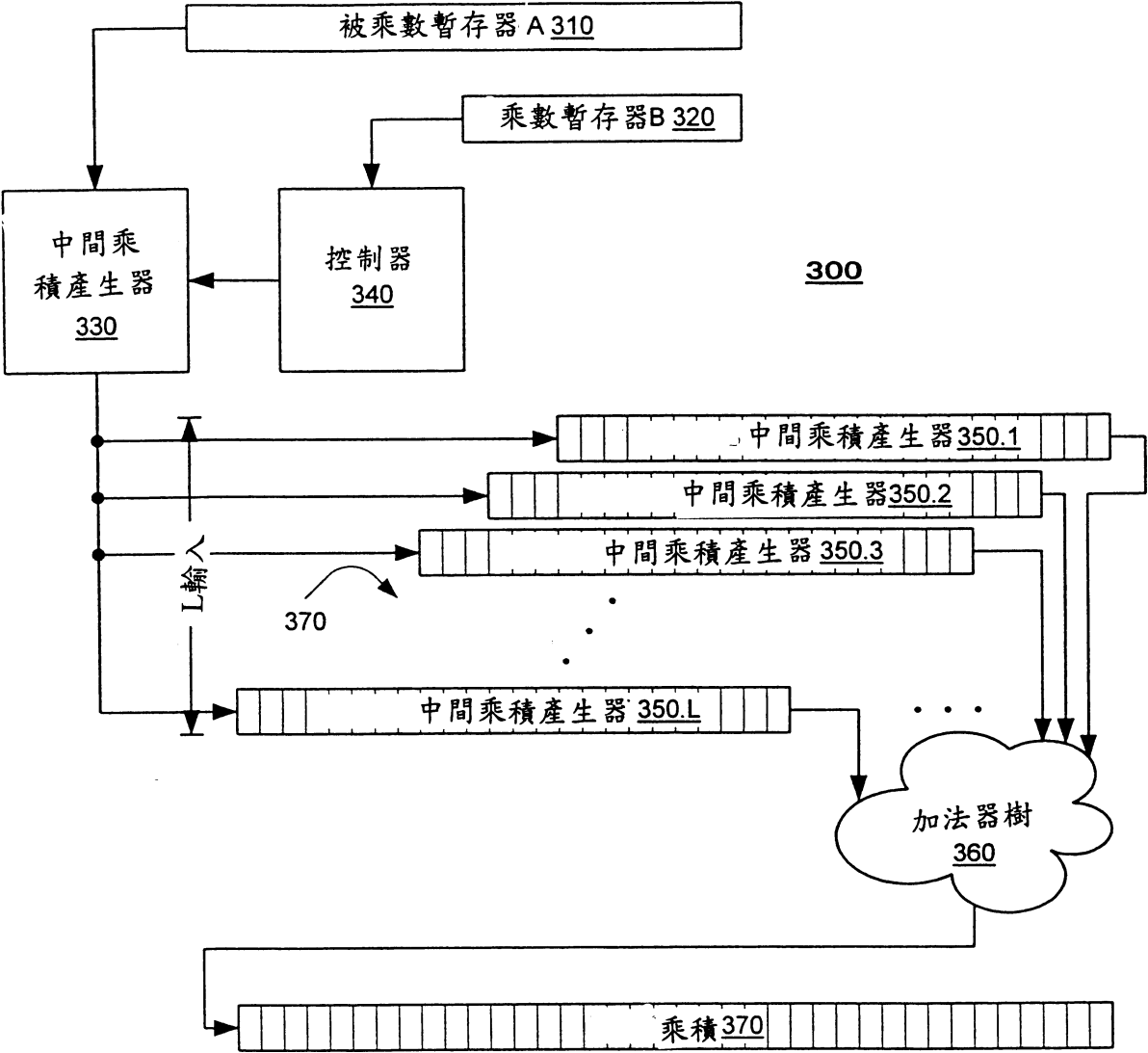


圖 4

圖式續頁

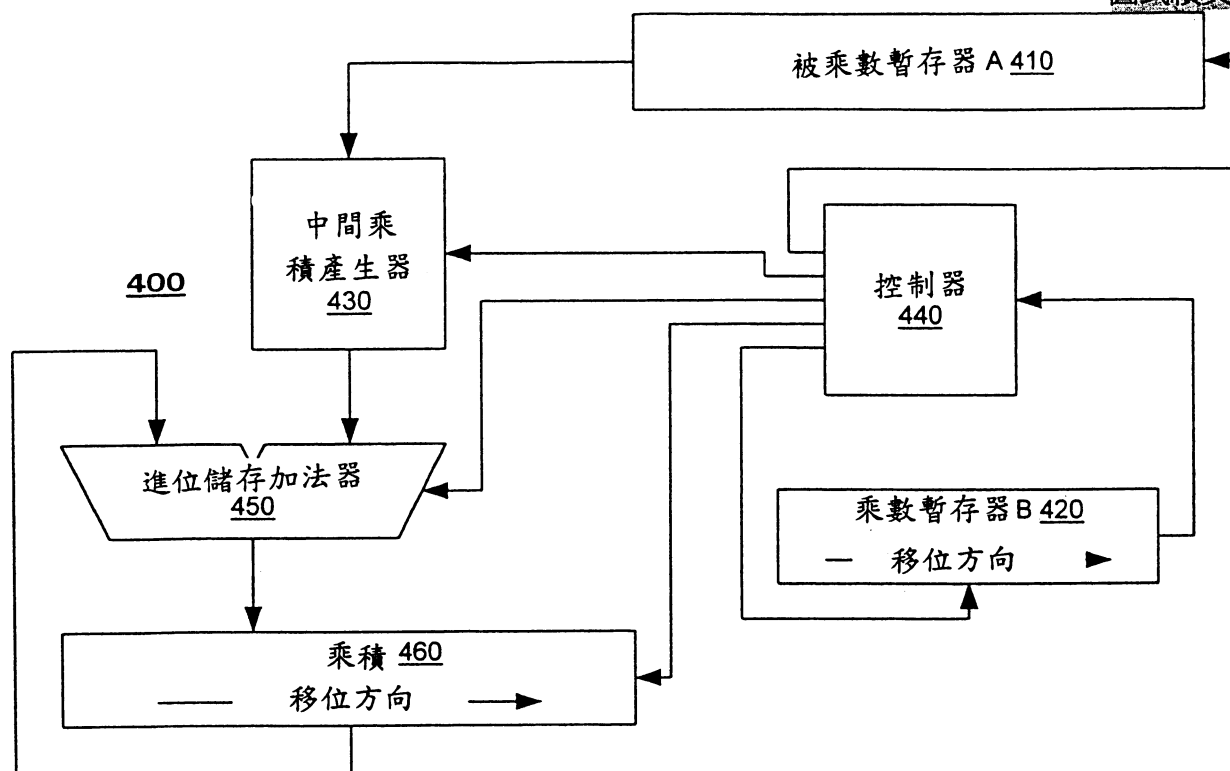


圖 5

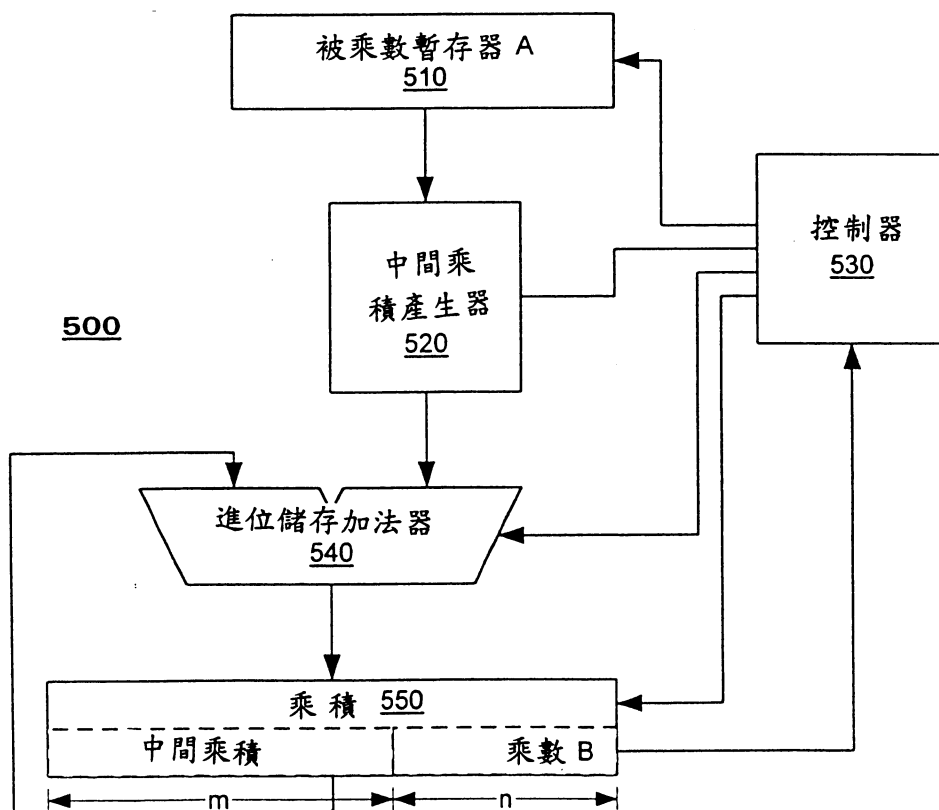


圖 6



發明專利說明書

中文說明書替換頁(94年4月)

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號： 092/04794 ※IPC分類：

※ 申請日期：

壹、發明名稱

(中文) 中間乘積產生器，乘法電路及用於位元區段相乘之方法

(英文) INTERSTITIAL PRODUCT GENERATOR, MULTIPLICATION
CIRCUIT AND MULTIPLICATION METHOD FOR BIT
SEGMENTS

貳、發明人(共 1 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 艾利克 荷斯泰德

(英文) ERIK HOJSTED

住居所地址：(中文) 丹麥凡洛西市包荷德街48B號1樓

(英文) BOGHOLDER ALLE 48B, 1TH, DK-2720 VANLOESE,
DENMARK

國籍：(中文) 丹麥

(英文) DENMARK

參、申請人(共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文)美商英特爾公司

(英文) INTEL CORPORATION

住居所或營業所地址：(中文)美國加州聖塔卡拉瓦市米遜大學路2200號

(英文) 2200 MISSION COLLEGE BOULEVARD,
SANTA CLARA, CALIFORNIA 95052, U.S.A.

國籍：(中文) 美國

(英文) U.S.A.

代表人：(中文) 大衛 賽門

(英文) DAVID SIMON

93年10月8日 修正本

肆、中文發明摘要

本發明揭示一種可實現兩個運算元之快速乘法的中間乘積產生器，其從一乘數之複數個多位元區段的每個區段產生一中間乘積(interstitial product)。因為較先前系統所產生的中間乘積少，中間乘積之加總就更快，因而最終乘積產生得更快。在一項具體實施例中，使用一具有若干暫存器的中間乘積產生器來儲存一被乘數值(「A」)、A的移位值和一3A值。一系列多工器和一反相器可從上述暫存器的資料中產生中間乘積值。此項具體實施例對該被乘數的四位元區段很有用。

伍、英文發明摘要

Fast multiplication of two operands may be achieved by an interstitial product generator that generates an interstitial product from each of a plurality of multi-bit segments of a multiplier. Generation of a final product is made faster because fewer interstitial products are created than in prior systems and, therefore, summing of the interstitial products is faster. In one embodiment, an interstitial product generator is used having registers to store a multiplicand value ("A"), shifted values of A and a 3A value. A series of multiplexers and an inverter may generate interstitial product values from data in these registers. This embodiment is useful with four bit segments of the multiplicand.

拾、申請專利範圍

1. 一種中間乘積產生器，其包括：

- 一第一暫存器，可儲存已移位一位元的一被乘數值A，
- 一第二暫存器，可儲存已移位二位元的該被乘數值A，
- 一第三暫存器，可儲存 $-3A$ 值，
- 一第一多工器，其具有耦合至該被乘數值A之一來源與該等第一、第二和第三暫存器的輸入，
- 一反相器，具有一輸入，其耦合至該第一多工器之一輸出，以及
- 一第二多工器，其具有耦合至該第一多工器之該輸出和該反相器之一輸出的輸入。

2. 如申請專利範圍第1項之中間乘積產生器，其中該第二多工器係耦合至一零值的一來源。

3. 如申請專利範圍第1項之中間乘積產生器，其中該第一多工器係耦合至一零值的一來源。

4. 如申請專利範圍第1項之中間乘積產生器，其進一步包括一控制器，該控制器的一控制輸出耦合至該等兩個多工器。

5. 如申請專利範圍第4項之中間乘積產生器，其中該控制器具有一控制輸入，其耦合至一乘數資料源。

6. 一種中間乘積產生器，其包括：

- 一第一資料項的一輸入端子，
- 一移位器，其耦合至該輸入端子，
- 一 $3X$ 乘法器，其耦合至該第一輸入端子，

- 一第一反相器，其耦合至該第一輸入端子，
 - 一第二反相器，其耦合至該移位器之一輸出，
 - 一第三反相器，其耦合至該3X乘法器之一輸出，以及
 - 一多工器，其耦合至：該輸入端子、該移位器之該輸出、該3X乘法器之該輸出及該等三個反相器的每一個。
7. 如申請專利範圍第6項之中間乘積產生器，其進一步包括一控制器，該控制器具有一控制輸出，其耦合至該多工器。
8. 如申請專利範圍第7項之中間乘積產生器，其中該控制器具有一控制輸入，其耦合至一乘數資料源，且該輸入端子係耦合至一被乘數資料源。
9. 一種乘法電路，包括：
- 一中間乘積產生器，其耦合至一被乘數資料源，
 - 一控制器，其耦合至一乘數資料源，由其一四位元區段疊代控制，且具有一控制輸出耦合至該中間乘積暫存器，
 - 複數個中間乘積暫存器，各與該中間乘積產生器通訊，以及
 - 一乘積暫存器，其耦合至該等中間乘積暫存器的每一個。
10. 如申請專利範圍第9項相乘之方法電路，進一步包括：
- 一輸入端子，其耦合至該被乘數資料源，
 - 一移位器，其耦合至該輸入端子，
 - 一3X乘法器，其耦合至該第一輸入端子，

一第一反相器，其耦合至該第一輸入端子，
一第二反相器，其耦合至該移位器之一輸出，
一第三反相器，其耦合至該 3X 乘法器之一輸出，以及
一多工器，其耦合至：該輸入端子、該移位器之該輸出、該 3X 乘法器之該輸出及該等三個反相器中的每一個。

11. 一種乘法電路，包括：

一中間乘積產生器，其耦合至一被乘數資料源，
一控制器，其耦合至一乘數資料源，由其一四位元區段疊代控制，且具有一控制輸出耦合至該中間乘積暫存器，
一加法器，其具有第一和第二輸入，一第一輸入耦合至該中間乘積產生器，以及
一乘積移位暫存器，其耦合至該進位儲存加法器，其中該乘積移位暫存器之最高有效位元係耦合至該進位儲存加法器的該第二輸入。

12. 如申請專利範圍第 11 項相乘之方法電路，進一步包括：

一輸入端子，其耦合至該被乘數資料源，
一移位器，其耦合至該輸入端子，
一 3X 乘法器，其耦合至該第一輸入端子，
一第一反相器，其耦合至該第一輸入端子，
一第二反相器，其耦合至該移位器之一輸出，
一第三反相器，其耦合至該 3X 乘法器之一輸出，以及
一多工器，其耦合至：該輸入端子、該移位器之該輸

出、該 3X 乘法器之該輸出及該等三個反相器的每一個。

13. 一種乘法電路，包括：

一中間乘積產生器，其耦合至一被乘數資料源，

一控制器，其耦合至一乘數資料源，由其一四位元區段疊代控制，具有一控制輸出耦合至該中間乘積暫存器，

一加法器，其具有第一和第二輸入，一第一輸入耦合至該中間乘積產生器，以及

一乘積移位暫存器，其耦合至該進位儲存加法器，其中

該乘積移位暫存器之最高有效位元係耦合至該進位儲存加法器之該第二輸入，以及

該乘數資料源最初於該乘積移位暫存器之一最低有效位元空間中提供。

14. 如申請專利範圍第 13 項相乘之方法電路，進一步包括：

一輸入端子，其耦合至該被乘數資料源，

一移位器，其耦合至該輸入端子，

一 3X 乘法器，其耦合至該第一輸入端子，

一第一反相器，其耦合至該第一輸入端子，

一第二反相器，其耦合至該移位器之一輸出，

一第三反相器，其耦合至該 3X 乘法器之一輸出，以及

一多工器，其耦合至：該輸入端子、該移位器之該輸出、該 3X 乘法器之該輸出及該等三個反相器中的每一個。

15. 一種用於位元區段相乘之方法，包括：

對於一被乘數值 A ，初始地產生值 0 、 $A \ll 1$ 、 $3A$ 、 $A \ll 2$ 及其補數，

對於一乘數 B 的各三位元區段，疊代地將該等初始值之一加至一中間乘積，其中該加法發生於由該區段一位位置所決定的該中間乘積之一位元位置處。

16. 如申請專利範圍第 15 項之用於位元區段相乘之方法，其中該乘法於一無符號標記的組合式乘法器中完成。

17. 如申請專利範圍第 15 項之用於位元區段相乘之方法，其中該乘法於一移位相加乘法器中完成。

18. 如申請專利範圍第 15 項之用於位元區段相乘之方法，其中該方法於一積體電路中實施，且各疊代均於一驅動時脈之每個週期發生一次。

19. 如申請專利範圍第 15 項之用於位元區段相乘之方法，其中該初始值按表 1 的決定選取，考慮該等三個位元區段之該值及鄰近該等三個位元區段之一位元位置的一值。

20. 如申請專利範圍第 15 項之用於位元區段相乘之方法，其中該初始值係根據下式所確定的一控制值 c_i 來選取：

$$c_i = -4s_{i3} + 2s_{i2} + s_{i1} + s_{i0}$$

其中 s_{i3} 、 s_{i2} 和 s_{i1} 均來自該等三位元區段內之值， s_{i0} 為鄰近該等三個位元區段之一位元位置的一值。