

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4830290号
(P4830290)

(45) 発行日 平成23年12月7日(2011.12.7)

(24) 登録日 平成23年9月30日(2011.9.30)

(51) Int.Cl. F I
H O 1 L 21/02 (2006.01) H O 1 L 21/02 B

請求項の数 8 (全 12 頁)

(21) 出願番号	特願2004-346235 (P2004-346235)	(73) 特許権者	000190149
(22) 出願日	平成16年11月30日(2004.11.30)		信越半導体株式会社
(65) 公開番号	特開2006-156770 (P2006-156770A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成18年6月15日(2006.6.15)	(74) 代理人	100102532
審査請求日	平成18年11月17日(2006.11.17)		弁理士 好宮 幹夫
前置審査		(72) 発明者	小林 徳弘
			群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内
		(72) 発明者	石塚 徹
			群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内
		(72) 発明者	太田 友彦
			群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内

最終頁に続く

(54) 【発明の名称】 直接接合ウェーハの製造方法

(57) 【特許請求の範囲】

【請求項1】

直接接合ウェーハの製造方法であって、ボンドウエーハとベースウェーハのうち、少なくとも一方のウェーハの表面に30nm以上の厚さの熱酸化膜またはCVD酸化膜を形成し、該酸化膜を介して他方のウェーハと接合させた後、ボンドウエーハを薄膜化し、貼り合わせウェーハを作製して、その後、該貼り合わせウェーハに対して、不活性ガス、水素、またはこれらの混合ガスのいずれかを含む雰囲気下においてアニール工程を行うことにより、前記ボンドウエーハとベースウェーハの間にある酸化膜を除去してボンドウエーハとベースウェーハを直接接合することを特徴とする直接接合ウェーハの製造方法。

【請求項2】

前記ベースウェーハとしてシリコンウェーハを用い、前記ボンドウエーハとしては、シリコンウェーハとは異種のウェーハを用いるか、またはベースウェーハと方位が違うシリコンウェーハを用いることを特徴とする請求項1に記載の直接接合ウェーハの製造方法。

【請求項3】

前記ボンドウエーハの薄膜化を、少なくともイオン注入剥離法を含む工程により行うことを特徴とする請求項1または請求項2に記載の直接接合ウェーハの製造方法。

【請求項4】

前記薄膜化において、ボンドウエーハの厚さが150nm以上残存するように薄膜化することを特徴とする請求項1から請求項3のいずれか一項に記載の直接接合ウェーハの製造方法。

【請求項 5】

前記薄膜化の後、アニール工程の前に前記貼り合わせウェーハの表面粗さの P V 値が 20 nm 以下になるように研磨することを特徴とする請求項 1 から請求項 4 のいずれか一項に記載の直接接合ウェーハの製造方法。

【請求項 6】

前記不活性ガスとして、アルゴンガスを使用することを特徴とする請求項 1 から請求項 5 のいずれか一項に記載の直接接合ウェーハの製造方法。

【請求項 7】

前記アニール工程において、アニール時の温度を 1100 以上とすることを特徴とする請求項 1 から請求項 6 のいずれか一項に記載の直接接合ウェーハの製造方法。

10

【請求項 8】

前記直接接合後、前記ボンドウエーハの厚さを所望厚さまでさらに薄膜化することを特徴とする請求項 1 から請求項 7 のいずれか一項に記載の直接接合ウェーハの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2つのウェーハを直接接合してなる半導体デバイス用に利用可能な直接接合ウェーハの製造方法及び直接接合ウェーハに関する。

【背景技術】

【0002】

Si ウェーハを直接接合する場合、接合面にボイドの発生が多くなる。しかし、どちらか一方、または両方のウェーハを酸化してある一定以上の酸化膜厚を得たウェーハを接合する場合は、直接接合する場合よりもボイドの数を少なく出来るという事実があるが、この方法はいわゆる SOI (Silicon On Insulator) ウェーハの作製方法であり、埋め込み酸化膜が結合界面に残ってしまい、直接接合のウェーハを作製することができない。

20

【0003】

これに対して、特許文献 1 には、自然酸化膜をつけたウェーハ同士を室温で接合したのち、酸化性以外の雰囲気中で熱処理することによって、接合部の酸化膜層を拡散により消滅させる直接接合ウェーハの製造方法が開示されているが、この方法によってもボイド数を十分少なくすることができない。

30

【0004】

これらのことから以下のことが言える。1. 直接接合はボイドが多発する。2. 酸化膜を成長させて接合をすればボイドの発生は抑えられるが、埋め込み酸化膜が残ってしまい、自然酸化膜ではボイドの防止には不十分である。以上のことより、ボイドのない直接接合ウェーハを作製することは困難であった。

また、ボイドを減少させるには接合界面のパーティクル等の抑制と接合面の状態の均一性が求められているが、現在のレベルではどちらも製品に用いるには困難である。

【0005】

【特許文献 1】特開 2000 - 36445

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は上記の問題に鑑みてなされたものであり、ボイドの発生が抑制された直接接合ウェーハの製造方法及びボイド数が少なく、半導体デバイス用として利用可能な直接接合ウェーハを提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明は上記課題を解決するために、直接接合ウェーハの製造方法であって、ボンドウエーハとベースウェーハのうち、少なくとも一方のウェーハの表面に 30 nm 以上の厚さ

50

の熱酸化膜またはCVD酸化膜を形成し、該酸化膜を介して他方のウェーハと接合させた後、ボンドウエーハを薄膜化し、貼り合わせウェーハを作製して、その後、該貼り合わせウェーハに対して、不活性ガス、水素、またはこれらの混合ガスのいずれかを含む雰囲気下においてアニール工程を行うことにより、前記ボンドウエーハとベースウェーハの間にある酸化膜を除去してボンドウエーハとベースウェーハを直接接合することを特徴とする直接接合ウェーハの製造方法を提供する（請求項1）。

【0008】

このように、まず、ボンドウエーハとベースウェーハのうち、少なくとも一方のウェーハの表面に熱酸化膜またはCVD酸化膜を形成し、該酸化膜を介して他方のウェーハと接合させれば、接合界面におけるボイドやパーティクルの発生を抑制できる。次に、ボンドウエーハを薄膜化し、貼り合わせウェーハを作製して、その後、該貼り合わせウェーハに対して、不活性ガス、水素、またはこれらの混合ガスのいずれかを含む雰囲気下においてアニール工程を行えば、ウェーハ中の酸素の外方拡散、及び酸化膜の還元が起こり、酸化膜が減少していき、最終的には無くなって、ボンドウエーハとベースウェーハを直接接合することができ、ボイドのない直接接合ウェーハを製造することが可能である。

【0009】

このとき、前記ベースウェーハとしてシリコンウェーハを用い、前記ボンドウエーハとしては、シリコンウェーハとは異種のウェーハを用いるか、またはベースウェーハと方位が違うシリコンウェーハを用いてもよい（請求項2）。

【0010】

このように、前記ベースウェーハとしてシリコンウェーハを用い、前記ボンドウエーハとしては、シリコンウェーハとは異種のウェーハ、例えばシリコン-ゲルマニウム混晶ウェーハを用いるか、またはベースウェーハと方位が違うシリコンウェーハを用いることにより、例えばデバイス動作速度の速い直接接合ウェーハを製造することができる。

【0011】

また、前記ボンドウエーハの薄膜化を、少なくともイオン注入剥離法を含む工程により行うことが好ましい（請求項3）。

イオン注入は打ち込み深さの制御精度が高く、ボンドウエーハ中の所定の深さにイオンを注入してイオン注入層を形成し、貼り合わせ後ボンドウエーハをそのイオン注入層において剥離することが可能である。このようにして、残存するボンドウエーハの厚さを高度に調節して薄膜化することができる。

【0012】

このとき、前記薄膜化において、ボンドウエーハの厚さが150nm以上残存するように薄膜化するのが望ましい（請求項4）。

薄膜化の後の工程であるアニール工程を行うと、欠陥の拡大、ピットの発生等が生じてしまうことがある。しかし、ボンドウエーハの薄膜化において、ボンドウエーハの厚さが150nm以上残存するように薄膜化すれば、150nm未満の場合に比べて、そのアニール工程の際に生じる欠陥の拡大やピット、またボイドの発生をより抑制することができ、高品質の直接接合ウェーハを作製することが可能である。

【0013】

さらに、薄膜化の後、アニール工程の前に前記貼り合わせウェーハの表面粗さのPV値（10 μ m \times 10 μ mの測定範囲における最大高低差）が20nm以下になるように研磨するのが望ましい（請求項5）。

このように、ボンドウエーハを薄膜化した後、アニール工程前に、作製された貼り合わせウェーハの表面粗さのPV値が20nm以下になるように研磨をすれば、20nmより大きい場合に比べて、アニール工程により生じる欠陥の拡大やピット、またボイドの発生をより抑制することができ、高品質の直接接合ウェーハを作製することが可能である。

【0014】

また、アニール工程における雰囲気に、不活性ガスとして、アルゴンガスを使用することが好ましい（請求項6）。

アニール工程において、不活性ガスとしてアルゴンガスを用いれば、前記酸化膜を効率よく揮散させることができるし、アルゴンは一般によく用いられるので好ましい。

【0015】

さらに、アニール工程において、アニール時の温度を1100以上とするのが望ましい(請求項7)。

このように、アニール時の温度を1100以上とすれば、ウェーハ表面付近の酸素は外方拡散して、酸素濃度が低下し、酸化膜は還元され、酸素は酸素濃度が低下した領域のシリコン層へと拡散していく。このようにして酸素の外方拡散及び酸化膜の還元が進み、最終的には酸化膜がなくなり、シリコン層、つまりはボンドウェーハとベースウェーハの直接接合ウェーハを効率よく作製することができる。

10

【0016】

そして、前記直接接合後、前記ボンドウェーハの厚さを所望厚さまでさらに薄膜化することができる(請求項8)。

このように、ボンドウェーハとベースウェーハの直接接合後、ボンドウェーハの厚さを、用途に見合った所望の厚さまで薄膜化して製品とすることができる。

【0017】

このような製造方法によって、ボンドウェーハとベースウェーハが直接接合された直接接合ウェーハを得ることができる。

本発明により、ボイドの発生が抑制された高品質の直接接合ウェーハを手に入れることができる。

20

【0018】

本発明は、ベースウェーハ上にシリコン薄膜層が直接接合された直接接合ウェーハであって、前記ベースウェーハとシリコン薄膜層の未接合部であるボイドの数が 0.02 個/ cm^2 以下の直接接合ウェーハを提供する。

このように、ボイドの数が 0.02 個/ cm^2 以下の直接接合ウェーハであれば、十分に高品質であり、半導体デバイス用として用いることができる。

【0019】

なお、上記で用いる「所望厚さ」とは、製品として完成された状態におけるボンドウェーハの膜厚を意味する。

【発明の効果】

30

【0020】

本発明のように、直接接合ウェーハの製造方法であって、ボンドウェーハとベースウェーハのうち、少なくとも一方のウェーハの表面に熱酸化膜またはCVD酸化膜を形成し、該酸化膜を介して他方のウェーハと接合させれば、接合部でのパーティクルやボイド等の発生を抑制することができる。次に、ボンドウェーハを薄膜化し、貼り合わせウェーハを作製して、その後、該貼り合わせウェーハに対して、不活性ガス、水素、またはこれらの混合ガスのいずれかを含む雰囲気下においてアニール工程を行うことにより、前記ボンドウェーハとベースウェーハの間にある酸化膜を除去してボンドウェーハとベースウェーハを直接接合すれば、ボイド等の欠陥の発生や拡大を抑制することが出来て、ボイド数が極めて少ない高品質の直接接合ウェーハを作製することができる。

40

【0021】

また、本発明である、ベースウェーハ上にシリコン薄膜層が直接接合された直接接合ウェーハであって、前記ベースウェーハとシリコン薄膜層の未接合部であるボイドの数が 0.02 個/ cm^2 以下である直接接合ウェーハであれば、ボイド数が極めて少なく、十分に高品質であり、半導体デバイス用として用いることができる。

【発明を実施するための最良の形態】

【0022】

以下では、本発明の実施の形態について説明するが、本発明はこれに限定されるものではない。

Siウェーハを直接接合する場合、接合面にボイドの発生が多くなる。しかし、どちら

50

か一方、または両方のウェーハを熱酸化して表面に熱酸化膜厚を形成したウェーハを接合する場合は、直接接合する場合よりもボイドの数を少なく出来るという事実があるが、この方法では酸化膜が結合界面に残ってしまい、直接接合のウェーハを作製することができなかった。

【 0 0 2 3 】

また、自然酸化膜をつけたウェーハ同士を室温で接合したのち、酸化性以外の雰囲気中で熱処理することによって、接合部の酸化膜層を拡散により消滅させる直接接合ウェーハの製造方法があるが、本発明者らの実験によると現実には自然酸化膜では膜厚がうすく（通常 2 nm 以下）、接合時に界面で発生するボイドの原因となる水を十分に吸着することができず、ボイド数を十分少なくすることができないということが判った。これは自然酸化膜は非常に薄い上に、不均一な厚さを有し、重金属等により汚染されている場合もある等の理由に基づくものと考えられる。

10

【 0 0 2 4 】

そこで本発明者らは、ボンドウエーハとベースウェーハのうち、少なくとも一方のウェーハの表面に熱酸化膜または CVD 酸化膜を形成し、該酸化膜を介して他方のウェーハと接合させた後、ボンドウエーハを薄膜化し、貼り合わせウェーハを作製して、その後、該貼り合わせウェーハに対して、不活性ガス、水素、またはこれらの混合ガスのいずれかを含む雰囲気下においてアニール工程を行うことにより、前記ボンドウエーハとベースウェーハの間にある酸化膜を除去してボンドウエーハとベースウェーハを直接接合する直接接合ウェーハの製造方法を考え出した。

20

【 0 0 2 5 】

このような製造方法によって、まずボンドウエーハとベースウェーハのうち、少なくとも一方のウェーハの表面に熱酸化膜または CVD 酸化膜を形成し、該酸化膜を介して他方のウェーハと接合させることにより、接合界面におけるパーティクルを抑制し、また、接合時にウェーハ界面で発生する水を前記酸化膜に十分に吸収させ、ボイドの発生を抑えることができる。熱酸化膜及び CVD 酸化膜は厚く、通常 5 nm 以上はあり、緻密で、均一な厚さを有するものを容易に高純度で得ることが出来ることに基づく。そして、ボンドウエーハを薄膜化して、その後不活性ガス、水素、またはこれらの混合ガスのいずれかを含む雰囲気下においてアニール工程を行うことにより、ボンドウエーハとベースウェーハの間にある前記酸化膜を除去することができ、ボイド数が極めて少ない、高品質の直接接合ウェーハを作製することができる。薄膜化してからアニールを行うので、効率よく前記酸化膜を除去できる。

30

このような、本発明の方法により、ベースウェーハ上にシリコン薄膜層が直接接合されており、ボイドの数が 0.02 個 / cm^2 以下である直接接合ウェーハを得ることができ、ボイドの数が極めて少なく、十分に高品質であるため、半導体デバイス用として用いることが可能である。

本発明者らは、これらのことを見出し、本発明を完成させた。

【 0 0 2 6 】

以下では本発明の実施の形態について説明する。

まず、ボンドウエーハとベースウェーハとなる 2 枚のウェーハを用意する。シリコン層を有する直接接合ウェーハを作製するため、ベースウェーハとしてシリコンウェーハを用いる。また、ボンドウエーハとしては、ベースウェーハと同様のシリコンウェーハとすることができるが、例えば、シリコンウェーハとは異種のウェーハ、またはベースウェーハと方位が違うシリコンウェーハなどを用いてもよい。シリコンウェーハと異種のウェーハとしては、シリコン - ゲルマニウム混晶ウェーハを挙げることができるが、これに限定されない。方位の違うシリコンウェーハとしては、例えばボンドウエーハを面方位 (110) とし、ベースウェーハを (100) とすることで、デバイス作製をする薄膜層の面方位が (110) であるので、高速デバイスとすることが可能であり、ベースウェーハは汎用品である (100) を用いることで低コスト化等に資することができる。

40

【 0 0 2 7 】

50

次に、ボンドウェーハとベースウェーハのうち少なくとも1枚のウェーハに熱処理を施し、ウェーハ表面に熱酸化膜を形成する。このように少なくとも1枚のウェーハに自然酸化膜よりも厚い、例えば30nmの熱酸化膜を形成しておけば、2枚のウェーハの貼り合わせをする時にパーティクルの発生を抑制することができ、また、接合時にウェーハ界面で生じる水を熱酸化膜に十分に吸着させ、しかも、熱酸化膜は緻密で均一な厚さを有するので、ポイドの発生を抑制することが可能である。酸化条件は特に限定されず、通常用いられているいずれの方法によってもよい。例えば、ドライ酸素雰囲気、水蒸気雰囲気、その他の酸化性ガス雰囲気下、600 ~ 1300、1秒~10時間熱処理をすればよい。

【0028】

そして、2枚のウェーハを該熱酸化膜を介して貼り合わせ、高温（例えば1000）にて熱処理を施して強固に接合し、その後、例えば研削・研磨あるいはエッチング等を行うことによりボンドウェーハの薄膜化を行い、貼り合わせウェーハ（SOIウェーハ）を作製する。

また、このときイオン注入剥離法を用いてボンドウェーハの薄膜化を行ってもよい。この方法では、まず、ボンドウェーハに例えば水素イオンを注入して、イオン注入層を形成する。次に、先に形成した熱酸化膜を介して、イオン注入層が形成されているボンドウェーハとベースウェーハを貼り合わせて熱処理（300程度）を行って2枚のウェーハを接合して、その後、例えば500程度にて熱処理を行い、接合をより強固にするとともにイオン注入層でボンドウェーハの一部を剥離し、薄膜化する。なお、ボンドウェーハとベースウェーハをより強固に接合するために、薄膜化後に高温（例えば1000~1200）にて熱処理を施したり、さらに例えば研磨を行って厚さを調節してもよい。このように、少なくともイオン注入剥離法を含む工程を行うことによりボンドウェーハの薄膜化を行い、貼り合わせウェーハを作製することも可能である。この方法によれば、極めて均一な厚さ分布を有する薄膜を得ることができる。

【0029】

このとき、このボンドウェーハの薄膜化において、残存するボンドウェーハの厚さが150nm以上残存するように薄膜化すれば、150nm未満の場合に比べて、ポイド等の欠陥の発生や拡大をより効果的に抑制することができる。

また、薄膜化した後で、かつアニール工程を行う前において、貼り合わせウェーハの表面粗さのPV値が20nm以下になるように貼り合わせウェーハの表面を研磨することで、20nmよりも大きい場合に比べて、ポイド等の欠陥の発生や拡大をより効果的に抑制することができる。

【0030】

次に、貼り合わせウェーハに対して、不活性ガス、水素、またはこれらの混合ガスのいずれかを含む雰囲気下においてアニール工程を行う。不活性ガスとしては、例えばアルゴンガスなどを用いるとよい。アニール時の温度を例えば1100以上とすれば、この高温下においては、シリコン層中の酸素は外方拡散され、シリコン層の酸素濃度は低下していく。このとき、シリコン層（ボンドウェーハ）とベースウェーハの間に存在する熱酸化膜は還元され、酸素はシリコン層へと拡散されていく。この拡散が進み、最終的に熱酸化膜は除去された状態になり、シリコン層とベースウェーハが直接接合された直接接合ウェーハを得ることができる。

【0031】

また、ボンドウェーハとベースウェーハの直接接合後、ボンドウェーハの厚さを、用途に見合った所望の厚さまで薄膜化して製品とすることができる。この薄膜化も一般の手法を用いることができ、研磨、エッチング等により行うことができる。

【0032】

このようにして、本発明の製造方法によって作製された、ポイドが極めて少ない高品質の直接接合ウェーハを得ることができる。

本発明の直接接合ウェーハはポイド数が0.02個/cm²以下であり、ポイド数が極めて少なく良質であるため、種々の半導体デバイス用に用いることができる。

10

20

30

40

50

【0033】

以上、熱酸化膜を介して接合した場合について述べたが、熱酸化膜のかわりにCVD酸化膜を用いても同様である。

【実施例】

【0034】

以下に本発明の実施例および比較例をあげてさらに具体的に説明するが、本発明はこれに限定されるものではない。

(実施例1~6)

ボンドウェーハとして面方位(110)Siウェーハ(直径12インチ(30.48cm))を6枚用意して、それぞれに熱処理(900、5分、水蒸気雰囲気)を行い、ボンドウェーハ表面に熱酸化膜を30nm成長させた。次に、ボンドウェーハそれぞれに水素イオンを注入深さが400nmとなるようにイオン注入して、ベースウェーハとして別に用意した(100)Siウェーハ6枚とそれぞれ熱酸化膜を介して重ね合わせ、熱処理(500、30分、窒素雰囲気)により貼り合わせると同時に水素イオン注入層にてウェーハを分離した。その後、接合強度を上げるための熱処理(1100、1時間、アルゴン雰囲気)を行った。その際にボイドの発生が抑制されていたことを確認した。

【0035】

そしてこれらのウェーハのボンドウェーハ側をCMP研磨(Chemical Mechanical Polishing method)により薄くし、アニール工程前のそれぞれのボンドウェーハ側シリコン層(SOI層)の厚さとして、70(実施例1)、100(実施例2)、150(実施例3)、200(実施例4)、250(実施例5)、300(実施例6)nmにした。

これらのウェーハに対して、熱酸化膜が5nm程度残存するように、それぞれ時間を調整してアニール(1200、アルゴン雰囲気)を行った。これは、ボンドウェーハとベースウェーハの間に存在する酸化膜層(BOX層)である熱酸化膜を5nm程度残さないと、そのSOI層の膜厚が測定できないためである。

膜厚測定後、同条件でアニールを続け、合計5時間行った。

【0036】

実施例1~6では、5時間のアニールを行った結果BOX層である熱酸化膜厚は0となり、ボンドウェーハとベースウェーハが直接接合された直接接合ウェーハを得ることができた。この実施例1~6の直接接合ウェーハのボイド数の測定結果等を図1、2、および表1に示す。

実施例1、2においては、実施例3~6のボイド数に比べると増加していて、実施例1が0.4個/cm²、実施例2が0.1個/cm²であった。

なお、SOI層の膜厚が薄い場合(100nm以下)は、アニールの時間が1時間であっても4時間と同等のボイド数であった。

実施例3~6においては、いずれもボイド数が3個/枚(0.004個/cm²)以下となった。このようにボイド数が極めて少ない直接接合ウェーハであれば、半導体デバイス用として用いることができる。

また、アニール後の膜厚ばらつき(ウェーハ面内を4mm間隔で約4000点膜厚を測定したときのMAX値とMIN値の差)において、実施例1~2に対して実施例3~6の膜厚分布はばらつきの少ない結果となった。

【0037】

実施例1、2では実施例3~6に比べてボイド数が大きな値を示した。これは、SOI層膜厚が薄くなると酸素の拡散量が多くなり、その結果、エッチングに相当する反応が起こるからと考えられる。ただし、後述の比較例1のように、それぞれ同膜厚のシリコン層を有するウェーハを用いてその表面に熱酸化膜を形成せず、直接接合したウェーハ中のボイド数に比べると低い数値である。

しかし、アニール前のSOI層の厚さが150nm以上になるように薄膜化しておけば、ボイド数が極めて少ない、より高品質の直接接合ウェーハを作製することができる。

【0038】

【表1】

SOI膜厚 (nm)	膜厚ばらつき (nm)	ポイド数 (個/枚)
70	45	324
100	19.2	79
150	6.9	2
200	5.5	1
250	4.6	3
300	3.9	2

10

【0039】

(実施例7~12)

ボンドウェーハとして面方位(110)Siウェーハ(直径12インチ(30.48cm))を6枚用意して、それぞれに熱処理(900、5分、水蒸気雰囲気)を行い、ボンドウェーハ表面に熱酸化膜を30nm成長させた。次に、ボンドウェーハそれぞれに水素イオンを注入深さが400nmとなるようにイオン注入して、ベースウェーハとして別に用意した(100)Siウェーハ6枚とそれぞれ熱酸化膜を介して重ね合わせ、熱処理(500、30分、窒素雰囲気)により貼り合わせると同時に水素イオン注入層にてウェーハを分離した。その後、結合強度を上げるための熱処理(1100、1時間、アルゴン雰囲気)を行った。その際にポイドの発生が抑制されていたことを確認した。

20

【0040】

そしてこれらのウェーハのボンドウェーハ側をCMP研磨により薄くし、アニール工程前のそれぞれのSOI層の厚さとして、全て150nmにした。

また、このとき、CMPの条件を調整してSOI層の表面粗さのPV値をそれぞれ2(実施例7)、5(実施例8)、10(実施例9)、20(実施例10)、30(実施例11)、50(実施例12)nmとした。

これらのウェーハに対して、熱酸化膜が5nm程度残存するように、それぞれ時間を調整してアニール(1200、アルゴン雰囲気)を行った。

膜厚測定後、同条件でアニールを続け、合計5時間行った。

30

【0041】

実施例7~12では、5時間のアニールを行った結果BOX層である熱酸化膜厚は0となり、ボンドウェーハとベースウェーハが直接接合された直接接合ウェーハを得ることができた。この実施例7~12の直接接合ウェーハのポイド数の測定結果等を図3、4、および表2に示す。

実施例7~10においては、いずれもポイド数が3個/枚(0.004個/cm²)以下となった。このようにポイド数が極めて少ない直接接合ウェーハであれば、半導体デバイス用として用いることができる。

実施例11、12では、実施例7~10のポイド数に比べると増加していて、実施例11が0.06個/cm²、実施例12が0.1個/cm²であった。

40

また、アニール後の膜厚ばらつきは、実施例11~12に対して実施例7~10の膜厚分布はややばらつきの少ない結果となった。

【0042】

実施例7~12により、アニール前のSOI層の表面粗さもまた、アニール後のポイド数に影響を与えていることが判った。

アニール前のSOI層の表面粗さのPV値を20nm以下にしておけば、ポイド数が極めて少ない、より高品質の直接接合ウェーハを作製することができる。

【0043】

【表 2】

P-V (nm)	膜厚ばらつき (nm)	ポイド数 (個/枚)
2	7.2	2
5	6.3	1
10	8.7	2
20	5.8	3
30	9.7	45
50	18	83

10

【0044】

(実施例13)

ボンドウェーハとして(110)Siウェーハ(直径12インチ(30.48cm))を用意して、熱処理(900、5分、水蒸気雰囲気)を行い、ボンドウェーハ表面に熱酸化膜を30nm成長させた。次に、このボンドウェーハに水素イオンを注入深さが400nmとなるようにイオン注入して、ベースウェーハとして別に用意した(100)Siウェーハと熱酸化膜を介して重ね合わせ、熱処理(500、30分、窒素雰囲気)により貼り合わせると同時に水素イオン注入層にてウェーハを分離した。その後、結合強度を上げるための熱処理(1100、1時間、アルゴン雰囲気)を行った。その際にポイドの発生が抑制されていたことを確認した。

20

そしてこのウェーハをCMP研磨により薄くし、アニール工程前のSOI層の厚さとして250nmにした。また、PV値は25nmであった。

このウェーハに対してアニール(1200、5時間、アルゴン雰囲気)を行った。

【0045】

実施例13では、アニールを行った結果熱酸化膜厚は0となり、ボンドウェーハとベースウェーハが直接接合された直接接合ウェーハを得ることができた。この実施例13の直接接合ウェーハのポイド数の測定結果を図5に示す。

本発明の直接接合ウェーハの製造方法によって製造されたこの直接接合ウェーハのポイド数は、図5の250nm(BOX 30nm)のグラフに示されているように、8個/枚(0.01個/cm²)という極めて少ない値であり、高品質の直接接合ウェーハを得ることができた。このため、半導体デバイス用として十分に利用できる。

30

【0046】

(比較例1~3)

ボンドウェーハとして(110)Siウェーハ(直径12インチ(30.48cm))を3枚用意した。これらのボンドウェーハにそれぞれ水素イオンを注入深さが400nmとなるようにイオン注入して、ベースウェーハとして別に用意した(100)Siウェーハと貼り合わせて熱処理(350、2時間、窒素雰囲気)により接合し、その後、熱処理(500、30分、窒素雰囲気)により水素イオン注入層にてウェーハを分離した。

そしてこれらのウェーハのボンドウェーハ側をCMP研磨により薄くし、ボンドウェーハ側のシリコン層の厚さとして70(比較例1)、100(比較例2)、250(比較例3)nmにして、直接接合ウェーハとして、ポイド数を測定した。

40

【0047】

比較例1~3の測定結果を図5の70nm(BOX層なし)、100nm(BOX層なし)、250nm(BOX層なし)のグラフに示す。

比較例1~3の直接接合ウェーハでは、図5のグラフに示されているように、ポイド数がそれぞれ、940個/枚(1.3個/cm²)、420個/枚(0.58個/cm²)、190個/枚(0.26個/cm²)となり、ポイドが多発していた。

【0048】

実施例1、2、13と比較例1~3より、熱酸化膜を形成して熱酸化膜を介して貼り合わせ、その後、アニールにより熱酸化膜を除去して得られた直接接合ウェーハは、熱酸化

50

膜を形成せずにボンドウェーハとベースウェーハを直接接合したものよりもボイドの発生が抑制されており、本発明により、より高品質の、半導体デバイス用として利用可能な直接接合ウェーハを得ることができることが判る。

また、実施例 1 ~ 6 より、薄膜化において、ボンドウェーハの膜厚が 150 nm 以上残存するように薄膜化すれば、150 nm 未満の場合に比べて、ボイド数が極めて少ない、より高品質の直接接合ウェーハを得ることができることが判る。

さらに、実施例 7 ~ 12 より、薄膜化の後、アニール工程の前に、貼り合わせウェーハの表面粗さの P-V 値が 20 nm 以下になるように研磨しておけば、20 nm より大きい場合に比べて、ボイド数が極めて少ない、より高品質の直接接合ウェーハを得ることができることが判る。

10

【0049】

なお、本発明は、上記形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【図面の簡単な説明】

【0050】

【図 1】 実施例 1 ~ 6 のアニール後のボイド数測定結果である。

【図 2】 実施例 1 ~ 6 のアニール後の膜厚ばらつき測定結果である。

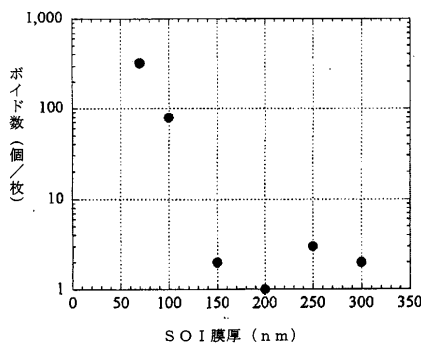
【図 3】 実施例 7 ~ 12 のアニール後のボイド数測定結果である。

【図 4】 実施例 7 ~ 12 のアニール後の膜厚ばらつき測定結果である。

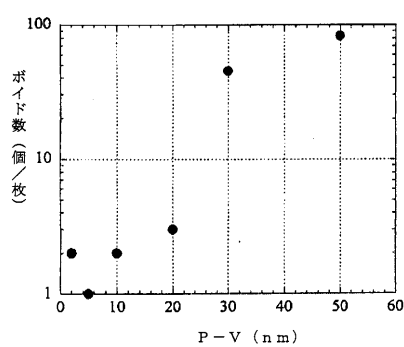
20

【図 5】 実施例 13、比較例 1 ~ 3 のアニール後のボイド数測定結果である。

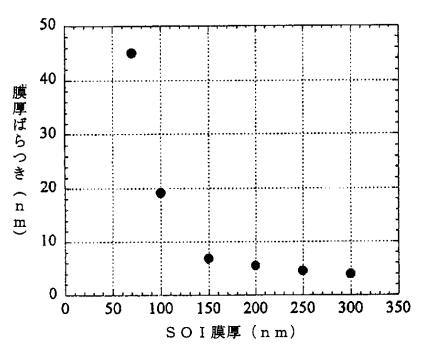
【図 1】



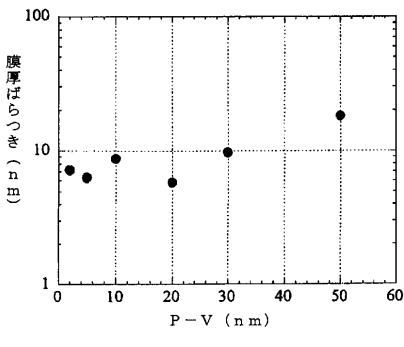
【図 3】



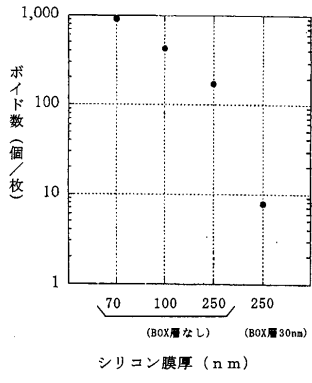
【図 2】



【図 4】



【図5】



フロントページの続き

(72)発明者 阿賀 浩司

群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内

(72)発明者 長岡 康男

群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内

審査官 萩原 周治

(56)参考文献 特開2000-036445(JP,A)

特開平08-008413(JP,A)

特開平05-090117(JP,A)

特開2004-221198(JP,A)

特開平09-232197(JP,A)

特開平03-250617(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/02

H01L 27/12