

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5205083号
(P5205083)

(45) 発行日 平成25年6月5日(2013.6.5)

(24) 登録日 平成25年2月22日(2013.2.22)

(51) Int.Cl.

H02M 3/155 (2006.01)

F 1

H02M 3/155

W

H02M 3/155

H

請求項の数 17 (全 28 頁)

(21) 出願番号 特願2008-57496 (P2008-57496)
 (22) 出願日 平成20年3月7日 (2008.3.7)
 (65) 公開番号 特開2009-219184 (P2009-219184A)
 (43) 公開日 平成21年9月24日 (2009.9.24)
 審査請求日 平成22年11月18日 (2010.11.18)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1753番地
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 工藤 良太郎
 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
 (72) 発明者 長澤 俊夫
 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
 審査官 武市 匡紘

最終頁に続く

(54) 【発明の名称】電源装置

(57) 【特許請求の範囲】

【請求項 1】

複数の半導体デバイスと、
 前記複数の半導体デバイスにそれぞれ結合される複数のインダクタと、
 前記複数のインダクタに共通に結合される出力コンデンサとを備え、
 前記複数の半導体デバイスのそれぞれは、
 外部電源電圧が入力される電源入力端子と、
 接地電源電圧が入力される接地電圧端子と、
 前記複数のインダクタの中の自身に対応するインダクタに結合されるスイッチ端子と、
 第1パルス入力信号が入力される第1入力端子と、
 前記第1パルス入力信号を受け、第1遅延時間を経過した後に第1パルス出力信号を生成する第1回路と、
 前記第1パルス出力信号を出力する第1出力端子と、
 前記スイッチ端子を前記電源入力端子または前記接地電圧端子に結合するトランジスタと、
 前記第1パルス入力信号を起点として前記トランジスタのオン・オフを制御する制御回路とを備え、
 前記複数の半導体デバイスは、自身の第1出力端子が、自身以外のいずれか1個の半導体デバイスの第1入力端子に結合されることで、互いにリング状に結合されていることを特徴とする電源装置。

【請求項 2】

請求項 1 記載の電源装置において、

前記第 1 回路は、さらに、外部からの設定に応じて、起動時に 1 度だけ前記第 1 パルス入力信号または前記第 1 パルス出力信号を生成する第 2 回路を備えることを特徴とする電源装置。

【請求項 3】

請求項 2 記載の電源装置において、

前記第 2 回路は、前記第 1 入力端子または前記第 1 出力端子に外部抵抗が結合されているか否かによって前記第 1 パルス入力信号または前記第 1 パルス出力信号を生成するか否かを判別することを特徴とする電源装置。

10

【請求項 4】

請求項 1 記載の電源装置において、

前記複数の半導体デバイスのそれぞれは、さらに、

前記出力コンデンサの電圧が反映される第 1 検出端子と、

第 2 入力端子と、

第 2 出力端子とを備え、

前記制御回路は、前記第 1 検出端子の電圧を反映して、前記トランジスタのオン・オフ時間を設定するためのエラーアンプ信号を前記第 2 出力端子に出力するエラーアンプ回路を備え、

20

前記複数の半導体デバイスのいずれか 1 個が前記エラーアンプ回路によるエラーアンプ信号の生成を行い、それ以外の半導体デバイスは、前記いずれか 1 個の半導体デバイスによって生成されたエラーアンプ信号が前記第 2 入力端子から入力されるように構成されたことを特徴とする電源装置。

【請求項 5】

請求項 4 記載の電源装置において、

前記制御回路は、

前記トランジスタに流れる電流を検出し、電圧に変換する電流検出回路と、

前記電流検出回路で変換された電圧と前記第 2 入力端子から入力された前記エラーアンプ信号とを比較する比較回路とを備え、

30

前記比較回路の比較結果に基づいて前記トランジスタのオン・オフを制御することを特徴とする電源装置。

【請求項 6】

請求項 1 記載の電源装置において、

前記第 1 回路は、コンデンサへの充電時間を利用したアナログ回路によって前記第 1 遅延時間を生成することを特徴とする電源装置。

【請求項 7】

請求項 1 記載の電源装置において、

前記第 1 回路は、クロック信号のエッジを利用したディジタル回路によって前記第 1 遅延時間を生成することを特徴とする電源装置。

【請求項 8】

外部電源電圧が入力される電源入力端子と、

接地電源電圧が入力される接地電圧端子と、

外部インダクタを介して外部出力コンデンサに結合されるスイッチ端子と、

第 1 パルス入力信号が入力される第 1 入力端子と、

前記第 1 パルス入力信号を受け、第 1 遅延時間を経過した後に第 1 パルス出力信号を生成する第 1 回路と、

40

前記第 1 パルス出力信号を出力する第 1 出力端子と、

前記スイッチ端子を前記電源入力端子または前記接地電圧端子に結合するトランジスタと、

前記第 1 パルス入力信号を起点として前記トランジスタのオン・オフを制御する制御回

50

路とを備え、

前記第1出力端子は、前記第1入力端子との間でリング状に結合される形で使用され、

前記第1回路は、さらに、外部からの設定に応じて、起動時に1度だけ前記第1パルス入力信号または前記第1パルス出力信号を生成する第2回路を備えることを特徴とする電源装置。

【請求項9】

請求項8記載の電源装置において、

前記第2回路は、前記第1入力端子または前記第1出力端子に外部抵抗が結合されているか否かによって前記第1パルス入力信号または前記第1パルス出力信号を生成するか否かを判別することを特徴とする電源装置。

10

【請求項10】

請求項8記載の電源装置において、

前記電源装置は、さらに、

前記外部出力コンデンサの電圧が反映される第1検出端子と、

第2入力端子と、

第2出力端子とを備え、

前記制御回路は、前記第1検出端子の電圧を反映して、前記トランジスタのオン・オフ時間を設定するためのエラーアンプ信号を前記第2出力端子に出力するエラーアンプ回路を備え、前記第2出力端子から出力された前記エラーアンプ信号が前記第2入力端子から入力されるか、または、自身以外で生成されたエラーアンプ信号が前記第2入力端子から入力されることで前記トランジスタのオン・オフを制御することを特徴とする電源装置。

20

【請求項11】

請求項10記載の電源装置において、

前記制御回路は、

前記トランジスタに流れる電流を検出し、電圧に変換する電流検出回路と、

前記電流検出回路で変換された電圧と前記第2入力端子から入力された前記エラーアンプ信号とを比較する比較回路とを備え、

前記比較回路の比較結果に基づいて前記トランジスタのオン・オフを制御することを特徴とする電源装置。

30

【請求項12】

請求項8記載の電源装置において、

前記第1回路は、コンデンサへの充電時間を利用したアナログ回路によって前記第1遅延時間を生成することを特徴とする電源装置。

【請求項13】

請求項8記載の電源装置において、

前記第1回路は、クロック信号のエッジを利用したデジタル回路によって前記第1遅延時間を生成することを特徴とする電源装置。

【請求項14】

複数の第1半導体デバイスと、

第2半導体デバイスと、

40

前記複数の第1半導体デバイスにそれぞれ結合される複数のインダクタと、

前記複数のインダクタに共通に結合される出力コンデンサとを備え、

前記複数の第1半導体デバイスのそれぞれは、

外部電源電圧が入力される電源入力端子と、

接地電源電圧が入力される接地電圧端子と、

前記複数のインダクタの中の自身に対応するインダクタに結合されるスイッチ端子と、

第1パルス入力信号が入力される第1入力端子と、

前記第1パルス入力信号を受け、第1遅延時間を経過した後に第1パルス出力信号を生成する第1回路と、

前記第1パルス出力信号を出力する第1出力端子と、

50

前記スイッチ端子を前記電源入力端子または前記接地電圧端子に結合するトランジスタと、

前記トランジスタのオン・オフ時間を設定するためのエラーアンプ信号が入力される第2入力端子と、

前記第1パルス入力信号を起点として、前記エラーアンプ信号に基づいて前記トランジスタのオン・オフを制御する制御回路とを備え、

前記第2半導体デバイスは、

前記出力コンデンサの電圧を設定するための複数の第1設定端子と、

前記出力コンデンサの電圧が反映される第1検出端子と、

第2出力端子と、

10

前記第1検出端子の電圧と前記第1設定端子の情報を反映して、前記複数の第1半導体デバイスに含まれる前記トランジスタのオン・オフ時間を設定するためのエラーアンプ信号を前記第2出力端子に出力するエラーアンプ回路とを備え、

前記複数の第1半導体デバイスは、自身の第1出力端子が、自身以外のいずれか1個の第1半導体デバイスの第1入力端子に結合されることで、互いにリング状に結合され、さらに、前記第2入力端子が、前記第2半導体デバイスの前記第2出力端子に結合されていることを特徴とする電源装置。

【請求項15】

請求項14記載の電源装置において、

前記第1回路は、さらに、外部からの設定に応じて、起動時に1度だけ前記第1パルス入力信号または前記第1パルス出力信号を生成する第2回路を備えることを特徴とする電源装置。

20

【請求項16】

請求項15記載の電源装置において、

前記第2回路は、前記第1入力端子または前記第1出力端子に外部抵抗が結合されているか否かによって前記第1パルス入力信号または前記第1パルス出力信号を生成するか否かを判別することを特徴とする電源装置。

【請求項17】

請求項14記載の電源装置において、

前記第2半導体デバイスは、さらに、前記複数のインダクタに流れる電流と前記出力コンデンサの電圧とが反比例の関係となるように制御するドループ機能を備えることを特徴とする電源装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源装置に関し、例えば高電圧を低電圧に変換するスイッチング電源装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

例えば、特許文献1には、共通コンデンサに並列接続されたn個のインダクタと、この各インダクタにそれぞれ接続されたn個の出力スイッチ装置と、この各出力スイッチ装置をPWM制御で駆動するn個の相出力装置と、この各相出力装置に共通の制御信号を供給する相制御装置からなる多相バックコンバータが記載されている(図1)。相制御装置は、n個の相出力装置に対して三角波等の相タイミング信号やPWMデューティを決めるためのPWM制御信号を供給する。この三角波は、n個の相出力装置によってそれぞれ異なる電圧レベルで判定され、これによってn個の相出力装置毎に異なったn個の位相(フェーズ)のタイミング信号が生成される(図12d)。n個の相出力装置のそれぞれは、自身のフェーズの中で、前述したPWM制御信号に基づいたPWMデューティによって対応する出力スイッチ装置を駆動する。

40

【0003】

50

また、特許文献 2 には、共通コンデンサに並列接続された n 個のインダクタと、この各インダクタにそれぞれ接続された n 個のトランジスタ対と、この各トランジスタ対を PWM 制御で駆動する n 個の位相 I C と、この各位相 I C に共通の制御信号を供給する制御 I C からなる多相コンバータが記載されている（図 1、図 2）。制御 I C は、クロック信号およびフェーズアウト信号（パルス信号）や、PWM デューティを定めるためのエラーアンプ信号などを生成する。1 番目の位相 I C は、制御 I C からのフェーズアウト信号をフェーズイン信号として受け、それを 1 クロック遅延させた後にフェーズアウト信号として 2 番目の位相 I C に出力する。2 番目の位相 I C は、この 1 番目の位相 I C からのフェーズアウト信号をフェーズイン信号として受け、それを 1 クロック遅延させた後にフェーズアウト信号として 3 番目の位相 I C に出力し、以降同様にして、最終的には n 番目の位相 I C からのフェーズアウト信号が制御 I C のフェーズイン信号として帰還される。各位相 I C は、自身のフェーズイン信号のタイミングに基づいて、エラーアンプ信号に応じた PWM デューティによって対応するトランジスタ対を駆動する。10

【0004】

また、特許文献 3 には、パワー MOSFET と、それを駆動する駆動回路と、駆動回路にスイッチング制御信号を伝達する制御回路とが 1 つのパッケージ内に搭載された半導体装置が記載されている（図 1、図 2）。この半導体装置は、パワー MOSFET に結合される外付けコンデンサからの検出電圧を反映したエラーアンプ信号（判定基準レベル）と、パワー MOSFET に流れる電流を検出すると共に電圧変換した信号（ランプ信号）とを比較した結果で PWM デューティを定めるというピーク電流制御方式を用いている（図 8、図 9）。また、この半導体装置は、発振回路を内蔵し、この発振回路の出力や、前述したエラーアンプ信号などを、外部端子を介して他の半導体装置と共有可能となっている（図 17）。20

【0005】

また、非特許文献 1 には、共通コンデンサに並列接続された 6 個のインダクタと、この各インダクタにそれぞれ接続された 6 個のトランジスタ対と、この各トランジスタ対を PWM 制御で駆動する 6 個のドライバ I C と、この各ドライバ I C を制御する制御 I C からなる 6 相バックコンバータが記載されている。制御 I C は、6 個のインダクタに流れる電流をそれぞれ検出するための 6 対（プラスとマイナス）の外部入力端子と、6 個のドライバ I C にそれぞれ異なる位相の PWM 信号を供給する 6 個の外部出力端子と、共通コンデンサの設定電圧を外部設定するための複数の外部入力端子などを備えている。30

【特許文献 1】特表 2005-520475 号公報

【特許文献 2】特開 2007-135390 号公報

【特許文献 3】特開 2008-17620 号公報

【非特許文献 1】「ISL6327 データシート」、[online]、[平成 20 年 2 月 12 日検索]、インターネット <URL : <http://www.intersil.com/data/fn/FN9276.pdf>>

【発明の開示】

【発明が解決しようとする課題】

【0006】

例えば、パーソナルコンピュータ（以下、PC）等を代表とする各種電子機器ならびに電気機器では、商用電源となる交流電圧（例えば 100V 等）から所望の直流電圧（例えば 12V、5V、3.3V 等）を生成する AC/DC コンバータ（例えば ATX 電源）が備わっている。また、ノート型の PC 等では、バッテリによって特定値の直流電圧が供給される。例えば PC 等に使用される各種半導体部品では、安定した電源電圧が必要とされ、場合によっては複数の電源電圧値が必要とされるため、この AC/DC コンバータやバッテリによって生成された電圧は、降圧型の DC/DC コンバータ（バックコンバータ）によって所定の電圧および安定した電圧に変換された上で各種半導体部品に供給される。これらは、一般的に POL (point of load) コンバータ等と呼ばれ、例えば、PC の場合には、マザーボードや各種拡張ボード（グラフィックボード等）上で各種情報ユニット40

(C P U (Central Processing Unit)、G P U (Graphics Processing Unit)、メモリ等)の近傍に実装される。

【0007】

このようなバックコンバータには、通常、高い電力効率が得られるスイッチング方式のバックコンバータが用いられる。スイッチング方式を用いた場合、特に、スイッチングによって生じるリップル電圧の低減や、大電流化への対応などが重要となってくる。すなわち、後者に関して、負荷電流量が増加すると、これに伴うスイッチングトランジスタのオン抵抗損失や発熱などが無視できないものとなる。このような問題を解決するためには、例えば、特許文献1、2および非特許文献1に記載されているように、共通コンデンサに複数のインダクタを並列接続し、各インダクタにそれぞれ異なるフェーズで電流を流すマルチフェーズ技術を用いることが有益となる。マルチフェーズ技術を用いると、原理的に、フェーズ数を増やすほどリップル電圧が低減され、また、負荷電流量を各インダクタ(各スイッチングトランジスタ)から分散して供給すればよいため、大電流化への対応も容易となる。また、インダクタの値を小さくできるため高速応答化も図れる。

10

【0008】

しかしながら、特許文献1、2および非特許文献1の技術を用いた場合、必ずマスタI C(特許文献1の相制御装置、特許文献2の制御I C、非特許文献1の制御I C)を設け、これに対して複数のスレーブI Cを接続する必要がある。したがって、実装面積やI Cコストなどの点で低コスト化が図れない。例えば、非特許文献1の技術を用いて、6フェーズよりも小さいマルチフェーズ電源を実現する場合、残りのフェーズを実現するための回路等が無駄になってしまい。一方、例えば、特許文献1、2の技術を用いた場合は、実現したいフェーズ数に応じたスレーブI Cを設ければよいが、加えて必ずマスタI Cを設ける必要があるため、特に実現したいフェーズ数が少なくなるほど、コストパフォーマンスが低下する。特に、ノートP Cや各種モバイル機器などでは、実装面積が限られているため、搭載部品ならびに搭載部品間の接続配線を可能な限り削減することが望まれる。

20

【0009】

そこで、本発明の目的の一つは、低成本でマルチフェーズ電源を実現可能な電源装置を提供することにある。なお、本発明の前記ならびにそれ以外の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【課題を解決するための手段】

【0010】

本願において開示される発明の代表的な実施の形態の概要を簡単に説明すれば、次のとおりである。

【0011】

本発明の一実施の形態による電源装置は、複数の半導体デバイスと、この複数の半導体デバイスにそれぞれ結合される複数のインダクタと、この複数のインダクタに共通に結合される出力コンデンサとを備えている。各半導体デバイスは、第1入力端子および第1出力端子と、第1入力端子から入力されるトリガパルス信号を遅延させて第1出力端子に伝達する第1回路と、このトリガパルス信号を起点として内蔵トランジスタのスイッチング制御を行い、対応するインダクタに電流を供給する制御回路とを含んでいる。そして、この複数の半導体デバイスは、自身の第1出力端子が、自身以外のいずれか1個の半導体デバイスの第1入力端子に結合されることで互いにリング状に結合され、これによってマルチフェーズ電源動作を行うことが特徴となっている。

40

【0012】

このような構成を用いると、従来技術のようにマスタI Cを設ける必要がないため、低成本でマルチフェーズ電源動作を実現可能となる。なお、このような構成でマルチフェーズ電源動作を実現するため、より具体的には、例えば複数の半導体デバイスのいずれか1個が起動時に一度だけトリガパルス信号を生成する必要がある。そこで、各半導体デバイスは、外部からの設定に応じてこの起動時のトリガパルス信号を生成する機能を備える。この外部からの設定は、例えば、第1入力端子または第1出力端子に外部抵抗が接続さ

50

れているか否かによって行うとよい。これによって、別途専用の端子を設ける場合と比べて端子数を削減可能となり、低コスト化が可能となる。

【0013】

また、前述した各半導体デバイスは、トランジスタのスイッチング時間を設定するためのエラーアンプ回路を備え、このエラーアンプ回路からのエラーアンプ信号を出力する第2出力端子と、自身以外からエラーアンプ信号を貰い受けることのできる第2入力端子を備えることが望ましい。これによって、例えば、複数の半導体デバイスのいずれか1個がエラーアンプ信号を生成し、その他の半導体デバイスに、このエラーアンプ信号を共有させることができる。これによって、配線本数などが低減できるため、低コスト化が可能となり、また、各半導体デバイスでのスイッチング時間の設定基準が同一となるため、各フェーズ毎のばらつきが少ないスイッチング制御が可能となる。なお、特に、このスイッチング制御に際してピーク電流制御方式を用いた場合、各フェーズ毎の電流を容易に均等化することができるため有益となる。この場合、更に、各フェーズ毎の電流を各半導体デバイス内のトランジスタの電流によって検出することで、インダクタの電流を検出するような場合と比べて配線本数などが低減でき、低コスト化が可能となる。

10

【0014】

また、本発明の一実施の形態による電源装置は、前述したような半導体デバイスに加えて、更に、監視設定用の1個の半導体デバイスを備えたものとなっている。この監視設定用の半導体デバイスは、例えば、出力コンデンサの電圧値を設定するための複数の第1設定端子と、前述したようなエラーアンプ回路を備えている。この場合、このエラーアンプ回路が、出力コンデンサの検出電圧とこの複数の第1設定端子の情報に基づいてエラーアンプ信号を生成する。そして、このエラーアンプ信号が、前述したような複数の半導体デバイスの第2入力端子から入力され、複数の半導体デバイスで共有される。複数の第1設定端子は、一般的に端子数が多いため、それを別の半導体デバイスに分離することで全体として低コストな電源装置を実現可能となる。なお、このような監視設定用の半導体デバイスには、例えば、所謂ドループ機能などを搭載することもできる。

20

【発明の効果】

【0015】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すると、マルチフェーズ電源を低コストで実現可能となる。

30

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0017】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

40

【0018】

（実施の形態1）

50

図1は、本発明の実施の形態1による電源装置の基本概念を示すものであり、(a)はその構成例を示す概略図、(b)は(a)の動作例を示す説明図である。図1(a)に示す電源装置は、n(n-2)フェーズのマルチフェーズ電源を実現する構成となっており、n個の半導体デバイス(半導体装置又は半導体IC)DEV[1]～DEV[n]と、n個のインダクタL1～Lnと、出力コンデンサCvなどから構成される。

【0019】

DEV[1]～DEV[n]のそれぞれは、トリガ入力端子TRG_IN、トリガ出力端子TRG_OUT、およびタイマ回路TMを含んでいる。TMは、TRG_INの信号を入力として、それを遅延時間設定端子CTに接続されたコンデンサCt mに基づき遅延させ、その遅延させた信号をTRG_OUTから出力する。なお、ここでは、コンデンサCt mに基づくアナログ遅延を用いているが、これに限定されるものではなく、例えばフリップフロップ回路やカウンタ回路などを用いたディジタル遅延等、一般的な各種遅延回路に代替え可能である。
10

【0020】

各半導体デバイスDEV[1]～DEV[n]のTRG_INおよびTRG_OUTは、ある半導体デバイスのTRG_OUTが別の1個の半導体デバイスのTRG_INに結合されることで、全体としてリング状に結合される。すなわち、前段となるDEV[k](1≤k≤(n-1))のTRG_OUTが後段となるDEV[k+1]のTRG_INに結合され、最終段となるDEV[n]のTRG_OUTが最前段となるDEV[1]のTRG_INに結合される。インダクタL1～Lnは、一端がDEV[1]～DEV[n]にそれぞれ結合され、他端が出力コンデンサCvの一端に共通に結合される。また、DEV[1]～DEV[n]は、イネーブル信号ENが活性化されている際に動作を行う。
20

【0021】

このような構成において、DEV[1]～DEV[n]のそれぞれは、図1(b)に示すように、自身のTRG_INへの入力信号を起点としてPWM(Pulse Width Modulation)動作を行い、自身に対応するインダクタに電流を供給する。したがって、DEV[1]がPWM動作を行い、TMに基づく遅延時間(Tdとする)を経過した後にDEV[2]がPWM動作を行い、以降同様にしてDEV[n]がPWM動作を行ってからTdを経過した後に再びDEV[1]がPWM動作を行うことになる。これによって、スイッチング周波数f(=(Td×n)^{-1})[Hz]で、nフェーズのマルチフェーズ電源動作を実現できる。
30

【0022】

ところで、このようなリング結合のループ系では、パルス信号が一度入力されると、後はこのパルス信号が自動で巡回することになるが、この一度目のパルス信号は何らかの形で生成しなければならない。そこで、図1(a)の構成例では、DEV[1]が、そのスタートトリガ端子STを例えば固定電圧(ここでは接地電圧GND)とすることで、イネーブル信号ENの活性化時に一度だけパルスを生成する。その他のDEV[2]～DEV[n]は、STを例えばオープンとすることで、この一度目のパルス信号の生成を行わない。

【0023】

以上、図1のような電源装置を用いると、従来技術のように別途マスタICは必要なく、n個の半導体デバイスによってnフェーズのマルチフェーズ電源を実現可能となる。これによって、半導体デバイス自身のコストやその実装コストなどの点で電源装置の低コスト化が図れる。また、従来技術と比較して、電源装置を設計する際の容易化も図れる。すなわち、マスタICを用いる場合、それぞれ互換性があるマスタICとn個のスレーブICを設け、原則的にマスタICからn個のスレーブICに向けてn本の配線を延ばす必要があるため、比較的複雑な設計(配線設計など)が必要となる。一方、図1の電源装置では、実現したいフェーズ数の半導体デバイスを設け、ある半導体デバイスのTRG_OUTを別の半導体デバイスのTRG_INに1対1で接続すればよいため、設計が容易である。さらに、図1の電源装置における半導体デバイスは、自身のTRG_INを自身のT
40

R G _ O U T に接続することで、それ単体で動作可能であり、シングルフェーズ電源として用いることも可能である。これらによって、様々なフェーズ数の電源装置を構築したい場合に、柔軟に対応でき、また、それを容易かつ低コストで実現できる。

【 0 0 2 4 】

図 2 は、図 1 の電源装置において、そのより詳細な構成例を示すブロック図である。図 3 は、図 2 の電源装置の動作例を示す波形図である。図 2 に示す電源装置は、2 フェーズのマルチフェーズ電源を実現する場合を例としており、更に、半導体デバイス D E V における主要部の構成例が示されている。図 2 に示される各半導体デバイス D E V [1] , [2] は、前述した特許文献 3 に示されるようにピーク電流制御方式と呼ばれる P W M 動作を行う。

10

【 0 0 2 5 】

D E V [1] は、9 個の外部端子を含んでいる。ON / OFF [1] はデバイス動作イネーブル設定端子、C S [1] は電流センス端子（電流センス信号）、E O _ I N [1] はエラーアンプ入力端子、E O [1] はエラーアンプ出力端子である。また、T R G _ I N [1] はトリガ入力端子（トリガ入力信号）、T R G _ O U T [1] はトリガ出力端子（トリガ出力信号）である。さらに、V I N [1] は電源電圧入力端子、S W [1] はスイッチ端子、F B [1] は出力電源電圧検出端子である。また、D E V [2] も同様に、9 個の外部端子（ON / OFF [2] , C S [2] , E O _ I N [2] , E O [2] , T R G _ I N [2] , T R G _ O U T [2] , V I N [2] , S W [2] , F B [2] ）を含んでいる。

20

【 0 0 2 6 】

ON / OFF [1] , [2] には、イネーブル信号 E N が入力される。C S [1] , C S [2] には、電流検出用の抵抗 R i 1 , R i 2 がそれぞれ接続される。E O [1] は、E O _ I N [1] と E O _ I N [2] にそれぞれ結合される。T R G _ O U T [1] は T R G _ I N [2] に結合され、T R G _ O U T [2] は T R G _ I N [1] に結合される。また、T R G _ O U T [1] には、スタートトリガ用の抵抗 R s が接続される。V I N [1] , [2] には、入力電源電圧 V i n が入力される。S W [1] はインダクタ L 1 を介して出力コンデンサ C v の一端に結合され、S W [2] はインダクタ L 2 を介して C v の一端に結合される。この C v の一端の電圧は、出力電源電圧 V o u t となり、この V o u t が C P U 等の所定の負荷 L D の電源電圧となる。また、この V o u t は、F B [1] にも入力される。

30

【 0 0 2 7 】

各半導体デバイス D E V [1] , [2] のそれぞれは、タイマ回路 T M 、パルス生成回路 P G E N 、比較回路 V C 1 、フリップフロップ回路 F F p 、エラーアンプ回路 E A 、電流検出回路 A C S 、ブランкиング回路 B K 、制御論理回路 L G C 、ドライバ回路 D V 1 , D V 2 、およびトランジスタ Q h , Q 1 などを備えている。D E V [1] を例に説明すると、P G E N は、T R G _ I N [1] からのトリガ入力信号を受けて、リセット信号 R E S を出力する。F F p は、R E S をリセット入力に受け、V C 1 の出力をセット入力に受けて、(/ Q) より P W M 信号を出力する。L G C は、この P W M 信号を受けて、D V 1 を介して Q h のゲートを駆動し、D V 2 を介して Q 1 のゲートを駆動する。

40

【 0 0 2 8 】

Q h は、ドレインが V I N [1] に接続され、ソースが S W [1] に接続される。Q 1 は、ドレインが S W [1] に接続され、ソースが接地電圧 G N D に接続される。A C S は、Q h のドレインに流れる電流を検出し、それを B K によって一定期間マスクした後に C S [1] に出力する。C S [1] には、抵抗 R i 1 が接続されているため、この検出した電流は C S [1] で電圧に変換される。また、E A は、F B [1] で検出した出力電源電圧 V o u t と基準電圧 V r e f とを比較して P W M デューティの判定基準となるエラーアンプ信号を生成する。このエラーアンプ信号は、E O [1] を介して E O _ I N [1] から再び入力される。そして、V C 1 は、この E O _ I N [1] のエラーアンプ信号を基準として、C S [1] で検出された電流量を比較し、その結果を F F p のセット入力に伝達

50

する。

【0029】

一方、TRG_IN[1]からのトリガ入力信号は、タイマ回路TMにも伝達される。タイマ回路TMは、このトリガ入力信号を所定の遅延時間Tdで遅延させ、それをTRG_OUT[1]から出力する。さらに、TMは、スタートトリガ判別回路STJGを含んでいる。このSTJGは、TRG_OUT[1]にスタートトリガ用の抵抗Rsが接続されているかを判別する。接続されている場合、TMは、ON/OFF[1]を介してインプル信号ENが入力された際に、1回だけパルス信号を生成し、それをTRG_OUT[1]から出力する。なお、DEV[2]のSTJGは、自身のTRG_OUT[2]にRsが接続されていないため、このパルス信号の生成は行わない。

10

【0030】

この図2の電源装置は、図3のような動作を行う。まず、DEV[1]は、TRG_IN[1]からのトリガ入力信号を受けて、リセット信号RESを生成する。次いで、このRESによって、Qhを‘H’レベル(すなわちオン)に駆動し、Q1を‘L’レベル(すなわちオフ)に駆動する。なお、実際には、QhとQ1の切り替わりタイミングにデットタイムを設ける必要があるが、ここでは省略する。Qhがオンに駆動されると、VIN[1]からの入力電源電圧VinがSW[1]に伝達される。

【0031】

このSW[1]の電圧は、インダクタL1に印加されるため、Qhには所定の傾きで上昇するランプ波形状の電流が流れる。この電流はCS[1]で電圧に変換される。ここでも、図2のブランкиング回路BKにより、QhのオンからCS[1]に電圧が生じるまで一定のマスク時間を設けているが、これは、スイッチングに伴うスパイク電流を検出することによる誤動作を防止するためである。このスパイク電流は、図示はしないが、Q1に接続されるボディダイオードのリカバリ電流に伴うものである。DEV[1]は、このCS[1]の電圧が、EO_IN[1]から入力されたエラーアンプ信号の電圧レベルに達した際に、Qhを‘L’レベル(すなわちオフ)に駆動し、Q1を‘H’レベル(すなわちオン)に駆動する。Q1がオン(Qhがオフ)となった場合は、L1に蓄積されたエネルギーによりこのQ1を介する経路でL1に電流が流れ続ける。その結果、インダクタL1に流れる電流IL1は、Qhがオン(Q1がオフ)の間は所定の傾きで上昇し、Q1がオン(Qhがオフ)の間は、所定の傾きで減少する。

20

【0032】

また、DEV[1]は、TRG_IN[1]からトリガ入力信号が入力された際に、それに遅延時間Tdを加えてTRG_OUT[1]から出力する。このTRG_OUT[1]からのトリガ出力信号は、DEV[2]のトリガ入力信号としてTRG_IN[2]に入力される。DEV[2]は、このTRG_IN[2]からのトリガ入力信号を受け、リセット信号RESを発生した後、前述したDEV[1]の場合と同様の動作を行う。更に、DEV[2]は、DEV[1]と同様に、TRG_OUT[2]からトリガ出力信号を出力し、これがDEV[1]のトリガ入力信号としてTRG_IN[1]に入力されることで、前述したような動作が繰り返される。

30

【0033】

このような動作の結果、前述したインダクタL1の電流IL1から半周期遅れる形でインダクタL2の電流IL2が生成される。出力コンデンサCVは、このIL1およびIL2を受けて所定の出力電源電圧Voutを生成し、負荷LDは、このVoutを電源電圧とし、IL1およびIL2を電源電流として所望の動作を行う。特に限定はされないが、入力電源電圧Vinは12V、出力電源電圧Voutは1.2V、IL1およびIL2のそれぞれは数十A等である。

40

【0034】

このように、図2の電源装置は、出力電源電圧Voutを帰還させる帰還ループに加えて、入力電流ILをモニタして帰還させる帰還ループを備え、この電圧の帰還ループによって生成したエラーアンプ信号(判定レベル)に基づいて入力電流ILのピーク電流を制

50

御する方式となっている。このようなピーク電流制御方式を用いると、特許文献3に記載されているように、フィードバックループの系の不安定要素を打ち消して位相補償を容易にでき、また、負荷LDに伴う出力電源電圧Voutの変動に対して高速に応答することが可能となる。

【0035】

また、図2の電源装置は、DEV[1]のエラーアンプ回路EAで生成したエラーアンプ信号を、EO_IN[1]およびEO_IN[2]を介してDEV[1]とDEV[2]で共有する構成となっている。マルチフェーズ電源では、各フェーズで流す電流をより均等化することで、バランスがとれた安定した電源を実現できる。例えば、DEV[1]およびDEV[2]のそれぞれが自身のEAを用いて自身のエラーアンプ信号（判定レベル）を生成するような場合には、プロセス変動等によって判定レベルに若干ばらつきが生じる恐れがある。一方、図2の電源装置では、この判定レベルが統一化されているため、電流IL1と電流IL2の均等化をより図ることが可能となる。

【0036】

さらに、図2で述べたような半導体デバイスを用いてマルチフェーズ電源を構築することで、そのフェーズ数が増えるほど、配線本数の低減が可能となる。すなわち、例えば、前述した特許文献1、2および非特許文献1では、マスターICやスレーブICからnフェーズ分のn個のインダクタに対してn対の配線を行うことで電流を検出しているため、フェーズ数が増える程配線本数が増加する。一方、図2の電源装置では、各半導体デバイスDEV[1]、[2]の内部で電流を検出しているため、このような配線は不要となる。以上のようなことから、図1で述べた各種効果と併せて、図2の電源装置は、マルチフェーズ電源を実現するのに好適な構成と言える。なお、ここでは、2フェーズの例を示したが、勿論、3フェーズ以上でも、同様の構成および動作となり、同様の効果が得られるることは容易に理解できる。

【0037】

以上、本実施の形態1の電源装置を用いることで、代表的には低コストなマルチフェーズ電源を実現可能となる。

【0038】

（実施の形態2）

本実施の形態2では、実施の形態1で述べた半導体デバイスDEVの更に詳細な構成例について説明する。図4は、本発明の実施の形態2による電源装置において、それに用いられる半導体デバイスの詳細な構成例を示すブロック図である。図5は、図4の半導体デバイスのパッケージ形態の一例を示す平面図である。図4に示す構成例は、前述した図2の構成例を更に具体化したものとなっており、その大まかな構成および動作に関しては図2および図3と同様である。ここでは、図2の構成例から更に具体化された部分に着目して説明を行う。

【0039】

図4に示す半導体デバイス（半導体装置、半導体IC）DEVは、大別すると、ハイサイド側トランジスタ（例えばMOSFET）となるトランジスタQhと、ロウサイド側トランジスタ（例えばMOSFET）となるトランジスタQ1と、これらのトランジスタを制御する各種制御回路から構成される。Qhのソース・ドレイン間にはダイオードD1が備わり、Q1のソース・ドレイン間にはショットキーダイオードSBD1が備わる。このSBD1を備えることで、特にQhをオフした後にQ1をオンするまでのデットタイムの間、Q1側の電流経路の電圧降下を下げることができる。

【0040】

図5に示すように、このトランジスタQhおよびダイオードD1は、半導体チップHSCP上に形成され、トランジスタQ1およびショットキーダイオードSBD1は、半導体チップLSCP上に形成され、その他の各種制御回路が半導体チップCTLCP上に形成される。すなわち、図5に示す半導体デバイスDEVは、3個の半導体チップが1つのパッケージに搭載されるマルチチップモジュールSIP（System in Package）または（M

10

20

30

40

50

C M : Multi Chip Module) となっている。この半導体デバイス D E V は、特に制限されないが、例えば、56個の外部端子を備えた 8 mm × 8 mm の Q F N (Quad Flat Non-lead ed package) で実現される。

【 0 0 4 1 】

このパッケージ内において、その実装面積の約半分の領域に L S C P が搭載され、残りの面積を約二等分した領域にそれぞれ H S C P と C T L C P が搭載される。すなわち、口ウサイド側トランジスタ Q 1 のトランジスタ面積が、ハイサイド側トランジスタ Q h のトランジスタ面積よりも 2 倍程度大きく設計されている。図 2 および図 3 で説明したように、例えば、12 V の入力電源電圧 V i n を 1.2 V の出力電源電圧 V o u t に変換するような場合には、Q h をオンする時間よりも Q 1 をオンする時間の方が長くなる。したがって、Q 1 のトランジスタ面積を大きくすることで、オン抵抗を下げ、電源装置の電力効率を高めることができる。また、詳細は図 4 に示すが、H S C P の周辺には、Q h に接続される各種外部端子が配置され、L S C P の周辺には、Q 1 に接続される各種外部端子が配置され、C T L C P の周辺には、Q h , Q 1 を制御する各種制御信号の外部端子が配置される。

【 0 0 4 2 】

図 4 において、Q h は、ドレインが電源電圧入力端子 V I N に、ソースがスイッチ端子 S W に接続され、Q 1 は、ドレインが S W に、ソースが接地電圧端子 P G N D に接続される。この P G N D は、Q h , Q 1 専用の端子となっており、その他の各種制御回路等にスイッチングノイズを与えないように、各種制御回路等の接地電圧とは分離して設けられる。S W には、インダクタ L を介して出力コンデンサ C v が接続され、この C v の電圧が出力電源電圧 V o u t となる。

【 0 0 4 3 】

電流検出回路 A C S は、図示はしないが、例えば、H S C P 内でトランジスタ Q h とカレントミラー接続される 1 / 1 8 5 0 0 サイズのトランジスタを形成することによって実現される。そして、Q h の電流を I L として、この A C S によって検出した I L / 1 8 5 0 0 となる電流は、プランギング回路 B K によるマスク期間 (例えは数十 n s) を介して電流センス端子 (電流センス信号) C S に供給される。C S には、電流検出用の外部抵抗 R i が接続され、これによって電流が電圧に変換される。なお、C S には動作を安定化させるためのバイアス電流源 I B 2 が接続されている。

【 0 0 4 4 】

ドライバ回路 D V 1 , D V 2 は、制御論理回路 L G C からの制御に基づいて、それぞれ Q h , Q 1 を駆動する。電源端子 V C I N には、電源電圧入力端子 V I N と同様に入力電源電圧 V i n が供給される。この V C I N からの電源電圧は、電圧検出回路 U V L O C を介してレギュレータ回路 V R E G 1 , V R E G 2 に供給される。電圧検出回路 U V L O C は、入力された電源電圧が所定電圧以上であることを検出し、その場合に V R E G 1 , V R E G 2 の動作を有効とする。V R E G 1 , V R E G 2 は、12 V のような入力電源電圧を受けて約 5 V のような内部電源電圧を生成する。V R E G 1 は、生成した内部電源電圧を各種制御回路に供給すると共に内部電源端子 R E G 5 に出力する。V R E G 2 は、生成した内部電源電圧を D V 1 や D V 2 などに供給すると共に内部電源端子 D R V 5 に出力する。内部電源端子 R E G 5 , D R V 5 には、電圧安定化用のコンデンサ C 4 , C 5 がそれぞれ接続される。

【 0 0 4 5 】

ここで、ドライバ回路 D V 1 , D V 2 は、Q h および Q 1 を駆動するため、比較的大きな電流を必要とし、多くのノイズを発生する。一方、その他の各種制御回路は、内部に電圧比較回路等のアナログ回路が多く含まれるため、電源ノイズを低減する必要がある。そこで、これらの電源を 2 個のレギュレータ回路 V R E G 1 , V R E G 2 によって個別に生成している。また、レギュレータ電圧監視回路 S V は、V R E G 1 , V R E G 2 が生成した内部電源電圧を監視し、それが所定の範囲であった場合に内部電源イネーブル信号 R E G G D を出力する。

10

20

30

40

50

【0046】

ブート端子 B O O T は、ドライバ回路 D V 1 の電源電圧を供給する。B O O T は、D R V 5 との間でショットキーダイオード S B D 2 を介して接続されると共に、S W との間でブースト用外部コンデンサ C b および外部抵抗 R b を介して接続される。Q 1 がオンの際、この C b には、内部電源電圧 (D R V 5) が S B D 2 および B O O T を介して印加される。その後、Q h がオンとなった際には、S W に伝達された V i n をこの C b によってブーストして D V 1 に供給する。これによって、D V 1 は Q h のしきい値以上の電圧を発生することが出来る。

【0047】

制御論理回路 L G C は、前述した内部電源イネーブル信号 R E G G D に加えて、フリップフロップ回路 F F p からの P W M 信号、デバイス動作イネーブル設定端子 (O N / O F F) からの O N / O F F 信号、過剰電流検出回路 O C P C からの過剰電流検出信号 O C P 、過剰電圧検出回路 O V P C からの過剰電圧検出信号 O V P を受けて動作を行う。L G C は、O N / O F F 信号 (デバイス動作イネーブル信号) がオン (すなわちイネーブル状態) で、R E G G D 、O C P および O V P が共に異常がない状態の場合に、P W M 信号を用いて D V 1 および D V 2 を制御する。

10

【0048】

デバイス動作イネーブル設定端子 (O N / O F F) には、外部からイネーブル信号 (図示せず) が入力されると共に、トランジスタ Q 2 0 が接続される。トランジスタ Q 2 0 は、論理和回路 O R 2 0 によって、温度検出回路 T S D が異常な発熱を検出した際、または、過剰電圧検出回路 O V P C が過剰電圧検出信号 O V P を検出した際にオンに駆動される。この場合、O N / O F F 信号は、外部からのイネーブル信号に関わらず、強制的にオフ (すなわち動作ディスエーブル状態) とされる。過剰電圧検出回路 O V P C は、出力電源電圧 V o u t を出力電源電圧検出端子 F B によって監視し、過剰な電圧が生じた場合に O V P を出力する。過剰電流検出回路 O C P C は、C S に対して比較回路 V C 3 を介して接続され、C S に過剰な電圧が発生した (すなわち過剰な電流が流れた) 場合に O C P を出力する。

20

【0049】

パルス生成回路 P G E N は、トリガ入力端子 T R G _ I N からのトリガ入力信号を受けて、リセット信号 R E S およびマックスデューティ信号 M X D を出力する。リセット信号 R E S は、フリップフロップ回路 F F p のリセット入力となり、M X D は、論理和回路 O R 1 を介して F F p のセット入力となる。M X D は、P W M 信号のオンデューティが大き過ぎた場合にインダクタ L が飽和しデバイスが破損する恐れがあるため、これを防止するため許容可能なオンデューティの最大値に達した際に強制的に P W M 信号を立ち下げるための信号である。また、論理和回路 O R 1 の他方の入力には、比較回路 V C 1 の出力が接続される。V C 1 は、エラーアンプ入力端子 E O _ I N から入力されるエラーアンプ信号と、C S の電圧に所定のオフセット電圧 (0 . 1 V) を加えた信号とを比較する。

30

【0050】

なお、制御論理回路 L G C は、過剰電流検出信号 O C P や過剰電圧検出信号 O V P が入力された際に、Q h および Q 1 を強制的にオフに駆動する。出力電源電圧監視回路 P W G D は、出力電源電圧検出端子 F B で検出した出力電源電圧 V o u t が所定の値以上となっていることを検出する。すなわち、V o u t の生成動作が正常に行われていることを検出する。検出した場合、P W G D は、トランジスタ Q 2 1 を駆動して、パワーグッド端子 P G に検出信号を出力する。

40

【0051】

エラーアンプ回路 E A は、基準電圧 V r e f と、出力電源電圧検出端子 F B との差分を取り出すことでエラーアンプ信号を生成し、それをエラーアンプ出力端子 E O から出力する。F B には、出力コンデンサ C v の出力電源電圧 V o u t が外部抵抗 R 1 , R 2 の抵抗分圧を介して入力される。また E O から出力されたエラーアンプ信号は、外部抵抗 R 4 と外部コンデンサ C 2 によって電源回路の帯域幅が設定され、更に、外部抵抗 R 5 , R 6 の

50

抵抗分圧を介して E O _ I N に戻される。

【 0 0 5 2 】

また、 E A は、ソフトスタート端子 T R K S S にも接続される。 T R K S S には、外部抵抗 R 3 と外部コンデンサ C 1 と、内蔵トランジスタとなるトランジスタ Q 1 4 が接続される。 Q 1 4 は、 O N / O F F 信号がオフ状態（すなわち動作ディスエーブル状態）、または、内部電源イネーブル信号 R E G G D がディスエーブル状態、または過剰電流検出信号 O C P が活性化された場合に論理和回路 O R 2 を介して T R K S S を接地電圧 G N D に駆動する。この場合、 E A の出力 (E O) は G N D レベルとなり、スイッチング動作が停止する。逆に、 O C P が非活性であり、 O N / O F F 信号がオン状態、かつ R E G G D がイネーブル状態になると、 Q 1 4 はオフとなり、内部電源端子 R E G 5 から R 3 を介して C 1 に電荷が蓄積される。これによって、 T R K S S の電圧は緩やかに立ち上がり、 P W M 信号のオンデューティを緩やかに大きくしていくというソフトスタートが実行される。接地電圧端子 S G N D は、前述した P G N D と異なり、内部電源 (R E G 5) によって動作する各種制御回路用のものとなっている。

【 0 0 5 3 】

タイマ回路 T M は、詳細は後述するが、 O N / O F F 信号や内部電源イネーブル信号 R E G G D の制御を受けて動作し、トリガ入力端子 T R G _ I N からのトリガ入力信号を受け、それに所定の遅延時間を加えてトリガ出力端子 T R G _ O U T から出力を行う。この際の遅延時間は、遅延時間設定端子 C T に接続された外部コンデンサ C t m および外部抵抗 R t m によって設定される。また、 T M は、スタートトリガ判別回路 S T J G を含み、 S T J G は、 T R G _ O U T に抵抗が接続されている場合に、電源投入後の動作の開始時に、一度だけパルス信号の生成を行う。

【 0 0 5 4 】

図 6 は、図 4 および図 5 の半導体デバイスを用いてマルチフェーズ電源を実現した場合の電源装置の構成例を示す配線図である。ここでは、2 フェーズの電源装置を例とするが、勿論、3 フェーズ以上でも同様に拡張可能である。半導体デバイス D E V [1] , D E V [2] の各外部端子に接続される外部抵抗や外部コンデンサは、大部分が図 4 で説明したものと同様である。ここでは、マルチフェーズ電源を構築することによる特徴的な箇所に限定して説明を行う。

【 0 0 5 5 】

まず、 D E V [1] の T R G _ O U T が D E V [2] の T R G _ I N に接続され、 D E V [2] の T R G _ O U T が D E V [1] の T R G _ I N に接続されることで、前述したように2 フェーズのマルチフェーズ電源動作が行われる。すなわち、図 3 で説明したように、ある周期で D E V [1] の S W からインダクタ L 1 に電流が供給され、これと半周期ずれる形で D E V [2] の S W からインダクタ L 2 に電流が供給され、これらの電流が出力コンデンサ C v に入力されることで出力電源電圧 V o u t が生成される。ここで、電源投入後の動作の開始時（スタートアップ時または起動時）に、一度だけパルス信号の生成を行わせるため、 D E V [1] の T R G _ O U T と接地電圧 G N D の間には外部抵抗 R s が接続される。一方、 D E V [2] の T R G _ O U T には、この外部抵抗は接続されていない。

【 0 0 5 6 】

D E V [1] の F B には、 V o u t が外部抵抗 R 1 , R 2 の抵抗分圧を介して入力される。一方、 D E V [2] の F B は、接地電圧 G N D に接続される。すなわち、図 2 、図 3 で説明したように、 D E V [1] が V o u t に応じたエラーアンプ信号を生成し、これを D E V [1] と D E V [2] で共有する構成となっている。具体的には、 D E V [1] の E O が、外部抵抗 R 5 1 , R 6 1 による抵抗分圧を介して D E V [1] の E O _ I N に接続されると共に、外部抵抗 R 5 2 , R 6 2 による抵抗分圧を介して D E V [2] の E O _ I N に接続される。これによって、図 2 、図 3 で説明したように各フェーズの電流バランスの均等化が図れる。なお、ここでは、 D E V [1] の E O を R 5 2 , R 6 2 を介して D E V [2] の E O _ I N に接続しているが、 D E V [1] の E O _ I N をそのまま D E V

10

20

30

40

50

[2] の E O _ I N に接続してもよい。

【 0 0 5 7 】

イネーブル信号 E N は、外部抵抗 R 9 を介して D E V [1] と D E V [2] の O N / O F F に共通に入力される。また、 D E V [1] の T R K S S と D E V [2] の T R K S S も共通に接続されている。これによって、スタートアップとシャットダウン時のタイミングを、 D E V [1] と D E V [2] とで合わせることができる。

【 0 0 5 8 】

図 7 は、図 4 の半導体デバイス D E V において、そのタイマ回路 T M の詳細を示すものであり、(a) はその構成例を示す回路図、(b) はその動作例を示す波形図である。図 7 に示すタイマ回路 T M は、フリップフロップ回路 F F 1 、トランジスタ Q 1 、論理和回路 O R 1 , O R 2 、比較回路 C M P 1 、スタートトリガ判別回路 S T J G などによって構成される。F F 1 は、 T R G _ I N をセット入力、 O R 2 の出力をリセット入力として、反転出力ノード (/ Q) で Q 1 を制御する。一方、遅延時間設定端子 C T と内部電源電圧 (R E G 5) の間には外部抵抗 R t m が接続され、 C T と接地電圧 G N D の間には外部コンデンサ C t m が接続される。Q 1 は、この C T と接地電圧 G N D の間に設けられる。

10

【 0 0 5 9 】

すなわち、 F F 1 にセット入力が行われた場合、 Q 1 がオフとなり C t m に充電動作が行われ、リセット入力が行われた場合、 Q 1 がオンとなり C t m の放電動作が行われる。 O R 1 には、 O N / O F F 信号の反転信号と R E G G D の反転信号が入力され、その演算結果が、 O R 2 の一方の入力を介して F F 1 のリセット入力に伝達される。すなわち、動作ディスエーブル状態または内部電源がディスエーブル状態の場合に、リセット入力が行われ、そうでない通常の動作状態の場合には、これによるリセット入力は行われない。

20

【 0 0 6 0 】

C M P 1 は、 C T の電圧と基準電圧 V r e f _ C T とを比較し、 C T の電圧が V r e f _ C T よりも高くなった場合にタイマ出力信号 T M _ O U T を生成する。この T M _ O U T は、スタートトリガ判別回路 S T J G に出力されると共に、 O R 2 の他方の入力となる。したがって、図 7 (b) に示すように、 T R G _ I N からのトリガ入力信号を受けて、 C t m に対する充電動作が行われ、 C T の電圧が V r e f _ C T に達した際に放電動作が行われる。そして、この充電動作から放電動作に遷移する際に、 T M _ O U T が出力され、 T R G _ I N への入力から T M _ O U T の出力までが T M の遅延時間 T d となる。

30

【 0 0 6 1 】

この遅延時間 T d [s e c] は、 C t m の容量値、 R t m の抵抗値、 V r e f _ C T および R E G 5 の電圧値を用いて、式 (1) で与えられる。

$$T d = - C t m \cdot R t m \cdot \ln \{ 1 - (V r e f _ C T) / R E G 5 \} \quad (1)$$

また、このようなタイマ回路 T M を用いて、図 6 などのようなマルチフェーズ電源動作を行わせた場合、そのスイッチング周波数 f [H z] は、式 (2) となる。

$$f = (T d \times \text{フェーズ数})^{-1} \quad (2)$$

スイッチング周波数 f は、特に限定はされないが、例えば、数百 k [H z] などに設定される。スイッチング周波数 f が定まると、実現したいフェーズ数に応じて T d が定まり、この T d を実現する C t m や R t m が決定される。なお、 C t m や R t m に精度ばらつきがあった場合には、各フェーズ間の位相差にずれが生じてしまうが、例えば、一般的に用いられている絶対精度が 1 % や 2 % の C t m や R t m を用いれば、実使用上の問題は殆ど生じない。

40

【 0 0 6 2 】

図 8 は、図 7 のタイマ回路 T M において、そのスタートトリガ判別回路 S T J G の詳細な構成例を示す回路図である。図 8 に示すスタートトリガ判別回路 S T J G は、クロックドインバータ回路 C I V 、カレントミラー回路 C M 、インバータ回路 I V 3 , I V 5 、論理積回路 A D 1 、反転論理積回路 N D 1 、ワンショットパルス生成回路 O S P G 、ワンショット遅延パルス生成回路 O S P G _ D L Y 、論理和回路 O R 3 などによって構成される。 C I V は、内部電源 (R E G 5) と出力ノード N b の間に直列接続された P M O S トランジスタである。

50

ンジスタQ11, Q12と、Nbと接地電圧GNDの間に直列接続されたNMOStランジスタQ13, Q14と、Q11のゲートに接続されたインバータ回路IV4を備える。

【0063】

カレントミラー回路CMは、内部電源(REG5)からGNDに向かた一方の電流経路上に設けられた電流源IB12およびNMOStランジスタQ15, Q16と、他方の電流経路上に設けられた電流源IB11およびNMOStランジスタQ17と、CMの活性化/非活性化を制御するNMOStランジスタQ18を備える。IB12からの電流I2は、ダイオード接続のQ15およびQ16を介してコモンソースノードに流れ、ここからQ18を介してGNDに流れる。一方、IB11からの電流I1は、Q17を介してコモンソースノードに流れ、ここからQ18を介してGNDに流れる。Q17は、そのゲートおよびソースがQ16のゲートおよびソースと共に接続され、Q16と同じトランジスタサイズを備えている。

【0064】

CIの出力ノードNb、およびCMにおけるIB12とQ15の接続ノードは、共にTRG_OUTに接続される。AD1は、内部電源イネーブル信号REGGDとON/OFF信号(デバイス動作イネーブル信号)を受け、その論理積結果でCIのQ11およびQ14を駆動する。これによって、内部電源およびデバイス動作共にイネーブル状態の場合に、CIが活性化され、いずれか一方がディスエーブル状態の場合にCIが非活性化される。また、AD1の出力は、IV3を介してCMにおけるQ18に接続される。これによって、CIとは逆に、内部電源およびデバイス動作共にイネーブル状態の場合に、CMが非活性化され、いずれか一方がディスエーブル状態の場合にCMが活性化される。

【0065】

ND1は、CMにおけるIB11とQ17の接続ノードNaと、IV3の出力とを入力として、その反転論理積演算結果をOSPG_DL_Yに出力する。OSPG_DL_Yは、ND1の'H'レベルへの遷移を受けて、ワンショットパルス信号を生成すると共に、これを一定の時間(例えば10μs)遅延させてOR3の一方の入力に出力する。OR3の他方の入力には、図7で述べたタイマ出力信号TM_OUTが入力される。OR3は、これらの入力の論理和演算結果をOSPGに出力する。OSPGは、OR3の'H'レベルへの遷移を受けて、ワンショットパルス信号を生成し、それをIV5を介してCIにおけるQ12およびQ13のゲートに伝送する。

【0066】

このような構成において、CIは、出力バッファとして機能し、CMは、外部抵抗Rsの接続有無の判定回路として機能する。このCIとCMは、共にTRG_OUTに接続されているが、一方が活性化されている間は他方が非活性となるよう、相補的に動作するため互いに影響を及ぼすことはない。すなわち、例えばCMによって判定が行われている間は、CIがこの判定動作に影響を及ぼすことはない。

【0067】

具体的に動作を説明すると、まず、起動前の状態では、ON/OFF信号が'L'レベルおよび/またはREGGDが'L'レベルであるため、CIは非活性状態(Q11, Q14がオフ)となり、CMは活性状態(Q18がオン)となる。そして、ND1の一方の入力(IV3の出力)は'H'レベルとなる。このような状態において、TRG_OUTに外部抵抗Rs(例えば27k)が接続されている場合、IB12の電流I2(例えば10μA)はRs側に流れ、Q15およびQ16は、その印加電圧がしきい値電圧以下となるため、オフとなる。これにより、Q17はオフとなり、ノードNaは'H'レベルとなる。その結果、ND1の出力は'L'レベルとなる。一方、TRG_OUTに外部抵抗Rsが接続されていない場合、IB12の電流I2(例えば10μA)はQ15およびQ16に流れる。これにより、Q17にもI2の電流が流れるが、これはIB11の電流I1(例えば5μA)よりも大きいため、ノードNaは'L'レベルとなる。その結果、ND1の出力は'H'レベルとなる。

10

20

30

40

50

【0068】

その後、起動が行われると、ON/OFF信号が‘H’レベルかつREGGDが‘H’レベルとなるため、CIVは活性状態(Q11, Q14がオン)となり、CMは非活性状態(Q18がオフ)となる。これにより、ND1の一方の入力(IV3の出力)は、「H」レベルから‘L’レベルに遷移する。ここで、TRG_OUTにRsが接続されている場合、ND1の出力は、この一方の入力の‘L’レベル遷移を受けて、「L’レベルから‘H’レベルに遷移する。逆に、TRG_OUTにRsが接続されていない場合、ND1の出力は、「H’レベルのままである。

【0069】

したがって、TRG_OUTにRsが接続されている場合にのみ、OSPG_DL_Yが10ワンショットパルス信号を出力する。このワンショットパルス信号は、OR3を介してOSPGに入力され、OSPGが再度ワンショットパルス信号を出力し、この信号がIV5および活性状態のCIVを介してTRG_OUTに出力される。また、OR3が、タイマ出力信号TM_OUTを受けた場合も、OSPGがワンショットパルス信号を出力し、この信号がIV5およびCIVを介してTRG_OUTに出力される。なお、この起動後の動作期間では、CMは非活性状態であるため、このワンショットパルス信号に影響を与えることはない。更に、この動作期間では、CM内のノードNaに関わらず、IV3の出力によってND1の出力は‘H’レベル固定となり、OSPG_DL_Yが再び動作するようなことはない。

【0070】

20

以上のように、図7および図8で述べたタイマ回路TMならびにスタートトリガ判別回路STJGを用いることで、各半導体デバイスは、TRG_INからのトリガ入力信号を受け、それに遅延時間Tdを加えてTRG_OUTからトリガ出力信号を出力することができる。更に、TRG_OUTに外部抵抗Rsが接続されている半導体デバイスは、その起動時(スタートアップ時)に一度だけTRG_OUTからトリガ出力信号を出力することができる。なお、この場合、例えば図6において、最初に電源スイッチング動作を開始するのは、この起動時のDEV[1]のTRG_OUTを受けたDEV[2]であり、続いて、DEV[1]が電源スイッチング動作を開始することになる。

【0071】

30

また、図7の構成例は、要約すれば、外部抵抗Rsの有無を判別する手段(カレントミラー回路CM)と、有りの場合にはワンショットパルス信号の生成回路に起動信号(REGGD, ON/OFF)の遷移を反映させ、無しの場合には起動信号の遷移を反映させない手段(ND1, OSPG_DL_Y等)とを備えたものとなっている。このような手段を備える構成であれば、勿論、図7の構成例に限らず種々変更可能である。また、TRG_OUTへの接続有無で判別するのではなくTRG_INへの接続有無で判別するように構成することも勿論可能である。

【0072】

40

さらに、外部抵抗Rsによる判別に限らず、例えば、外部端子を電源電圧レベルに設定するか、接地電圧レベルに設定するかによって判別するような構成とすることも可能である。ただし、この場合、外部端子が1ピン増えることになるので、この観点からは、外部抵抗Rsによって判別する方式とすることが望ましい。Rsは、例えば27kといった高抵抗であるため、TRG_OUTからのトリガ出力信号には殆ど影響を与えない。

【0073】

以上、本実施の形態2の電源装置を用いることで、実施の形態1の場合と同様に、代表的には低コストなマルチフェーズ電源を実現可能となる。

【0074】

(実施の形態3)

本実施の形態3では、実施の形態2(図4等)で述べた半導体デバイスDEVを用いてシングルフェーズ電源を実現した場合の例について説明する。図9は、本発明の実施の形態3による電源装置において、その構成例を示す配線図である。図9に示す半導体デバイ

50

ス D E V [1] には、図 4 の D E V や図 6 の D E V [1] と同様の外部抵抗および外部コンデンサが接続されている。その相違点は、D E V [1] のトリガ出力端子 T R G _ O U T が自身のトリガ入力端子 T R G _ I N に接続され、この T R G _ O U T に外部抵抗 R s が接続されていることである。それ以外は、図 4 の D E V や図 6 の D E V [1] と同じであるため詳細な説明は省略する。

【 0 0 7 5 】

図 4 等で述べた半導体デバイス D E V は、従来技術のようなマスタ I C を必要とせず、それ単独で動作可能な構成例となっているため、図 9 のような接続を行うことでシングルフェーズ電源として動作することができる。この場合、D E V [1] は、起動時に外部抵抗 R s を検出して T R G _ O U T からトリガ出力信号が発生し、それがトリガ入力信号として T R G _ I N に入力された時点から電源スイッチング動作を開始する。図 9 の構成例を用いた場合のスイッチング周波数 f [H z] は、トリガ入力信号とトリガ出力信号の遅延時間を T d として、前述した式 (2) に基づき $f = (T d)^{-1}$ となる。

10

【 0 0 7 6 】

このように、図 4 等で述べた半導体デバイス D E V を用いると、マルチフェーズ電源に限らず、シングルフェーズ電源も容易に、または低成本で実現可能となり、システムの電源設計を行う際の柔軟性を向上させることができる。すなわち、1 ~ n 個の半導体デバイスを用いることで、1 ~ n フェーズの電源を実現できる。

【 0 0 7 7 】

(実施の形態 4)

20

図 10 は、本発明の実施の形態 4 による電源装置の基本概念を示すものであり、(a) はその構成例を示す概略図、(b) は(a) の動作例を示す説明図である。図 10 に示す電源装置は、図 1 の電源装置と同様に、n 個の半導体デバイス D E V d [1] ~ D E V d [n] をリング状に接続することで、n フェーズのマルチフェーズ電源を実現するものとなっている。図 1 (a) の構成例は、タイマ回路 T M を用いてアナログ的に各フェーズの間隔を定めていたのに対して、図 10 (a) の構成例は、基準クロック信号を用いてデジタル的に各フェーズの間隔を定めていることが主要な特徴となっている。

【 0 0 7 8 】

図 10 (a) において、D E V d [1] のフェーズ出力端子 (フェーズ出力信号) P H _ O U T [1] は D E V d [2] のフェーズ入力端子 (フェーズ入力信号) P H _ I N [2] に接続される。D E V d [2] の P H _ O U T [2] は、D E V d [3] の P H _ I N [3] に接続され、以降同様にして、D E V d [n] の P H _ O U T [n] が D E V d [1] の P H _ I N [1] に接続される。ここで、図 10 (b) に示すように、D E V d [1] ~ D E V d [n] のそれぞれは、基準クロック信号 S Y N C に同期して、このようなフェーズ出力信号を発生する。この例では、D E V d [n - 1] が S Y N C の立ち下がりに同期して、P H _ O U T [n - 1] を発生し、これを受けた D E V d [n] が、S Y N C の次の立ち上がりに同期して所定の P W M 動作 (S W [n]) を開始すると共に、次の立ち下がりに同期して P H _ O U T [n] を発生する動作を行っている。

30

【 0 0 7 9 】

ここで、この基準クロック信号 S Y N C は、周波数設定端子 C T F にコンデンサ C f が接続された D E V d [1] によって生成され、D E V d [1] の基準クロック信号端子 S Y N C [1] から出力される。一方、D E V d [2] ~ D E V d [n] の C T F は、接地電圧となっている。この場合、D E V d [2] ~ D E V d [n] の基準クロック信号端子 S Y N C [2] ~ S Y N C [n] は、入力端子として振る舞い、D E V d [1] からの基準クロック信号 S Y N C を受けることで、D E V d [1] ~ D E V d [n] で共通の基準クロック信号 S Y N C を使用可能となる。このような基準クロック信号端子の振る舞いは、特許文献 3 に記載されている技術を用いることで実現できる。

40

【 0 0 8 0 】

図 11 は、図 10 の半導体デバイスにおけるフェーズ入力信号およびフェーズ出力信号周りの一例を示すものであり、(a) はマスタデバイスの概略構成図、(b) はスレーブ

50

デバイスの概略構成図、(c)はその動作例を示す説明図である。図11(a)に示す半導体デバイスDEVd[1]は、発振回路OSC、基準クロック制御部SYNC_CTL、論理和回路OR30、論理積回路AD30、フリップフロップ回路FF30、ワンショットパルス生成回路OSPG1,OSPG2等を含んでいる。このデバイスは、図10で説明したように、基準クロック信号を生成するマスタデバイスとなっている。

【0081】

OSCは、周波数設定端子CTFに接続されたコンデンサCfに応じた周波数で基準クロック信号SYNCを生成する。このSYNCは、SYNC_CTLを介して基準クロック信号端子SYNC[1]から出力される。フェーズ入力端子PH_IN[1]は、OR30の一方の入力を介してFF30のセット入力に接続される。したがって、フェーズ入力信号が入力された場合、FF30は、セット状態となり、その出力(Q)は'H'レベルとなる。このFF30の出力(Q)は、AD30の一方の入力に伝送される。AD30の他方の入力には、SYNCが伝送される。したがって、フェーズ入力信号に伴ってFF30がセット状態の場合には、AD30よりSYNCが出力される。

10

【0082】

このAD30の出力は、OSPG2に入力される。OSPG2は、このSYNCの立ち下がりエッジを受けて、ワンショットパルス信号を生成し、これをフェーズ出力信号としてPH_OUT[1]から出力する。これによって、図11(c)に示すように、前段からSYNCの立ち下がりエッジに同期したフェーズ入力信号を受けて、その次の立ち下がりエッジでフェーズ出力信号を出力することになる。一方、このOSPG2のワンショットパルス信号は、FF30のリセット入力となる。その結果、図11(c)に示すように、AD30からはSYNCにおける1個の'H'パルス信号のみが出力される。このAD30からの'H'パルス信号は、PWMイネーブル信号PWM_ENとして内部回路に伝送され、内部回路は、この立ち上がりエッジに同期して、所定のPWMデューティでトランジスタ(すなわち図2のQh, Q1)を駆動する。

20

【0083】

また、OSCからの基準クロック信号SYNCは、OSPG1にも入力される。OSPG1は、デバイスの起動後、OSCからの基準クロック信号SYNCが安定した際に、一度だけ起動パルス信号を生成する。この起動パルス信号は、OR30の他方の入力を介してFF30のセット入力となる。そして、図11(c)に示したフェーズ入力信号の場合と同様にして、フェーズ出力信号とPWM_ENの生成が行われる。なお、この場合は、実施の形態2の場合と異なり、このマスタデバイスが最初にスイッチング動作を開始することになる。すなわち、実施の形態2では、マスタデバイスが最初に1度だけトリガ出力信号を生成する構成例となっていたが、この実施の形態4では、マスタデバイスが最初に1度だけトリガ入力信号を生成する構成例となっている。

30

【0084】

また、図11(b)に示す半導体デバイスDEVd[n]も、図11(a)のDEVd[1]と同様の構成を備える。ただし、DEVd[n]は、その周波数設定端子CTFが接地電圧GNDとなっているため、DEVd[1]とは若干動作が異なる。すなわち、DEVd[n]の基準クロック信号端子SYNC[n]は入力端子として振る舞い、ここから入力された基準クロック信号SYNCによって図11(c)のような動作を行う。この場合、OSCは動作しておらず、OSPG1も動作していないため、起動パルス信号の生成は行われない。

40

【0085】

以上、本実施の形態4の電源装置を用いることで、実施の形態1等の場合と同様に、代表的には低コストなマルチフェーズ電源を実現可能となる。また、基準クロック信号SYNCに同期してマルチフェーズ電源動作を行うため、実施の形態2等で述べたアナログ遅延を用いる場合と比べて、各フェーズ間の位相差のばらつきを容易に小さくすることができる。

【0086】

50

(実施の形態 5)

本実施の形態 5 では、これまでに述べたような半導体デバイスを用いると共に、更に、機能を拡張した電源装置の一例について説明する。図 12 は、本発明の実施の形態 5 による電源装置において、その構成の一例を示す概略図である。図 12 に示す電源装置は、例えば図 1 で述べたような互いにリング接続された n 個の半導体デバイス $DEV[1] \sim DEV[n]$ に加えて、更に、監視設定デバイス DEV_SVC が備わったことが特徴となっている。 $DEV[1] \sim DEV[n]$ のそれぞれは、例えば、図 4 の構成例を備えるものとする。

【0087】

監視設定デバイス DEV_SVC は、詳細は後述するが、主として複数の出力電源電圧設定端子 VID に基づいてエラーアンプの判定レベルを変え、これによって出力コンデンサ C_V の出力電源電圧 V_{out} の値を設定する機能を備える。すなわち、例えば図 6 に示すように、これまでの実施の形態では、 $DEV[1]$ からのエラーアンプ信号 (EO) を $DEV[1] \sim DEV[n]$ のエラーアンプ入力端子 EO_IN で共有する構成例を示した。それに対して、図 12 の構成例は、 DEV_SVC からのエラーアンプ信号を $DEV[1] \sim DEV[n]$ のエラーアンプ入力端子 EO_IN で共有するものとなっている。

【0088】

このような出力電源電圧設定端子 VID は、多くのピン数を必要とするため、これまでの実施の形態の構成例（すなわち同一デバイスのみの電源装置）で同様の機能を実現する場合、全てのデバイスに対してこの VID を設ける必要がある。そこで、図 12 の構成例のように、この機能を別のチップで実現することで、全体として低コスト化が図れる。この場合、 DEV_SVC には、少なくともエラーアンプが設けられるため、場合によっては $DEV[1] \sim DEV[n]$ 内のエラーアンプ（図 4 における EA ）は不要となる。ただし、 EA は、さほど大きな面積を必要とせず、 $DEV[1] \sim DEV[n]$ の単独動作機能を維持する観点から $DEV[1] \sim DEV[n]$ 内に備わっていた方がよい。

【0089】

また、図 12 の構成例では、監視設定デバイス DEV_SVC のソフトスタート端子 $TRKSS$ が、外部抵抗 $R3$ 、外部コンデンサ $C1$ 、および $DEV[1] \sim DEV[n]$ の $TRKSS$ に接続されている。これは、図 4 に示したように、 $DEV[1] \sim DEV[n]$ における ON/OFF 信号、内部電源イネーブル信号 $REGGD$ 、過剰電流検出信号 OC の情報を DEV_SVC の $TRKSS$ に反映させるためである。

【0090】

図 13 は、図 12 の電源装置において、その監視設定デバイス DEV_SVC の詳細な構成例を示すブロック図である。図 13 に示す監視設定デバイス DEV_SVC は、出力電源電圧検出端子 SN, SP, FB 、出力電源電圧設定端子 $VID1 \sim VID7$ 、ソフトスタート端子 $TRKSS$ 、デバイス動作イネーブル設定端子 (ON/OFF)、エラーアンプ出力端子 EO 、パワーグッド端子 PG 、ドループ端子 $DROOP$ 、差動出力端子 DO 等を備えている。

【0091】

SN は、例えば出力コンデンサ C_V に接続される負荷 LD （図示せず）の接地電圧ノードに接続され、 SP は、 C_V の出力電源電圧 V_{out} に接続される。差動增幅回路 $AMP-DO$ は、この SN と SP の電位差を增幅し、その差動增幅信号 DFS を DO に出力する。すなわち、これまでの実施の形態で述べたような FB で電圧検出を行う場合と比べてより高精度な電圧検出を行う。この DO は、外部抵抗 $R50$ を介して FB と接続される。デジタル・アナログ変換回路 DAC は、 $VID1 \sim VID7$ からの出力電源電圧設定信号をアナログ値に変換する。可変電圧生成回路 VR は、このアナログ値に応じた電圧を生成し、エラーアンプ回路 EA に出力する。

【0092】

エラーアンプ回路 EA は、この VR と FB の電位差を增幅し、その結果を EO に出力する。これによって、 EA は、 $VID1 \sim VID7$ に応じたエラーアンプ信号 (EO) を生

10

20

30

40

50

成することができる。また、EAは、外部抵抗R3と外部コンデンサC1と内蔵トランジスタQ41が接続されたTRKSSの電圧を受けて、ソフトスタートを行う。Q41は、デバイス動作イネーブル設定端子(ON/OFF)のON/OFF信号がオフ状態(動作ディスエーブル状態)の間はTRKSSを接地電圧GNDに接続し、オン状態となった場合には、開放状態となる。オン状態となった場合には、TRKSSの電圧が緩やかに上昇し、ソフトスタートが行われる。

【0093】

EOは、外部抵抗R4および外部コンデンサC2を介してFBに接続される。R4およびC2は、電源回路の帯域幅を設定する機能を担う。また、EOは、図12に示したようにDEV[1]～DEV[n]のEO_INと接続される。一方、EAの出力(すなわちEOの電圧)は、ロウパスフィルタ回路LPFを介してドループ制御回路DROOPCに入力される。DROOPCは、ドループ端子DROOPに接続された外部抵抗R51の値およびEAの出力電圧により可変電流源IRを制御する。このIRの電流は、FBに供給される。出力電源電圧監視回路PWDは、差動増幅信号DFSの電圧値が所定の値以上となっていることを検出する。すなわち、出力電源電圧Voutの生成動作が行われていることを検出する。検出した場合、PWDは、トランジスタQ40を駆動して、パワーグッド端子PGに検出信号を出力する。

【0094】

ここで、ドループとは、例えば、出力電源電流が大きくなるほど出力電源電圧を小さくするといったように出力電源電圧と出力電源電流を反比例で制御する機能として知られている。ピーク電流制御方式では、エラーアンプ回路EAの出力電圧は出力電源電流に比例する。したがって、EAの出力電圧に応じてIRの値を変化させることで、結果として出力電源電圧Voutを変化させることができる。具体的には、EAからのエラーアンプ信号の電圧が大きくなるほどIRの電流値が大きくなるように制御する。IRはEAの出力(EO)に比例して大きくなり、その比例定数は外付け抵抗R51の値で決まる。そして、この際の出力電源電圧Voutの低下の値は、式(3)で表される。

$$V_{out} = IR \times R50 \quad (3)$$

以上、本実施の形態5の電源装置を用いることで、実施の形態1等の場合と同様に、代表的には低コストなマルチフェーズ電源を実現可能となる。すなわち、ドループ機能や出力電源電圧の設定機能などを加えたい場合に、これらの機能を別デバイスとして設けることで全体として低コストなマルチフェーズ電源を実現可能となる。具体的には、例えば、監視設定デバイスDEV_SVCは、図13から判るように、小面積で実現可能であり、また、DEV_SVCとDEV[1]～DEV[n]間の配線も少ないとから、デバイスコスト、実装コスト共に低コスト化が図れる。

【0095】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【0096】

例えば、これまでの実施の形態では、ピーク電流制御方式を備えた半導体デバイスの構成例を示したが、本実施の形態は、リング接続によるマルチフェーズ電源の実現方式に主要な特徴があり、必ずしもピーク電流制御方式に限定されるものではない。例えば、広く知られているように、三角波生成回路を用いてPWM信号の生成を行う電圧制御方式などを用いた構成とすることも可能である。ただし、マルチフェーズ電源では、各フェーズ毎に均等な電流を流すことが望ましく、この観点から、ピーク電流制御方式を用いると、その制御が容易となる。

【0097】

また、これまでの実施の形態では、トリガ入力信号を起点としてスイッチング動作を行う構成例を示したが、要するに一定間隔のフェーズでスイッチ動作を行わせればよいため、トリガ入力信号に限らず、トリガ出力信号を起点とさせることも可能である。

10

20

30

40

50

【産業上の利用可能性】

【0098】

本発明の一実施の形態による電源装置は、特に、マルチフェーズ方式のDC-DCコンバータに適用して有益な技術であり、これに限らず、電源装置全般に対して広く適用可能である。

【図面の簡単な説明】

【0099】

【図1】本発明の実施の形態1による電源装置の基本概念を示すものであり、(a)はその構成例を示す概略図、(b)は(a)の動作例を示す説明図である。

【図2】図1の電源装置において、そのより詳細な構成例を示すブロック図である。

10

【図3】図2の電源装置の動作例を示す波形図である。

【図4】本発明の実施の形態2による電源装置において、それに用いられる半導体デバイスの詳細な構成例を示すブロック図である。

【図5】図4の半導体デバイスのパッケージ形態の一例を示す平面図である。

【図6】図4および図5の半導体デバイスを用いてマルチフェーズ電源を実現した場合の電源装置の構成例を示す配線図である。

【図7】図4の半導体デバイスにおいて、そのタイマ回路の詳細を示すものであり、(a)はその構成例を示す回路図、(b)はその動作例を示す波形図である。

【図8】図7のタイマ回路において、そのスタートトリガ判別回路の詳細な構成例を示す回路図である。

20

【図9】本発明の実施の形態3による電源装置において、その構成例を示す配線図である。

【図10】本発明の実施の形態4による電源装置の基本概念を示すものであり、(a)はその構成例を示す概略図、(b)は(a)の動作例を示す説明図である。

【図11】図10の半導体デバイスにおけるフェーズ入力信号およびフェーズ出力信号周りの一例を示すものであり、(a)はマスタデバイスの概略構成図、(b)はスレーブデバイスの概略構成図、(c)はその動作例を示す説明図である。

【図12】本発明の実施の形態5による電源装置において、その構成の一例を示す概略図である。

【図13】図12の電源装置において、その監視設定デバイスの詳細な構成例を示すブロック図である。

30

【符号の説明】

【0100】

A C S 電流検出回路

A D 論理積回路

A M P _ D F 差動増幅回路

B K ブランкиング回路

B O O T ブート端子

C コンデンサ

C v 出力コンデンサ

40

C I V クロックドインバータ回路

C M P 比較回路

C M カレントミラー回路

C S 電流センス端子

C T F 周波数設定端子

C T 遅延時間設定端子

D ダイオード

D A C デジタル・アナログ変換回路

D E V _ S V C 監視設定デバイス

D E V , D E V d 半導体デバイス

50

D F O	差動出力端子	
D F S	差動増幅信号	
D R O O P C	ドループ制御回路	
D R O O P	ドループ端子	
D R V 5	内部電源端子	
D V	ドライバ回路	
E A	エラーアンプ回路	
E N	イネーブル信号	
E O _ I N	エラーアンプ入力端子	
E O	エラーアンプ出力端子	10
F B	出力電源電圧検出端子	
F F	フリップフロップ回路	
G N D	接地電圧	
H S C P , L S C P , C T L C P	半導体チップ	
I R	可変電流源	
I V	インバータ回路	
I B	電流源	
L	インダクタ	
L D	負荷	
L G C	制御論理回路	20
L P F	ロウパスフィルタ回路	
M X D	マックスデューティ信号	
N D	反転論理積回路	
O C P C	過剰電流検出回路	
O C P	過剰電流検出信号	
O N / O F F	デバイス動作イネーブル設定端子	
O R	論理和回路	
O S C	発振回路	
O S P G _ D L Y	ワンショット遅延パルス生成回路	
O S P G	ワンショットパルス生成回路	30
O V P C	過剰電圧検出回路	
O V P	過剰電圧検出信号	
P G E N	パルス生成回路	
P G N D	接地電圧端子	
P G	パワーグッド端子	
P H _ I N	フェーズ入力端子	
P H _ O U T	フェーズ出力端子	
P W G D	出力電源電圧監視回路	
P W M _ E N	PWMイネーブル信号	
Q	トランジスタ	40
R E G 5	内部電源端子	
R E G G D	内部電源イネーブル信号	
R E S	リセット信号	
R	外部抵抗	
S B D	ショットキーダイオード	
S G N D	接地電圧端子	
S N , S P	出力電源電圧検出端子	
S T J G	スタートトリガ判別回路	
S T	スタートトリガ端子	
S V	レギュレータ電圧監視回路	50

SW スイッチ端子

S Y N C [n] 基準クロック信号端子

S Y N C 基準クロック信号

SYNCTCTL 基準クロック制御部

TM_OUT タイマ出力信号

TM タイマ回路

TRG_IN トリガ入力端子

TRG OUT トリガ出力端子

TRKSS ソフトス

T S D 温度検出回路

U V L O C 電圧検出回路

VC 比較回路

VCTN 電源

VTD 出力電源電

V T N 電源電圧入力端子

VR EG トギヨトニタ

VR-EG 可变電压生成回路

VR 可变电压生成器

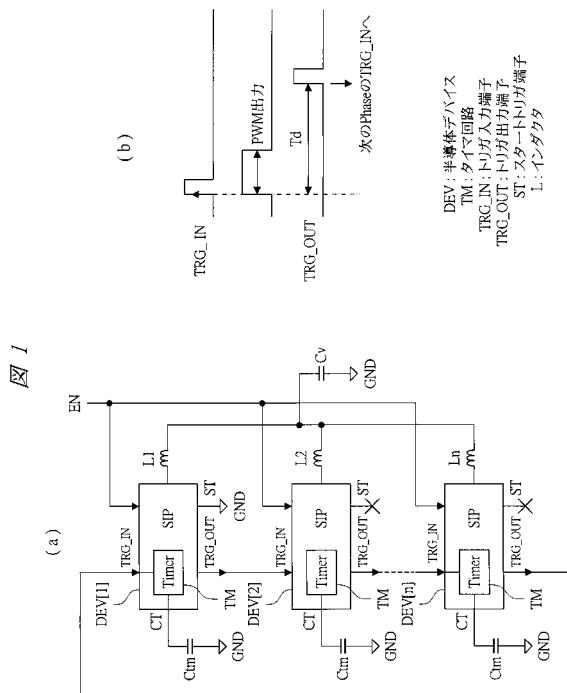
输出电压
Output voltage

Vout 電源电压

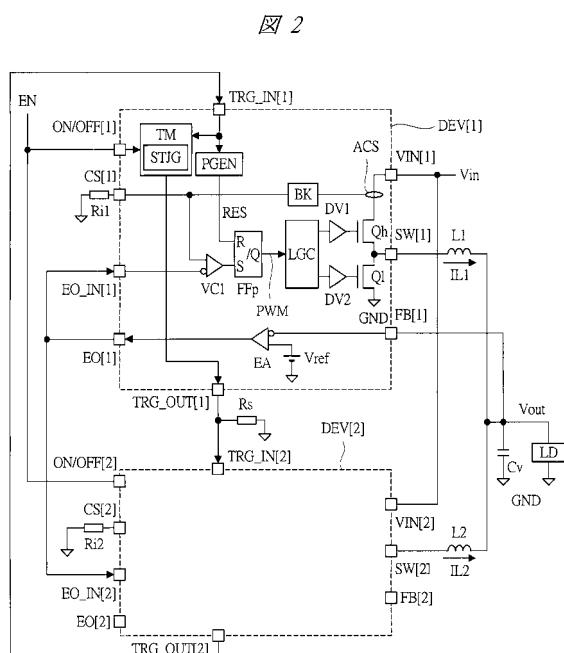
VI ∞ , VI ∞ C 基準電圧

10

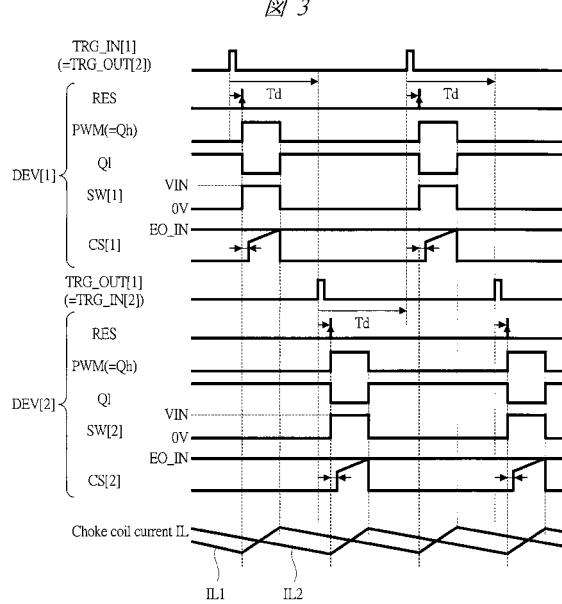
【 図 1 】



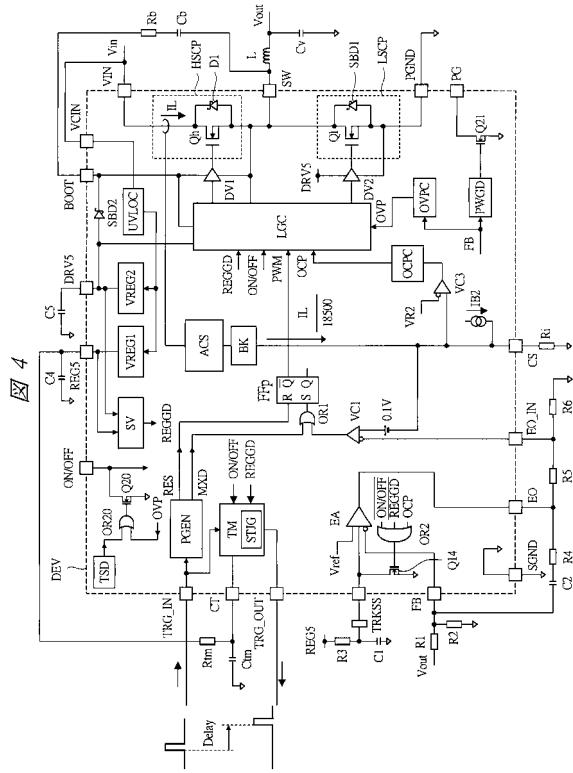
【 図 2 】



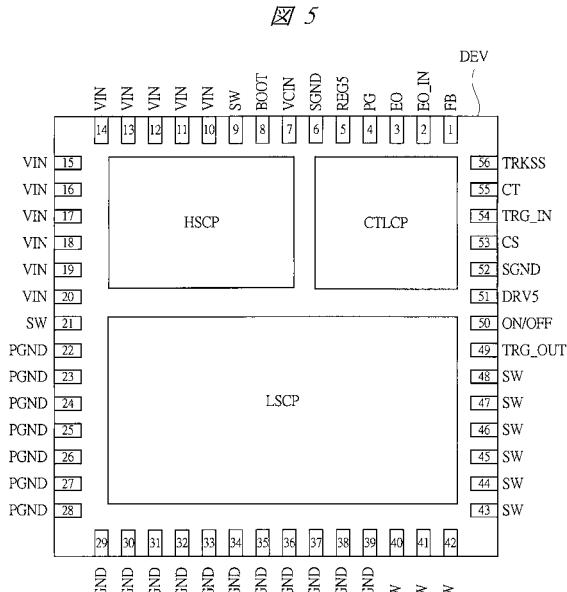
【図3】



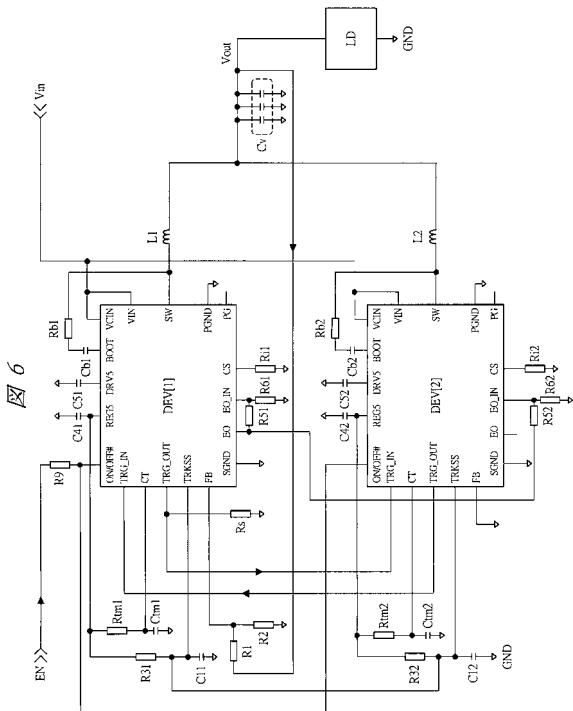
【 図 4 】



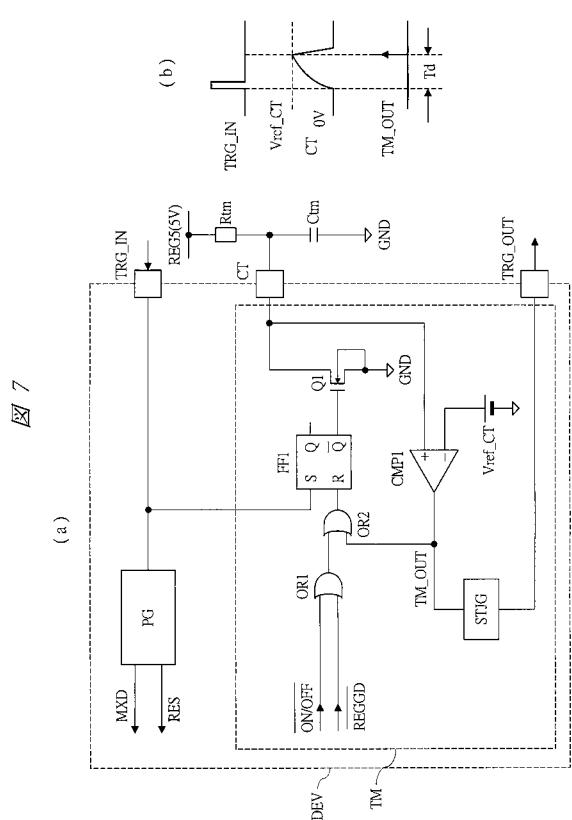
【 図 5 】



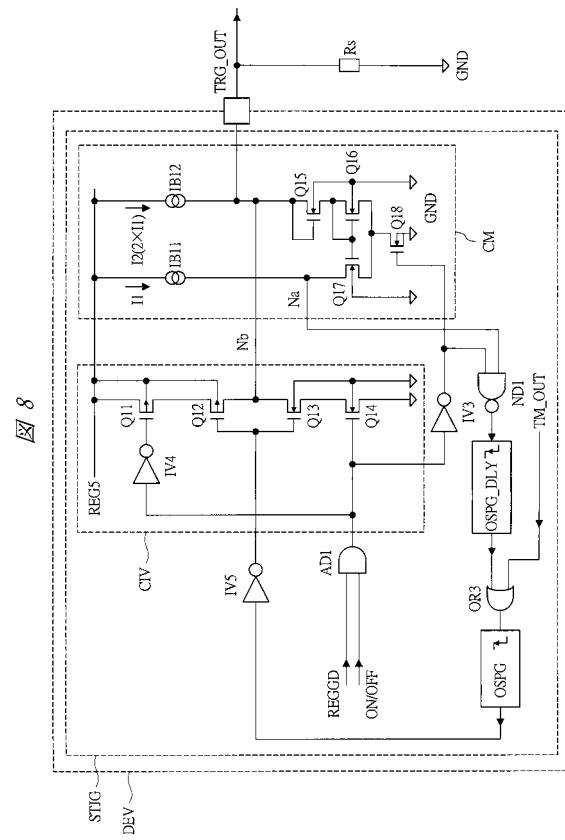
【 図 6 】



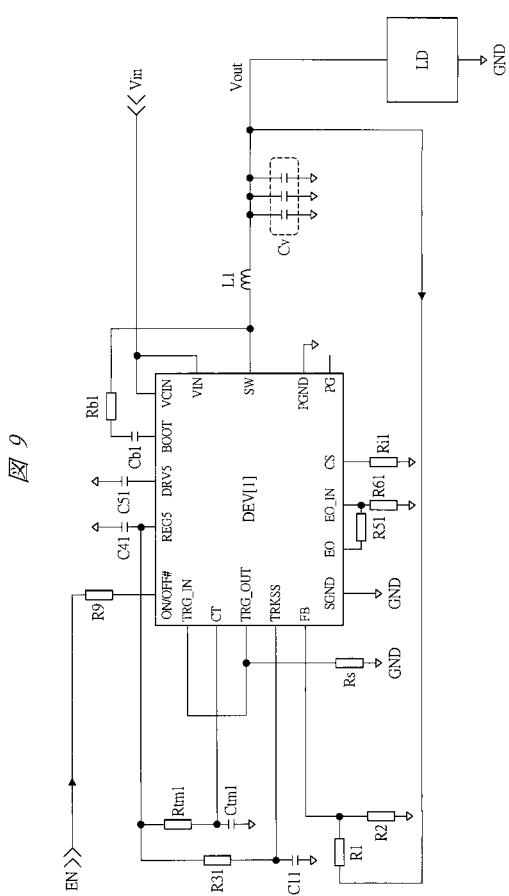
【圖 7】



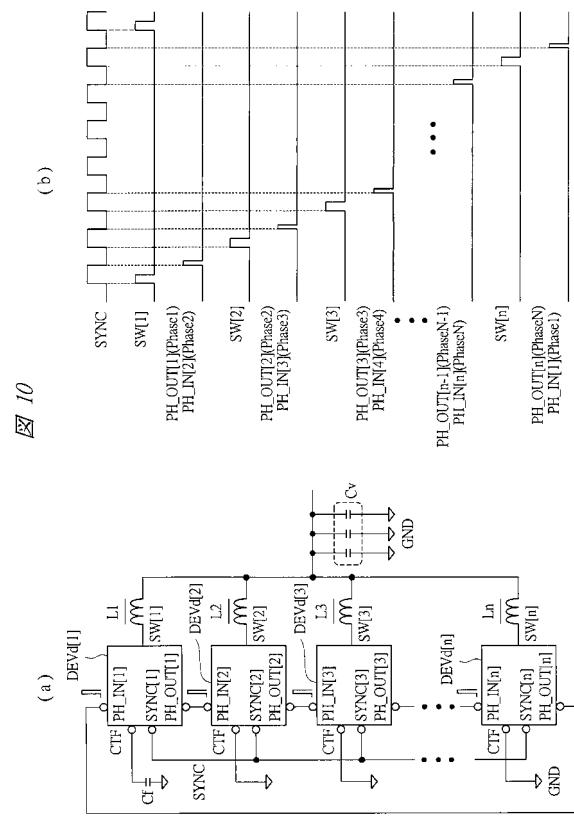
【 四 8 】



【図9】



【図10】

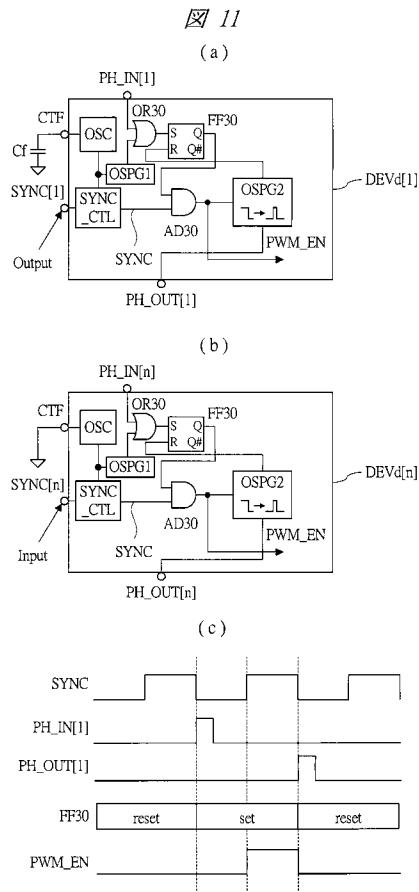


10

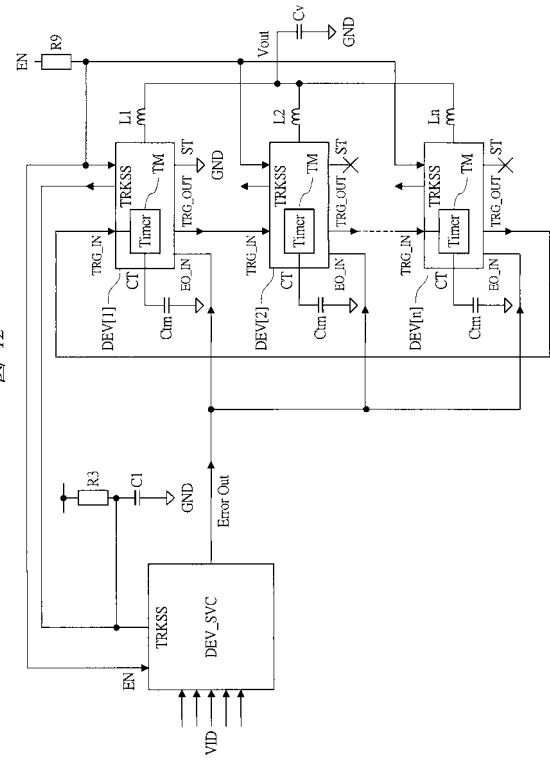


9

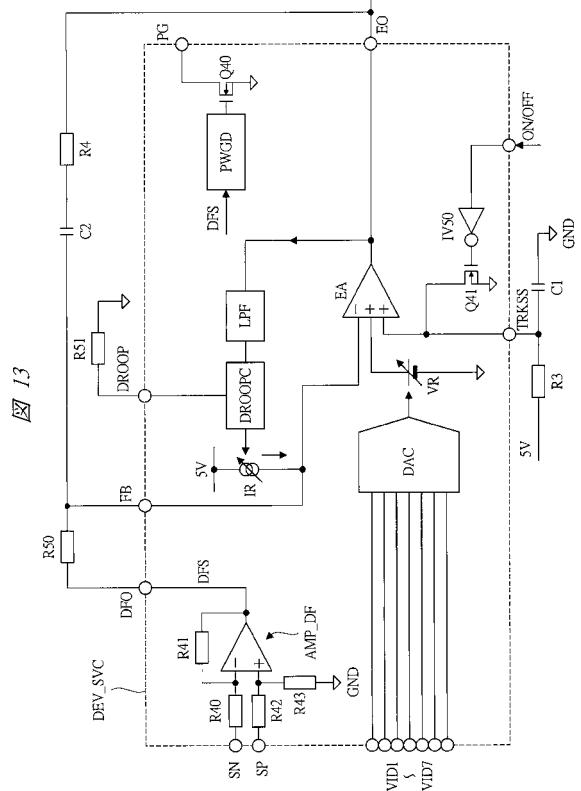
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(56)参考文献 特開2007-215391(JP,A)
特開平10-146049(JP,A)
特開2006-050891(JP,A)
特表2005-520475(JP,A)
特開2007-135390(JP,A)
特開2008-017620(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00 - 3/44