

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5139059号
(P5139059)

(45) 発行日 平成25年2月6日(2013.2.6)

(24) 登録日 平成24年11月22日(2012.11.22)

(51) Int.Cl.

H01L 21/3065 (2006.01)

F 1

H01L 21/302 105A

請求項の数 6 (全 13 頁)

(21) 出願番号 特願2007-519252 (P2007-519252)
 (86) (22) 出願日 平成17年6月14日 (2005.6.14)
 (65) 公表番号 特表2008-505490 (P2008-505490A)
 (43) 公表日 平成20年2月21日 (2008.2.21)
 (86) 國際出願番号 PCT/US2005/021047
 (87) 國際公開番号 WO2006/011996
 (87) 國際公開日 平成18年2月2日 (2006.2.2)
 審査請求日 平成20年5月14日 (2008.5.14)
 (31) 優先権主張番号 10/883,282
 (32) 優先日 平成16年6月30日 (2004.6.30)
 (33) 優先権主張国 米国(US)

前置審査

(73) 特許権者 504401617
 ラム・リサーチ・コーポレーション
 アメリカ合衆国 カリフォルニア州 94
 538-6470, フレモント, カッシン
 グ・パークウェイ 4650番地
 (74) 代理人 110000659
 特許業務法人広江アソシエイツ特許事務所
 (72) 発明者 アダムス, ヨーコ, ヤマグチ
 アメリカ合衆国 カリフォルニア州 94
 538, フレモント, ラングドン・コモン
 , 3665
 (72) 発明者 ストヤコビック, ジョージ
 アメリカ合衆国 ニューヨーク州 125
 24, ダッヂエス, スターミル・ロード
 , 78

最終頁に続く

(54) 【発明の名称】 プラズマ処理システムにおけるエッチング耐性を最適にする方法

(57) 【特許請求の範囲】

【請求項 1】

プラズマ処理チャンバを含むプラズマ処理システムにおいて、基板の加工処理工程における処理の選択性を改善する方法であって、

処理ガス混合物と親和性を有するプレコートガス混合物を前記プラズマ処理チャンバ内に流入させる工程と、

前記プレコートガス混合物の第一プラズマを照射する工程と、

前記基板を前記プラズマ処理チャンバに導入する工程と、

前記プラズマ処理チャンバ内に処理ガス混合物を流入させる工程と、

前記処理ガス混合物の第二プラズマを照射する工程と、

前記第二プラズマにより前記基板をエッチングと積層の少なくとも1つを実施する工程と、

を含み、

前記第一プラズマが、前記プラズマ処理チャンバ内の表面にプレコート膜を形成して、前記第二プラズマ中の少なくともいくらかの量のラジカルを引きつけるように構成されており、

前記プレコートガス混合物が、 CH_2F_2 と CF_4 との混合物で構成されており、

前記プレコートガス混合物を流入させる前に、ウエハのない状態で前記プラズマ処理チャンバを清浄化する工程を有していることを特徴とする処理の選択性を改善する方法。

【請求項 2】

10

20

前記処理ガス混合物が、エッティング種を含んでおり、
前記プレコート膜が、保護膜形成種を形成するために前記エッティング種と化学的に反応し、

前記保護膜形成種が前記基板の少なくとも一部を被覆する請求項 1 記載の方法。

【請求項 3】

前記処理の選択性が、フォトレジストのエッティングの選択性である請求項 1 記載の方法。

【請求項 4】

前記処理の選択性が、B A R C のエッティングの選択性である請求項 1 記載の方法。

【請求項 5】

前記処理の選択性が、無機材料のエッティングの選択性である請求項 1 記載の方法。

10

【請求項 6】

前記処理の選択性が、シリコンのエッティングの選択性である請求項 1 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は基板製造技術、特にプラズマ処理システムにおけるエッティング耐性を最適にする方法および装置に関する。

【背景技術】

【0002】

20

基板、例えば半導体基板やフラットパネルディスプレイの製造に用いられるガラスパネルには、プラズマ処理が採用される。基板処理の一部として、例えば基板が複数のダイ (dies) または長方形のエリアに分割され、それらが集積回路を構成する。基板は、一連の処理工程において素材の一部が除去 (エッティング) されまたは堆積 (deposited) される。数ナノメートルのオーダーの限界寸法 (critical dimension : C D) でトランジスタゲートを制御することが最優先であり、ターゲットゲートの長さがナノメートルずれるだけで、これらの装置の操作スピードに直接影響するからである。

【0003】

典型的なプラズマ処理における基板上へのゲートセットの形成では、化学気相成長法によりシリコン基板上に p 型エピタキシャル層が配置される。エピタキシャル層の上に窒化物層が堆積し、特定のパターンにマスキングおよびエッティングがなされ、エピタキシャル層の上に除去されて露出された領域などを形成する (例えば、窒化物層で被覆されない領域)。これらの領域は、リンなどの添加物が拡散またはイオン注入される前に特定のパターンにマスクキングされ、n ウェルを形成する。

30

【0004】

硬化エマルジョンの領域は選択的に除去され、基底層の構成要素が露出される。基板は、モノポーラ (mono-polar) またはバイポーラ (bi-polar) 電極を含む支持構造の上で、チャックあるいは台座 (pedestal) に固定されてプラズマ処理チャンバ内にセットされる。適当なエッティング源がチャンバ内に導入され、基板の処理面にプラズマが照射されてエッティング処理される。

40

【0005】

二酸化シリコンが成長して酸化物領域を形成し、回路の他のパートから n ウェルを絶縁する。別のマスキング / 酸化処理が繰り返されて n ウェル上にゲート酸化物層が成長し、p チャネル M O S トランジスタが形成される。このゲート酸化物層はこれらトランジスタのチャネルおよびゲートの間の絶縁層として働く。他のエピタキシャル領域を閾値電圧で調整しつつ、別途マスキング、拡散、注入などの処理によって、n チャネルトランジスタが形成される。

【0006】

ウエハ上のポリシリコン層の堆積が行われ、続いて不要なポリシリコン層の除去の為のマスキング / エッティングが繰り返されて、p チャネルトランジスタのゲート酸化物の上に

50

ポリシリコンゲートが画定される。同時に、正確な位置における酸化物のエッティングによって、nウェルの上にソースとドレインのドライブイン（拡散）のための開口が形成される。

【0007】

別にマスキング／注入が繰り返され、nウェルの新しい開口内にボロンドープおよびドライブインが行われて、p型のソースとドレインが形成される。その後、マスキング／注入が繰り返されて、p型エピタキシャルの中に、nチャネルトランジスタのn型ソースとドレインが形成される。

【0008】

しかし、基板上に高密度回路の要求が高くなると、サブミクロンのオーダーにおける高いアスペクト比を持ったヴィアコンタクトやトレンチを形成するには、現在のプラズマ処理の技術を用いてもなかなか困難なものであった。特に、ゲート深さがリソグラフィックの光の波長よりも小さい場合には当該深さのゲートを作成することは非常に困難である。一つの一般的な方法としては、化学的に優位なエッティング処理を用いて、フォトレジストマスクを削ることである。この方法では所望の結果（プレエッティングのCD）と比較して外形のCDが大きなマスクが形成される。底部基板のトレンチが縦方向（基板に対して垂直）にエッティングされ、フォトレジストが左右方向（基板に対して水平方向）にエッティングされあるいは削られて、最終的に所望のゲートCDが形成されるのである。

【0009】

一般的に、フォトレジストはリソグラフィックプロセス（コントラスト、解像度、インライン粗さなど）、インテグレーション（積層化）プロセス（エッティング選択性、化学的安定性、アッシング（ash）選択性など）ともに最適のものでなければならない。このようなタイプのフォトレジストは、化学的に優位なエッティングなどによって、積層化について影響を受けやすく、これらは“ソフト”といわれることがある。

【0010】

ソフトフォトレジストのCDの制御は、リソグラフィック環境におけるサブミクロン～100nmの範囲では特に困難である。フォトレジストは、フォトレジストの柱が崩壊しないようにして十分に薄くなければならず、エッティング層の所望のエッティング選択性の為に十分な厚みを有していなければならない。しかし、フォトレジストの柱が幅に比較して高さが不均衡（例えば、高さ対幅の比が4以上）であると、エッティング処理が損傷を与える、基板の電気的・機能的特性が変わり、基板の性能および製品の良品率に直接影響を与えててしまう。

【0011】

例えば、ソフトフォトレジストがエッティングされると、小刻みな波状パターンが形成され、溝ができたり、マイクロローディング（micro-loading）やランダムなエッティングストップの原因となってしまう。溝は普通の形状の中に不揃いな形状を作り、マスキングの領域を余分に露出させる。従って、基板から意図しないエッティング除去が起き、その結果ウエハの電気的・機能的特性が変えられてしまうのである。一つの影響として例えば、フォトレジストの柱面の粗さが増加することもある。もし、フォトレジストの小刻みな波状パターンが集中したとすると、その結果マスキングパターンが、部分的あるいは完全に、所定の基材の除去をブロックしてしまう。

【0012】

トレンチフロアに基材が残ると、マイクロローディングが起こり、物理的に平らでない底部表面が形成されてしまう。エッティング処理の間に、フォトレジストの柱の入口でエッティングガスが妨げられると、ランダムなエッティングストップが発生する。ある状況においては、フォトレジストの柱が、高さと薄さが不均衡（例えば、高さ対幅の比が4以上）であると、フォトレジストの柱の全部が誤って除去あるいは剥がれてしまう。さらに横からのエッティング速度と縦からのエッティング速度が違う場合に、不均一なストレスにより、フォトレジストの柱が、よじれたり、曲げられたり、捻じられたりする。

【0013】

10

20

30

40

50

図1を参照すると、プラズマ処理システムの構成が簡易的に表されている。一般に、適切なガス混合物がガス分散システム122から入力管108を通ってチャンバ102内へ流される。静電的チャック116の上にエッジリング115によって固定された半導体基板やガラス板材などの基板114の露出された領域を、表面処理（例えばエッチングや堆積など）するために、これらのプラズマ処理ガスはプラズマ110を形成するようにイオン化される。加えて、ライナー117はプラズマとプラズマ処理チャンバの間の熱バリアとしてだけでなく基板114上のプラズマ110の最適化に寄与する。

【0014】

ガス分散システム122は、プラズマ処理ガス（例えば、 C_4F_8 、 C_4F_6 、 CHF_3 、 CH_2F_3 、 CF_4 、 HBr 、 CH_3F 、 C_2F_4 、 N_2 、 O_2 、 Ar 、 Xe 、 He 、 H_2 、 NH_3 、 SF_6 、 BCl_3 、 Cl_2 、 WF_6 、その他）を含む圧縮ガスシリンダ124a-fを含んでいる。圧縮ガスシリンダ124a-fは、それぞれのガスを排出する機構を備えた容器128の中に保護されている。流速コントローラ126a-fは、（トランステューサ、コントロールバルブ、信号処理工レクトロニクスなどを含む）自己調整型装置であり、半導体産業においてプラズマ処理システムへガス流量を測定し、調整するために用いられる。インジェクタ109は、チャンバ102内にエアロゾルとしてプラズマ処理ガス124を導入する。

【0015】

誘導コイル131は絶縁ウインドウ104によってプラズマから分離され、プラズマ110を生成するためにプラズマ処理ガス内に時変電流を誘導する。ウインドウは誘導コイルをプラズマ110から保護し、プラズマ処理チャンバ内に発生された高周波（RF）フィールドを透過させる。さらに誘導コイル131はリード線130a-bによってマッチングネットワーク132と結合し、そして高周波発生器138とも結合している。マッチングネットワーク132は、高周波発生器138のインピーダンスをマッチングさせ、約13.56MHz、50オームで操作されて、プラズマ110に適用する。

【0016】

一般に、冷却システムのあるタイプでは、プラズマの点火による熱平衡を保つためにチャックと結合している。冷却システム自身は、チャックの中の空間にクーラント(coolant)をポンピングするため冷却装置を含み、チャックと基板の間にヘリウムガスを送り込む。発生した熱を除去し、熱の拡散を素早くコントロールするために、ヘリウムガスが冷却システムとして用いられる。従って、ヘリウムの圧力が増加すると熱の移動速度も増大する。ほとんどのプラズマ処理システムは、操作ソフトウェアプログラムを有する複雑なコンピュータにより制御される。典型的な操作環境において、製造プロセスパラメータ（例えば、電圧、ガス混合流量、ガス流速、圧力など）は特別なプラズマ処理システム及び具体的な方法により決定される。

【0017】

図2A-Bを参照すると、プラズマ処理により製造されたゲートの層構造断面図が示されている。図2Aは、リソグラフィック工程に先立つ、半導体ICの層構造を表す断面図である。以下の説明において“上”、“下”的用語は、層間の空間的な関係を意味し、層間の直接的な接続をも意味するものではない。他の付加的な層が上、下、または間に存在することに注意すべきである。さらに、存在する全ての層を表すものではなく、他の異なる層によって構成されている場合もある。

【0018】

積層の底部は、図では層204として示されているが、ポリシリコンのような半導体を含んでいる。層204の上には、リソグラフィック処理を経たフォトレジストマスク層208とBARC層206が配置されている。この例では、フォトレジストマスクパターン216が最初にリソグラフィックによって形成され、トレンチゲート202a-bを形成するために化学的トリム(trimmed)が行われた後の状態を示している。

【0019】

図2Bは、トレンチゲート202a-bをさらに延長させるために、プラズマ処理シス

10

20

30

40

50

テムによって層 204 がエッティングされた後の断面図を表している。さらに、フォトレジストマスク層が領域 210 の分、および基底半導体層 204 も横方向にエッティングされた状態を示す。

【0020】

図 3 A - C を参照すると、プラズマ処理の間に崩壊されたソフトフォトレジストの柱を有する基板の断面を示している。エッティング処理によって、フォトレジスト材が横方向（基板に対して平行方向）、或いは縦方向（基板に対して垂直方向）に除去された状態である。もし柱の幅が十分に最小化されると、横方向と縦方向のエッティングの組合せが斜め方向に働いて、柱の大部分を除去してしまい、基底部の基板にも損傷を与える。

【0021】

図 3 A は、リソグラフィック工程に先立つ、典型的な半導体 IC の断面図を表している。基底層は層 304 で示されており、ポリシリコンなどの半導体である。層 304 の上には、リソグラフィック処理後のフォトレジストマスク層 308 と BARC 層 306 が形成されている。この例ではフォトレジストマスクパターンがトレンチ 302a - c にゲートを形成するために、処理されている。

【0022】

図 3 B は、プラズマ処理システムによってフォトレジスト層 308 がエッティングされた後の断面を示している。しかし、これは図 2 A - B に示す柱とは異なり、細い柱 316 が、エッティング処理により損傷を受けて柱 312 になっている。幅だけでなく、高さまでも壊滅的に減少している。

【0023】

図 3 C は、図 3 B の積層を、プラズマ処理システムによって層 304 をエッティングした後の断面図を示している。基底層 304 には大きな空間 320 が形成されてしまっている。

【0024】

図 4 A - C を参照すると、不均一なソフトフォトレジストの柱がプラズマ処理の間に捻じられた状態を示す断面図である。前記の通り、フォトレジスト材が横方向（基板に対して平行方向）、或いは縦方向（基板に対して垂直方向）に除去された状態である。もし柱の幅が十分に最小化されると、横方向と縦方向のエッティングの組合せが、曲げられたり捻じられたりするストレスを生じさせる。

【0025】

図 4 A は、リソグラフィック工程に先立つ、典型的な半導体 IC の断面図を表している。積層の底には、ポリシリコンなどの半導体よりなる層 404 が示されている。層 404 の上には、リソグラフィック工程を経てフォトレジストマスク層 408 と BARC 層 406 が形成されている。この例ではフォトレジストマスクパターンがトレンチゲート 402a - c の形成のために、処理されている。

【0026】

図 4 B は図 4 A の積層のフォトレジスト層 408 が、プラズマ処理システムによってエッティングされた後の断面図を示している。図 2 A - B の柱 216 とは異なり、柱 416 がエッティング処理によって捻じられて柱 412 へ、また基底層 404 には非直線的な側壁面が形成されている。

【発明の開示】

【発明が解決しようとする課題】

【0027】

このように、プラズマ処理システムにおけるエッティング耐性を最適化する方法および装置が求められているのである。

【課題を解決するための手段】

【0028】

本発明の具体例の一つは、プラズマ処理チャンバを含むプラズマ処理システムにおいて、基材のエッティングに対する耐性を最適化する方法に関する。該方法は、エッティングガス

10

20

30

40

50

混合物と親和性を有するプレコート (pre-coat) ガス混合物をプラズマ処理チャンバに流入させる工程；プレコートガス混合物の第一プラズマを照射する工程；基材を含む基板を導入工程を含む。また、該方法は、プラズマ処理チャンバ内にエッティングガス混合物を流入させる工程；エッティングガス混合物の第二プラズマを照射する工程；第二プラズマにより基板をエッティングする工程；を含む。そして、プラズマ処理チャンバ内で、第一プラズマが露出表面にプレコート残留膜を形成し、基材のエッティング耐性が実質的に維持される。

【0029】

本発明の特徴については、以下に図面を参照しつつ、さらに詳細に説明する。

【発明を実施するための最良の形態】

10

【0030】

本発明について、いくつかの好ましい具体例とともに図面を参照しつつ更に詳細に説明する。以下の説明において、多くの詳細な説明は本発明を理解するために用いられる。当業者においては、これらの詳細な説明の一部または全部がなくても、本発明を実施することができるかもしれない。また、公知のプロセス、構造などについては、本発明を却って不明瞭にするかもしれないで詳細には記載していないことを理解すべきである。

【0031】

前記の通り、深いゲートエッティングを、ソフトフォトレジスト（フォトレジストは集積化の問題による影響を受けやすい）を使用して得ることは困難である。特に、フォトレジストの柱の幅に比較して高さが不均衡（例えば、高さ対幅の比が4以上）であると、エッティング処理が該柱、そして後のゲート基材に損傷を与える。

20

【0032】

例えば、不均一なストレスがフォトレジストの柱によじれ、曲げ、捻じれ等を生じさせる原因となる。同様に、ファセット（facet）または非直線的な側面形状が該柱の壁に形成されて、基板の実質的な欠陥となる。ある状況においては、柱の高さ及び薄さが不均衡であると、フォトレジストの柱の全体が除去あるいは剥離され、さらには断面のCDや基板に対して損傷を与えることになる。伝統的な保護膜形成技術は一般的に役に立たない。何故なら、相対的な断面のCDは維持されるけれども、絶対的なサイズのCDは保護膜層を付加することにより増大するからである。

【0033】

30

限定されることを望むものではないが、エッティング剤（例えばフォトレジストエッティング剤）と親和性（誘引性）のある材料でプラズマ処理チャンバをプレコートすることにより、基板が正確にエッティングされるだけでなく、エッティング剤の選択性を最適化できる。

【0034】

一般に、プラズマ処理のエッティング工程の後、ドライクリーニング、ウエハの無い状態でのクリーニング、予防保守などにより反応チャンバの内表面に接着したミクロな粒子や残留ポリマーを除去する。次の基板を入れる前に、エッティング剤と親和性のある材料でプラズマチャンバをプレコートすることによって、プラズマ中のエッティングラジカルの効果量が減少し、エッティング速度（例えば、フォトレジストの完全性を維持するためなど）が最適化される。

40

【0035】

例えば、多くのフォトレジストエッティング剤は酸素を含んでいる。酸素と親和性のある塩素などでチャンバをプレコートすると、プラズマ中の酸素ラジカルの効果量が減少し、それがフォトレジストのエッティングには有効なのである。しかし、プレコート材の量が多くなるとエッティング処理に有効な酸素ラジカルの数も殆どなくなってしまう。制御可能なポリマー保護層は、プレコートとフォトレジストエッティング剤との反応によって生成され、フォトレジストの完全性保護の為にエッティング処理を最適化する。ポリマー保護層はフォトレジストマスクの垂直方向と水平方向の浸食を防止し基板のCD維持にとって有効なのである。

【0036】

50

米国特許 6 4 5 5 3 3 3 号では、特有の積層を有するウエハをエッチングチャンバ内で処理して、深紫外線 (deep ultraviolet: DUV) レジストのエッチング速度安定化法により、調和のとれた安定な DUV レジストのエッチング速度が得られている。しかし、本発明のフォトレジストの完全性を保存するという新規な方法は、前記の単にエッチング速度を安定化するという方法とは異なるものである。さらに前記方法は、チャンバに合わせてウエハの状態を整えて用いるが、本発明を示唆するものではない。

【0037】

米国特許 6 6 2 6 1 8 7 号では、エッチング反応装置の反応チャンバを再調整する方法が提案されている。しかし、本発明のフォトレジストの完全性を保存するという新規な方法は、前記の窒素及び水素ガスが基板と反応して高分子量の粒子を生成してエッチング処理を安定化するものとは異なるものである。10

【0038】

米国特許 6 4 2 0 2 7 4 号では、分子、分子フラグメント、および原子によるチャンバ表面処理の調整による方法が提案されている。しかし、本発明のフォトレジストの完全性を保存するという新規な方法は、前記の繰り返しプラズマ処理を可能にするためのチャンバの調整方法とは異なるものである。

【0039】

米国特許 6 2 7 4 5 0 0 号では、プラズマエッチングチャンバの洗浄および順応方法が提案されている。しかし、本発明のフォトレジストの完全性を保存するという新規な方法は、前記の繰り返しプラズマ処理を可能にするために最初に洗浄し次いでプラズマチャンバを順応させるものとは異なるものである。さらに前記方法は、チャンバに合わせてウエハの状態を整えて用いるが、本発明を示唆するものではない。20

【0040】

他の先行技術としては、エッチングアプリケーションのスペーサとして CH_xF_y プレコート法がある。しかし、本発明のフォトレジストの完全性を保存するという新規な方法は、前記のクロムなどの金属分子による汚染を高度に防止するために金属分子を密封するものとは異なるものである。

【0041】

図 5 を参照すると、図 1 のプラズマ処理システムに本発明の一つの具体例であるプレコートを加えたものを簡易的に示したものである。前記の通り、適当なガスが、ガス分散システム 122 から入力管 108 を通ってチャンバ 102 内に流される。半導体基板やガラス板材などの基板 114 の露出表面処理（エッチング又はデポジションなど）のために、これらのプラズマ処理ガスはプラズマ 110 の形成のためにイオン化される。しかし、この工程の前に、プレコート 117（例えば、 O_2 、 HBr 、 Cl_2 、 He 、 N_2 、 Ar 、 CF_4 、 CH_2F_2 、 CHF_3 、 SiCl_4 、 SF_6 、 NF_3 、その他）が形成され、これがフォトレジストエッチングラジカルと反応してエッチング処理を実質的に最適化する。30

【0042】

図 6 A - B を参照すると、本発明の一つの具体例であるプレコートによってトリムプロセスが最適化された状態を示す積層の断面図である。図 6 A は、リソグラフィック工程に先立つ、半導体 IC の積層の断面図である。該積層の底部は層 604 で示され、シリコンなどの半導体を含んでいる。層 604 の上には、既にリソグラフィック工程が行われたのちのフォトレジストマスク層 608 と BARC 層 606 が表されている。しかし、図 3 A - C や図 4 A - B とは異なり、保護膜 620 がトレンチ 602 の中に形成されてフォトレジストの形状を保持し、その結果トレンチ 602 の CD が維持される。40

【0043】

図 6 B は、トレンチ 606 a - c がさらに延長されて半導体層 604 内にゲートのセットが形成されるように、図 6 A の層 604 がプラズマ処理システムによりエッチングされた状態の断面図を示す。

【0044】

10

20

30

40

50

一つの具体例において、トリム処理の適用のために、プラズマ処理チャンバが、O₂、HBr、Cl₂、He、N₂、CF₄、Arから選択される一つ以上のガスを含む混合物でコーティング処理が施される。

【0045】

別の具体例において、BARCエッティングプロセスの適用のために、プラズマ処理チャンバが、O₂、HBr、Cl₂、He、N₂、Ar、CF_x(CF₄)、CH_xF_y(CH₂F₂、CHF₃など)、SiCl₄、SF₆、NF₃から選択される一つ以上のガスを含む混合物でコーティング処理が施される。

【0046】

別の具体例において、無機材料のエッティングプロセス適用のために、プラズマ処理チャンバが、O₂、HBr、Cl₂、He、N₂、Ar、CF_x(CF₄)、CH_xF_y(CH₂F₂、CHF₃など)、SF₆、NF₃から選択される一つ以上のガスを含んでコーティング処理が施される。 10

【0047】

別の具体例において、シリコンエッティング(例えばポリシリコン、アモルファスシリコン、エピタキシャルシリコン、その他)処理の適用のために、プラズマ処理チャンバが、O₂、HBr、Cl₂、He、N₂、Ar、CF_x(CF₄)、CH_xF_y(CH₂F₂、CHF₃など)、SiCl₄、SF₆、NF₃から選択される一つ以上のガスを含んでコーティング処理が施される。

【0048】

別の具体例においては、2300VersysTMシリーズプラズマ処理システム(2300VersysTM、2300Versys StarTM、2300Versys KiyoTM、その他)内、約5~100mTのチャンバ圧力、約350~1400WのTCP電力、約0~20Wのバイアス電源、CH₂F₂が約50~250sccmの流速、CF₄が約5~150sccmの流速、約20°~60°の温度、約5~30秒の時間、これらの条件でプレコートすることは、フォトレジストエッティング速度を十分に最適化する。 20

【0049】

別の具体例においては、2300VersysTMシリーズプラズマ処理システム内、約30~80mTのチャンバ圧力、約600~1200WのTCP電力、約0~10Wのバイアス電源、CH₂F₂が約50~150sccmの流速、CF₄が約10~80sccmの流速、約30°~50°の温度、約5~15秒の時間、これらの条件でプレコートすることは、フォトレジストエッティング速度を十分に最適化する。 30

【0050】

別の具体例においては、2300Versys StarTMシリーズプラズマ処理システム内、約50~70mTのチャンバ圧力、約900~1100WのTCP電力、約0~5Wのバイアス電源、CH₂F₂が約75~105sccmの流速、CF₄が約20~40sccmの流速、約30°~50°の温度、約5~15秒の時間、これらの条件でプレコートすることは、フォトレジストエッティング速度を十分に最適化する。

【0051】

別の具体例においては、プレコート処理は、基板がエッティングのために導入される前に、チャンバをコートするプレエッティングのプラズマ処理チャンバ調整工程として使用することができる。 40

【0052】

別の具体例においては、基板がエッティングのためにプラズマ処理チャンバ内に置かれ、次いでトリム(trim)処理により目的とするサイズのCD(ライン幅など)に縮め、基板が除去され、プレコート工程を経て、基板を再導入して全体のエッティング処理を完成させる。

【0053】

別の具体例においては、エッティング処理を連続して完成するために二つのプラズマ処理チャンバを使用することができる。第一チャンバは、CD(ライン幅など)を目的のサイ 50

ズにトリムする。次いで、第二チャンバで、積層を残してエッティングするために基板を入れる前に、プレコート処理を実施する。

【0054】

図7を参照すると、本発明の具体例の一つである、基板のエッティングのためにプレコート処理を加えたプラズマ処理システムの簡易プロセスが示されている。最初に工程702で、O₂、HBr、Cl₂、He、N₂、Ar、CF_x(CF₄)、CH_xF_y(CH₂F₂、CHF₃など)、SiCl₄、SF₆、NF₃から選択される一つ以上のプレコート用混合ガスをプラズマ処理システムのプラズマチャンバ内に流入させる。次に、工程704で、プレコート用混合ガスのプラズマを照射する。次いで、工程706で、基材(フォトレジスト、BARCなど)を含む基板をプラズマ反応器に導入する。さらに、工程708で、エッティングガス混合物をプラズマ処理システムのプラズマ反応器に流す。工程710で、エッティングガス混合物のプラズマを照射する。工程712で基板がプラズマによってエッティングされる。最後に、工程714で基材を取り出す。
10

【0055】

本発明についていくつかの好ましい実施例を挙げて説明したが、本発明の範囲内で変更、置換などが可能である。例えば、本発明例ではプラズマ処理システムとして、ラムリサーチコーポの製品(Exelan™、Exelan™HP、Exelan™HPT、2300™、Versys™Starなど)を使用したが、他のプラズマ処理システムももちろん使用できる。本発明は各種直径(200mm、300mmなど)の基板を使用することもできる。また、フォトレジストプラズマエッティングは酸素以外のガスを用いることもできる。さらに、基材が他の種類についてのエッティング工程も、本発明により最適化することができる。本発明の方法に用いる用具には多く選択肢があることが理解されるべきである。
20

【0056】

本発明の効果は、プラズマ処理システム内のエッティングに対する耐性を最適化することを含んでいる。さらに、酸素を主とするエッティングガスに曝されたときのフォトレジストの損傷を最小化、エッティング処理中のトレンチやヴィアのファセッティング(faceting)、フェンシング(fencing)を最小化、エッティングパラメータにプレコートを使用する、基板処理の再現性を維持することなども本発明の効果である。

【0057】

適切な具体例およびベストモードについて述べてきたが、請求項に記載された本発明の目的、趣旨の範囲内において前記具体例に修飾、変更が加えられ得ることを理解すべきである。
30

【図面の簡単な説明】

【0058】

本発明の例として、限定されることなく、図面及び同様な構成については同じ参照番号を付して、具体的に例示する。

【図1】図1はプラズマ処理システムを簡易的に表した図である。

【図2A】図2Aは典型的な半導体ICの積層構造を表した断面図である。

【図2B】図2Bは典型的な半導体ICの積層構造を表した断面図である。

【図3A】図3Aは典型的な半導体ICの積層構造が崩壊する過程を表した断面図である。
40

【図3B】図3Bは典型的な半導体ICの積層構造が崩壊する過程を表した断面図である。

【図3C】図3Cは典型的な半導体ICの積層構造が崩壊する過程を表した断面図である。

【図4A】図4Aは典型的な半導体ICの積層構造が捻じられる過程を表した断面図である。

【図4B】図4Bは典型的な半導体ICの積層構造が捻じられる過程を表した断面図である。

【図5】図5は本発明の一実施例であって、プレコート工程を付加したプラズマ処理シス
50

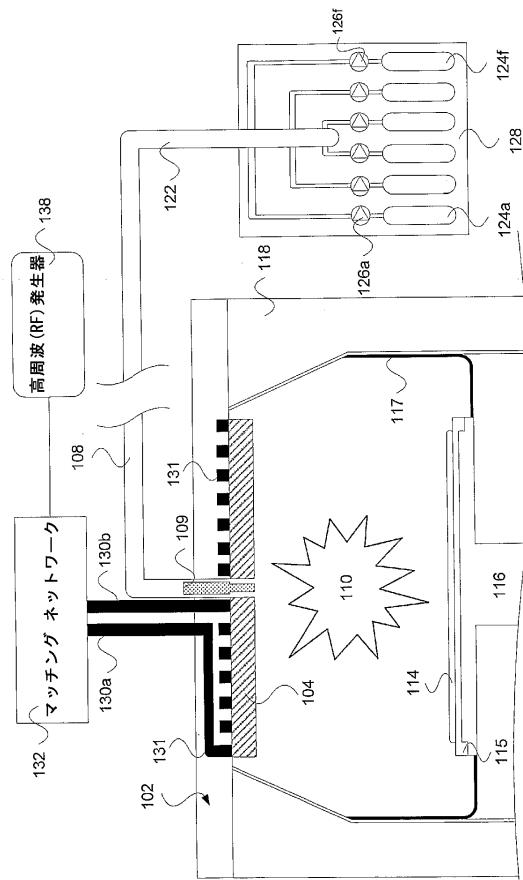
テムを簡易的に表した図である。

【図6 A】図6 Aは本発明の一実施例であって、プレコートがトリムプロセスを最適化した積層の断面図である。

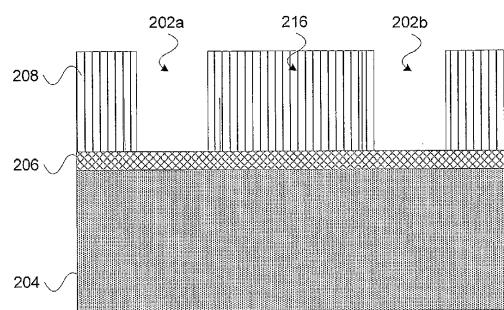
【図6 B】図6 Bは本発明の一実施例であって、プレコートがトリムプロセスを最適化した積層の断面図である。

【図7】図7は本発明の一実施例であって、プレコート工程を加えたプラズマ処理システムにおける基板のエッティング処理のプロセスを表す図である。

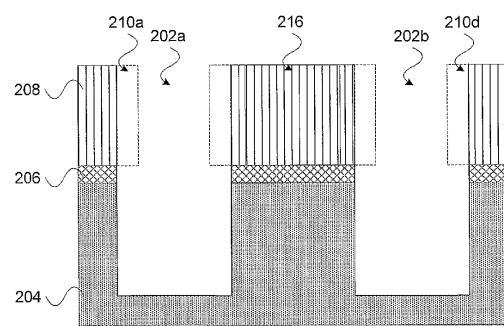
【図1】



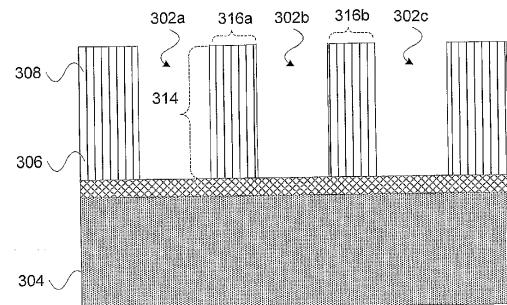
【図2 A】



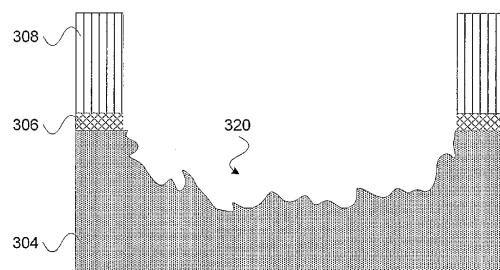
【図2 B】



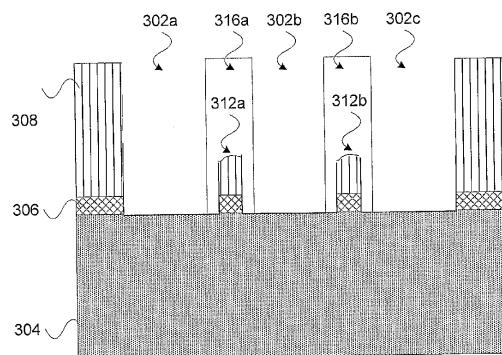
【図3A】



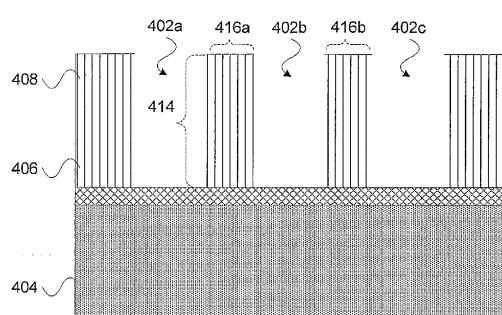
【図3C】



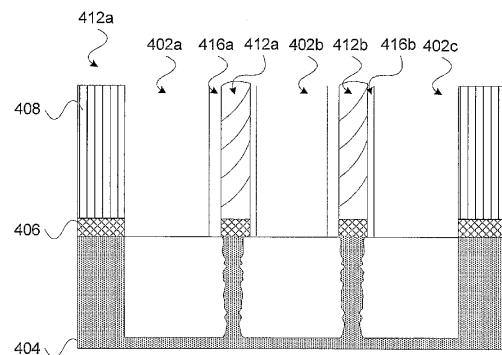
【図3B】



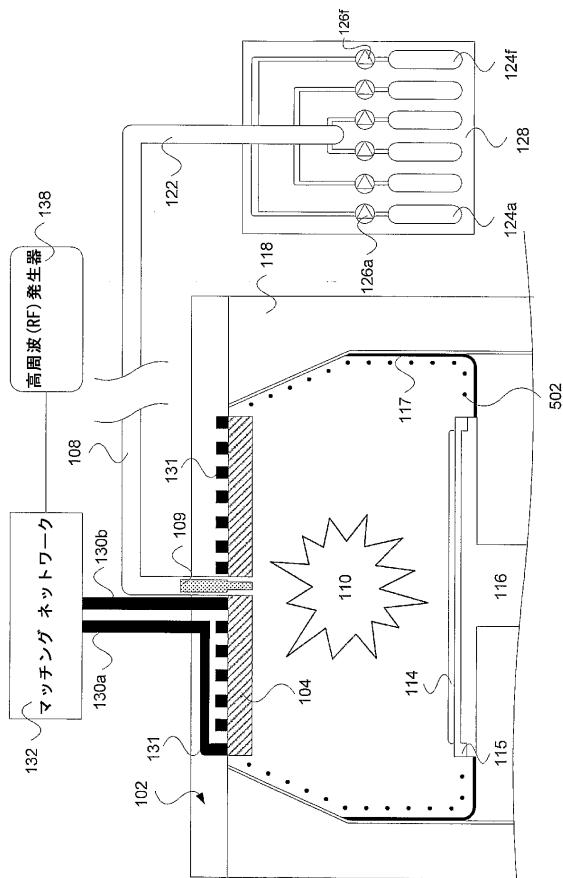
【図4A】



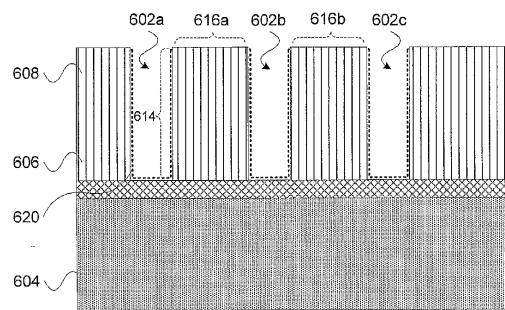
【図4B】



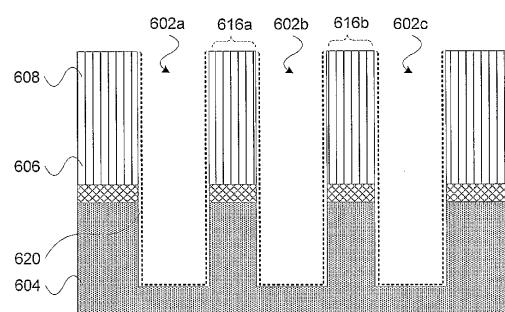
【図5】



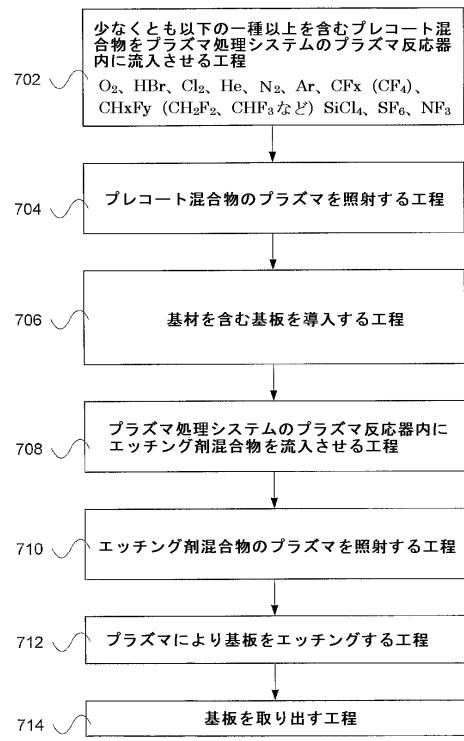
【図 6 A】



【図 6 B】



【図 7】



フロントページの続き

(72)発明者 ミラー , アラン

アメリカ合衆国 カリフォルニア州 94556 , モラガ , コーリス ドライブ , 265

審査官 長谷部 智寿

(56)参考文献 特開平04-255217 (JP, A)

特開2004-095909 (JP, A)

国際公開第2004/053922 (WO, A1)

特開2002-025977 (JP, A)

特開平08-255786 (JP, A)

特開平02-303022 (JP, A)

特開2002-319571 (JP, A)

特開2002-270584 (JP, A)

特開2004-152784 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H01L 21/3065

C23F 4/00