(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 5 月 25 日 (25.05.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/087533 A1

(51) 国际专利分类号:
G11C 11/406 (2006.01)

(21) 国际申请号: PCT/CN2022/072108

(22) 国际申请日: 2022 年 1 月 14 日 (14.01.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111399125.2 2021年11月19日 (19.11.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 陈继兴 (CHEN, Jixing); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(54) **Title:** ROW HAMMER REFRESH METHOD, ROW HAMMER REFRESH CIRCUIT, AND SEMICONDUCTOR MEMORY

(54) **发明名称:** 一种锤击刷新方法、锤击刷新电路及半导体存储器

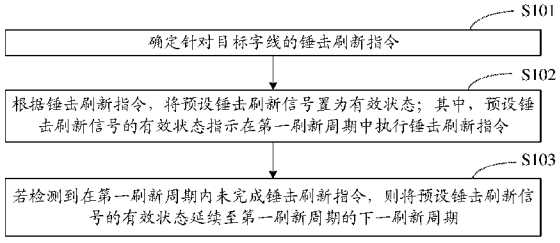


图 3

S101 Determine a row hammer refresh instruction for a target word line

S102 According to the row hammer refresh instruction, set a preset row hammer refresh signal to be in an effective state, wherein the effective state of the preset row hammer refresh signal indicates that the row hammer refresh instruction is executed in a first refresh cycle

S103 If it is detected that the row hammer refresh instruction is not completed within the first refresh cycle, extend the effective state of the preset row hammer refresh signal until the next refresh cycle of the first refresh cycle

(57) **Abstract:** A row hammer refresh method, a row hammer refresh circuit, and a semiconductor memory. The method comprises: determining a row hammer refresh instruction for a target word line (S101); according to the row hammer refresh instruction, setting a preset row hammer refresh signal to be in an effective state, wherein the effective state of the preset row hammer refresh signal indicates that the row hammer refresh instruction is executed in a first refresh cycle (S102); and if it is detected that the row hammer refresh instruction is not completed within the first refresh cycle, extending the effective state of the preset row hammer refresh signal until the next refresh cycle of the first refresh cycle (S103).

(57) **摘要**: 一种锤击刷新方法、锤击刷新电路及半导体存储器，该方法包括：确定针对目标字线的锤击刷新指令(S101)；根据锤击刷新指令，将预设锤击刷新信号置为有效状态；其中，预设锤击刷新信号的有效状态指示在第一刷新周期中执行锤击刷新指令(S102)；若检测到在第一刷新周期内未完成锤击刷新指令，则将预设锤击刷新信号的有效状态延续至第一刷新周期的下一刷新周期(S103)。

WO 2023/087533 A1

一种锤击刷新方法、锤击刷新电路及半导体存储器

相关申请的交叉引用

本公开基于申请号为202111399125.2、申请日为2021年11月19日、发明名称为“一种锤击刷新方法、锤击刷新电路及半导体存储器”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及集成电路技术领域，尤其涉及一种锤击刷新方法、锤击刷新电路及半导体存储器。

背景技术

动态随机存取存储器（Dynamic Random Access Memory，DRAM）是计算机中常用的半导体存储器件，由许多重复的存储单元组成，且不同的存储单元需要经由字线和位线进行选中操作。也就是说，DRAM中存在大量字线，这些字线相邻排列，在某一字线受到锤式攻击（Row Hammer）时，与该字线相邻的字线可能会产生错误。在相关技术中，在检测到锤式攻击后会对受影响的字线进行刷新处理。然而，该刷新处理需要借助于两个刷新指令完成，占用了带宽资源，而且容易导致刷新错误。

发明内容

本公开提供了一种锤击刷新方法、锤击刷新电路及半导体存储器，能够减少锤击刷新过程所占用的带宽资源，而且提高刷新正确性。

第一方面，本公开实施例提供了一种锤击刷新方法，该方法包括：

确定针对目标字线的锤击刷新指令；

根据锤击刷新指令，将预设锤击刷新信号置为有效状态；其中，预设锤击刷新信号的有效状态指示在第一刷新周期中执行锤击刷新指令；

若检测到在第一刷新周期内未完成锤击刷新指令，则将预设锤击刷新信号的有效状态延续至第一刷新周期的下一刷新周期。

在一些实施例中，该方法还包括：若检测到完成锤击刷新指令时，将预设锤击刷新信号置为无效状态。

在一些实施例中，锤击刷新指令指示刷新目标字线的第一相邻字线和目标字线的第二相邻字线；

相应地，该方法还包括：在第一刷新周期中，判断第一相邻字线和第二相邻字线是否被全部刷新；若第一相邻字线被刷新且第二相邻字线未被刷新，则确定在第一刷新周期内未完成锤击刷新指令；或者若第一相邻字线和第二相邻字线全部被刷新，则确定在第一刷新周期内完成锤击刷新指令。

在一些实施例中，该方法还包括：确定第一目标状态信号和第二目标状态信号；其中，第一目标状态信号用于记录第一相邻字线的刷新状态，第二目标状态信号用于记

录第二相邻字线的刷新状态；在对第一相邻字线进行刷新时，将第一目标状态信号置为有效状态，并将第二目标状态信号置为无效状态；在对第二相邻字线进行刷新时，将第一目标状态信号置为无效状态，将第二目标状态信号置为有效状态。

在一些实施例中，在检测到在第一刷新周期内未完成锤击刷新指令情况下，该方法还包括：判断是否接收到字线激活指令；若判断结果为是，则将第一目标状态信号和第二目标状态信号均置为无效状态。

在一些实施例中，该方法还包括：判断预设锤击刷新信号是否处于有效状态；在预设锤击刷新信号处于有效状态的情况下，确定第一目标状态信号和第二目标状态信号；根据第一目标状态信号和第二目标状态信号，对目标字线的相邻字线进行字线刷新处理。

在一些实施例中，所述根据第一目标状态信号和第二目标状态信号，对目标字线的相邻字线进行字线刷新处理，包括：在第一目标状态信号和第二目标状态信号均处于无效状态的情况下，对第一相邻字线和第二相邻字线分别进行字线刷新处理；在第一目标状态信号处于有效状态且第二目标状态信号处于无效状态的情况下，对第二相邻字线进行两次字线刷新处理。

第二方面，本公开实施例提供了一种锤击刷新电路，包括：

检测电路，用于确定锤击刷新触发信号和刷新执行信号；以及

在锤击刷新触发信号指示接收到针对目标字线的锤击刷新指令且刷新执行信号指示锤击刷新指令未完成时，输出处于有效状态的预设锤击刷新信号；

其中，预设锤击刷新信号的有效状态指示在第一刷新周期内执行锤击刷新指令，且预设锤击刷新信号的有效状态在第一刷新周期内未完成锤击刷新指令的情况下将延续至第一刷新周期的下一刷新周期。

在一些实施例中，刷新执行信号包括初次刷新执行信号和刷新脉冲信号；

相应地，检测电路包括第一时钟电路、第一刷新状态确定电路和控制信号输出电路；其中，第一刷新状态确定电路，用于根据锤击刷新触发信号、第一时钟信号和第一反相时钟信号，确定第一刷新状态信号和第二刷新状态信号；第一时钟电路，用于根据第一刷新状态信号、初次刷新执行信号和刷新脉冲信号，确定第一时钟信号和第一反相时钟信号；控制信号输出电路，用于根据锤击刷新触发信号和第二刷新状态信号，确定预设锤击刷新信号；其中，锤击刷新指令指示对目标字线的第一相邻字线和目标字线的第二相邻字线进行字线刷新处理，初次刷新执行信号用于指示每一个刷新周期中第一次发生的字线刷新处理，刷新脉冲信号用于指示每一个刷新周期中每一次发生的字线刷新处理。

在一些实施例中，第一时钟电路包括第一二输入与非门、第二二输入与非门和第一非门；其中，第一二输入与非门的输入端分别与第一刷新状态信号和初次刷新执行信号连接；第二二输入与非门的输入端分别与第一二输入与非门的输出端和刷新脉冲信号连接，第二二输入与非门的输出端用于输出第一反相时钟信号；第一非门的输入端与第一反相时钟信号连接，第一非门的输出端用于输出第一时钟信号。

在一些实施例中，第一刷新状态确定电路包括第一二输入或非门、第三二输入与非门、第二非门、第一触发器和第二触发器；其中，第一二输入或非门的输入端分别与第一刷新状态信号和第二刷新状态信号连接，第三二输入与非门的输入端分别与第一二输入或非门的输出端和锤击刷新触发信号连接，第二非门的输入端分别与第三二输入与非门的输出端连接；第一触发器的输入端与第二非门的输出端连接，第一触发器的时钟端分别与第一时钟信号和第一反相时钟信号连接，第一触发器的输出端用于输出第一刷新状态信号；第二触发器的输入端与第一刷新状态信号连接，第二触发器的时钟端分别

与第一时钟信号和第一反相时钟信号连接，第二触发器的输出端用于输出第二刷新状态信号。

在一些实施例中，控制信号输出电路包括第三非门、第四二输入与非门和第四非门；其中，第三非门的输入端与第二刷新状态信号连接，第四二输入与非门的输入端分别与第三非门的输出端和锤击刷新触发信号连接；第四非门的输入端与第四二输入与非门的输出端连接，且第四非门的输出端用于输出预设锤击刷新信号。

在一些实施例中，锤击刷新电路还包括状态计数电路；状态计数电路，用于接收预设锤击刷新信号和字线状态信号，并根据预设锤击刷新信号和字线状态信号，确定第一目标状态信号和第二目标状态信号；其中，第一目标状态信号用于记录第一相邻字线的刷新状态，第二目标状态信号用于记录第二相邻字线的刷新状态。

在一些实施例中，字线状态信号包括刷新状态有效信号和字线开启脉冲信号；状态计数电路包括第二时钟电路、第二刷新状态确定电路和复位电路；其中，第二时钟电路，用于根据预设锤击刷新信号、刷新状态有效信号和字线开启脉冲信号，确定第二时钟信号和第二反相时钟信号的；复位电路，用于根据刷新状态有效信号、字线开启脉冲信号和第一目标状态信号，确定复位信号；第二刷新状态确定电路，用于根据第二时钟信号、第二反相时钟信号和复位信号，确定第一目标状态信号和第二目标状态信号；其中，刷新状态有效信号指示是否处于一个刷新周期中，字线开启脉冲信号指示任意字线的开启。

在一些实施例中，第二时钟电路包括第一三输入与非门和第五非门；其中，第一三输入与非门的输入端分别与预设锤击刷新信号、刷新状态有效信号和字线开启脉冲信号连接，第一三输入与非门的输出端用于输出第二反相时钟信号；第五非门的输入端与第一三输入与非门的输出端连接，第五非门的输出端用于输出第二时钟信号。

在一些实施例中，第二刷新状态确定电路包括第三触发器、第四触发器和第六非门；第三触发器的输入端通过第六非门与第三触发器的输出端连接，且第三触发器的输出端用于输出第一目标状态信号；第三触发器的时钟端分别与第二时钟信号和第二反相时钟信号连接；第四触发器的输入端与第一目标状态信号连接，第四触发器的时钟端分别与第二时钟信号和第二反相时钟信号连接，且第四触发器的输出端用于输出第二目标状态信号；第三触发器和第四触发器各自的复位端均与复位信号连接。

在一些实施例中，复位电路包括第七非门和第二三输入与非门；第七非门的输入端与刷新状态有效信号连接，第二三输入与非门的输入端分别与第七非门的输出端、字线开启脉冲信号和第一目标状态信号连接，第二三输入与非门的输出端用于输出复位信号。

第三方面，本公开实施例提供了一种半导体存储器，包括如第二方面所述的锤击刷新电路。

本公开实施例提供了一种锤击刷新方法、锤击刷新电路及半导体存储器，确定针对目标字线的锤击刷新指令；根据所述锤击刷新指令，将预设锤击刷新信号置为有效状态；其中，所述预设锤击刷新信号的有效状态指示在第一刷新周期中执行所述锤击刷新指令；若检测到在所述第一刷新周期内未完成所述锤击刷新指令，则将所述预设锤击刷新信号的有效状态延续至所述第一刷新周期的下一刷新周期。这样，在正常情况下，预设锤击刷新信号的有效状态持续一个刷新周期，从而通过一个刷新周期内完成锤击刷新指令；在出现偶发错误的情况下，预设锤击刷新信号的有效状态会持续至下一刷新周期，从而通过两个刷新周期完成锤击刷新指令，既能够节省带宽资源，而且能够提高锤击刷新的正确性。

附图说明

图 1A 为相关技术提供的一种锤击刷新的过程示意图；
图 1B 为相关技术提供的另一种锤击刷新的过程示意图；
图 2 为相关技术提供的又一种锤击刷新的过程示意图；
图 3 为本公开实施例提供的一种锤击刷新方法的流程示意图；
图 4 为本公开实施例提供的一种锤击刷新电路的结构示意图；
图 5 为本公开实施例提供的一种检测电路的结构示意图；
图 6 为本公开实施例提供的一种第一时钟电路的具体电路结构示意图；
图 7 为本公开实施例提供的一种第一刷新状态确定电路的具体电路结构示意图；
图 8 为本公开实施例提供的一种控制信号输出电路的具体电路结构示意图；
图 9 为本公开实施例提供的一种检测电路的信号时序示意图；
图 10 为本公开实施例提供的另一种锤击刷新电路的结构示意图；
图 11 为本公开实施例提供的一种状态计数电路的结构示意图；
图 12 为本公开实施例提供的一种第二时钟电路的具体电路结构示意图；
图 13 为本公开实施例提供的一种第二刷新状态确定电路的具体电路结构示意图；
图 14 为本公开实施例提供的一种复位电路的具体电路结构示意图；
图 15 为本公开实施例提供的一种半导体存储器的结构示意图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅仅用于解释相关申请，而非对该申请的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与有关申请相关的部分。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。

在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。

需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅是用于区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

以下对本公开实施例中涉及到的英文词汇及其缩写进行说明。

Row Hammer：锤式攻击，或称为行锤击
Dynamic Random Access Memory，DRAM：动态随机存取存储器；
Synchronous Dynamic Random Access Memory，SDRAM：同步动态随机存储器；
Memory Array：存储阵列
Word Line，WL：字线
Bit Line，BL：位线
RHR：预设锤击刷新信号
RHRact1：第一目标状态信号

RHRact2：第二目标状态信号
RHRStart：锤击刷新触发信号
Refreshpulse1：初次刷新执行信号
RefPulseCounter：刷新脉冲信号
RHRCk：第一时钟信号
RHRCkN：第一反相时钟信号
RHRState1：第一刷新状态信号
RHRState2：第二刷新状态信号
Rfsh：刷新状态有效信号
RasEnpulse：字线开启脉冲信号
RHRCounter：第二时钟信号
RHRCounterN：第二反相时钟信号
ResetN：复位信号。

应理解，动态随机存取存储器是计算机中常用的半导体存储器件，由许多重复的存储单元组成 Memory Array，且不同的存储单元需要经由字线和位线进行选中操作。

目前，由于存储单元越来越密集，字线之间的距离越来越小，导致相邻字线之间的电容耦合增大。此时，如果重复激活字线（也称为目标行），有可能导致两个相邻字线（也称为受害行）受到电磁干扰，从而受害行上的存储单元发生电荷丢失现象，最终这些存储单元可能在受害行的下一次刷新之前丢失数据。以上情况被称为 Row Hammer。

也就是说，当一根字线受到 Row Hammer 攻击，与这根字线相邻的两根字线会受到很大的干扰。因此，为了消除锤式攻击的影响，在检测到目标行在经受锤式攻击时，需要对目标行两侧的受害行进行刷新，称为锤击刷新（Row Hammer Refresh）。

为方便说明，将这两根 WL（即受害行）的地址对应称为 Ra 和 Rb，对这两个地址的刷新操作称为 RHRa 和 RHRb。参见图 1A，其示出了相关技术提供的一种锤击刷新的过程示意图。参见图 1B，其示出了相关技术提供的另一种锤击刷新的过程示意图。在图 1A 和图 1B 中，ActCmd 是指字线激活命令，PreCmd 是指字线预充命令（Pre），REFCmdA 是指第一个刷新命令，REFCmdB 是指第二个刷新命令。另外，完成一个刷新命令所需要的时间也称为一个刷新周期。

在一种相关技术中，如图 1A 所示，相邻字线的刷新需要涉及到两个刷新命令，这不仅占用了带宽资源，还容易导致一些错误。在另一种相关技术中，如图 1B 所示，相邻字线的刷新在一个刷新命令中完成，但是这种方法某些偶发的情况下也有可能导致 RHR 的错误。

以一个刷新命令完成锤击刷新过程为例，对可能出现的偶发错误进行说明。参见图 2，其示出了相关技术提供的又一种锤击刷新方法的过程示意图。如图 2 所示，在接收到锤击刷新指令后，RHR 信号为有效状态，以指示 Memory Array 在刷新命令（REFCmd1 等）中进行锤击刷新。在这里，刷新命令对应两次脉冲，即 1^{st} Pulse 和 2^{nd} Pulse，从而经由这两次脉冲分别执行 RHRa 和 RHRb，以便在一个刷新命令中完成锤击刷新。然而，如果某些非法的操作导致刷新命令 REFCmd1 的第二次脉冲（2^{nd} Pulse）出现了缺失，则会出现 RHRa 和 RHRb 分开在两个 Refresh 命令中执行的情况，进而导致 RHRa 和 RHRb 之间可能出现字线激活（Active）、字线预充（Precharge）等操作，即在锤击刷新还没有完成的情况下又发生了字线激活或字线预充等操作，这种情况是需要避免的。

基于此，本公开实施例提供了一种锤击刷新方法，确定针对目标字线的锤击刷新指令；根据所述锤击刷新指令，将预设锤击刷新信号置为有效状态；其中，所述预设锤击刷新信号的有效状态指示在第一刷新周期中执行所述锤击刷新指令；若检测到在所述第

一刷新周期内未完成所述锤击刷新指令，则将所述预设锤击刷新信号的有效状态延续至所述第一刷新周期的下一刷新周期。这样，在正常情况下，预设锤击刷新信号的有效状态持续一个刷新周期，从而通过一个刷新周期内完成锤击刷新指令；在出现偶发错误的情况下，预设锤击刷新信号的有效状态会持续至下一刷新周期，从而通过两个刷新周期完成锤击刷新指令，既能够节省带宽资源，而且能够提高锤击刷新的正确性。

下面将结合附图对本公开各实施例进行详细说明。

在本公开的一实施例中，参见图 3，其示出了本公开实施例提供的一种锤击刷新方法的流程示意图。如图 3 所示，该方法可以包括:

S101：确定针对目标字线的锤击刷新指令。

需要说明的是，本公开实施例提供的锤击刷新方法应用于半导体存储器件，例如 DRAM、SDRAM 等，能够更好地对遭受 Row Hammer 攻击的字线进行刷新。

在这里，目标字线是指 Row Hammer 攻击中的目标行，第一相邻字线和第二相邻字线是指 Row Hammer 攻击中的受害行。

对半导体存储器件来说，在检测到针对目标字线的 Row Hammer 攻击后，生成一针对目标字线的锤击刷新指令，以指示对第一相邻字线进行刷新和对第二相邻字线进行刷新，避免第一相邻字线和第二相邻字线发生数据丢失的问题。

在这里，判定 Row Hammer 攻击的方式可参照相关技术，本公开实施例不做赘述。

S102：根据锤击刷新指令，将预设锤击刷新信号置为有效状态；其中，预设锤击刷新信号的有效状态指示在第一刷新周期中执行锤击刷新指令。

需要说明的是，在半导体存储器件中，设置一专门用于指示存储阵列（Memory Array）进行锤击刷新操作的预设锤击刷新信号。换句话说，若预设锤击刷新信号有效，则 Memory Array 需要针对指定的字线进行锤击刷新，若预设锤击刷新信号无效，则 Memory Array 不需要进行锤击刷新。

根据锤击刷新指令，将预设锤击刷新信号置为有效，以便在第一刷新周期中执行刷新指令。在这里，刷新周期可以理解为用于执行刷新操作的时间周期，具体是指接收到刷新命令之后且未接收到下一操作指令之前的时间，即一个刷新周期与一个刷新命令相对应。第一刷新周期可以是指预设锤击刷新信号处于有效状态之后最近的刷新周期。

S103：若检测到在第一刷新周期内未完成锤击刷新指令，则将预设锤击刷新信号的有效状态延续至第一刷新周期的下一刷新周期。

需要说明的是，在正常情况下，第一刷新周期能够对第一相邻字线和第二相邻字线进行刷新，一完成锤击刷新指令。但是如果出现偶发错误，第一刷新周期可能无法完成锤击刷新指令，需要将预设锤击刷新信号的有效状态延续至第一刷新周期的下一刷新周期，从而在两个刷新周期内完成锤击刷新指令。

应理解，在半导体存储器件中，不仅存在刷新周期，还会存在其他操作周期，所以第一刷新周期和下一刷新周期并不是时间上连续的。

在一些实施例中，若检测到完成锤击刷新指令时，将预设锤击刷新信号置为无效状态。

需要说明的是，如果第一刷新周期就完成锤击刷新指令，则在第一刷新周期结束之后就将预设锤击刷新信号置为无效状态，此时通过一个刷新命令就完成锤击刷新过程；反之，如果第一刷新周期并没有完成锤击刷新指令，则预设锤击刷新信号的有效状态仍将持续至第一刷新周期的下一刷新周期，从而下一刷新周期继续执行锤击刷新过程，此时通过两个刷新命令完成锤击刷新过程。

也就是说，在一种相关技术中，预设锤击刷新信号的有效状态会固定持续两个刷新周期，从而在两个刷新命令中完成一个锤击刷新指令，但是这样占用的带宽较大，浪费

资源；在另一种相关技术中，预设锤击刷新信号的有效状态会固定持续一个刷新周期，从而在一个刷新命令中完成一个锤击刷新指令，但是可能由于偶发错误导致刷新失败。

在本公开实施例中，提供了一个能够进行自动纠错的锤击刷新方法，在正常情况下，预设锤击刷新信号的有效状态持续一个刷新周期，从而通过一个刷新周期内完成锤击刷新指令；在出现偶发错误的情况下，预设锤击刷新信号的有效状态会持续至下一刷新周期，从而通过两个刷新周期完成锤击刷新指令，不仅能够节省带宽资源，而且能够提高锤击刷新的正确性。

还需要说明的是锤击刷新指令指示刷新目标字线的第一相邻字线和目标字线的第二相邻字线。

相应地，在一些实施例中，该方法还可以包括：

在第一刷新周期中，判断第一相邻字线和第二相邻字线是否被全部刷新；

若第一相邻字线被刷新且第二相邻字线未被刷新，则确定在第一刷新周期内未完成锤击刷新指令；或者

若第一相邻字线和第二相邻字线全部被刷新，则确定在第一刷新周期内完成锤击刷新指令。

也就是说，锤击刷新指令包括对目标字线两侧的第一相邻字线和第二相邻字线分别进行刷新。因此，通过第一相邻字线和第二相邻字线的刷新状态，判断第一刷新周期内是否完成该锤击刷新指令。

在一些实施例中，设置第一目标状态信号和第二目标状态信号，分别应用于记录第一相邻字线和第二相邻字线的状态。该方法还可以包括：

确定第一目标状态信号和第二目标状态信号；其中，第一目标状态信号用于记录第一相邻字线的刷新状态，第二目标状态信号用于记录第二相邻字线的刷新状态；

在对第一相邻字线进行刷新时，将第一目标状态信号置为有效状态，并将第二目标状态信号置为无效状态；

在对第二相邻字线进行刷新时，将第一目标状态信号置为无效状态，将第二目标状态信号置为有效状态。

需要说明的是，应理解，第一目标状态信号和第二目标状态信号的初始状态均为无效。在接到锤击刷新指令后，对第一相邻字线进行刷新，此时第一目标状态信号跳转为有效，第二目标状态信号依然为无效；最后，对第二相邻字线进行刷新，第一目标状态信号重新跳转为无效，第二目标状态信号跳转为有效，锤击刷新指令完成。

另外，在锤击刷新指令完成后，第一目标状态信号和第二目标状态信号会再次复位为无效状态，其具体复位过程可采用多种原理的电路进行实现，本公开实施例不作展开描述。

除了上述情况，第一相邻字线和第二相邻字线的刷新操作之间还可能插入了字线激活操作。也就是说，第一刷新周期只完成了第一相邻字线的刷新，而且第一刷新周期结束后接收到了字线激活指令，从而进入了激活操作周期，后续又再次进入下一刷新周期，并在下一刷新周期内完成了对第二相邻字线的操作。这种情况很容易导致处理错误，本公开实施例针对这种情况单独记录以便后续处理。示例性地，这种情况下，第一目标状态信号和第二目标状态信号会共同被置为无效。

因此，在一些实施例中，在检测到在第一刷新周期内未完成锤击刷新指令情况下，该方法还可以包括：

判断是否接收到字线激活指令；

若判断结果为是，则将第一目标状态信号和第二目标状态信号均置为无效状态。

这样，某一刷新周期开始时，若第一目标状态信号和第二目标状态信号无效，则存在两种可能：上一锤击刷新指令正常完成，上一锤击刷新指令未完成且接收到字线激活指令。应理解，以上两种可能后续可进行同样的处理，所以不再进行细分。某一刷新周期开始时，若第一目标状态信号有效，第二目标状态信号无效，则上一锤击刷新指令未完成且未接收到字线激活指令。

这样，通过第一目标状态信号和第二目标状态信号能够区分中偶发错误时是否中间插入了字线激活指令，以便后续进行针对性处理。

还需要说明的是，字线激活指令可以是对 Memory Array 中任一字线的激活指令，并不局限于目标字线、第一相邻字线和第二相邻字线。

在一些实施例中，该方法还可以包括：

在预设锤击刷新信号处于有效状态的情况下，确定第一目标状态信号和第二目标状态信号；

根据第一目标状态信号和第二目标状态信号，对目标字线的相邻字线进行字线刷新处理。

需要说明的是，在预设锤击刷新信号有效时，需要根据第一目标状态信号和第二目标状态信号确定进行刷新处理的具体步骤。

具体地，所述根据第一目标状态信号和第二目标状态信号，对目标字线的相邻字线进行字线刷新处理，可以包括：

在第一目标状态信号和第二目标状态信号均处于无效状态的情况下，对第一相邻字线和第二相邻字线分别进行字线刷新处理；

在第一目标状态信号处于有效状态且第二目标状态信号处于无效状态的情况下，对第二相邻字线进行两次字线刷新处理。

需要说明的是，在出现偶发错误的情况下，在下一刷新周期开始时，若第一目标状态信号和第二目标状态信号均无效，则对第一相邻字线和第二相邻字线分别刷新，以避免第一相邻字线和第二相邻字线的刷新过程中被插入字线激活操作；若第一目标状态信号有效且第二目标状态信号无效，则对第二相邻字线进行两次刷新。

换句话说，针对某一刷新周期，至少存在以下两种情况：

情况一：在某一刷新周期开始时，预设锤击刷新信号处于有效状态，且第一目标状态信号和第二目标状态信号均无效，该种情况存在两种可能：（1）本刷新周期接收到锤击刷新指令；（2）上一刷新周期接收到锤击刷新指令，但是上一刷新周期由于偶发错误未能完成锤击刷新指令，且上一刷新周期与本刷新周期之间出现了字线激活指令。针对以上两种可能，均需要在本刷新周期执行对第一相邻字线的刷新和第二相邻字线的刷新。

情况二：在某一刷新周期开始时，预设锤击刷新信号处于有效状态，且第一目标状态信号有效，第二目标状态信号无效，说明本刷新周期的上一刷新周期接收到锤击刷新指令，但是由于偶发错误上一刷新周期仅执行了对第一相邻字线的刷新，且在上一刷新周期和本刷新周期之间未接收到字线激活指令。此时，可以直接重复对第二相邻字线进行字线刷新处理，完成上一刷新周期未完成的锤击刷新指令。

在这里，对于情况二，并不选择对两个字线分别进行一次刷新的原因包括：对某一字线进行两次刷新仅需要开启一个字线，流程简单、功耗低；电路设计的复杂性降低，该部分请参见后续关于锤击刷新电路的说明。

当然，在另一些实施例中，情况二也可以采用对第一相邻字线和第二相邻字线分别刷新的方式。

另外，在本公开实施例中，有效状态和无效状态的定义可以根据实际应用场景选择。例如，某一信号的有效状态可以是指该信号处于高电平状态，某一信号的有效状态可以是指该信号处于低电平状态；或者某一信号的有效状态可以是指该信号处于低电平状态，某一信号的有效状态可以是指该信号处于高电平状态。

综上所述，本公开实施例提供了一种锤击刷新方法，具有自动纠错的功能。锤击刷新方法借助于预设锤击刷新信号、第一目标状态信号和第二目标状态信号完成。这样，一方面，在正常情况下，预设锤击刷新信号的有效状态持续一个刷新周期，能够通过一个刷新周期内完成锤击刷新指令；在出现偶发错误的情况下，预设锤击刷新信号的有效状态会持续至下一刷新周期，从而通过两个刷新周期完成锤击刷新指令，不仅能够节省带宽资源，而且能够保证锤击刷新的顺利完成；另一方面，第一目标状态信号和第二目标状态信号用于记录第一相邻字线和第二相邻字线的刷新状态，以及在第一相邻字线刷新后且第二相邻字线刷新前是否接收到字线激活指令，以便后续针对性的进行处理，避免第一相邻字线和第二相邻字线的刷新之间插入字线激活指令，提高锤击刷新的正确性。

本公开实施例提供了一种锤击刷新方法，确定针对目标字线的锤击刷新指令；根据锤击刷新指令，将预设锤击刷新信号置为有效状态；其中，预设锤击刷新信号的有效状态指示在第一刷新周期中执行锤击刷新指令；若检测到在第一刷新周期内未完成锤击刷新指令，则将预设锤击刷新信号的有效状态延续至第一刷新周期的下一刷新周期。这样，在正常情况下，预设锤击刷新信号的有效状态持续一个刷新周期，能够通过一个刷新周期内完成锤击刷新指令；在出现偶发错误的情况下，预设锤击刷新信号的有效状态会持续至下一刷新周期，从而通过两个刷新周期完成锤击刷新指令，既能够节省带宽资源，而且能够提高锤击刷新的正确性。

在本公开的另一实施例中，参见图 4，其示出了本公开实施例提供的一种锤击刷新电路 20 的结构示意图。如图 4 所示，锤击刷新电路 20 包括检测电路 21，用于确定锤击刷新触发信号 RHRStart 和刷新执行信号；以及

在锤击刷新触发信号 RHRStart 指示接收到针对目标字线的锤击刷新指令且刷新执行信号指示锤击刷新指令未完成时，输出处于有效状态的预设锤击刷新信号 RHR。

需要说明的是，本公开实施例提供的锤击刷新电路 20 应用于半导体存储器件，例如 DRAM、SDRAM 等，能够更好地对遭受 Row Hammer 攻击的字线进行刷新。

在本公开实施例中，锤击刷新电路 20 包括检测电路 21，检测电路 21 的输入端为锤击刷新触发信号 RHRStart 和刷新执行信号，其输出端为预设锤击刷新信号 RHR。其中，锤击刷新触发信号 RHR 的不同状态能够指示是否接收到针对目标字线的锤击刷新指令；刷新执行信号的不同状态能够指示锤击刷新指令是否完成。

在这里，预设锤击刷新信号 RHR 的有效状态指示在第一刷新周期内执行锤击刷新指令，且预设锤击刷新信号 RHR 的有效状态在第一刷新周期内未完成锤击刷新指令的情况下将延续至第一刷新周期的下一刷新周期。

也就是说，在接收到针对目标字线的锤击刷新指令且该锤击刷新指令没有执行完成的情况下，检测电路 21 会持续输出处于有效状态的预设锤击刷新信号 RHR，以指示存储阵列执行相关的锤击刷新处理；除此之外，在没有接收到针对目标字线的锤击刷新指令时，或者锤击刷新指令已完成时，检测电路 21 会续输出处于无效状态的预设锤击刷新信号 RHR。这样，在正常情况下，预设锤击刷新信号的有效状态持续一个刷新周期，能够通过一个刷新周期内完成锤击刷新指令；在出现偶发错误的情况下，预设锤击刷新信号的有效状态会持续至下一刷新周期，从而通过两个刷新周期完成锤击刷新指令，既能够节省带宽资源，而且能够提高锤击刷新的正确性。

在这里，锤击刷新指令指示对目标字线的第一相邻字线和目标字线的第二相邻字线进行字线刷新处理，即一个锤击刷新指令包括两次字线刷新处理。

在一些实施例中，刷新执行信号包括初次刷新执行信号 Refreshpulse1 和刷新脉冲信号 RefPulseCounter。初次刷新执行信号 Refreshpulse1 用于指示每一个刷新周期中第一次发生的字线刷新处理，刷新脉冲信号 RefPulseCounter 用于指示每一个刷新周期中每一次发生的字线刷新处理。

相应地，参见图 5，其示出了本公开实施例提供的一种检测电路 21 的结构示意图。如图 5 所示，检测电路 21 包括第一时钟电路 211、第一刷新状态确定电路 212 和控制信号输出电路 213；其中，

第一刷新状态确定电路 212，用于根据锤击刷新触发信号 RHRStart、第一时钟信号 RHRCk 和第一反相时钟信号 RHRCkN，确定第一刷新状态信号 RHRState1 和第二刷新状态信号 RHRState2;

第一时钟电路 211，用于根据第一刷新状态信号 RHRState1、初次刷新执行信号 Refreshpulse1 和刷新脉冲信号 RefPulseCounter，确定第一时钟信号 RHRCk 和第一反相时钟信号 RHRCkN;

控制信号输出电路 213，用于根据锤击刷新触发信号 RHRStart 和第二刷新状态信号 RHRState2，确定预设锤击刷新信号 RHR。

需要说明的是，检测电路 21 至少包括以下三部分：第一时钟电路 211、第一刷新状态确定电路 212 和控制信号输出电路 213。其中，

（1）第一时钟电路 211，主要用于输出第一时钟信号 RHRCk 和第一反相时钟信号 RHRCkN，从而为后续的第一刷新状态确定电路 212 提供必要的信号支持。

示例性地，参见图 6，其示出了本公开实施例提供的一种第一时钟电路 211 的具体电路结构示意图。如图 6 所示，第一时钟电路包括第一二输入与非门 2111、第二二输入与非门 2112 和第一非门 2113；其中，

第一二输入与非门的 2111 输入端分别与第一刷新状态信号 RHRState1 和初次刷新执行信号 Refreshpulse1 连接；第二二输入与非门 2112 的输入端分别与第一二输入与非门 2111 的输出端和刷新脉冲信号 RefPulseCounter 连接，第二二输入与非门 2112 的输出端用于输出第一反相时钟信号 RHRCkN；第一非门 2113 的输入端与第一反相时钟信号 RHRCkN 连接，第一非门 2113 的输出端用于输出第一时钟信号 RHRCk。

（2）第一刷新状态确定电路 212，主要用于输出第一刷新状态信号 RHRState1 和第二刷新状态信号 RHRState2，以记录第一相邻字线和第二相邻字线的刷新状态，为后续的控制信号输出电路 213 提供必要的信号支持。

示例性地，参见图 7，其示出了本公开实施例提供的一种第一刷新状态确定电路 212 的具体电路结构示意图。如图 7 所示，第一刷新状态确定电路 212 包括第一二输入或非门 2121、第三二输入与非门 2122、第二非门 2123、第一触发器 2124 和第二触发器 2125；其中，

第一二输入或非门 2121 的输入端分别与第一刷新状态信号 RHRState1 和第二刷新状态信号 RHRState2 连接，第三二输入与非门 2122 的输入端分别与第一二输入或非门 2121 的输出端和锤击刷新触发信号 RHRStart 连接，第二非门 2123 的输入端分别与第三二输入与非门 2122 的输出端连接；第一触发器 2124 的输入端与第二非门 2123 的输出端连接，第一触发器 2124 的时钟端分别与第一时钟信号 RHRCk 和第一反相时钟信号 RHRCkN 连接，第一触发器 2124 的输出端用于输出第一刷新状态信号 RHRState1；第二触发器 2125 的输入端与第一刷新状态信号 RHRState1 连接，第二触发器 2125 的时钟

端分别与第一时钟信号 RHRCk 和第一反相时钟信号 RHRCkN 连接，第二触发器 2125 的输出端用于输出第二刷新状态信号 RHRState2。

另外，第一触发器 2124 和第二触发器 2125 各自的复位端与一信号 RST 连接，用于第一刷新状态信号和第二刷新状态信号的复位。

（3）控制信号输出电路 213，主要用于预设锤击刷新信号 RHR。

示例性地，参见图 8，其示出了本公开实施例提供的一种控制信号输出电路 213 的具体电路结构示意图。如图 8 所示，控制信号输出电路 213 包括第三非门 2131、第四二输入与非门 2132 和第四非门 2133；其中，

第三非门 2131 的输入端与第二刷新状态信号 RHRState2 连接，第四二输入与非门 2132 的输入端分别与第三非门 2131 的输出端和锤击刷新触发信号 RHRStart 连接；第四非门 2133 的输入端与第四二输入与非门 2132 的输出端连接，且第四非门 2133 的输出端用于输出预设锤击刷新信号 RHR。

从以上来看，借助于第一刷新状态确定电路 212、第一时钟电路 211 和控制信号输出电路 213，能够根据刷新执行信号 Refreshpulse1、刷新脉冲信号 RefPulseCounter 和锤击刷新触发信号 RHRStart，确定出第一刷新状态信号 RHRState1 和第二刷新状态信号 RHRState2，最终输出预设锤击刷新信号 RHR。

在一种具体地实施例中，对于以上电路，初次刷新执行信号 Refreshpulse1 在刷新周期中的第一次脉冲（该脉冲用于开启字线）时处于有效状态，在其他时候处于无效状态；刷新脉冲信号 RefPulseCounter 在刷新周期中的每一次脉冲时都会产生一个方波，RHRStart 在接收到锤击刷新指令后产生上升沿，在锤击刷新指令结束后产生下降沿，其他信号的变化方式可经由具体的电路元件推知。

示例性地，以下提供一种具体场景，以便说明第一时钟电路 211、第一刷新状态确定电路 212 和控制信号输出电路 213 的信号处理逻辑。

场景说明： 对于锤击刷新指令，第一刷新周期（即 REFCmd1 对应的刷新周期）内第一次脉冲（1^{st} pulse）正常执行，但是第二次脉冲（2^{nd} pulse）由于偶发错误缺失，导致第一刷新周期仅执行了 RHRa，需要在下一刷新周期再次执行一次 RHRa 和 RHRb。

信号处理逻辑： 参见图 9，其示出了本公开实施例提供的一种检测电路 21 的信号时序示意图。如图 9 所示，

首先，在接收到锤击刷新指令后，RHRStart 变化为高电平（即有效状态），RHR 随之变化为高电平，以指示对第一相邻字线和第二相邻字线进行刷新处理；

其次，在第一刷新周期的 1^{st} Pulse 时，对第一相邻字线进行字线刷新处理，即 RHRa。另外，在 1^{st} Pulse 期间，Refreshpulse1 为高电平，且 RefPulseCounter 在每个 Pulse 的地址被锁存后产生一个方波，从而导致第一时钟电路输出的 RHRCkN（图中未示出）和 RHRCk 发生状态变化，且 RHRCkN 和 RHRCk 经过第一刷新状态电路处理后导致 RHRState1 状态发生变化。具体地，RHRState1 在 RHRa 的过程中由低电平变化为高电平，以记录完成对第一相邻字线的刷新；

又次，由于第一刷新周期的 2^{nd} Pulse 缺失，所以 RefPulseCounte 不会再次产生方波，所以 RHRState1 和 RHRState2 均没有发生变化，RHRStart 和 RHR 的有效状态将持续至下一刷新周期（即接收到 REFCmd2 命令后且未接收到新命令前）。

再次，在下一刷新周期的 1^{st} Pulse 和 2^{nd} Pulse 分别执行一次 RHRa 和 RHRb。此时，Refreshpulse1 仅在 1^{st} Pulse 期间处于高电平状态，RefPulseCounter 针对每个 Pulse 均产生一次方波，从而 RHRCkN、RHRCk 均随之变化，此时 RHRState1 将在 RefPulseCounter 第二次方波的下降沿由高电平变化为低电平，反之，RHRState2 将在 RefPulseCounter 第二次方波的下降沿由低电平变化为高电平，以指示完成对第二相邻字线的刷新。

最后，由于 RHRStart 仍保持高电平，RHRState2 的由低电平变为高电平，所以 RHR 信号由高电平变化为低电平，而 RHRStart 将与 2nd Pulse 的下降沿一起由高电平变化为低电平。

这样，在出现偶发错误的情况下，预设锤击刷新信号 RHR 的有效状态会持续至下一刷新周期，从而通过两个刷新周期完成锤击刷新指令，既能够节省带宽资源，而且能够提高锤击刷新的正确性。

应理解，对于锤击刷新指令，对第一相邻字线和第二相邻字线的刷新操作之间需要避免字线激活指令。也就是说，如果对第一相邻字线进行刷新后且在对第二相邻字线进行刷新前接收到了字线激活指令，那么需要记录下来后续进行处理。

因此，在一些实施例中，参见图 10，其示出了本公开实施例提供的另一种锤击刷新电路 20 的结构示意图。如图 10 所示，锤击刷新电路 20 还包括状态计数电路 22；

状态计数电路 22，用于接收预设锤击刷新信号 RHR 和字线状态信号，并根据预设锤击刷新信号 RHR 和字线状态信号，确定第一目标状态信号 RHRAct1 和第二目标状态信号 RHRAct2；

需要说明的是，状态计数电路 22 用于输出第一目标状态信号 RHRAct1 和第二目标状态信号 RHRAct2，从而记录当前的锤击刷新进程。具体地，第一目标状态信号 RHRAct1 用于记录第一相邻字线的刷新状态，第二目标状态信号 RHRAct2 用于记录第二相邻字线的刷新状态。

在一些实施例中，字线状态信号包括刷新状态有效信号 Rfsh 和字线开启脉冲信号 RasEnpulse，刷新状态有效信号 Rfsh 指示是否处于一个刷新周期中，字线开启脉冲信号 RasEnpulse 指示任意字线的开启。

也就是说，如果当前时间 Memory Array 正处于一个刷新周期中，则刷新状态有效信号 Rfsh 处于有效状态，如果当前时间存储阵列处于激活、预充、待机等其他操作周期中，则刷新状态有效信号 Rfsh 处于无效状态。另外，在任意字线的开启期间字线开启脉冲信号 RasEnpulse 产生一个方波。

相应地，参见图 11，其示出了本公开实施例提供的一种状态计数电路 22 的结构示意图。如图 11 所示，状态计数电路 22 包括第二时钟电路 221、第二刷新状态确定电路 222 和复位电路 223；其中，

第二时钟电路 221，用于根据预设锤击刷新信号 RHR、刷新状态有效信号 Rfsh 和字线开启脉冲信号 RasEnpulse，确定第二时钟信号 RHRCounter 和第二反相时钟信号的 RHRCounterN；

复位电路 223，用于根据刷新状态有效信号 Rfsh、字线开启脉冲信号 RasEnpulse 和第一目标状态信号 RHRAct1，确定复位信号 ResetN；

第二刷新状态确定电路 222，用于根据第二时钟信号 RHRCounter、第二反相时钟信号 RHRCounterN 和复位信号 ResetN，确定第一目标状态信号 RHRAct1 和第二目标状态信号 RHRAct2；

需要说明的是，状态计数电路 22 至少包括以下三部分：第二时钟电路 221、第二刷新状态确定电路 222 和复位电路 223。其中，

（1）第二时钟电路 221，主要用于输出第二时钟信号 RHRCounter 和第二反相时钟信号 RHRCounterN，从而为后续的第二刷新状态确定电路 222 提供必要的信号支持。

示例性地，参见图 12，其示出了本公开实施例提供的一种第二时钟电路 221 的具体电路结构示意图。如图 12 所示，第二时钟电路 221 包括第一三输入与非门 2211 和第五非门 2212；其中，

第一三输入与非门 2211 的输入端分别与预设锤击刷新信号 RHR、刷新状态有效信号 Rfsh 和字线开启脉冲信号 RasEnpulse 连接，第一三输入与非门 2211 的输出端用于输出第二反相时钟信号 RHRCounterN；第五非门 2212 的输入端与第一三输入与非门 2211 的输出端连接，第五非门 2212 的输出端用于输出第二时钟信号 RHRCounter。

（2）**第二刷新状态确定电路 222**，主要用于输出第一目标状态信号 RHRAct1 和第二刷新状态信号 RHRAct2，以记录第一相邻字线和第二相邻字线的刷新状态。

示例性地，参见图 13，其示出了本公开实施例提供的一种第二刷新状态确定电路 222 的具体电路结构示意图。如图 13 所示，第二刷新状态确定电路 222 包括第三触发器 2221、第四触发器 2222 和第六非门 2223；

第三触发器 2221 的输入端通过第六非门 2223 与第三触发器 2221 的输出端连接，且第三触发器 2221 的输出端用于输出第一目标状态信号 RHRAct1；第三触发器 2221 的时钟端分别与第二时钟信号 RHRCounter 和第二反相时钟信号 RHRCounterN 连接；第四触发器 2222 的输入端与第一目标状态信号 RHRAct1 连接，第四触发器 2222 的时钟端分别与第二时钟信号 RHRCounter 和第二反相时钟信号 RHRCounterN 连接，且第四触发器 2222 的输出端用于输出第二目标状态信号 RHRAct2；第三触发器 2221 和第四触发器 2222 各自的复位端均与复位信号 ResetN 连接。

（3）复位电路 223，主要用于输出复位信号 ResetN，为第二刷新状态确定电路 222 提供必要的信号支持。

示例性地，参见图 14，其示出了本公开实施例提供的复位电路 223 的具体电路结构示意图。如图 14 所示，复位电路 223 包括第七非门 2231 和第二三输入与非门 2232；

第七非门 2231 的输入端与刷新状态有效信号 Rfsh 连接，第二三输入与非门 2232 的输入端分别与第七非门 2231 的输出端、字线开启脉冲信号 RasEnpulse 和第一目标状态信号 RHRAct1 连接，第二三输入与非门 2232 的输出端用于输出复位信号 ResetN。

特别地，在本公开实施例中，复位信号 ResetN 为低电平有效，即复位信号 ResetN 处于低电平时，第三触发器 2221 和第四触发器 2222 复位。

应理解，第一目标状态信号 RHRAct1 和第二目标状态信号 RHRAct2 的初始状态均为无效状态。对于第一目标状态信号 RHRAct1 和第二目标状态信号 RHRAct2，其变化逻辑为：

在正常情况下，为了完成锤击刷新指令，需要在第一刷新周期内依次完成对第一相邻字线和第二相邻字线的刷新。此时，在开启第一字线时，第一目标状态信号 RHRAct1 变化为有效，第二目标状态信号 RHRAct2 仍为无效；在开启第二字线时，第一目标状态信号 RHRAct1 变化为无效，第二目标状态信号 RHRAct2 变化为有效；

在出现偶发错误的情况下，在第一刷新周期内仅完成对第一相邻字线的刷新。具体地，在开启第一字线时，第一目标状态信号 RHRAct1 变化为有效状态，第二目标状态信号 RHRAct2 仍为无效状态。然后，存在两种可能：（1）第一刷新周期和下一刷新周期之间未接收到字线激活指令，即第一刷新周期和下一刷新周期之间不存在字线开启，此时在下一刷新周期开始时，第一目标状态信号 RHRAct1 仍保持为有效，第二目标状态信号 RHRAct2 保持无效；（2）第一刷新周期和下一刷新周期之间接收到字线激活指令，在第一刷新周期和下一刷新周期之间存在字线开启，此时复位信号 ResetN 会呈现有效，此时第一目标状态信号 RHRAct1 和第二目标状态信号 RHRAct2 均被置为无效。

另外，在完成锤击刷新指令后，第一目标状态信号 RHRAct1 和第二目标状态信号 RHRAct2 均被复位为无效状态，其具体复位过程可采用多种原理的电路进行实现，本公开实施例不作展开描述。

这样，通过第一目标状态信号 RHRAct1 和第二目标状态信号 RHRAct2，可以准确记录第一相邻字线和第二相邻字线的刷新状态，后续可以针对性进行刷新处理，避免第一相邻字线的刷新和第二相邻字线的刷新之间插入字线激活指令，从而导致错误的问题。

基于前述的锤击刷新电路，能够确定预设锤击刷新信号 RHR、第一目标状态信号 RHRAct1 和第二目标状态信号 RHRAct2，进而根据这些信号确定具体的锤击刷新处理过程，至少包括以下两种情况：

情况一：在某一刷新周期开始时，预设锤击刷新信号处于有效状态，且第一目标状态信号无效，第二目标状态信号无效，该种情况存在两种可能：（1）本刷新周期接收到锤击刷新指令；（2）上一刷新周期接收到锤击刷新指令，但是上一刷新周期由于偶发错误未能完成锤击刷新指令，且上一刷新周期与本刷新周期之间出现了字线激活指令。针对以上两种可能，均需要在本刷新周期执行对第一相邻字线的刷新和第二相邻字线的刷新。

情况二：在某一刷新周期开始时，预设锤击刷新信号处于有效状态，且第一目标状态信号有效，第二目标状态信号无效，说明本刷新周期的上一刷新周期接收到锤击刷新指令，但是由于偶发错误上一刷新周期仅执行了对第一相邻字线的刷新，且在上一刷新周期和本刷新周期之间未接收到字线激活指令。此时，可以直接重复对第二相邻字线进行字线刷新处理，完成上一刷新周期未完成的锤击刷新指令。

也就是说，基于本公开实施例提供的锤击刷新电路，能够提供一种带自动纠错的在一个 Refresh 命令（相当于一个刷新周期）中完成 Row Hammer 刷新的方法：

（1）如果出现第一个 Refresh 命令中的 RHRb 缺失的情况，就把表征 Row Hammer Refresh 的信号 RHR 延续到下一个 Refresh 命令；

（2）当两次 Refresh 命令之间出现 Active 命令，则重置 RHR 状态计数器（第一触发器和第二触发器）；具体地，如果出现第一个 Refresh 命令中的 RHRb 缺失的情况，且两次 Refresh 命令之间出现 Active 命令，这时 RHRAct1=1，Rfsh=0，同时存储阵列在执行 Active 命令时需要开启 WL Pulse，从而触发 RasEnPulse，进而改变 ResetN 的状态，重置 RHR 状态计数器；

（3）在第二个 Refresh 命令中完成 RHRa 和 RHRb。

另外，在出现第一个 Refresh 命令中的 RHRb 缺失，且两次 Refresh 命令之间没有出现 Active 命令，那么在在第二个 Refresh 命令中做两次 RHRb。

另外，图 6~8、图 11~图 13 仅仅为相应电路的一种可能结构，本领域技术人员可根据不同电路的实际应用场景增删以及修改相应的电路元件。

这样，通过检测电路能够提供预设锤击刷新信号，通过状态计数电路能够提供第一目标状态信号和第二目标状态信号，以实现前述的锤击刷新方法。

本公开实施例提供了一种锤击刷新电路，包括检测电路，用于确定锤击刷新触发信号和刷新执行信号；以及在所述锤击刷新触发信号指示接收到针对目标字线的锤击刷新指令且所述刷新执行信号指示所述锤击刷新指令未完成时，输出处于有效状态的预设锤击刷新信号；其中，所述预设锤击刷新信号的有效状态指示在第一刷新周期内执行所述锤击刷新指令，且所述预设锤击刷新信号的有效状态在所述第一刷新周期内未完成所述锤击刷新指令的情况下将延续至所述第一刷新周期的下一刷新周期。这样，通过检测电路能够提供预设锤击刷新信号，在正常情况下，预设锤击刷新信号的有效状态持续一个刷新周期，能够通过一个刷新周期内完成锤击刷新指令；在出现偶发错误的情况下，预设锤击刷新信号的有效状态会持续至下一刷新周期，从而通过两个刷新周期完成锤击刷新指令，不仅能够节省带宽资源，而且能够提高锤击刷新的正确性。

在本公开的又一实施例中，参见图 15，其示出了本公开实施例提供的一种半导体存储器 30 的结构示意图。如图 15 所示，该半导体存储器 30 至少包括锤击刷新电路 20。

由于半导体存储器 30 至少包括锤击刷新电路 20，能够输出预设锤击刷新信号，在正常情况下，预设锤击刷新信号的有效状态持续一个刷新周期，能够通过一个刷新周期内完成锤击刷新指令；在出现偶发错误的情况下，预设锤击刷新信号的有效状态会持续至下一刷新周期，从而通过两个刷新周期完成锤击刷新指令，既能够节省带宽资源，而且能够提高锤击刷新的正确性。

以上，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围。

需要说明的是，在本公开中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

本公开所提供的几个方法实施例中所揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。

本公开所提供的几个产品实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的产品实施例。

本公开所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

以上，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

工业实用性

本公开实施例提供了一种锤击刷新方法、锤击刷新电路及半导体存储器，确定针对目标字线的锤击刷新指令；根据所述锤击刷新指令，将预设锤击刷新信号置为有效状态；其中，所述预设锤击刷新信号的有效状态指示在第一刷新周期中执行所述锤击刷新指令；若检测到在所述第一刷新周期内未完成所述锤击刷新指令，则将所述预设锤击刷新信号的有效状态延续至所述第一刷新周期的下一刷新周期。这样，在正常情况下，预设锤击刷新信号的有效状态持续一个刷新周期，从而通过一个刷新周期内完成锤击刷新指令；在出现偶发错误的情况下，预设锤击刷新信号的有效状态会持续至下一刷新周期，从而通过两个刷新周期完成锤击刷新指令，既能够节省带宽资源，而且能够提高锤击刷新的正确性。

权利要求书

1、一种锤击刷新方法，所述方法包括:

确定针对目标字线的锤击刷新指令;

根据所述锤击刷新指令，将预设锤击刷新信号置为有效状态；其中，所述预设锤击刷新信号的有效状态指示在第一刷新周期中执行所述锤击刷新指令;

若检测到在所述第一刷新周期内未完成所述锤击刷新指令，则将所述预设锤击刷新信号的有效状态延续至所述第一刷新周期的下一刷新周期。

2、根据权利要求 1 所述的锤击刷新方法，其中，所述方法还包括:

若检测到完成所述锤击刷新指令时，将所述预设锤击刷新信号置为无效状态。

3、根据权利要求 2 所述的锤击刷新方法，其中，所述锤击刷新指令指示刷新所述目标字线的第一相邻字线和所述目标字线的第二相邻字线;

所述方法还包括:

在所述第一刷新周期中，判断所述第一相邻字线和所述第二相邻字线是否被全部刷新;

若所述第一相邻字线被刷新且所述第二相邻字线未被刷新，则确定在所述第一刷新周期内未完成所述锤击刷新指令；或者

若所述第一相邻字线和所述第二相邻字线全部被刷新，则确定在所述第一刷新周期内完成所述锤击刷新指令。

4、根据权利要求 3 所述的锤击刷新方法，其中，所述方法还包括:

确定第一目标状态信号和第二目标状态信号；其中，所述第一目标状态信号用于记录所述第一相邻字线的刷新状态，所述第二目标状态信号用于记录所述第二相邻字线的刷新状态;

在对所述第一相邻字线进行刷新时，将所述第一目标状态信号置为有效状态，并将所述第二目标状态信号置为无效状态;

在对所述第二相邻字线进行刷新时，将所述第一目标状态信号置为无效状态，将所述第二目标状态信号置为有效状态。

5、根据权利要求 4 所述的锤击刷新方法，其中，在检测到在所述第一刷新周期内未完成所述锤击刷新指令情况下，所述方法还包括:

判断是否接收到字线激活指令;

若判断结果为是，则将所述第一目标状态信号和所述第二目标状态信号均置为无效状态。

6、根据权利要求 5 所述的锤击刷新方法，其中，所述方法还包括:

在所述预设锤击刷新信号处于有效状态的情况下，确定第一目标状态信号和第二目标状态信号;

根据所述第一目标状态信号和所述第二目标状态信号，对所述目标字线的相邻字线进行字线刷新处理。

7、根据权利要求 6 所述的锤击刷新方法，其中，所述根据所述第一目标状态信号和所述第二目标状态信号，对所述目标字线的相邻字线进行字线刷新处理，包括:

在所述第一目标状态信号和所述第二目标状态信号均处于无效状态的情况下，对所述第一相邻字线和所述第二相邻字线分别进行字线刷新处理;

在所述第一目标状态信号处于有效状态且所述第二目标状态信号处于无效状态的情况下，对所述第二相邻字线进行两次字线刷新处理。

8、一种锤击刷新电路，包括:

检测电路，用于确定锤击刷新触发信号和刷新执行信号；以及

在所述锤击刷新触发信号指示接收到针对目标字线的锤击刷新指令且所述刷新执行信号指示所述锤击刷新指令未完成时，输出处于有效状态的预设锤击刷新信号；

其中，所述预设锤击刷新信号的有效状态指示在第一刷新周期内执行所述锤击刷新指令，且所述预设锤击刷新信号的有效状态在所述第一刷新周期内未完成所述锤击刷新指令的情况下将延续至所述第一刷新周期的下一刷新周期。

9、根据权利要求 8 所述的锤击刷新电路，其中，所述刷新执行信号包括初次刷新执行信号和刷新脉冲信号；相应地，所述检测电路包括第一时钟电路、第一刷新状态确定电路和控制信号输出电路；其中，

所述第一刷新状态确定电路，用于根据所述锤击刷新触发信号、第一时钟信号和第一反相时钟信号，确定第一刷新状态信号和第二刷新状态信号；

所述第一时钟电路，用于根据所述第一刷新状态信号、所述初次刷新执行信号和所述刷新脉冲信号，确定所述第一时钟信号和所述第一反相时钟信号；

所述控制信号输出电路，用于根据所述锤击刷新触发信号和所述第二刷新状态信号，确定所述预设锤击刷新信号；

其中，所述锤击刷新指令指示对所述目标字线的第一相邻字线和所述目标字线的第二相邻字线进行字线刷新处理，所述初次刷新执行信号用于指示每一个刷新周期中第一次发生的字线刷新处理，所述刷新脉冲信号用于指示每一个刷新周期中每一次发生的字线刷新处理。

10、根据权利要求 9 所述的锤击刷新电路，其中，所述第一时钟电路包括第一二输入与非门、第二二输入与非门和第一非门；其中，

所述第一二输入与非门的输入端分别与所述第一刷新状态信号和所述初次刷新执行信号连接；

所述第二二输入与非门的输入端分别与所述第一二输入与非门的输出端和所述刷新脉冲信号连接，所述第二二输入与非门的输出端用于输出所述第一反相时钟信号；

所述第一非门的输入端与所述第一反相时钟信号连接，所述第一非门的输出端用于输出所述第一时钟信号。

11、根据权利要求 9 所述的锤击刷新电路，其中，所述第一刷新状态确定电路包括第一二输入或非门、第三二输入与非门、第二非门、第一触发器和第二触发器；其中，

所述第一二输入或非门的输入端分别与所述第一刷新状态信号和所述第二刷新状态信号连接，所述第三二输入与非门的输入端分别与所述第一二输入或非门的输出端和所述锤击刷新触发信号连接，所述第二非门的输入端分别与所述第三二输入与非门的输出端连接；

所述第一触发器的输入端与所述第二非门的输出端连接，所述第一触发器的时钟端分别与所述第一时钟信号和所述第一反相时钟信号连接，所述第二触发器的输出端用于输出所述第一刷新状态信号；

所述第二触发器的输入端与所述第一刷新状态信号连接，所述第二触发器的时钟端分别与所述第一时钟信号和所述第一反相时钟信号连接，所述第二触发器的输出端用于输出所述第二刷新状态信号。

12、根据权利要求 9 所述的锤击刷新电路，其中，所述控制信号输出电路包括第三非门、第四二输入与非门和第四非门；其中，

所述第三非门的输入端与所述第二刷新状态信号连接，所述第四二输入与非门的输入端分别与所述第三非门的输出端和所述锤击刷新触发信号连接；

所述第四非门的输入端与所述第四二输入与非门的输出端连接，且所述第四非门的输出端用于输出所述预设锤击刷新信号。

13、根据权利要求 9 所述的锤击刷新电路，其中，所述锤击刷新电路还包括状态计数电路；

所述状态计数电路，用于接收所述预设锤击刷新信号和字线状态信号，并根据所述预设锤击刷新信号和字线状态信号，确定第一目标状态信号和第二目标状态信号；

其中，所述第一目标状态信号用于记录所述第一相邻字线的刷新状态，所述第二目标状态信号用于记录所述第二相邻字线的刷新状态。

14、根据权利要求 13 所述的锤击刷新电路，其中，所述字线状态信号包括刷新状态有效信号和字线开启脉冲信号；所述状态计数电路包括第二时钟电路、第二刷新状态确定电路和复位电路；其中，

所述第二时钟电路，用于根据所述预设锤击刷新信号、所述刷新状态有效信号和所述字线开启脉冲信号，确定第二时钟信号和第二反相时钟信号的；

所述复位电路，用于根据所述刷新状态有效信号、所述字线开启脉冲信号和所述第一目标状态信号，确定复位信号；

所述第二刷新状态确定电路，用于根据所述第二时钟信号、所述第二反相时钟信号和所述复位信号，确定所述第一目标状态信号和所述第二目标状态信号；

其中，所述刷新状态有效信号指示是否处于一个刷新周期中，所述字线开启脉冲信号指示任意字线的开启。

15、根据权利要求 14 所述的锤击刷新电路，其中，所述第二时钟电路包括第一三输入与非门和第五非门；其中，

所述第一三输入与非门的输入端分别与所述预设锤击刷新信号、所述刷新状态有效信号和所述字线开启脉冲信号连接，所述第一三输入与非门的输出端用于输出所述第二反相时钟信号；

所述第五非门的输入端与所述第一三输入与非门的输出端连接，所述第五非门的输出端用于输出所述第二时钟信号。

16、根据权利要求 14 所述的锤击刷新电路，其中，所述第二刷新状态确定电路包括第三触发器、第四触发器和第六非门；

所述第三触发器的输入端通过所述第六非门与所述第三触发器的输出端连接，且所述第三触发器的输出端用于输出所述第一目标状态信号；所述第三触发器的时钟端分别与所述第二时钟信号和所述第二反相时钟信号连接；

所述第四触发器的输入端与所述第一目标状态信号连接，所述第四触发器的时钟端分别与所述第二时钟信号和所述第二反相时钟信号连接，且所述第四触发器的输出端用于输出所述第二目标状态信号；

所述第三触发器和所述第四触发器各自的复位端均与所述复位信号连接。

17、根据权利要求 14 所述的锤击刷新电路，其中，所述复位电路包括第七非门和第二三输入与非门；

所述第七非门的输入端与所述刷新状态有效信号连接，所述第二三输入与非门的输入端分别与所述第七非门的输出端、所述字线开启脉冲信号和所述第一目标状态信号连接，所述第二三输入与非门的输出端用于输出所述复位信号。

18、一种半导体存储器，包括如权利要求 8 至 17 任一项所述的锤击刷新电路。

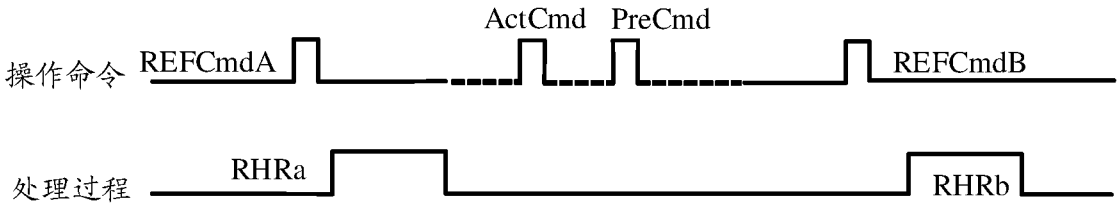


图 1A

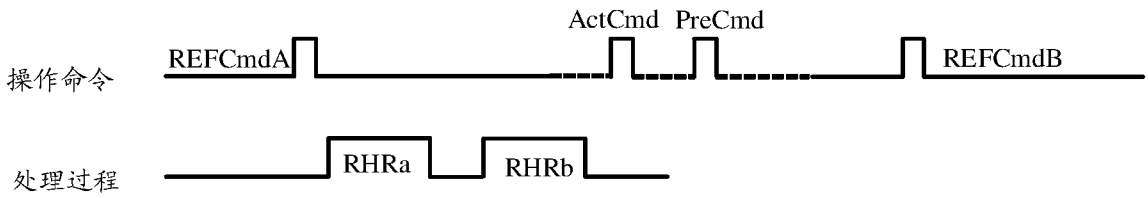


图 1B

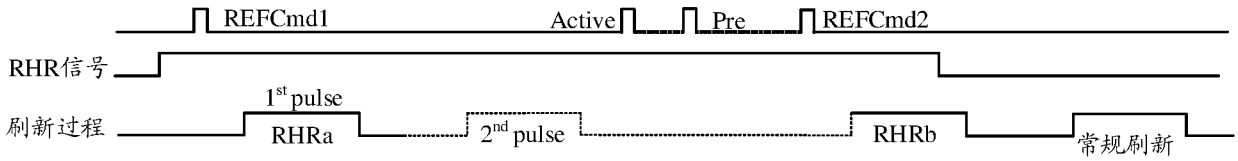


图 2

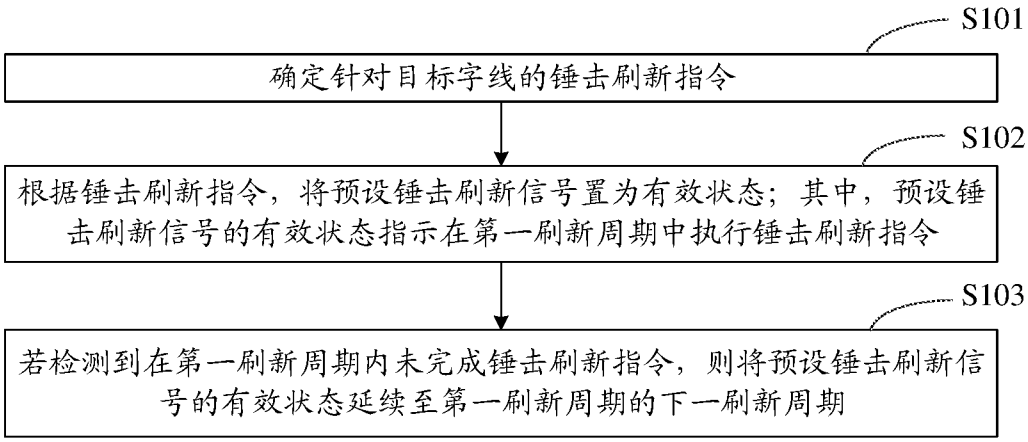


图 3

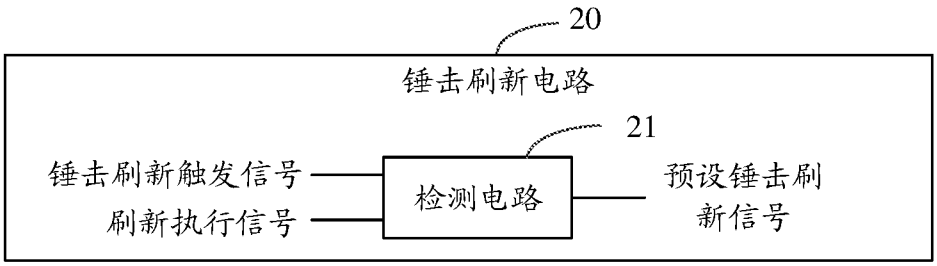


图 4

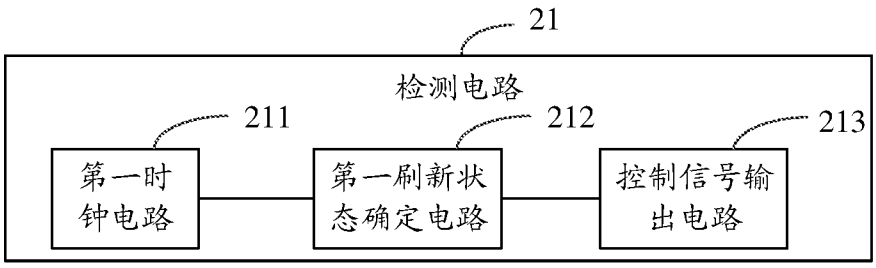

21
检测电路
211
212
213
第一时钟电路
第一刷新状态确定电路
控制信号输出电路

图 5

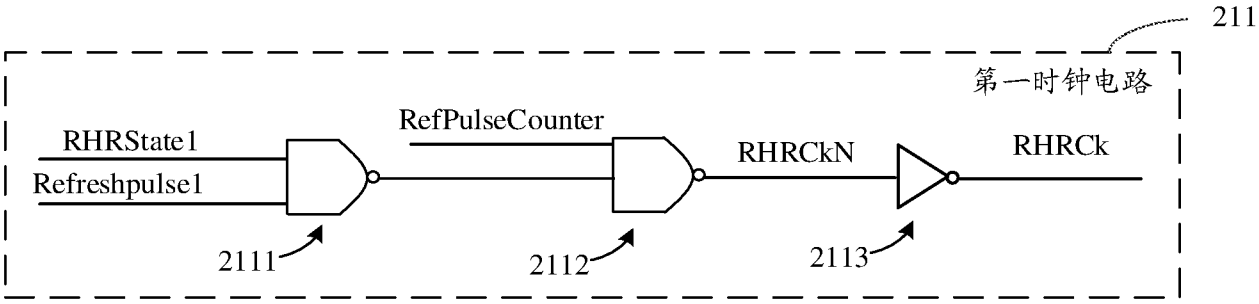

211
第一时钟电路
RHRState1
Refreshpulse1
RefPulseCounter
RHRCkN
RHRCk
2111
2112
2113

图 6

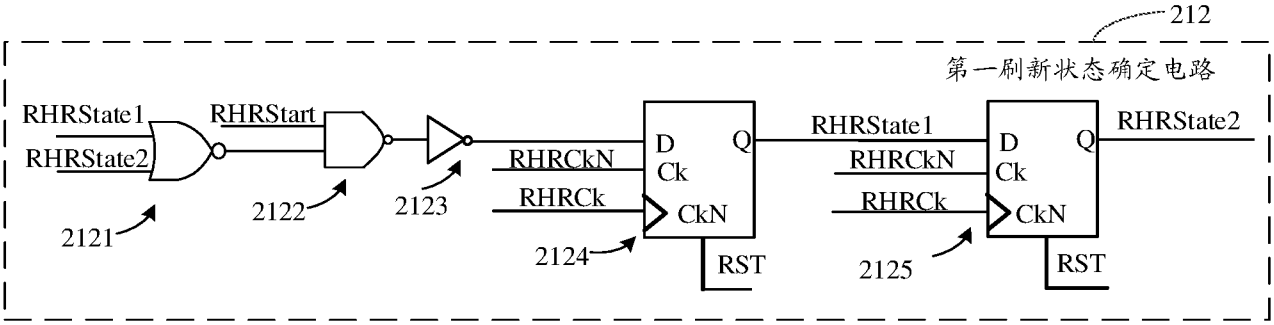

212
第一刷新状态确定电路
RHRState1
RHRState2
RHRStart
2121
2122
2123
RHRCkN
RHRCk
D
Ck
Q
CkN
RST
2124
RHRState1
RHRCkN
RHRCk
2125
RHRState2

图 7

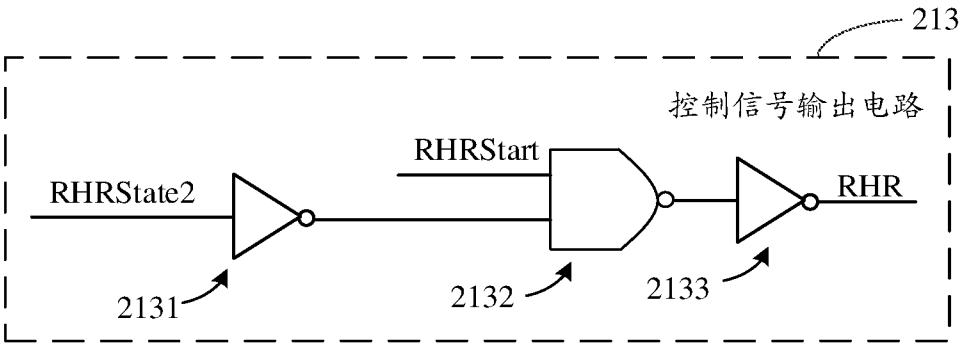

213
控制信号输出电路
RHRStart
RHRState2
RHR
2131
2132
2133

图 8

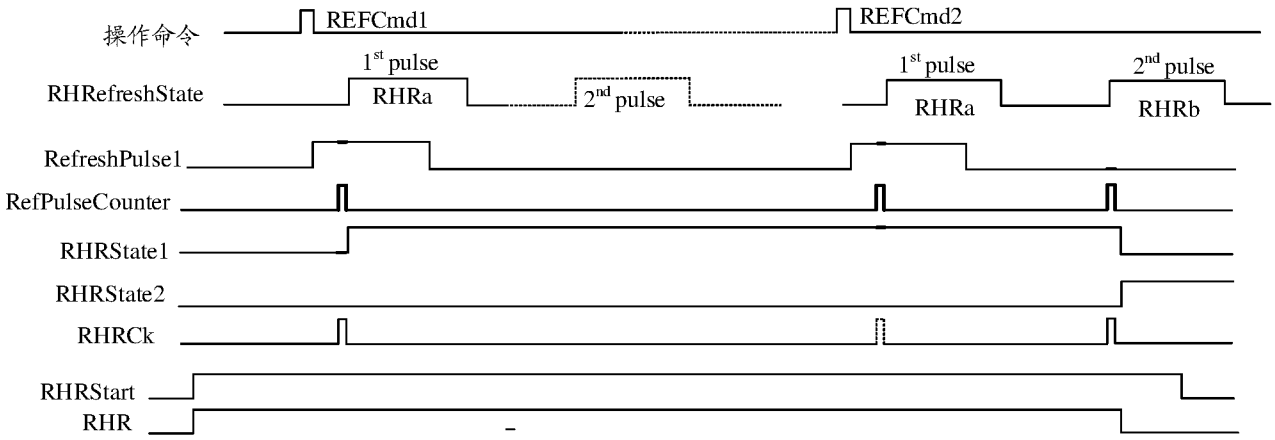

操作命令
REFCmd1
REFCmd2
RHRefreshState
1st pulse
RHRa
2nd pulse
1st pulse
RHRa
2nd pulse
RHRb
RefreshPulse1
RefPulseCounter
RHRState1
RHRState2
RHRCk
RHRStart
RHR

图 9

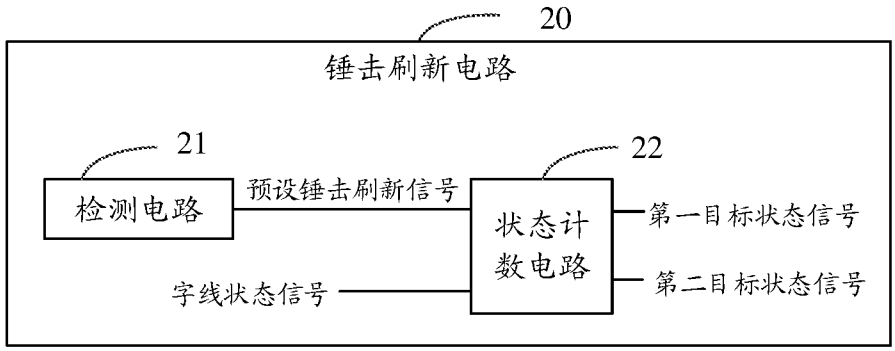

20
锤击刷新电路
21
检测电路
预设锤击刷新信号
22
状态计数电路
第一目标状态信号
字线状态信号
第二目标状态信号

图 10

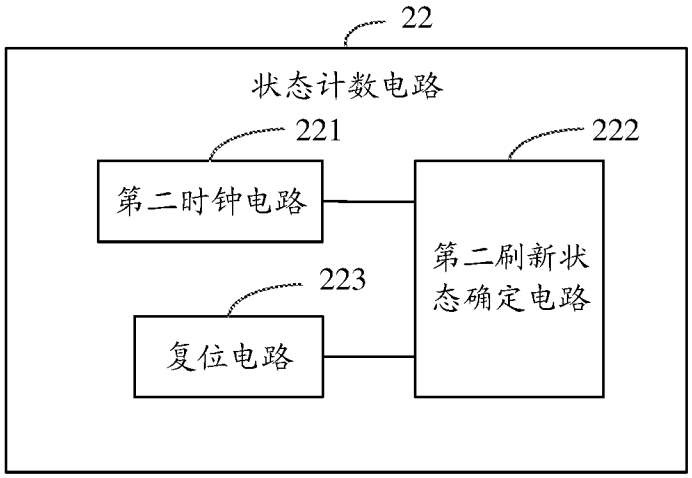

22
状态计数电路
221
第二时钟电路
222
第二刷新状态确定电路
223
复位电路

图 11

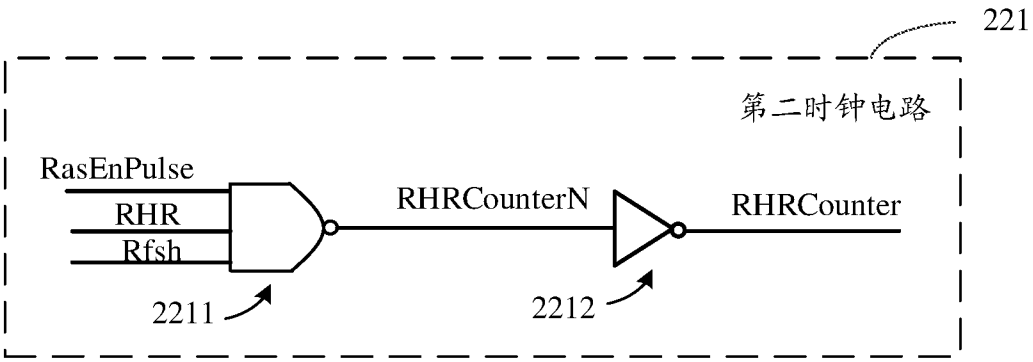

221
第二时钟电路
RasEnPulse
RHR
Rfsh
RHRCounterN
RHRCounter
2211
2212

图 12

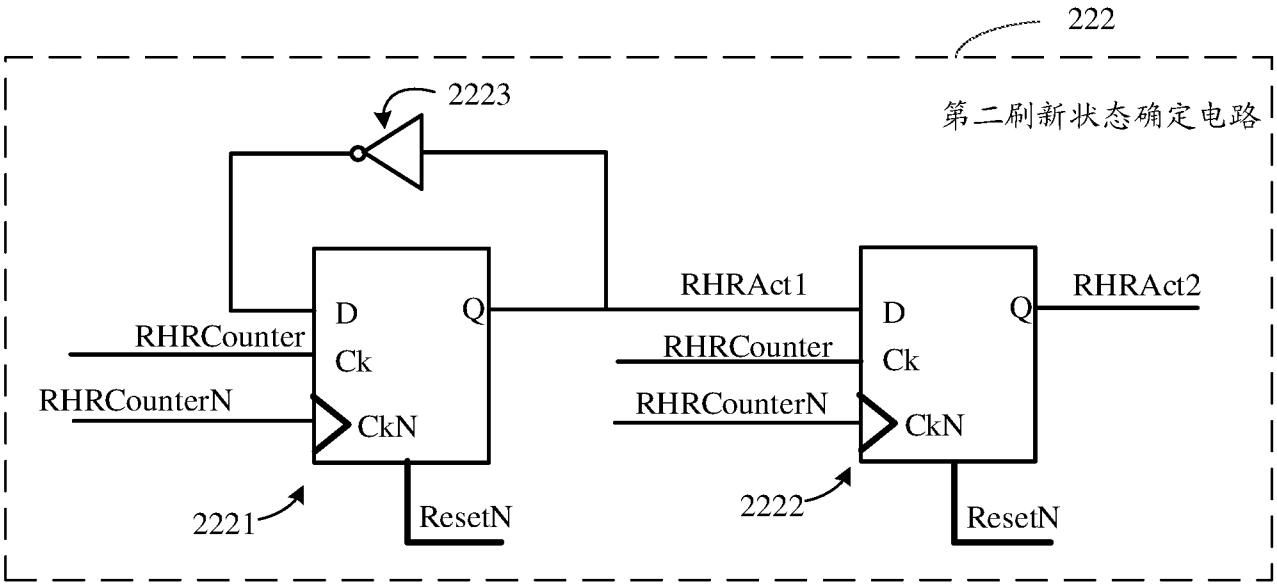

222
2223
第二刷新状态确定电路
D
Q
Ck
CkN
RHRCounter
RHRCounterN
RHRAct1
RHRAct2
ResetN
2221
2222

图 13

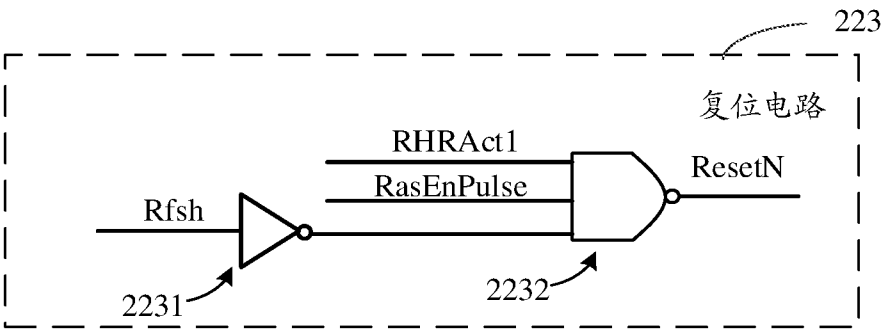

223
复位电路
RHRAct1
RasEnPulse
Rfsh
ResetN
2231
2232

图 14

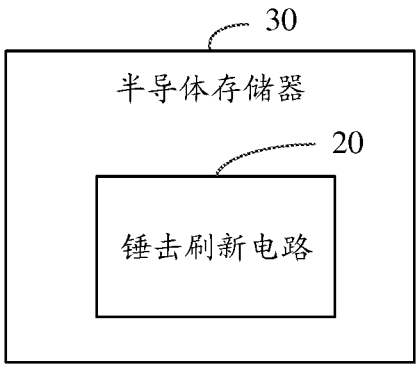


图 15

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/072108

A. CLASSIFICATION OF SUBJECT MATTER

G11C 11/406(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, ISI: 锤击, 刷新, 周期, 存储器, 目标, 字线, 行, 有效, 信号, 下一个, DRAM, hammer, refresh, period, memory, target, word, line, row, valid, signal, next

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108154895 A (SAMSUNG ELECTRONICS CO., LTD.) 12 June 2018 (2018-06-12) description, paragraphs [0036]-[0040] and paragraphs [0105]-[0120], and figures 1 and 14-15C	1-18
A	CN 111863062 A (MICRON TECHNOLOGY INC.) 30 October 2020 (2020-10-30) entire document	1-18
A	CN 111755047 A (INTEL CORP.) 09 October 2020 (2020-10-09) entire document	1-18
A	US 2018061476 A1 (SK HYNIX INC.) 01 March 2018 (2018-03-01) entire document	1-18
A	US 9478316 B1 (SK HYNIX INC.) 25 October 2016 (2016-10-25) entire document	1-18

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 July 2022	**28 July 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/072108

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108154895	A	12 June 2018	US	2018158507	A1	07 June 2018
				KR	20180064940	A	15 June 2018
CN	111863062	A	30 October 2020	US	2020388326	A1	10 December 2020
				US	10790005	B1	29 September 2020
CN	111755047	A	09 October 2020	KR	20200115115	A	07 October 2020
				US	2019228813	A1	25 July 2019
				US	2022189532	A1	16 June 2022
				US	2021151095	A1	20 May 2021
				JP	2020166832	A	08 October 2020
				DE	102020104367	A1	01 October 2020
US	2018061476	A1	01 March 2018	KR	20180022069	A	06 March 2018
US	9478316	B1	25 October 2016	KR	20170083466	A	18 July 2017

国际检索报告

国际申请号
PCT/CN2022/072108

A. 主题的分类

G11C 11/406(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT, EPODOC, WPI, CNKI, ISI：锤击，刷新，周期，存储器，目标，字线，行，有效，信号，下一个，DRAM, hammer, refresh, period, memory,target, word, line, row, valid, signal, next

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 108154895 A (三星电子株式会社) 2018年6月12日 (2018-06-12) 说明书第[0036]-[0040]段、第[0105]-[0120]段以及图1、14-15C	1-18
A	CN 111863062 A (美光科技公司) 2020年10月30日 (2020-10-30) 全文	1-18
A	CN 111755047 A (英特尔公司) 2020年10月9日 (2020-10-09) 全文	1-18
A	US 2018061476 A1 (SK HYNIX INC.) 2018年3月1日 (2018-03-01) 全文	1-18
A	US 9478316 B1 (SK HYNIX INC.) 2016年10月25日 (2016-10-25) 全文	1-18

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年7月11日	2022年7月28日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 李婉怡 电话号码 86-(10)-53961408

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/072108

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108154895	A	2018年6月12日	US	2018158507	A1	2018年6月7日
				KR	20180064940	A	2018年6月15日
CN	111863062	A	2020年10月30日	US	2020388326	A1	2020年12月10日
				US	10790005	B1	2020年9月29日
CN	111755047	A	2020年10月9日	KR	20200115115	A	2020年10月7日
				US	2019228813	A1	2019年7月25日
				US	2022189532	A1	2022年6月16日
				US	2021151095	A1	2021年5月20日
				JP	2020166832	A	2020年10月8日
				DE	102020104367	A1	2020年10月1日
US	2018061476	A1	2018年3月1日	KR	20180022069	A	2018年3月6日
US	9478316	B1	2016年10月25日	KR	20170083466	A	2017年7月18日