



(12) 发明专利申请

(10) 申请公布号 CN 103427805 A

(43) 申请公布日 2013. 12. 04

(21) 申请号 201310181159. 3

G02B 21/00(2006. 01)

(22) 申请日 2013. 05. 16

(30) 优先权数据

102012208306. 5 2012. 05. 16 DE

102012215995. 9 2012. 09. 10 DE

(71) 申请人 莱卡微系统 CMS 有限责任公司

地址 德国威茨勒

(72) 发明人 索尔斯腾·科斯特

(74) 专利代理机构 北京清亦华知识产权代理事

务所(普通合伙) 11201

代理人 宋融冰

(51) Int. Cl.

H03K 5/13(2006. 01)

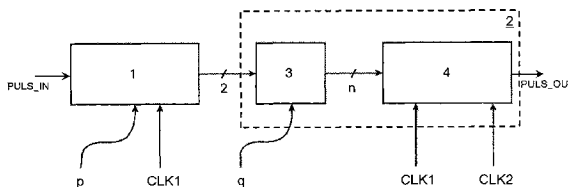
权利要求书2页 说明书7页 附图2页

(54) 发明名称

延迟输入信号的电路和方法, 显微镜和控制其的方法

(57) 摘要

本发明提供延迟输入信号的电路和方法, 显微镜和控制其的方法。该电路包括第一延迟单元(1) 和第二延迟单元(2), 输入信号被输入至第一延迟单元(1), 第一延迟单元(1) 将输入信号延迟第一时钟信号的k个周期以产生值 $x_{t,k}$, 并将值 $x_{t,k}$ 传输至第二延迟单元(2)。第二延迟单元(2) 包括转换器(3) 和第二移位寄存器(4), 转换器(3) 通过n个导线与第二移位寄存器(4) 连接; 值 $x_{t,k}$ 和值 $x_{t,k-1}$ 输入至转换器(3), $x_{t,k-1}$ 为被延迟第一时钟信号的k-1个周期的输入信号; 转换器(3) 配置为使得值 $x_{t,k-1}$ 输入至导线1至m, 值 $x_{t,k}$ 输入至导线m+1至n, 其中 $1 \leq m \leq n$; 第二移位寄存器(4) 将输入至导线1至n的值作为电路的输出信号连续地输出。



1. 一种用于可控地延迟输入信号的电路,所述电路包括第一延迟单元(1)和第二延迟单元(2),所述输入信号(PULS_IN)被输入至所述第一延迟单元(1),所述第一延迟单元(1)将所述输入信号(PULS_IN)延迟第一时钟信号(CLK1)的k个周期以产生值 x_{t_k} ,并将所述值 x_{t_k} 传输至所述第二延迟单元(2),其中,

所述第二延迟单元(2)包括转换器(3)和第二移位寄存器(4),所述转换器(3)通过n个导线与所述第二移位寄存器(4)连接,

所述值 x_{t_k} 和值 $x_{t_{k-1}}$ 输入至所述转换器(3), $x_{t_{k-1}}$ 为被延迟所述第一时钟信号(CLK1)的k-1个周期的所述输入信号(PULS_IN),

所述转换器(3)配置为使得值 $x_{t_{k-1}}$ 输入至导线1至m,值 x_{t_k} 输入至导线m+1至n,其中 $1 \leq m \leq n$,以及

所述第二移位寄存器(4)将输入至导线1至n的值作为所述电路的输出信号(PULS_OUT)连续地输出。

2. 根据权利要求1所述的电路,其中,所述第二移位寄存器(4)使用第二时钟信号(CLK2)同步,所述第二时钟信号(CLK2)通过 $T_{CLK1}:T_{CLK2} = n:1$ 的方式产生。

3. 根据权利要求1或2所述的电路,其中,所述第一延迟单元(1)包含第一移位寄存器,所述第一移位寄存器的有效长度k通过第一控制值(p)可控。

4. 根据权利要求1-3中任一项所述的电路,其中,所述转换器(3)包括组合逻辑单元(5)。

5. 根据权利要求1-4中任一项所述的电路,其中,第二控制值(q)输入至所述转换器(3)的输入端, $x_{t_{k-1}}$ 输出和 x_{t_k} 输出之间的界限m因此通过所述第二控制值(q)被限定和控制。

6. 根据权利要求3-5中任一项所述的电路,其中,所述电路包含产生和输出所述第一控制值(p)和所述第二控制值(q)的控制器件。

7. 根据权利要求1-6中任一项所述的电路,其中,所述第一延迟单元(1)将 x_{t_k} 和 $x_{t_{k-1}}$ 传输至所述第二延迟单元(2)。

8. 根据权利要求1-7中任一项所述的电路,其中,所述第一时钟信号(CLK1)输入至所述第二移位寄存器(4)的输入端,所述第二移位寄存器(4)优选地配置为使得在所述第一时钟信号(CLK1)的每个上升边缘,将输入至导线1至n的逻辑值传送至所述第二移位寄存器(4)。

9. 一种用于可控地延迟输入信号的方法,包含步骤:

将所述输入信号(PULS_IN)通过第一延迟单元(1)延迟第一时钟信号(CLK1)的k个周期以获得值 x_{t_k} ,

其特征在于进一步包含步骤:

将所述值 x_{t_k} 传输至转换器(3),

将值 $x_{t_{k-1}}$ 传输至转换器(3), $x_{t_{k-1}}$ 为被延迟所述第一时钟信号(CLK1)的k-1个周期的所述输入信号(PULS_IN),

通过所述转换器(3)输出导线1至m上的所述值 $x_{t_{k-1}}$,其中 $1 \leq m \leq n$,

通过所述转换器(3)输出导线m+1至n上的所述值 x_{t_k} ,

将输入至导线1至n的值传输至第二移位寄存器(4),以及

通过所述第二移位寄存器 (4) 将输入至导线 1 至 n 的值作为输出信号 (PULS_OUT) 连续地输出。

10. 一种用于研究样本的显微镜, 所述显微镜包含用于照明所述样本的激光光源 (5) 和用于检测来自所述样本的检测光 (7) 的检测器件 (8),

其中, 第一控制信号 (11) 用于控制所述激光光源产生的照明激光束 (6), 第二控制信号 (12) 用于控制所述检测器件 (8), 所述第一控制信号 (11) 作为输入信号 (PULS_IN) 输入至根据权利要求 1-8 中任一项所述的电路, 所述第二控制信号 (12) 由所述电路的所述输出信号 (PULS_OUT) 构成。

11. 一种用于控制显微镜的方法, 所述显微镜具有激光光源 (5) 和检测器件 (8), 通过第一控制信号 (11) 控制所述激光光源 (5), 通过第二控制信号 (12) 控制所述检测器件 (8),

通过使用根据权利要求 9 所述的方法将所述第一控制信号 (11) 可控地延迟以产生所述第二控制信号 (12), 将所述第一控制信号 (11) 作为输入信号 (PULS_IN) 输入至所述第一延迟单元 (1), 所述第二控制信号 (12) 由所述第二移位寄存器 (4) 的所述输出信号 (PULS_OUT) 构成。

延迟输入信号的电路和方法，显微镜和控制其的方法

技术领域

[0001] 本发明涉及一种用于可控地延迟输入信号的电路，一种用于可控地延迟输入信号的方法，一种显微镜和一种用于控制显微镜以研究物体的方法。

背景技术

[0002] 可控延迟电路在各个技术应用领域广为需求，以通过限定的方式将输入信号延迟作为控制值的函数。一个应用示例是共聚焦显微镜，其中，通过激光光源发射脉冲激光以照明待研究样本。来自样本的检测光通过检测器件被检测。激光光源产生的激光束的强度由第一控制信号控制。提供第二控制信号以控制检测器件。因为激光光源产生的激光束，例如通过激光束在待照明样本上的反射，或者通过发生荧光效应产生检测光束，故期待该检测光束在激光束的发射之后限定的延迟时间内到达检测器件。因此第二控制信号通常是第一控制信号的时间延迟。从第一控制信号产生第二控制信号要求用于可控地延迟输入信号的高分辨率可调的非常精确的电路。延迟时间通常在 1 至 2 纳秒量级。

[0003] DE10 2009 055 993A1 公开了一种这样的用于延迟显微镜的输入信号的电路。其首先通过第一延迟单元产生粗略延迟，然后通过第二延迟单元产生精细延迟。第二延迟单元由输出信号至两个移位寄存器的脉冲整形器组成。由这两个移位寄存器输出的信号通过双倍数据速率 (DDR) 触发器合并以产生和输出输出信号。

[0004] 现有技术中的已知电路的缺点在于：该电路构造较复杂，且可以调节延迟时间的分辨率 (resolution) 相对较低。尽管电路的分辨率可以通过提高第二延迟单元的移位寄存器的时钟速率而在一定极限内增加，但是电路的复杂度制约了时钟速率的任意提高。

发明内容

[0005] 因此本发明所基于的目的是配置和改进上文列举的这种电路和方法，使得实现具有高分辨率的输出信号的延迟的灵活的可调性，同时该电路和方法具有最简单可能的配置。进一步的目的是描述一种显微镜和一种用于控制显微镜的方法，实现具有高分辨率的输出信号的延迟的灵活的可调性，同时配置尽可能简单。

[0006] 为了实现上述目的，本发明提供了一种用于可控地延迟输入信号的电路，所述电路包括第一延迟单元和第二延迟单元，所述输入信号被输入至所述第一延迟单元，所述第一延迟单元将所述输入信号延迟第一时钟信号的 k 个周期以产生值 $x_{t,k}$ ，并将所述值 $x_{t,k}$ 传输至所述第二延迟单元，其中，所述第二延迟单元包括转换器和第二移位寄存器，所述转换器通过 n 个导线与所述第二移位寄存器连接，所述值 $x_{t,k}$ 和值 $x_{t,k-1}$ 输入至所述转换器， $x_{t,k-1}$ 为被延迟所述第一时钟信号的 $k-1$ 个周期的所述输入信号，所述转换器配置为使得值 $x_{t,k-1}$ 输入至导线 1 至 m ，值 $x_{t,k}$ 输入至导线 $m+1$ 至 n ，其中 $1 \leq m \leq n$ ，以及所述第二移位寄存器将输入至导线 1 至 n 的值作为所述电路的输出信号连续地输出。

[0007] 本发明还提供了一种用于可控地延迟输入信号的方法，包含步骤：将所述输入信号通过第一延迟单元延迟第一时钟信号的 k 个周期以获得值 $x_{t,k}$ ，其特征在于进一步包含

步骤:将所述值 $x_{t,k}$ 传输至转换器,将值 $x_{t,k-1}$ 传输至转换器, $x_{t,k-1}$ 为被延迟所述第一时钟信号的 $k-1$ 个周期的所述输入信号,通过所述转换器输出导线 1 至 m 上的所述值 $x_{t,k-1}$,其中 $1 \leq m \leq n$,通过所述转换器输出导线 $m+1$ 至 n 上的所述值 $x_{t,k}$,将输入至导线 1 至 n 的值传输至第二移位寄存器,以及通过所述第二移位寄存器将输入至导线 1 至 n 的值作为输出信号连续地输出。

[0008] 本发明还提供了一种用于研究样本的显微镜,所述显微镜包含用于照明所述样本的激光光源和用于检测来自所述样本的检测光的检测器件,其中,第一控制信号用于控制所述激光光源产生的照明激光束,第二控制信号用于控制所述检测器件,所述第一控制信号作为输入信号输入至根据本发明的电路,所述第二控制信号由所述电路的所述输出信号构成。

[0009] 本发明还提供了一种用于控制显微镜的方法,所述显微镜具有激光光源和检测器件,通过第一控制信号控制所述激光光源,通过第二控制信号控制所述检测器件,通过使用根据本发明的方法将所述第一控制信号可控地延迟以产生所述第二控制信号,将所述第一控制信号作为输入信号输入至所述第一延迟单元,所述第二控制信号由所述第二移位寄存器的所述输出信号构成。

[0010] 根据本发明首先已获知的是,提高电路延迟的分辨率的关键在于第二延迟单元的明显简化。根据本发明进一步已获知的是,通过第二延迟单元由以特别方式相互作用的转换器和第二移位寄存器构成的事实,第二延迟单元可以明显地被简化。转换器的功能在此可以说作为串并行转换器,第二移位寄存器作为串并行转换器使用。

[0011] 转换器和第二移位寄存器通过 n 个导线相互连接。应广义地理解术语“导线(lead)”。将逻辑值或信号从转换器传输至第二移位寄存器的任何技术手段均可以看作是导线。

[0012] 值 $x_{t,k}$ 和值 $x_{t,k-1}$ 输入至转换器, $x_{t,k}$ 为被延迟第一时钟信号的 k 个周期的输入信号, $x_{t,k-1}$ 为被延迟第一时钟信号的 $k-1$ 个周期的输入信号。转换器配置为使得值 $x_{t,k-1}$ 输入至导线 1 至 m ,值 $x_{t,k}$ 输入至导线 $m+1$ 至 n ,其中 $1 \leq m \leq n$ 。 $m = n$ 的例子涉及这样的事实:值 $x_{t,k-1}$ 输入至导线 1 至 n ,而值 $x_{t,k}$ 不在任何导线上输出。由于第一延迟单元和第二延迟单元相应的适配性,因此第二延迟单元可以产生等于第一时钟信号的一个周期的延迟。在第一延迟单元产生的移位与整个电路所期望的延迟精确地对应,这种情况是值得关注的。该配置也允许根据本发明的电路以及根据本发明的方法包括这种情况。

[0013] 因为 m 是较自由地可限定的界限,故显而易见地,转换器也可以配置为使得值 $x_{t,k-1}$ 输入至导线 1 至 $m-1$,值 $x_{t,k}$ 输入至导线 m 至 n 。在此同样地, $1 \leq m \leq n$ 。通过第二延迟单元产生的零移位的情况在该实施例中视为 $m = 1$ 的例子。需指出的是,该实施例也包括在下述特征。

[0014] 由于第二移位寄存器,输入至导线 1 至 n 的值作为电路的输出信号连续地输出,从而被再次转换为串行值流。根据本发明的转换器和第二移位器之间的交互的结果是,第二延迟单元可以较高分辨率对值 $x_{t,k}$ 和值 $x_{t,k-1}$ 之间的“界限”进行移位。因此有可能影响输出信号,使得在电路的输出端产生的输出信号以 $1:n$ 的时间分辨率存在于被延迟第一时钟信号的 k 个周期的输入信号和被延迟第一时钟信号的 $k-1$ 个周期的输入信号之间。这允许比现有技术的电路明显更高的分辨率得以实现。

[0015] 结果是,根据本发明的电路和根据本发明的方法,可以使用第一延迟单元设置“粗略”延迟,即输入信号可以以较粗略的时间间隔被延迟且跨过较宽的范围。第二延迟单元用于“精细”延迟,即以 1:n 的时间分辨率得到使用第一延迟单元可实现的两个延迟之间的延迟。根据本发明的电路和根据本发明的方法,因此有可能实现可控延迟的灵活的可调性和高时间分辨率。分辨率现在仅取决于移位寄存器的宽度和移位寄存器的移位操作的速度。因此可以显著提高整个电路的分辨率。

[0016] 第二移位寄存器优选地使用第二时钟信号进行时钟同步。为了同步第二移位寄存器的移位操作和第一延迟单元的延迟,第二移位寄存器使用第二时钟信号同步,第二时钟信号通过第一时钟信号的周期长度 T_{CLK1} 与第二时钟信号的周期长度的 T_{CLK2} 的比等于第二移位寄存器的宽度的方式产生。从频率的角度而言,第二时钟信号通过第一时钟信号的频率 f_{CLK1} 和第二时钟信号的频率 f_{CLK2} 的比等于 1 和第二移位寄存器的宽度的比的方式产生。这可以表述为:

[0017] $T_{CLK1}:T_{CLK2} = n:1$ 或者

[0018] $f_{CLK1}:f_{CLK2} = 1:n$,

[0019] 其中频率 f_{CLK1} 和 f_{CLK2} 为各自周期长度的倒数。一方面第二时钟信号通过乘以第一时钟信号的频率产生,另一方面第一时钟信号可以通过第二时钟信号的时钟分频 (division) 产生。进一步可选地,第一时钟信号和第二时钟信号可以基于第三时钟信号产生。用于产生这两种时钟信号的方法和电路从现有技术中充分已知。

[0020] 第一延迟单元优选地由第一移位寄存器组成,第一移位寄存器的有效长度 k 可以通过第一控制值控制。如同普通的移位寄存器,在每个活动的(通常为上升的)时钟边缘,该可变移位寄存器将输入至输入端的输入信号在移位寄存器存储器内移位一个位置。然而,在可变移位寄存器的情况中,经过固定次数的移位操作后,延迟的输入信号不会被输出。相反,可变移位寄存器的有效长度可以被控制,使得耦合出移位寄存器的移位寄存器存储器的位可以通过第一控制值限定。通过这种方式,时钟周期和最大数目的时钟周期(由第一移位寄存器的最大长度限定)之间的延迟时间可以被设置为第一控制值的函数。因此可以实现输入信号的粗略延迟。

[0021] 在转换器的优选实施例中,转换器由组合逻辑单元构成,即使用逻辑门限定转换器的各个输出端的 $x_{t,k-1}$ 输出或 $x_{t,k}$ 输出。转换器的这种配置允许具有低内部延迟时间的快速电路得以实现。

[0022] 转换器优选地通过第二控制值控制, $x_{t,k-1}$ 输出和 $x_{t,k}$ 输出之间的界限 m 因此通过第二控制值被限定和控制。显而易见地,转换器的上述功能通过对控制值和转换器的结构的熟练的调谐是可实现的。

[0023] 当转换器配置为组合逻辑单元时,第二控制值的位可以直接控制组合逻辑单元的门。可以通过一位第二控制值的一个逻辑值选择 $x_{t,k-1}$ 输出,以及可以通过该位的另一个逻辑值选择 $x_{t,k}$ 输出。通过第二控制值的第一配置,转换器可以以很简单的方式实现。但是,第二控制值必须具有 n 位宽度。

[0024] 在第二控制值的第二实施例中,在组合逻辑单元之前可以设置解码器电路,解码器电路将通过第二控制值限定的 m 解码为用于门的合适的逻辑值。解码器电路接着将对所有设置用于导线 1 至 m 的门输出用于 $x_{t,k-1}$ 输出的逻辑值。相应地,设置用于导线 $m+1$ 至 n

的门将被赋予另一个逻辑值用于输出 x_{t_k} 。结果是,第二控制值不需要具有 n 位宽度,而是可以具有更小的宽度,例如二进制数。

[0025] 如果转换器配置为使得值 $x_{t_{k-1}}$ 输出到导线 1 至 $m-1$ 上,值 x_{t_k} 输出到导线 m 至 n 上,则进行相应的考虑。

[0026] 此外,电路优选地包含产生第一控制值和第二控制值以及将第一控制值和第二控制值分别输出至第一延迟单元和第二延迟单元的控制器件。控制器件可以包括关于必须选择哪个值以实现指定的延迟时间的必备“知识”。该知识包括,例如,第一时钟信号和第二时钟信号的周期长度,或者第二移位寄存器的宽度 n 。这允许,例如,用户或控制计算机确定延迟时间而不必知道需要如何选择第一控制值和第二控制值。控制器件可以从指定的延迟时间中计算出正确的控制值,并且将这些控制值分别输出至第一延迟单元和第二延迟单元。

[0027] 在根据本发明的电路的优选实施例中,第一延迟单元配置为将 x_{t_k} 和 $x_{t_{k-1}}$ 均传输至第二延迟单元。这可以通过除了输出被延迟第一时钟信号的 k 个周期的输入信号,还输出被延迟第一时钟信号的 $k-1$ 个周期的输入信号来容易地实现。因为在任何情况下两个值均输入至第一延迟单元中,故将其输出至第二延迟单元通常是易于实现的。

[0028] 在第一延迟单元中输出两个延迟值是不可能的,但是,仍然使用第一延迟单元。在这些情况下,第一延迟单元可以仅将 $x_{t_{k-1}}$ 传输至第二延迟单元,而第二延迟值 x_{t_k} 由第二延迟单元产生。传输至第二延迟单元的信号接着在第二延迟单元内被进一步延迟第一时钟信号的一个周期,由此产生 x_{t_k} 。因此 x_{t_k} 和 $x_{t_{k-1}}$ 均再次在第二延迟单元中可获得。可选地,在第二延迟单元之前可以设置单独的延迟元件用于产生 $x_{t_{k-1}}$ 。

[0029] 为避免在第二移位寄存器的输入端输入未限定的电平,第二移位寄存器可以具有触发输入端,第一时钟信号优选地输入至触发输入端。第二移位寄存器可以响应触发输入端的信号使得在信号的上升或下降边缘,输入至导线 1 至 n 的逻辑值被传输至第二移位寄存器的存储器位置。

[0030] 关于本发明的一方面,根据本发明的电路用于显微镜。例如在申请人的 DE10 2009055 993A1 中,公开一种原理上适合重新配置用于根据本发明的电路的显微镜。在这种情况下使用根据本发明的电路以通过延迟第一控制信号得到第二控制信号。第一控制信号构成电路的输入信号,第二控制信号由电路的输出信号构成。关于这种装置的具体配置,请读者参考前述文献,这里明显地引用了前述文件的内容。

[0031] 根据本发明的电路可以特别地以可编程模块如现场可编程门阵列 (FPGA) 的方式实现。

[0032] 存在各种途径有利地具体化和进一步开发本发明的教导。为了该目的,读者一方面参考本发明的权利要求,另一方面参考结合附图的本发明的优选的示例性实施例的说明。结合参考附图的本发明的优选的示例性实施例的说明,将对一般优选的实施例和教导的进一步开发给出说明。

附图说明

[0033] 图 1 为根据本发明的电路的示例性实施例的框图,该电路具有第一延迟单元和第二延迟单元;

[0034] 图 2 示意性地描述用于根据图 1 的示例性实施例的转换器的操作方式;以及

[0035] 图 3 为根据本发明的具有根据本发明的电路的显微镜的框图。

[0036] 部件列表

[0037]	1	第一延迟单元
[0038]	2	第二延迟单元
[0039]	3	转换器
[0040]	4	第二移位寄存器
[0041]	5	激光光源
[0042]	6	照明激光束
[0043]	7	检测光
[0044]	8	检测器件
[0045]	9	测量系统
[0046]	10	测量信号
[0047]	11	第一控制信号
[0048]	12	第二控制信号
[0049]	13	控制单元
[0050]	14	延迟计算单元
[0051]	15	时钟产生器
[0052]	PULS_IN	输入信号
[0053]	PULS_OUT	输出信号
[0054]	k	第一移位寄存器的有效长度
[0055]	m	$x_{t_{k-1}}$ 输出和 x_{t_k} 输出之间的界限
[0056]	n	第二移位寄存器的宽度
[0057]	p	第一控制值
[0058]	q	第二控制值
[0059]	w	总延迟时间

具体实施方式

[0060] 图 1 为根据本发明的电路的示例性实施例的框图，该电路具有第一延迟单元 1 和第二延迟单元 2。输入信号 PULS_IN 被输入第一延迟单元 1 并基于第一控制值 p 被延迟。第一延迟单元 1 具体化为可变移位寄存器，第一延迟单元 1 的有效长度 k 受第一控制值 p 影响。具体是指，第一控制值 p 控制移位寄存器的深度，延迟的输入信号以该深度输出。输入信号 PULS_IN 为脉冲序列或在高电平和低电平之间切换的逻辑信号，输入信号 PULS_IN 的间隔时间由第一时钟信号 CLK1 限定。因此第一延迟单元 1 由第一时钟信号 CLK1 时钟同步，且在第一时钟信号 CLK1 的每个上升边缘，第一延迟单元 1 将输入信号 PULS_IN 在移位寄存器存储器内移位一个位置。

[0061] 第一延迟单元 1 将值 x_{t_k} 和 $x_{t_{k-1}}$ 传输至第二延迟单元 2。这些值从第一移位寄存器的第 k 个位置和第 k-1 个位置获得。因此通过将输入信号 PULS_IN 延迟第一时钟信号 CLK1 的 k-1 个周期产生值 $x_{t_{k-1}}$ ，以及通过将输入信号 PULS_IN 延迟第一时钟信号 CLK1 的 k 个周期产生值 x_{t_k} 。

[0062] 在第二延迟单元 2 中,转换器 3 接收两个值 x_{t_k} 和 $x_{t_{k-1}}$ 。转换器 3 的功能性原理将参考图 2 详细说明。转换器 3 包括可能受第二控制值 q 影响的组合逻辑单元。作为第二控制值 q 的函数,值 $x_{t_{k-1}}$ 在输出端 1 至 m 输出,以及值 x_{t_k} 在输出端 $m+1$ 至 n 输出。在一个特别简单的实施例中,第二控制值具有 n 位的宽度,且每当第二控制值 q 的位置 i 的比特等于逻辑 0 时,值 $x_{t_{k-1}}$ 在转换器的输出端 i 输出。反之,在第二控制值 q 的第 i 位为逻辑 1 的情况下,值 x_{t_k} 在转换器的输出端 i 输出。因为在这种模式中第二控制值 q 必须包括很多位,也可以想到的是,由二进制数构成的第二控制值 q 通过任选的解码器电路(图 2 中未示出)转换为用于组合逻辑单元的对应的合适的逻辑值。

[0063] 输入至转换器 3 的输出端 1 至 n 的逻辑值被传送至将转换器 3 连接至第二移位寄存器 4 的导线 1 至 n 上。因此由转换器 3 产生的值 x_{t_k} 和 $x_{t_{k-1}}$ 分别输入至第二移位寄存器 4 的 n 个输入端。第二移位寄存器 4 包括触发输入端和时钟输入端,第一时钟信号 CLK1 输入至触发输入端,以及第二时钟信号 CLK2 输入至时钟输入端。使用触发输入端使得在所施加的时钟信号的上升边缘,输入至输入端 1 至 n 的逻辑值被传送至第二移位寄存器 4 内的移位寄存器存储器(未示出)。存储在移位寄存器存储器中的值通过输入至时钟输入端的时钟信号被连续地输出。在第二时钟信号 CLK2 的每个上升边缘,发生从移位寄存器存储器的当前存储器位置到下一个存储器位置的切换,以便存储在移位寄存器存储器中的所有值逐渐地经由第二移位寄存器 4 的输出端输出。第二移位寄存器的输出信号同时构成第二延迟单元 2 的输出信号,以及因而整个电路的输出信号 PULS_OUT。

[0064] 第二时钟信号 CLK2 通过这种方式产生:第二时钟信号 CLK2 的频率为第一时钟信号 CLK1 的 n 倍。故:

$$[0065] \quad f_{\text{CLK1}}:f_{\text{CLK2}} = 1:n,$$

[0066] 其中, f_{CLK1} 为第一时钟信号 CLK1 的频率, f_{CLK2} 为第二时钟信号 CLK2 的频率,频率 f_{CLK1} 和 f_{CLK2} 假设为各自周期长度 T_{CLK1} 和 T_{CLK2} 的倒数。

[0067] 图 3 示出根据本发明的具有根据本发明的电路的显微镜。根据本发明的包括其基本线路元件的电路通过虚线包围。除了该电路之外,根据本发明的显微镜还包含产生照明激光束 6 用于照明样本(未示出)的激光光源 5。照明激光束 6 在样本中产生源自照明激光束 6 的检测光 7,例如作为样品的荧光的结果。检测光 7 行进至检测器件 8,检测器件 8 从检测光产生检测信号。检测器件 8 连接至测量系统 9,测量系统 9 从检测信号产生并且输出测量信号 10。

[0068] 电路(包括线路元件)包括根据图 1 的第一延迟单元 1 和第二延迟单元 2,控制单元 13,延迟计算单元 14 和时钟产生器 15。由控制单元 13 产生的输入信号 PULS_IN 施加至第一延迟单元 1 的输入端。

[0069] 延迟计算单元 14 接收总延迟时间 w 作为输入值,延迟计算单元 14 通过总延迟时间 w 计算第一延迟单元 1 和第二延迟单元 2 的第一控制值 p 和第二控制值 q 。为了该目的,延迟计算单元 14“知道”电路的参数以便可以正确地计算控制值 p 和 q 。参数为:第一延迟单元的移位寄存器存储器的宽度、第二移位寄存器 4 的宽度 n 、第一时钟信号 CLK1 的频率。两个控制值 p 和 q 被传输至第一延迟单元 1 和第二延迟单元 2 的相应的输入端。

[0070] 时钟产生器 15 产生第一时钟信号 CLK1 和第二时钟信号 CLK2,所产生的第二时钟信号 CLK2 的频率为第一时钟信号 CLK1 的 n 倍。第一时钟信号 CLK1 传输至第一延迟单元 1

的时钟输入端和第二延迟单元 2 的触发输入端。第二时钟信号 CLK2 施加至第二延迟单元 2 的时钟输入端。

[0071] 激光光源 5 由第一控制信号 11 控制,检测器件 8 由第二控制信号 12 控制。第一控制信号 11 由控制单元 13 产生的脉冲序列构成,并被作为输入信号 PULS_IN 传输至第一延迟单元 1。第二控制信号 12 由通过根据本发明的电路延迟第一控制信号 11 产生,该延迟由输入至延迟计算单元 14 的总延迟时间 w 限定。

[0072] 为避免重复,关于根据本发明的装置的另外的有利的实施例,请参考上述描述。

[0073] 最后,需明确指出的是,以上描述的根据本发明的电路和根据本发明的方法的示例性实施例仅仅用于说明所请求保护的权利要求,但并不将其限于示例性实施例。

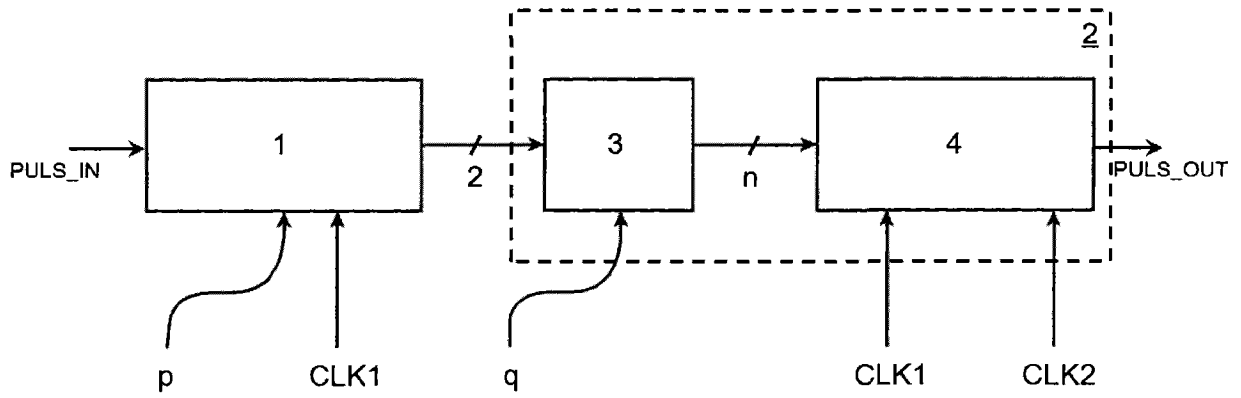


图 1

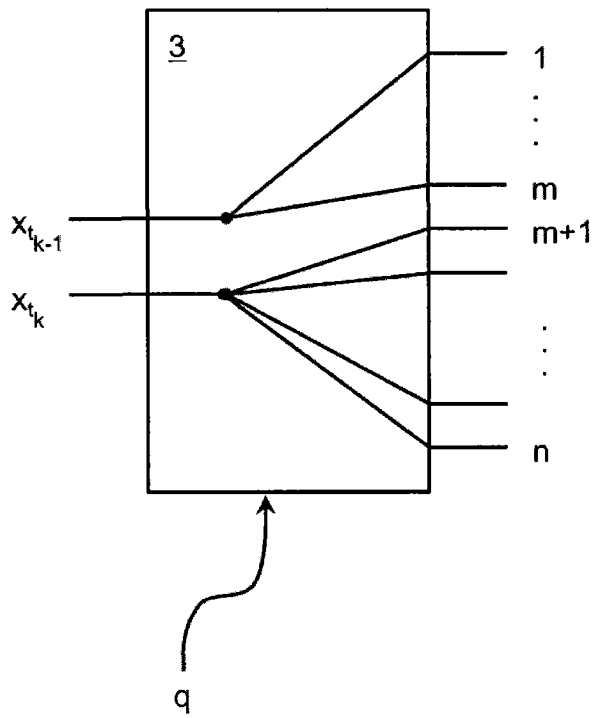


图 2

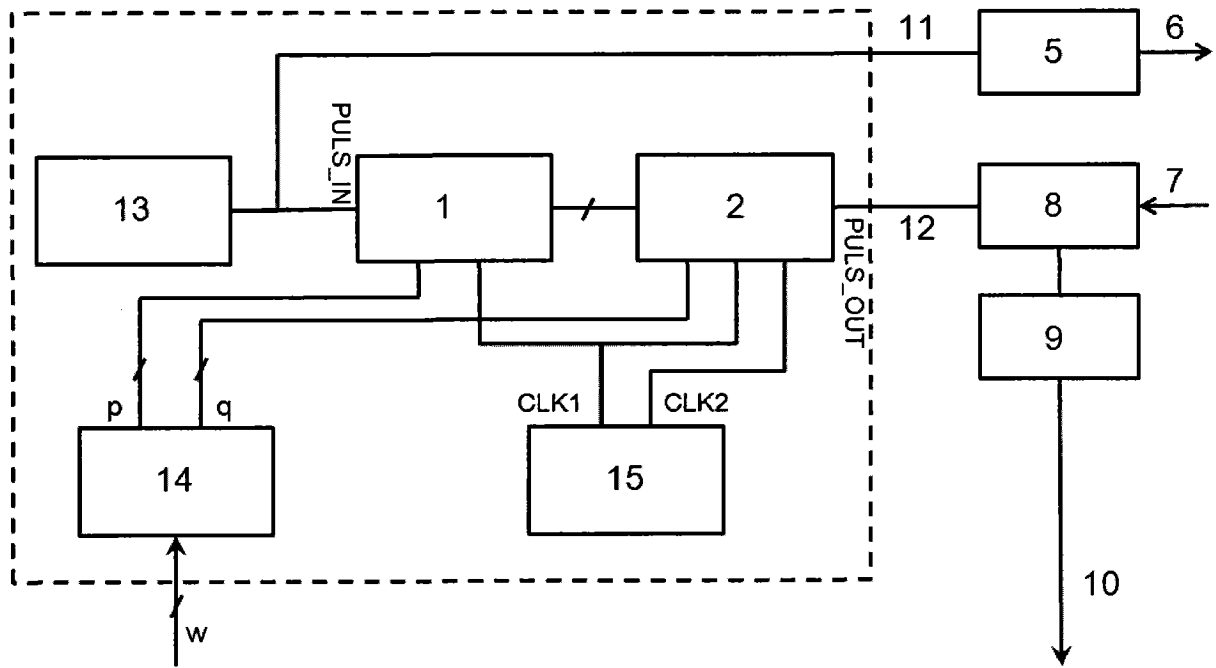


图 3