

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-529342  
(P2013-529342A)

(43) 公表日 平成25年7月18日(2013.7.18)

(51) Int.Cl.

G06N 3/063 (2006.01)

F I

G06N 3/063

テーマコード (参考)

審査請求 未請求 予備審査請求 未請求 (全 27 頁)

(21) 出願番号 特願2013-511155 (P2013-511155)  
 (86) (22) 出願日 平成23年1月21日 (2011.1.21)  
 (85) 翻訳文提出日 平成25年1月15日 (2013.1.15)  
 (86) 国際出願番号 PCT/US2011/022155  
 (87) 国際公開番号 W02011/146147  
 (87) 国際公開日 平成23年11月24日 (2011.11.24)  
 (31) 優先権主張番号 61/346, 441  
 (32) 優先日 平成22年5月19日 (2010.5.19)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 506115514  
 ザ リージェンツ オブ ザ ユニバーシ  
 ティ オブ カリフォルニア  
 アメリカ合衆国 カリフォルニア州 94  
 607 オークランド フランクリン ス  
 トリート 1111 トゥエルフス フロ  
 ア  
 (74) 代理人 100101454  
 弁理士 山田 卓二  
 (74) 代理人 100081422  
 弁理士 田中 光雄  
 (74) 代理人 100125874  
 弁理士 川端 純市

最終頁に続く

(54) 【発明の名称】 ニューラル処理ユニット

(57) 【要約】

ここで開示された主題は、ニューラルベースの処理のための製造の方法、装置及び物を提供する。1つの態様では方法が提供される。当該方法は、少なくとも1つの結合値に基づいて格納されたコンテキスト情報を第1のメモリから読み出すステップと、少なくとも1つの結合値をマッチングさせる動作値を第2のメモリから読み出すステップと、第1のプロセッサによって、コンテキスト情報及び動作値を複数のマイクロエンジンの少なくとも1つに対して送信して少なくとも1つのマイクロエンジンをニューロンとして構成するステップと、少なくとも1つのマイクロエンジンにおいて、ニューロンの出力を示す値を発生するステップとを含んでもよい。関連した装置、システム、方法及び物がまた説明される。

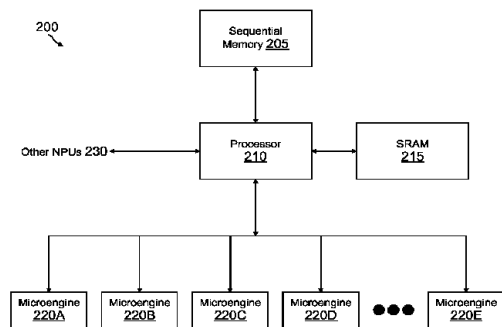


FIG. 2

**【特許請求の範囲】****【請求項 1】**

第 1 のメモリから、少なくとも 1 つの結合値に基づいて格納されたコンテキスト情報を読み出すステップと、

第 2 のメモリから、上記少なくとも 1 つの結合値をマッチングさせる動作値を読み出すステップと、

第 1 のプロセッサによって、上記コンテキスト情報及び上記動作値を複数のマイクロエンジンの少なくとも 1 つに対して送信してニューロンとして上記少なくとも 1 つのマイクロエンジンを構成するステップと、

上記少なくとも 1 つのマイクロエンジンにおいて、上記ニューロンの出力を示す値を発生するステップとを含むことを特徴とする方法。

10

**【請求項 2】**

上記第 1 のメモリから読み出すステップはさらに、

上記複数のマイクロエンジンにおいて実装されたニューロンに対する結合値に基づいて、メモリ内に順次格納された上記コンテキスト情報を含むデータ構造を読み出すステップを含むことを特徴とする請求項 1 記載の方法。

**【請求項 3】**

上記データ構造は、複数のブロックを含み、

上記複数のブロックのそれぞれは、

上記ニューロンにおける実行を定義するタイプと、

上記少なくとも 1 つの結合値を含む上記コンテキスト情報が格納された上記第 1 のメモリ内のロケーションを示す第 1 のアドレスと、

上記動作値が格納された上記第 2 のメモリ内のロケーションを示す第 2 のアドレスとを含むことを特徴とする請求項 1 記載の方法。

20

**【請求項 4】**

上記データ構造は、複数のシーケンシャルブロックを含み、

上記複数のシーケンシャルブロックのそれぞれは、

結合値と、

上記複数のマイクロエンジンの 1 つにおいて実装された対応するニューロンを定義するニューロンタイプとを含むことを特徴とする請求項 1 記載の方法。

30

**【請求項 5】**

上記各シーケンシャルブロックは、上記複数のマイクロエンジンのうちの少なくとも 1 つに対してパケットとして送信され、

上記複数のマイクロエンジンのそれぞれは、少なくとも 1 つのプロセッサと少なくとも 1 つのメモリとを備えたことを特徴とする請求項 4 記載の方法。

**【請求項 6】**

上記データ構造は、複数のシーケンシャルブロックを含み、

上記各シーケンシャルブロックは、対応するニューロンに対して、ニューロンタイプ及び複数の結合値を含むことを特徴とする請求項 1 記載の方法。

**【請求項 7】**

上記第 1 のプロセッサは、上記第 1 のメモリからの読み出すステップを可能とするために、上記第 1 のメモリに対して結合されたことを特徴とする請求項 1 記載の方法。

40

**【請求項 8】**

上記発生するステップは、上記少なくとも 1 つのマイクロエンジンにおいて、上記第 1 のメモリ及び上記第 2 のメモリにアクセスすることなしに、上記コンテキスト情報及び上記動作値に基づいて上記値を発生して追加的なコンテキスト情報を取得するステップを含むことを特徴とする請求項 1 記載の方法。

**【請求項 9】**

上記第 1 のメモリ及び上記第 2 のメモリは、集積回路の同一のメモリ内に実装されたことを特徴とする請求項 1 記載の方法。

50

## 【請求項 10】

上記値を、少なくとも上記第2のメモリに送信するステップをさらに含んだことを特徴とする請求項1記載の方法。

## 【請求項 11】

少なくとも1つの結合値に基づいて格納されたコンテキスト情報を含む第1のメモリと、

上記少なくとも1つの結合値をマッチングさせる動作値を含む第2のメモリと、

上記第1のメモリから読み出された上記コンテキスト情報と、上記第2のメモリから読み出された上記動作値とを送信するように構成された第1のプロセッサと、

上記第1のメモリから読み出された上記コンテキスト情報と、上記第2のメモリから読み出された上記動作値とを受信して少なくとも1つのニューロンのセットの出力を示す少なくとも1つの値を発生するように構成された少なくとも1つの第2のセットのプロセッサとを備えたことを特徴とする装置。

10

## 【請求項 12】

上記第1のメモリはさらに、

上記第2のセットのプロセッサにおいて実装された上記少なくとも1つのニューロンのセットに対する結合値に基づいてメモリ内に順次格納された上記コンテキスト情報を含むデータ構造を備えたことを特徴とする請求項11記載の装置。

## 【請求項 13】

上記データ構造は、複数のブロックを含み、

上記複数のブロックのそれぞれは、

ニューロンタイプと、

上記コンテキスト情報が格納された上記第1のメモリ内のロケーションを示す第1のアドレスと、

上記動作値が格納された上記第2のメモリ内のロケーションを示す第2のアドレスとを含むことを特徴とする請求項11記載の装置。

20

## 【請求項 14】

少なくとも1つのプログラマブルプロセッサによって実行されるときに上記少なくとも1つのプログラマブルプロセッサが、

第1のメモリから、少なくとも1つの結合値に基づいて格納されたコンテキスト情報を読み出すステップと、

第2のメモリから、少なくとも1つの結合値とマッチングさせる動作値を読み出すステップと、

第1のプロセッサによって、上記コンテキスト情報及び上記動作値を複数のマイクロエンジンの少なくとも1つに対して送信してニューロンとして上記少なくとも1つのマイクロエンジンを構成するステップと、

上記少なくとも1つのマイクロエンジンにおいて、上記ニューロンの出力を示す値を発生するステップとを含む動作を実行することができる命令を格納する機械可読媒体を備えたことを特徴とするコンピュータプログラム製品。

30

## 【請求項 15】

上記第1のメモリから読み出すステップはさらに、

上記複数のマイクロエンジンにおいて実装されたニューロンに対する結合値に基づいて、メモリ内に順次格納された上記コンテキスト情報を含むデータ構造を読み出すステップを含むことを特徴とする請求項14記載のコンピュータプログラム製品。

40

## 【請求項 16】

上記データ構造は、複数のブロックを含み、

上記複数のブロックのそれぞれは、上記ニューロンにおける実行を定義するタイプと、

上記少なくとも1つの結合値を含む上記コンテキスト情報が格納された上記第1のメモリ内のロケーションを示す第1のアドレスと、

上記動作値が格納された上記第2のメモリ内のロケーションを示す第2のアドレスとを

50

含むことを特徴とする請求項 1 4 記載のコンピュータプログラム製品。

【請求項 1 7】

各ブロックがニューロンに対する少なくとも 1 つの結合値と上記ニューロンのタイプを示す情報とを含むブロック内に格納されたコンテキスト情報を含む第 1 のメモリと、

上記第 1 のメモリをインターフェースし、上記第 1 のメモリから読み出すこと及び上記第 1 のメモリに対して書き込むことのうちの少なくとも 1 つを制御するメモリコントローラと、

上記コンテキスト情報を転送し、さらに上記メモリコントローラ及び上記第 1 のメモリからの上記コンテキスト情報を受信するように構成された第 1 のプロセッサと、

上記第 1 のプロセッサによって転送された上記コンテキスト情報を受信し、複数の動作値のうちの少なくとも 1 つを上記少なくとも 1 つの結合値とマッチングさせ、上記マッチングする上記複数の動作値の少なくとも 1 つをフェッチし、上記フェッチされた上記複数の動作値の少なくとも 1 つ及び上記少なくとも 1 つの結合値を転送するように構成されたインターフェースと、

上記転送された上記複数の動作値の少なくとも 1 つと上記少なくとも 1 つの結合値とを受信し、少なくとも 1 つのセットのニューロンとして構成された少なくとも 1 つの第 2 のセットのプロセッサの出力を示す少なくとも 1 つの値を発生するように構成された上記少なくとも 1 つの第 2 のセットのプロセッサとを備えたことを特徴とする装置。

【請求項 1 8】

少なくとも 1 つのプログラブルプロセッサによって実行されるときに上記少なくとも 1 つのプログラブルプロセッサが、

第 1 のメモリから、各ブロックがニューロンに対する少なくとも 1 つの結合値及び上記ニューロンのタイプを示す情報を含むブロック内に格納されたコンテキスト情報を読み出すステップと、

上記第 1 のメモリをインターフェースするメモリコントローラにおいて、上記第 1 のメモリから読み出すこと及び上記第 1 のメモリに書き込むことのうちの少なくとも 1 つを制御するステップと、

上記コンテキスト情報をインターフェースに転送するように構成された第 1 のプロセッサにおいて、上記第 1 のメモリコントローラ及び上記第 1 のメモリから上記コンテキスト情報を受信するステップと、

上記インターフェースにおいて、上記第 1 のプロセッサによって転送された上記コンテキスト情報を受信するステップと、

上記インターフェースにおいて、複数の動作値の少なくとも 1 つを上記少なくとも 1 つの結合値とマッチングさせるステップと、

上記インターフェースにおいて、上記マッチングする複数の動作値の少なくとも 1 つをフェッチするステップと、

上記インターフェースにおいて、上記フェッチされた複数の動作値の少なくとも 1 つ及び上記少なくとも 1 つの結合値を転送するステップと、

1 つもしくはそれ以上の第 2 のセットのプロセッサにおいて、上記転送された複数の動作値のうちの少なくとも 1 つ及び上記転送された少なくとも 1 つの結合値を受信するステップと、

上記 1 つもしくはそれ以上の第 2 のセットのプロセッサにおいて、出力を発生するステップとを含む動作を実行することができる命令を格納する機械可読媒体を備えたことを特徴とするコンピュータプログラム製品。

【請求項 1 9】

第 1 のメモリから、各ブロックがニューロンに対する少なくとも 1 つの結合値及び上記ニューロンのタイプを示す情報を含むブロック内に格納されたコンテキスト情報を読み出すステップと、

上記第 1 のメモリをインターフェースするメモリコントローラにおいて、上記第 1 のメモリから読み出すこと及び上記第 1 のメモリに書き込むことのうちの少なくとも 1 つを制

10

20

30

40

50

御するステップと、

上記コンテキスト情報をインターフェースに転送するように構成された第1のプロセッサにおいて、上記第1のメモリコントローラ及び上記第1のメモリから上記コンテキスト情報を受信するステップと、

上記インターフェースにおいて、上記第1のプロセッサによって転送された上記コンテキスト情報を受信するステップと、

上記インターフェースにおいて、複数の動作値のうち少なくとも1つを上記少なくとも1つの結合値とマッチングさせるステップと、

上記インターフェースにおいて、上記マッチングする複数の動作値のうち少なくとも1つをフェッチするステップと、

上記インターフェースにおいて、上記フェッチされた複数の動作値のうち少なくとも1つ及び上記少なくとも1つの結合値を転送するステップと、

1つもしくはそれ以上の第2のセットのプロセッサにおいて、上記転送された複数の動作値のうち少なくとも1つ及び上記転送された少なくとも1つの結合値を受信するステップと、

上記1つもしくはそれ以上の第2のセットのプロセッサにおいて、出力を発生するステップとを含むことを特徴とする方法。

【請求項20】

少なくとも1つの結合値に基づいて格納されたコンテキスト情報を読み出すための手段と、

上記少なくとも1つの結合値をマッチングさせる動作値を読み出すための手段と、

上記コンテキスト情報及び上記動作値を、複数のマイクロエンジンのうち少なくとも1つに対して送信して上記少なくとも1つのマイクロエンジンをニューロンとして構成するための手段と、

上記ニューロンの出力を示す値を発生するための手段とを備えたことを特徴とする装置。

【発明の詳細な説明】

【技術分野】

【0001】

ここで説明された主題は、データ処理に関し、特にニューラルベースの処理に関する。

【0002】

関連出願の相互参照

この出願は、2010年5月19日出願の発明の名称“ニューラル処理ユニット”を有する米国仮出願第61/346,441号の利益を主張し、それがその全体において参照によりここで組み込まれる。

【背景技術】

【0003】

ニューラルベースのデータ処理は、ニューロン、樹状突起、及び/もしくは軸索の挙動を定義する種々のニューラルモデルに基づいて実装されてもよい。いくつかの例では、ニューラルベースのデータ処理は、非常に多数の並列ニューロン及びそれらのニューロン間の結合を用いて実装されてもよい。ニューラルベースの処理のこの並列性は、例えばデータ処理、信号処理、予測、分類などのタスクを処理するのに十分に適している。

【発明の概要】

【発明が解決しようとする課題】

【0004】

ここで開示された主題は、ニューラル処理のための製造の方法、装置、及び物を提供する。

【課題を解決するための手段】

【0005】

一態様では、方法が提供される。当該方法は、第1のメモリから、少なくとも1つの結

10

20

30

40

50

合値に基づいて格納されたコンテキスト情報を読み出すステップと、第2のメモリから、少なくとも1つの結合値とマッチングさせる動作値を読み出すステップと、第1のプロセッサによって、コンテキスト情報及び動作値を、複数のマイクロエンジンの少なくとも1つに送信して上記少なくとも1つのマイクロエンジンをニューロンとして構成するステップと、上記少なくとも1つのマイクロエンジンにおいて、ニューロンの出力を示す値を発生するステップとを含んでもよい。

#### 【0006】

方法の実施態様は、1つもしくはそれ以上の以下の特徴を含む、ここで説明された1つもしくはそれ以上の特徴を含む。第1のメモリから読み出すステップは、複数のマイクロエンジンで実装されたニューロンのための結合値に基づいて、メモリ内に順次格納されたコンテキスト情報を含むデータ構造を読み出すステップをさらに含んでもよい。データ構造は、複数のブロックを含んでもよく、複数のブロックのそれぞれは、ニューロンにおける実行を定義するタイプと、少なくとも1つの結合値を含むコンテキスト情報が格納された第1のメモリでのロケーションを示す第1のアドレスと、動作値が格納された第2のメモリでのロケーションを示す第2のアドレスとを含む。データ構造は、複数のシーケンシャルブロックを含んでもよく、複数のシーケンシャルブロックのそれぞれは、結合値と、複数のマイクロエンジンの1つで実装された、対応するニューロンを定義するニューロンタイプとを含む。シーケンシャルブロックは、複数のマイクロエンジンの少なくとも1つに対して、パケットとして送信されてもよく、複数のマイクロエンジンのそれぞれは、少なくとも1つのプロセッサと少なくとも1つのメモリとを含んでもよい。データ構造は、複数のシーケンシャルブロックを含んでもよく、シーケンシャルブロックのそれぞれは、ニューロンタイプと、対応するニューロンに対する複数の結合値とを含む。第1のプロセッサは、第1のメモリからの読み出しを可能とするために、第1のメモリに対して結合されてもよい。その値は、追加的なコンテキスト情報を取得するために、第1のメモリ及び第2のメモリにアクセスすることなしにコンテキスト情報及び動作値に基づいて、少なくとも1つのマイクロエンジンにおいて発生されてもよい。第1のメモリ及び第2のメモリは、集積回路の同一のメモリ内に実装されてもよい。発生された値は、少なくとも第2のメモリに送信されてもよい。

#### 【0007】

1つもしくはそれ以上の（例えば、コンピュータなどの）機械がここで説明された動作が得られるように動作可能な、タンジブルに具現化された機械可読媒体を備えた物がまた説明される。同様に、プロセッサと、当該プロセッサに結合されたメモリを含むシステムがまた説明される。メモリは、プロセッサにここで説明された1つもしくはそれ以上の動作を実行させる1つもしくはそれ以上のプログラムを含んでもよい。

#### 【0008】

ここで説明された主題に対する1つもしくはそれ以上の変形例の詳細が、添付図面及び以下の説明文において説明される。ここで説明された主題の特徴及び利点は、説明文、図面及び特許請求の範囲から明らかとなろう。

#### 【図面の簡単な説明】

#### 【0009】

- 【図1】ニューロンのブロック図を図示する。
- 【図2】ニューラル処理ユニット（NPU）のブロック図を図示する。
- 【図3A】コンテキスト情報を順次格納するためのデータ構造の例を図示する。
- 【図3B】コンテキスト情報を順次格納するためのデータ構造の例を図示する。
- 【図4】コンテキスト情報に基づいてニューロンを構成するためのプロセスを図示する。
- 【図5】ニューラル処理ユニットのもう1つのブロック図を図示する。
- 【図6】複数のニューラル処理ユニットを含むシステムのブロック図を図示する。
- 【図7】ニューロンを構成するためのもう1つのプロセスを図示する。
- 【図8】コンテキスト情報に基づいてニューロンを実装するように構成されたマイクロエンジンの例を図示する。

10

20

30

40

50

【図9】複数のニューラル処理ユニットを含むシステムのブロック図を図示する。

【発明を実施するための形態】

【0010】

同様の表示（ラベル）は、同一の素子もしくは同様の素子に参照される。

【0011】

ここで説明された主題は、コンテキスト情報を含む少なくとも1つのパケットによって構成されたニューラル処理ユニット（NPU）に関する。ここで使用されるように、コンテキスト情報は、ニューラル処理ユニットとしてプロセッサを構成するための情報に言及する。さらに、コンテキスト情報の全部ではないがいくつかは、結合値に基づいて、メモリ内に順次格納されてニューラル処理ユニットによる処理を容易化してもよい。

10

【0012】

ニューラル処理ユニットの詳細を説明する前に、ニューラル処理ユニットを使用して実装されたニューロンによって実行された処理に関する説明が以下に提供される。

【0013】

図1は、ニューラル処理ユニットによって実装されてもよいニューロン $A_j$  150を含むシステム100を図示する。図1は単一のニューロン150を図示するが、システム100は、複数のニューロンもまた含んでもよい。

【0014】

ニューロン150は、（ $A_0 - A_8$ に対応する）動作値 $A_i(t-1)$  160 A-Iに基づいた出力 $A_j(t)$  170と、（ $C_{0j}$ から $C_{8j}$ までと表示された）結合 $W_{ij}$  165 A-Iと、（ $S_0 - S_8$ と表示された）入力値110 A-Iとを発生してもよい。入力値110 A-Iは、他のニューロンの出力から、メモリから、及び/又は例えば電圧値などの値を提供する1つもしくはそれ以上のセンサから受信されてもよい。1つもしくは複数の動作値はホストコンピュータによってもまた提供されてもよいが、動作値 $A_i(t-1)$ は、メモリから受信されてもよく、例えば、システム100の（例えば $(t-1)$ におけるなどの）前のサイクルもしくはエポックの前の動作値などの出力に対応してもよい。（重み、結合重み、及び結合値としてまた言及された）結合 $W_{ij}$  165 A-Iは、メモリから受信されてもよく、及び/もしくはホストコンピュータによって提供されてもよい。

20

【0015】

例の目的で例示するために、所定の時間 $t$ において、動作値160 A-Iの各1つは、対応する結合165 A-Iの1つによって乗算される。例えば、結合重み $C_{0j}$  165 Aは、動作値 $A_0$  160 Aによって乗算され、結合重み $C_{1j}$  165 Bは動作値 $A_1$  160 Bによって乗算される、など。次に、積（すなわち、結合と動作値との乗算の積）は合計され、その結果生じた合計は、基底関数 $K$ によって演算されてノード $A_j$  150に対して時間 $t$ における出力 $A_j(t)$  170を得る。出力170は、（例えば $(t+1)$ などにおける）後に続く時間では動作値として使用されてもよい。

30

【0016】

システム100は、例えばニューロン150などの複数のニューロンを含んでもよく、各ニューロンは、ここで説明されたニューラル処理ユニット上に実装されてもよい。さらに、ニューロンはあるニューラルモデルに従って構成されてもよく、その例は次式の通りである。

40

【0017】

【数1】

$$A_j(t) = K \left[ \sum_{i=0}^n A_i(t-1) * W_{ij} \right] \quad (\text{式1})$$

【0018】

ここで、 $K$ は（例えばシグモイド関数、ウェーブレット関数及び任意の他の基底関数などを含む）基底関数に対応する。

50

## 【 0 0 1 9 】

$A_j(t)$  は、所定の時間  $t$  における、（例えば  $j$  番目のニューロンなどの）所定のニューロンによって提供された出力値に対応する。

## 【 0 0 2 0 】

$A_i(t-1)$  は、前の時間  $(t-1)$  における、 $j$  番目のニューロンに対する結合  $i$  に割り当てられた前の出力値（もしくは動作値）に対応する。

## 【 0 0 2 1 】

$W_{ij}$  は、 $j$  番目のニューロンに対する  $i$  番目の結合値を示す。 $j$  はニューロンの量に従って変化し、所定のニューロンを識別し、 $i$  は 0 から  $n-1$  まで変化し、 $n$  はニューロンに対する結合数に対応する。

## 【 0 0 2 2 】

ここでの説明は、ニューラルモデルの例として（式 1）に言及するが、他のモデルがまた使用されてニューロンのタイプを定義してもよい。さらに、いくつかの実施例では、各結合は、複数のニューロンタイプのうちの 1 つに関連付けられてもよい。例えば、結合  $W_{ij}$  165 A-C は、第 1 のニューロンのタイプに対応する第 1 のニューラルモデルを実装してもよく、結合  $W_{ij}$  165 D-E は、第 2 のニューロンのタイプに対応する第 2 のニューラルモデルを実装してもよい。この例では、コンテキスト情報は、結合値及びニューロンのタイプを示す情報を含むであろう。

## 【 0 0 2 3 】

図 2 は、例えば図 1 に関して上述説明されたニューロン 150 などのニューロンとして動作するように構成されたニューラル処理ユニット 200 の例示的な実施例を図示する。ニューラル処理ユニット 200 は、例えばシーケンシャルメモリ 205 などの第 1 のメモリと、プロセッサ 210 と、例えば（SRAM と表示された）スタティックランダムアクセスメモリ 215 などの第 2 のメモリと、例えばニューロンを実装するように構成された 1 つもしくはそれ以上のマイクロエンジン 220 A-E などの 1 つもしくはそれ以上のプロセッサとを含む。

## 【 0 0 2 4 】

図 2 は、単一のニューラル処理ユニット 200 を図示するが、いくつかの実施例では、システムは複数のニューラル処理ユニットを含んでもよい。例えば、複数のニューラル処理ユニットは、集積回路上及び/もしくは特定用途向け集積回路上に実装されてニューラル処理システムを提供してもよい。

## 【 0 0 2 5 】

シーケンシャルメモリ 205 は、例えばランダムアクセスメモリ、ダイナミックランダムアクセスメモリ、ダブルデータレート同期式ダイナミックアクセスメモリ、フラッシュメモリ、強誘電体ランダムアクセスメモリ、機械的な磁気ディスクドライブ、光ドライブなどの任意のタイプのメモリとして実装されてもよい。シーケンシャルメモリ 205 は、ニューロンとして、例えばマイクロエンジン 220 A などのマイクロエンジンを構成するために必要とされる情報のすべてではないがいくつかを備えたコンテキスト情報を含んでもよい。例えば、シーケンシャルメモリ 205 は、以下のうちの 1 つもしくはそれ以上を含むデータ構造を含んでもよい。すなわち、（例えば、 $j$  個のニューロンのうちのどのニューロンが構成されたかなどの）ニューロンのアイデンティティ（同一性）、各結合  $i$  のための結合値  $W_{ij}$ 、使用される基底関数  $K$  の指示、及び/もしくは前の動作値  $A_i(t-1)$ 。

## 【 0 0 2 6 】

いくつかの実施例では、コンテキスト情報は、パケットフォーマットでシーケンシャルメモリ 205 から取得される。用語「パケット」は、コンテキスト情報及び/もしくはコンテキスト情報に対するポインタを含むコンテナに言及される。パケットは、結合値及び（例えばニューロンのタイプを構成するための命令、基底関数  $K$  の指示、 $j$  番目のニューロンのアイデンティティなどの）他の情報を提供するが、前の動作値  $A_i(t-1)$  は、例えばスタティックランダムアクセスメモリ 215 などのもう 1 つのメモリから取得され

10

20

30

40

50



る。シーケンシャルメモリ 205 から読み出されたパケットは、図 3 A - B に関して以下に説明されたデータ構造として構成されたコンテキスト情報を含んでもよい。いくつかの実施例では、シーケンシャルメモリ 205 はまた、ホストコンピュータからコンテキスト情報を受信してもよい。

【0027】

プロセッサ 210 には、他のタイプのプロセッサがまた使用されてもよいが、例えば超長命令語 (VLIW) をハンドリングするように構成された中央処理ユニットなどの任意のタイプのプロセッサとして実装されてもよい。プロセッサ 210 は、シーケンシャルメモリ 205 から、(1つもしくはそれ以上のパケットとしてフォーマットされた) コンテキスト情報を格納してもよいし、及び / 又は検索してもよい。

10

【0028】

(クラスタとしてもまた言及された) 1つもしくはそれ以上の追加的なニューラル処理ユニットは、プロセッサ 210 からコンテキスト情報を受信してもよいし、及び / 又は結合 230 を介してコンテキスト情報をプロセッサ 210 に提供してもよい。プロセッサ 210 はまた、例えばスタティックランダムアクセスメモリ 215 から、前の動作値  $A_i(t-1)$  などの中間値を検索してもよい。

【0029】

プロセッサ 210 は、メモリ 205 から取得されたコンテキスト情報及び (例えばスタティックランダムアクセスメモリ 215 から取得された前の動作値  $A_i(t-1)$  などの) 任意の中間値を含むパケットをマイクロエンジンに対してルーティングしてニューロンとしてマイクロエンジンを構成してもよい。

20

【0030】

いくつかの実施例では、メモリ 205 内のコンテキスト情報は、図 3 A - B に関して以下にさらに説明されるように、シーケンシャルブロック内に編成される。メモリ 205 内のコンテキスト情報は、メモリ 205 内のシーケンシャルブロックから読み出されてニューロンとしてマイクロエンジンを構成する。さらに、もしシステムが複数のニューロンを含むならば、プロセッサ 210 は、コンテキスト情報を含むパケットのセットを各マイクロエンジン 220 A - E にルーティングして、例えば上記 (式 1) のニューラルモデルなどのモデルに従って動作するニューロンとして各マイクロエンジンを構成してもよい。さらに、マイクロエンジンの構成及び実行は、結合、ニューロン、及び / もしくはエポックそれぞれに対して時間にわたって繰り返されてもよい。

30

【0031】

各マイクロエンジン 220 A - E は、例えば中央処理ユニット、減少された命令セットのプロセッサなどのプロセッサとして実装されてもよい。減少された命令セットのプロセッサを用いた実施例では、減少された命令セットのプロセッサの機能性は制限されてもよく、それ故に、例えば集積回路などのチップ上に使用されたスペース / サイズを減少させる。任意のケースでは、ニューロンがマイクロエンジンにおいて実装されることを可能とするために、マイクロエンジン 220 A - E はそれぞれ、プロセッサ 210 によって提供されたコンテキスト情報によって構成されてもよい。

【0032】

図 3 A は、例えばシーケンシャルメモリ 205 などのシーケンシャルメモリ内に格納されたデータ構造 300 の例を図示する。図 3 A の例では、シーケンシャルメモリは、データ構造 300 の終わりまで順次読み出される及び / もしくは書き込まれるブロック 310 A - B のコンテキスト情報を格納するように構成され、次に読み出し及び書き込みが、例えばブロック 310 A などのメモリの初めにおいて再び始まるであろう。ブロック 310 A - B は、ニューラル処理システムの複数のニューロンのそれぞれに対応する。

40

【0033】

例えば、j 番目のニューロンなどの所定のニューロンに対して、ブロック 310 A は、コンテキスト情報を格納してもよい。特に、ブロック 310 A は、ニューロンのタイプ 320 を定義する情報を含んでもよい。そのタイプ 320 は、ニューロンの種類及び当該二

50

ニューロンをどのように実行すべきかを定義する。例えば、タイプ320は、(式1)により定義されるニューラルモデルを定義してもよく、もしくは、基底関数Kはj番目のニューロンによって使用される。この例では、ニューロンタイプは、マイクロエンジンがコンテキスト情報を処理し出力を発生することが可能となるようにマイクロエンジン内にロードされた、対応するコードセットを有してもよい。さらに、いくつかの実施例では、システムがコンテキスト情報において指示されたニューロンのタイプに対する対応するコードセットを有するマイクロエンジンを構成するように、複数のニューロンタイプがサポートされる。

#### 【0034】

ブロック310A内のコンテキスト情報はまた、シーケンシャルメモリ内で使用されたアドレス330を含んでブロック310Aを格納してもよい。もし例えば学習及び可塑性に対する重みを変更するなどによってブロック310Aのコンテンツが変更されるならば、アドレス330はシーケンシャルメモリに対するライトバックを可能とさせる。ブロック310A内のコンテキスト情報はまた、ブロック310Aのニューロンの所定の結合に関連付けされた動作アドレス340を含んでもよい。例えば、動作アドレス340は、スタティックランダムアクセスメモリ215から、ブロック310A内で使用される結合に対する動作値のローディングを可能としてもよい。ブロック310Aはまた、350A-Nを使用した結合値を含んでもよい。例えば、10個の結合を有する所定のニューロンjに対して、ブロック310Aは、 $W_{0j}$ から $W_{9j}$ に対応する10個の結合値を含むであろう。

#### 【0035】

データ構造300は、ニューラル処理システムによって実装された各ニューロンに対して、例えばブロック310Bなどの他のブロックを含んでもよい。データ構造300の使用が、各ニューロンに対する(パケットベースのフォーマットでフォーマットされた)コンテキスト情報の順次読み出しを可能とし次にマイクロエンジンにおいてそれらのニューロンの構成及び実行を可能とさせてもよい。いくつかの実施例では、データ構造300はもし取り除かなければ減少させてもよく、非効率的なランダムメモリは、マイクロエンジンのニューロンの実行の間に、マイクロエンジンによってメモリ205及び215に対して読み出される。

#### 【0036】

図3Bは、シーケンシャルメモリ内に格納されたデータ構造305のもう1つの例を示す。図3Bの例では、各ブロック390A-Cは、ニューロンに対して、単一の結合値を含んでもよい。特に、ニューロンの第1の結合値のセットのすべてが実行のために構成されてしまうまでなどは、ブロック390Aは、第1の結合350A及び第1のニューロンを構成するための他のコンテキスト情報320-340を含み、ブロック390Bは、第1の結合値333及び第2のニューロンを構成するための他のコンテキスト情報を含む。一旦実行されると、出力動作値は、例えばスタティックランダムアクセスメモリ215内に格納されてもよく、次にニューロンに対する次の結合のセットが処理される。ブロック390Cは、第2の結合350B及び第1のニューロンを構成するための他のコンテキスト情報を含む。一旦第2の結合値によって構成されると、ニューロンに対する第2の結合のセットが処理され、出力動作値のもう1つのセットが得られる。このプロセスは、すべての結合が処理されるまでニューロンに対する各結合に対して反復されてもよく、その時、当該プロセスはデータ構造305のブロック390Aにおける第1の結合からスタートすることを繰り返す。

#### 【0037】

いくつかの実施例では、データ構造300及び305は、プロセッサがニューラルモデルを実行し、そのモデルを実行するために必要とされるデータを検索するときのメモリアクセスの量を減少させてもよい。例えば、ここで説明されたデータ構造に従って構成されない典型的なマイクロプロセッサにおいては、当該マイクロプロセッサは、例えば0からnまでの、1からiまでの、及び1からjまでのインデキシングによって、(式1)のニ

10

20

30

40

50

ューラルモデルを実行するために、メモリからデータの広範囲に及ぶランダムなフェッチを必要とするであろう。対照的に、ここで説明されたマイクロエンジンは、いくつかの実施例では、例のデータ構造 300 及び 305 において図示されたメモリ内のコンテキスト情報を順次に順序付けすることによって、メモリからランダムなフェッチをもし取り除かなければ減少させてもよい。さらに、システム 200 のランダムなフェッチは、いくつかの実施例では、スタティックランダムアクセスメモリ 215 から動作値を検索するプロセッサ 205 に制限されてもよい。いくつかの実施例では、例えばプロセッサ 210 などの第 1 のプロセッサは、上述されたインデキシングと関連付けされたメモリ 205 及び 215 からすべてのメモリフェッチをハンドリングし、例えばマイクロエンジンなどの第 2 のプロセッサは、メモリ 205 及び 215 にアクセスすることなしにニューロンを実装する。さらに、マイクロエンジンは、( 図 5 に関して以下にさらに説明された ) そのレジスタメモリからアクセスされたデータを用いてニューロンを動作させるように構成されてもよい。さらに、第 1 のプロセッサ及び第 2 のプロセッサを含むシステムは、いくつかの実施例では、特に、例えば ( 式 1 ) などの例えばニューラルモデルと関連するスパー行列のコンテキストにおいて効率的な処理を容易化してもよい。

10

【 0038 】

図 4 は、ここで説明されたニューラル処理システムによって実装されるプロセス 400 を図示する。図 4 の説明はまた、図 2 及び図 3 A - B を参照してなされる。

【 0039 】

492 では、プロセッサ 210 は、メモリ 205 から順次読み出されてもよい。この順次読み出しには、コンテキスト情報を含む複数のパケットの少なくとも 1 つを、メモリ 205 内の連続的なアドレスのブロックから読み出すことを含んでもよい。例えば、データは、図 3 A - B に関して説明されたようにブロックにおいて順次読み出されてもよい。コンテキスト情報は、例えば ( 式 1 ) などのニューラルモデルに従ってニューロンとしてマイクロエンジンを構成するための情報を含んでもよい。例えば、シーケンシャルメモリ 205 から受信されたパケットは、結合値及び ( 例えば、ニューロンタイプを指示する命令、動作値などの ) 他の情報を提供してニューロンを構成してもよい。

20

【 0040 】

493 では、プロセッサ 210 はまた、スタティックランダムアクセスメモリ 215 から前の動作値  $A_i(t-1)$  を読み出してもよい。図 3 A - B を参照すると、プロセッサ 210 は、結合値 350 A、ニューロンタイプ 320、シーケンシャルメモリ内のアドレス 330、及びスタティックランダムアクセスメモリ 215 内のアドレス 340 を含むパケットを受信してもよい。次に、プロセッサ 210 は、スタティックランダムアクセスメモリ 215 をロケーションするためにアドレス 340 を使用してもよく、その場合は結合値 350 A に対応する動作値を決定するためのルックアップテーブルを使用してもよい。

30

【 0041 】

494 では、プロセッサ 210 は、コンテキスト情報及び動作値をマイクロエンジンに対して転送してマイクロエンジンを構成してもよい。例えば、プロセッサ 210 は、( 例えば、結合値 350 A、ニューロンタイプ 320 などの ) コンテキスト情報と、スタティックランダムアクセスメモリ 215 から取得された動作値を含む少なくとも 1 つのパケットとを、マイクロエンジン 220 A に転送してもよい。マイクロエンジンは少なくとも 1 つのパケットを受信するとき、マイクロエンジン 220 A は、( 例えば、ニューロンタイプ 320 によって指示されたニューロンタイプに対するコードセット / 命令をロードすることなどによって、 ) ニューロンタイプに基づいてそれ自身を構成し、次に結合値 350 A、動作値、及びマイクロエンジンに提供されてもよい他のコンテキスト情報を用いてニューロンを実行してもよい。

40

【 0042 】

496 では、構成された少なくとも 1 つのマイクロエンジンは、所定の時間  $t$  の間に、例えば  $A_j(t)$  などの出力を発生する。その出力  $A_j(t)$  はまた、出力  $A_j(t)$  をスタティックランダムアクセスメモリ 215 もしくは他のニューラル処理ユニット 230

50

に対してルーティングしてもよいプロセッサ 210 に提供されてもよい。当該プロセッサ 290 は、システムの、結合、ニューロン、及び/もしくはエポックのそれぞれに対して反復されてもよい。

【0043】

図5は、ニューラル処理ユニット500のもう1つの例示的な実施例を図示する。ニューラル処理ユニット500は、いくつかの点ではシステム200に類似するが、メモリインターフェース505と、アプリケーションインターフェース510と、ディスパッチャ520とをさらに含む。メモリインターフェース505は、シーケンシャルメモリ205及びプロセッサ210に結合され、アプリケーションインターフェース510は、プロセッサ210及び、マイクロエンジン220A-Eにさらに結合されたディスパッチャ520に結合される。

10

【0044】

メモリインターフェース505は、シーケンシャルメモリ205に対するアクセスを制御する。例えば、メモリインターフェース505は、メモリ205内に順次索引付けしてプロセッサ210に送信されたコンテキスト情報の次のパケットを検索してもよい。

【0045】

プロセッサ210はさらにルータとして構成されてもよい。プロセッサ210は、シーケンシャルメモリ205及び/もしくはメモリ215から、パケットフォームでコンテキスト情報を受信する場合、その場合には、プロセッサ210は、パケットベースのコンテキスト情報をマイクロエンジンにルーティングしてニューロンとしてマイクロエンジンを構成してもよい。ニューロンが実行された後、パケットプロセッサ210はまた、マイクロエンジンによって発生された出力値  $A_j(t)$  を受信してもよい。次に、受信された出力値  $A_j(t)$  は、結合565A-Dを介して他のニューラル処理ユニットに提供されてもよく、及び/もしくは例えばスタティックランダムアクセスメモリ215などのメモリ内に格納されてもよい。

20

【0046】

システム500を構成するためのホストコンピュータからのデータの初期ロードの間、プロセッサ210は、ホストコンピュータからデータのブロックを、例えばシーケンシャルメモリ205内のシーケンシャルロケーション並びに例えばスタティックランダムアクセスメモリ215、結合565A-Dを介して他の隣接したニューラル処理ユニット、及び/もしくは1つもしくはそれ以上のマイクロエンジン220A-Eなどの他のロケーションに移動させてもよい。

30

【0047】

マイクロエンジンにおけるニューロンの実行の間、プロセッサ210は、結合重みを動作値とマッチングさせてもよい。例えば、プロセッサ210は、シーケンシャルメモリ205から、j番目のニューロンのi番目の結合に対する結合重み  $W_{ij}$  を含むパケットを受信してもよい。次に、i番目の結合に対して、プロセッサ210は、結合重み  $W_{ij}$  を、スタティックランダムアクセスメモリ215内に格納された、前の動作値  $A_i(t-1)$  とマッチングさせてもよい。いくつかの実施例では、ルックアップテーブルが、結合重み  $W_{ij}$  のそれぞれをスタティックランダムアクセスメモリ215内に格納された、対応する動作値  $A_i(t-1)$  とマッチングさせるために使用される。

40

【0048】

アプリケーションインターフェース510は、各マイクロエンジン220A-Eに対してインターフェースを提供する。いくつかの実施例では、アプリケーションインターフェース510は、スタティックランダムアクセスメモリ215から、受信されたパケット内に含まれた結合値をマッチングさせる動作値をフェッチしてもよい。マッチング動作値のアドレスは、プロセッサ210から受信されたパケット内に含まれてもよい。例えば、マッチング動作アドレスのアドレスは、ニューロンスタティックランダムアクセスメモリ動作アドレス340としてパケット内に格納されてもよい。その場合は、(例えばニューロンのタイプ、結合値、動作値などの)コンテキスト情報を含むパケットは、マイクロエンジ

50

ンに転送される。

【0049】

ディスパッチャ520は、アプリケーションインターフェース510及びマイクロエンジン220A-E間で交換されたパケットに対してハンドリングしてキューイングするパケットを提供する。いくつかの実施例では、ディスパッチャ520は、コンテキスト情報を含むパケットに対して、宛先マイクロエンジンを選択する。ディスパッチャ520はまた、コンテキスト情報を有したマイクロエンジンのレジスタを含むマイクロエンジンをロードしてもよく、マイクロエンジン220A-Eからの出力データを、他のニューラル処理ユニット、スタティックランダムアクセスメモリ215、及び/もしくはシーケンシャルメモリ205に送信してもよい。

10

【0050】

ニューラル処理ユニット500は、(ノース、イースト、ウエスト及びサウスと表示された)結合565A-Dを介して、他のニューラル処理ユニットに接続されてもよい。例えば、ニューラル処理ユニット500は、(例えばユニット500のニューラル処理ユニットノース、ユニット500のニューラル処理ユニットサウス、ユニット500のニューラル処理ユニットイースト及びユニット500のニューラル処理ユニットウエストなどの)4つの他のニューラル処理ユニットに対する結合565A-Dを有してもよい。さらに、他のニューラル処理ユニットのそれぞれは、4つの他のニューラル処理ユニットに結合されてもよく、いくつかの実施例では、各ニューラル処理ユニットは、1つもしくはそれ以上の特定用途向けの集積回路上に実装されてもよい。

20

【0051】

図6は、ニューラル処理ユニット660A-Dを含むシステム600の例を図示する。各ニューラル処理ユニットは、(DDR2と表示された)シーケンシャルメモリ632と、メモリコントローラ634と、メモリインターフェース636と、アプリケーションインターフェース640と、スタティックランダムアクセスメモリ642と、ディスパッチャ644と、複数の(NMEと表示された)マイクロエンジン646とを含んでもよい。

【0052】

図6に図示された実施例では、各ニューラル処理ユニット660A-Dは、プロセッサ210に関して上述説明されたように実装されてもよいルータ610に結合される。しかしながら、ルータ610は、いくつかの実施例では、例えばメモリインターフェース及びアプリケーションインターフェースなどの入力と出力との間の、複数の並列バスを提供する、ノンブロッキングの、クロスパーパケットルータとしてさらに構成されてもよい。

30

【0053】

ニューラル処理ユニット660A内の素子に関する説明を以下に提供するが、他のニューラル処理ユニット660B-Dが、ニューラル処理ユニット660Aと同様の方法で構成されてもよい。さらに、ニューラル処理ユニット660A-Dを含むシステム600は、例えば特定用途向け集積回路(ASIC)などのチップ上に実装されてもよく、4つのニューラル処理ユニット660A-Dだけが図6で図示されるが、システム600はまた、他の量のニューラル処理ユニットを含んでもよい。

【0054】

シーケンシャルメモリ632は、シーケンシャルメモリ205に関して上述説明されたように実装されてもよい。図6の例では、シーケンシャルメモリ632は、他のタイプのメモリがまた使用されてもよいが、ダブルデータレート同期式ダイナミックアクセスメモリとして実装されてもよい。シーケンシャルメモリ632からの読み出し及びシーケンシャルメモリ632への書き込みを可能とするために、シーケンシャルメモリ632は、メモリコントローラ634に電氣的に結合されてもよい。

40

【0055】

メモリコントローラ634は、シーケンシャルメモリ632からの読み出し及びシーケンシャルメモリ632への書き込みを制御してもよい。コンテキスト情報は、シーケンシャルメモリ632のシーケンシャルアドレス内に格納されてもよく、コンテキスト情報は

50

、パケットベースのフォーマットで、メモリ632から読み出されてもよく、もしくはメモリ632へ書き込まれてもよい。パケットベースのフォーマットが実装される場合、パケットは、メモリインターフェース636に対する電氣的結合を介して、ルータ610に対して提供されてもよいし、もしくはルータ610から受信されてもよい。さらに、メモリコントローラ634は、いくつかの実施例では、例えばメモリ632などのメモリから取得されたデータからパケットを発生し、発生されたパケットをルータ610に送信するインターフェースを提供してもよい。メモリコントローラ634はまた、ルータ610からパケットを受信してパケットのコンテンツをメモリ632に書き込んでもよい。スタティックランダムアクセスメモリ、ダイナミックランダムアクセスメモリから、より高い永続性を有する光学的な記憶機構までの範囲に及ぶ異なるタイプのメモリがメモリ632において使用されてもよいが、使用されたメモリのタイプにもかかわらず、メモリコントローラ634はパケットをハンドリングしてパケットに対してメモリのためのアドレスを指定する。

10

**【0056】**

メモリインターフェース636は、上述されたメモリインターフェース505と同様の方法で実装されてもよい。図6の例では、メモリインターフェース636は、メモリコントローラ634に対して送信されたパケットもしくはメモリコントローラ634から受信されたパケットをバッファリングしてもよい。

**【0057】**

ルータ610は、660A-Dにおける各アプリケーションインターフェース及び結合692A-Cに対して電氣的に結合されてもよい。結合692A-Cは、例えば他のニューラル処理ユニット、メモリ、ホストコンピュータなどの他のデバイスに対する結合を提供してもよい。いくつかの実施例では、結合692Cは、PCEインターフェースとして実装されて1秒あたり132メガビットまでの速度でルータ610に対する（及びルータ610からの）データ転送を可能としてもよい。結合692Cはまた、システム600のために、データをロードすること、データをデバッグすること、及びデータを処理することをハンドリングしてもよい。例えば、結合692A-Cは、システム600をホストコンピュータに結合するために使用されてもよい。ホストコンピュータは、動作値を含むコンテキスト情報を提供し、マイクロエンジンによって発生された出力値を受信し、各マイクロエンジンに対してコードを提供してニューロンとしてマイクロエンジンを構成してもよい。

20

30

**【0058】**

アプリケーションインターフェース640は、アプリケーションインターフェース510と同様の方法で実装されてもよい。しかしながら、図6における例では、アプリケーションインターフェース640は、スタティックランダムアクセスメモリ642及びディスパッチャ644に電氣的に結合されてもよい。スタティックランダムアクセスメモリ642は、スタティックランダムアクセスメモリ215と同様の方法で実装されてもよく、ディスパッチャ644は、ディスパッチャ520と同様の方法で実装されてもよい。ディスパッチャ644は、マイクロエンジン210A-Eと同様の方法で実装されてもよい、複数の（NMEと表示された）マイクロエンジン646に電氣的に結合される。

40

**【0059】**

図7は、ここで説明されたニューラル処理システムによって実装されてもよいプロセス700を図示する。プロセス700の説明はまた、図3A-B及び図6を参照するであろう。

**【0060】**

793では、メモリコントローラ634は、メモリ632のシーケンシャルアドレスからデータを読み出してもよい。この読み出し動作は、ニューラルモデルに従って、ニューロンとしてマイクロエンジンを構成するために、コンテキスト情報を含む複数のパケットの少なくとも1つを読み出すことを含んでもよい。メモリコントローラ634は、1つもしくは複数の読み出しパケットをメモリインターフェース636に提供してもよく、ここ

50

で1つもしくは複数のパケットは、ルータ610に提供される前にキューイングされてもよい。メモリコントローラ634はまた、例えばルータ610から受信されたパケットなどのデータをメモリ632に対して書き込むことを制御してもよい。

【0061】

794では、ルータ610は、複数のパケットの少なくとも1つをメモリインターフェース636から受信し、次に受信されたパケットを660A-Dにおけるアプリケーションインターフェースの1つに提供してもよい。例えば、ルータ610は、 $j$ 番目のニューロンの $i$ 番目の結合に対する結合重み $W_{ij}$ を含む少なくとも1つのパケットを、アプリケーションインターフェース640に対してルーティングしてもよい。

【0062】

797では、アプリケーションインターフェースは、メモリからマッチング動作値をフェッチしてもよい。例えば、アプリケーションインターフェース640は、結合重みを前の動作値 $A_i(t-1)$ とマッチングさせ、その場合は例えばスタティックランダムアクセスメモリ642などのメモリからマッチング動作値をフェッチしてもよい。受信された各パケットに対して、アプリケーションインターフェース640は、パケット内に含まれた結合重み $W_{ij}$ を読み出し、次にスタティックランダムアクセスメモリ642内に格納されたマッチング動作値を決定してもよい。上述されたように、アプリケーションインターフェース640は、どの動作値をフェッチすべきであるかを指示するルックアップテーブルに基づいてマッチングを決定してもよい。

【0063】

次に、798では、例えばアプリケーションインターフェース640などのアプリケーションインターフェースは、(例えば結合重み $W_{ij}$ 、マッチング動作値 $A_i(t-1)$ などの)コンテキスト情報を、例えばディスパッチャ644などのディスパッチャに提供してもよい。次に、ディスパッチャ644は、このコンテキスト情報をマイクロエンジン646の1つに提供してニューロンとしてマイクロエンジンを構成する。

【0064】

799では、構成されたマイクロエンジンは、例えば $A_j(t)$ などの出力を発生する。出力 $A_j(t)$ は、ディスパッチャ644と、出力 $A_j(t)$ をスタティックランダムアクセスメモリ642もしくは他のニューラル処理ユニット660B-Dに提供してもよいアプリケーションインターフェース640とに提供されてもよい。プロセス700は、ニューロンの各結合に対して反復されてもよく、ニューラル処理システムの各ニューロンに対して反復されてもよい。さらに、プロセス700は、複数のエポックに対して反復されてもよい。

【0065】

図8は、マイクロエンジン220A-E及び/もしくはマイクロエンジン646において使用されてもよいマイクロエンジン800の例を図示する。マイクロエンジン800は、レジスタメモリ820と、中央処理ユニット830と、プログラムメモリ850とを含んでもよい。マイクロエンジン800は、マイクロエンジン800がディスパッチャ520からコンテキスト情報、動作値などを含むパケットを受信し、ディスパッチャ520に対して出力動作を提供することができるように、ディスパッチャ520に対して電氣的に結合されてもよい。

【0066】

いくつかの実施例では、マイクロエンジン800は、例えば図3Bに図示されたブロック390Aなどのコンテキスト情報を含むパケットを受信する。マイクロエンジン800は、レジスタ820内にブロック390Aを格納する。その場合は、マイクロエンジン800は、プログラムメモリ850にアクセスして例えばプログラムコードなどの命令を取得してレジスタ820内に格納されたブロック390Aのコンテキスト情報によって指示されたニューラルタイプ320に従ってマイクロエンジンを構成してもよい。次に、マイクロエンジン800は、レジスタ820において格納されたブロック内に含まれた、(例えば、動作値及び結合値などの)コンテキスト情報を用いて命令を実行する。その場合は

10

20

30

40

50

、出力は、ディスパッチャ520に送信され、ここで、それは、例えばスタティックランダムアクセスメモリなどのもう1つのデバイス、もう1つのニューラル処理ユニット、及び/もしくはホストコンピュータに対してさらにルーティングされてもよい。出力は、後に続く時間では動作値として使用されてもよい。

【0067】

レジスタ820は、ディスパッチャ520から、例えば図3A-Bに関して上述されたように構造化されたコンテキスト情報を受信してもよい。レジスタ820はまた、制御ステータスレジスタ(CSR)と、累積レジスタと、プログラムカウンタ(PC)と、多数のスクラッチパッドレジスタとを含んでもよい。レジスタ820は、少なくともデータ構造300及び305並びに/又は図3A-Bで図示されたデータ構造300及び305のブロックのうちの少なくとも1つを格納するのに十分な記憶スペースを含むように実装されてもよい。レジスタ820はまた、ディスパッチャ520がレジスタ820のバンクの1つの中に書き込むことが可能となる一方で中央処理ユニット830がレジスタ820の他のバンクから読み出して実行することが可能となるように、2つの同一のレジスタバンクを含むピンポン構成で実装されてもよい。

10

【0068】

マイクロエンジン800は、マイクロエンジンにおいて実装された可能なニューラルモデルのセットを定義する(例えば、コードなどの)命令のセットを含んでもよい。従って、(プログラムメモリ850内に格納されてもよい)命令のセットは、マイクロエンジンを構成してコード化して複数のニューロンタイプの少なくとも1つとして動作するように使用されてもよい。さらに、命令のセットは、マイクロエンジン間で移植されて構成を容易化してもよい。マイクロエンジン800に対するコードはまた、アセンブリ言語プログラムをハンドリングしてマイクロエンジン内にローディングするためにそのプログラムをバイナリーコードファイルに変換するためにアセンブラを使用してもよい。例えば、ニューラルアセンブラは、コマンドラインを介して起動してマイクロエンジン内にローディングするためにアセンブリコードプログラムを受け取ってアセンブリコードをバイナリファイルに変換してもよい。

20

【0069】

図9は、ここでハイブとして言及されたシステム900を図示する。(NPUとしてそれぞれが表示された)ニューラル処理ユニットは、2次元グリッドレイアウトにおいて相互接続されてもよい。いくつかの実施例では、単一のメモリバスを共有する複数のプロセッサと比較すると、2次元グリッド構造は、処理電力は増加するかもしれない。ニューラル処理ユニット間の相互接続は、高速シリアルデータ線を提供する電気的な相互接続として実装されてもよい。ホストインターフェース990は、ニューラル処理ユニットとホストコンピュータ992との間をインターフェースしてもよい。例えば、ホストインターフェース990は、パケットをハイブの中を通過させ、ニューラル処理ユニット間で交換されたパケットを読み出し、ニューラル処理ユニット間で送信されたパケットを妨害してもよい。各ニューラル処理ユニットは、各ニューラル処理ユニットのロケーション及び/もしくはアドレッシングを可能とするための固有の識別子を有してもよい。

30

【0070】

ここで説明された主題は、所望された構成によるシステム、装置、方法及び/または物において具現化されてもよい。特に、ここで説明された主題の種々の実施例は、デジタル電子回路、集積回路、特別に設計されたASIC(特定用途向け集積回路)、コンピュータハードウェア、ファームウェア、ソフトウェア、及び/又はそれらの組み合わせにおいて利用されてもよい。これらの種々の実施例は、特別なもしくは一般的な目的であってもよい、記憶システム、少なくとも1つの入力デバイス及び少なくとも1つの出力デバイスからのデータ及び命令を受信するために、並びに記憶システム、少なくとも1つの入力デバイス及び少なくとも1つの出力デバイスにデータ及び命令を送信するために結合された、少なくとも1つのプログラマブルプロセッサを含むプログラマブルシステムに対して実行可能な及び/又はインタプリタ可能である1つもしくはそれ以上のコンピュータプログ

40

50



ラムにおける実施例を含んでもよい。

【0071】

(プログラム、ソフトウェア、ソフトウェアアプリケーション、アプリケーション、コンポーネント、又はコードとしてもまた知られた)これらのコンピュータプログラムは、プログラマブルプロセッサに対する機械命令を含み、高水準手続き及び/もしくはオブジェクト指向のプログラミング言語において、並びに/又はアセンブリ/機械言語において実装されてもよい。ここで使用されたように、用語「機械可読媒体」は、機械命令及び/又はデータをプログラマブルプロセッサに提供するために使用された任意のコンピュータプログラム製品、装置及び/もしくは(例えば、磁気ディスク、光ディスク、メモリ、プログラマブルロジックデバイス(PLD)などの)デバイスに言及し、機械可読信号として機械命令を受信する機械可読媒体を含む。

10

【0072】

同様に、プロセッサ及び当該プロセッサに結合されたメモリを含んでもよいシステムがまたここで説明される。メモリは、プロセッサがここで説明された1つもしくはそれ以上の動作を実行させる1つもしくはそれ以上のプログラムを含んでもよい。

【0073】

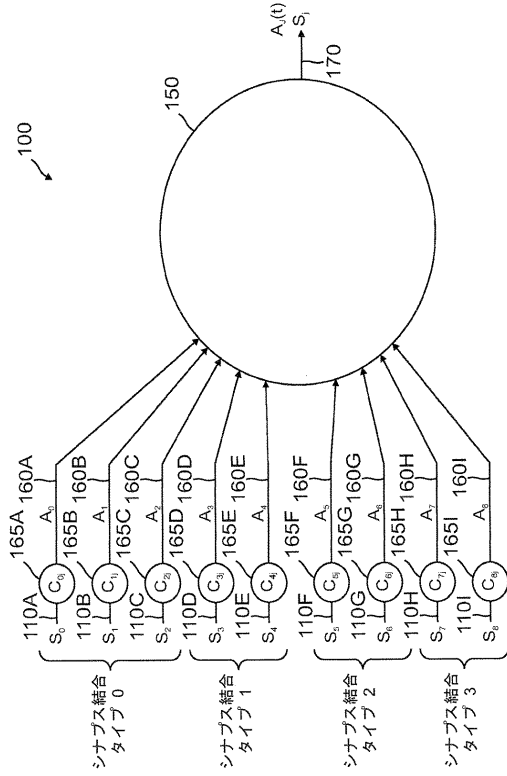
さらに、ここで説明されたシステムは、ニューラル処理のコンテキスト内であるが、ここで説明されたシステムは、例えば有限要素解析及びフィルターバンク処理などを含む他の環境において使用されてもよい。さらに、用語「セット」は、空のセットを含む任意の量に言及してもよい。

20

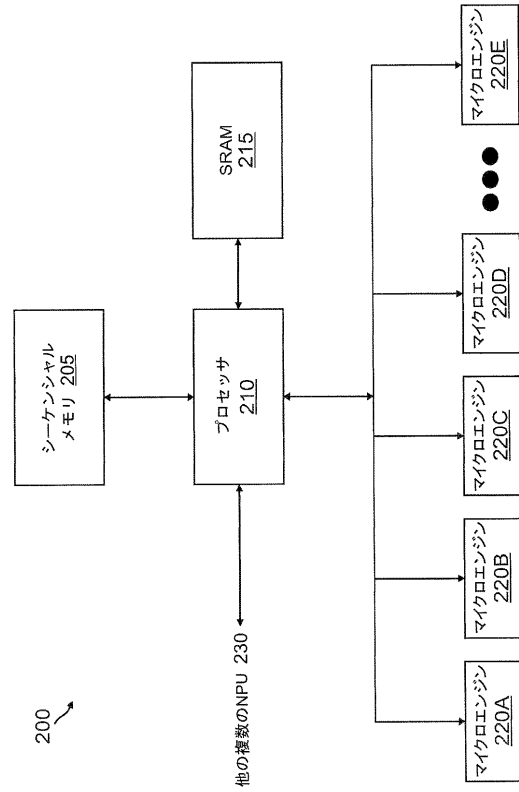
【0074】

数個の変形例が詳細に上述されたが、他の変更もしくは追加が可能である。特に、さらなる特徴及び/又は変形例が、ここで説明された特徴及び/又は変形例に加えて提供されてもよい。例えば、上述された実施例は、開示された特徴の種々のコンビネーション及びサブコンビネーション並びに/又は上記開示されたいくつかのさらなる特徴のコンビネーション及びサブコンビネーションに対して指示されてもよい。さらに、添付された図面において図示された及び/又はここで説明されたロジックフローは、所望される結果を獲得するために、表示された特定の順番、もしくは順次の順番を必要としない。以下の特許請求の範囲の範囲内で他の実施形態が可能である。

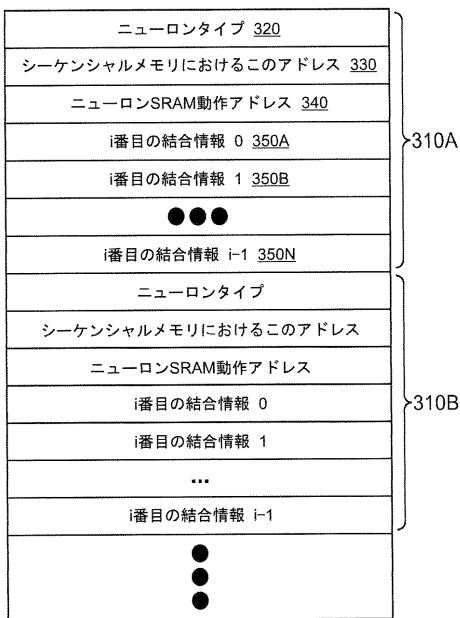
【図 1】



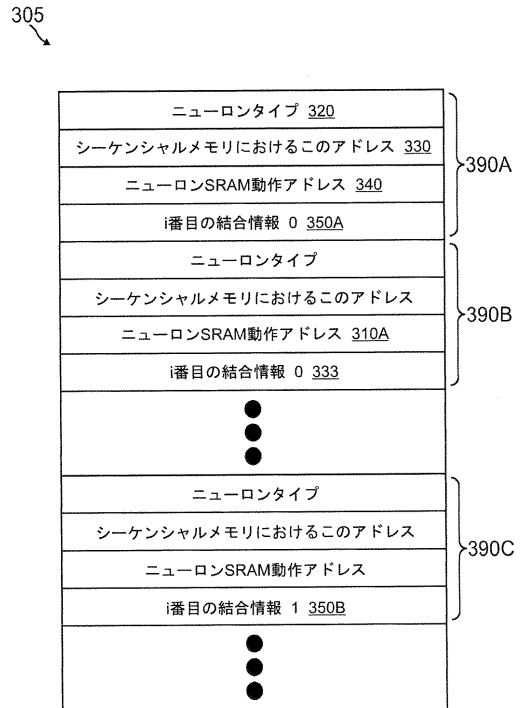
【図 2】



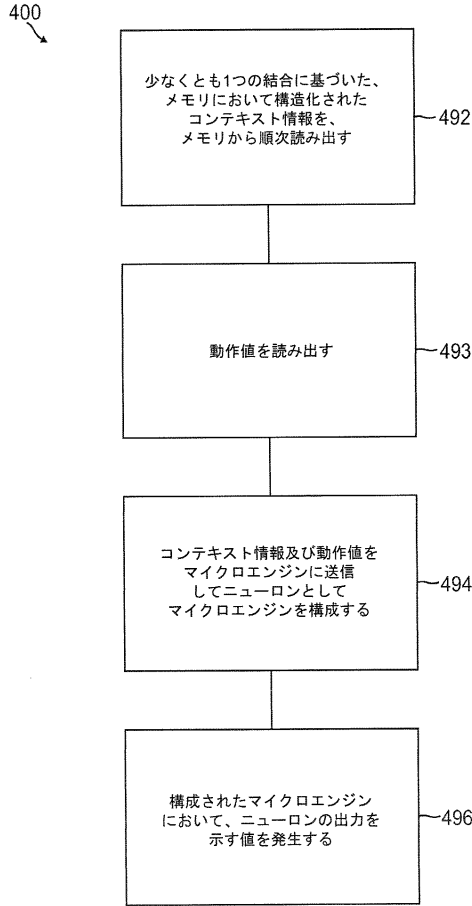
【図 3 A】



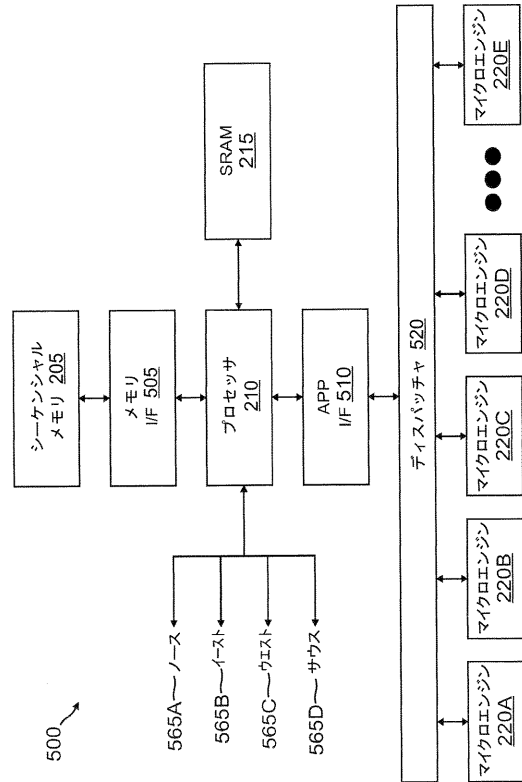
【図 3 B】



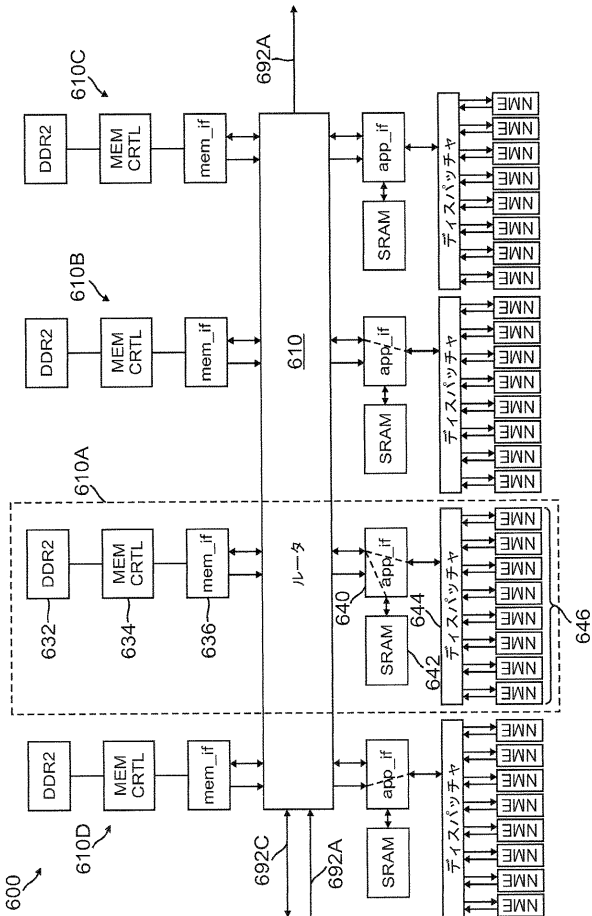
【 図 4 】



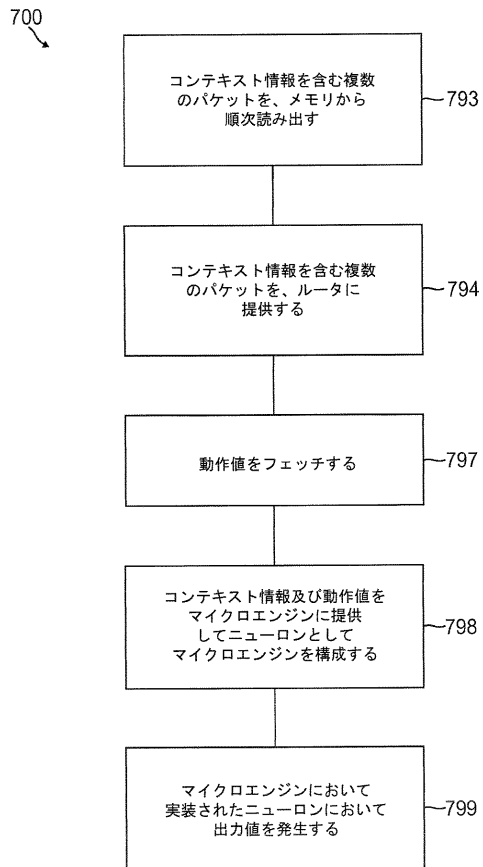
【 図 5 】



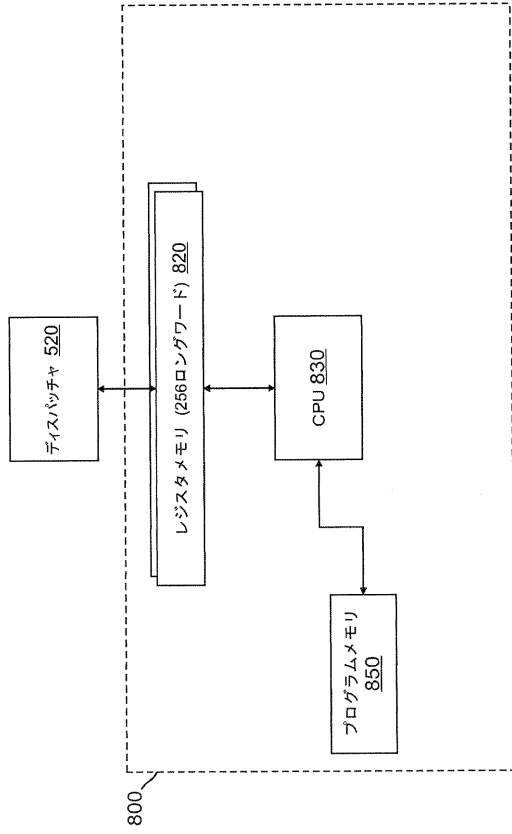
【 図 6 】



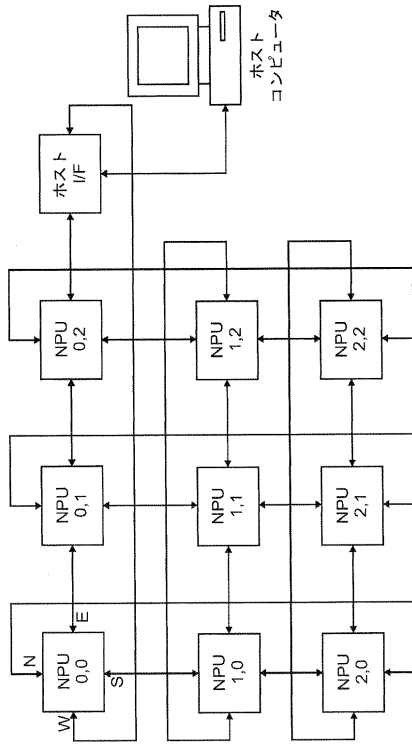
【 図 7 】





【 図 8 】



【 図 9 】



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. <b>PCT/US2011/022155</b>
<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>G06F 15/18(2006.01)i, G06F 9/06(2006.01)i, G06N 3/06(2006.01)i</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) G06F 15/18; G06F 9/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: neural, active, configure		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010-0095088 A1 (VORBACH, M.) 15 April 2010 See abstract; paragraphs [0003, 0004]; and claim 1.	1-20
A	WO 93-20552 A1 (SEIKO EPSON CORPORATION et al.) 14 October 1993 See abstract; claim 1; and figures 12, 14, 21.	1-20
A	US 2008-0215514 A1 (MORGAN, D. W.) 04 September 2008 See abstract; and claim 1.	1-20
A	WO 92-02866 A1 (E.I. DU PONT DE NEMOURS & CO. (INC.)) 20 February 1992 See abstract; and claim 1.	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 26 SEPTEMBER 2011 (26.09.2011)		Date of mailing of the international search report <b>27 SEPTEMBER 2011 (27.09.2011)</b>
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 189 Cheongsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer LEE, Sang Hun Telephone No. 82-42-481-5914 

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2011/022155**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010-0095088 A1	15.04.2010	AU 2001-289737 A8	05.02.2002
		AU 2001-89737 A1	05.02.2002
		AU 2002-20600 A1	15.04.2002
		AU 2002-220600 A8	15.04.2002
		AU 2002-254921 A8	19.09.2002
		AU 2002-257615 A8	19.09.2002
		AU 2002-330164 A8	07.04.2003
		AU 2002-334684 A8	14.04.2003
		AU 2002-336896 A8	24.03.2003
		AU 2002-337711 B2	05.06.2008
		AU 2002-338729 A8	01.04.2003
		AU 2002-340879 A8	03.03.2003
		AU 2002-342668 A8	01.04.2003
		AU 2002-347560 A8	02.01.2003
		AU 2002-357982 A8	06.05.2003
		AU 2003-208266 A1	30.07.2003
		AU 2003-208266 A8	30.07.2003
		AU 2003-214003 A1	09.09.2003
		AU 2003-214003 A8	09.09.2003
		AU 2003-214046 A1	09.09.2003
		AU 2003-214046 A8	09.09.2003
		AU 2003-218359 A1	19.04.2004
		AU 2003-220466 A1	19.04.2004
		AU 2003-220468 A1	19.04.2004
		AU 2003-220472 A1	19.04.2004
		AU 2003-220479 A1	19.04.2004
		AU 2003-223892 A1	08.10.2003
		AU 2003-223892 A8	08.10.2003
		AU 2003-225944 A1	19.04.2004
		AU 2003-225945 A1	19.04.2004
		AU 2003-225945 B2	23.04.2009
		AU 2003-260323 A1	25.02.2004
		AU 2003-260323 A8	25.02.2004
		AU 2003-286131 A1	19.03.2004
		AU 2003-286131 A8	19.03.2004
		AU 2003-289844 A1	13.05.2004
		AU 2005-202202 A1	22.12.2005
		CA 2439606 A1	12.09.2002
		CA 2446759 A1	03.04.2003
		CA 2446760 A1	03.04.2003
		CA 2447984 A1	03.04.2003
		CA 2461354 A1	03.04.2003
		CA 2461354 C	27.04.2010
		CA 2461659 A1	03.04.2003
		CA 2461659 C	07.12.2010
		CA 2461682 A1	03.04.2003
		CA 2461684 A1	03.04.2003
CA 2461865 A1	03.04.2003		
CA 2461873 A1	10.04.2003		

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2011/022155**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		CA 2462004 A1	10.04.2003
		CA 2462008 A1	10.04.2003
		CA 2462008 C	31.08.2010
		CA 2499882 A1	08.04.2004
		CA 2499882 C	09.11.2010
		CA 2499955 A1	08.04.2004
		CA 2499977 A1	08.04.2004
		CA 2499979 A1	08.04.2004
		CA 2500311 A1	08.04.2004
		CA 2500312 A1	08.04.2004
		CA 2500313 A1	08.04.2004
		CA 2500313 C	07.06.2011
		CA 2509185 A1	04.12.2005
		CN 100471481 CO	25.03.2009
		CN 100488763 C	20.05.2009
		CN 101032446 A0	12.09.2007
		CN 101032446 B	29.09.2010
		CN 1299894 CO	14.02.2007
		CN 1578724 A	09.02.2005
		CN 1578724 CO	09.02.2005
		CN 1592602 A	09.03.2005
		CN 1592610 A	09.03.2005
		CN 1592610 CO	09.03.2005
		CN 1592611 A	09.03.2005
		CN 1592611 CO	09.03.2005
		CN 1592612 A	09.03.2005
		CN 1592612 CO	09.03.2005
		CN 1592613 A	09.03.2005
		CN 1592613 CO	30.01.2008
		CN 1592681 A	09.03.2005
		CN 1592681 CO	15.11.2006
		CN 1596100 A	16.03.2005
		CN 1596100 CO	16.03.2005
		CN 1596101 A	16.03.2005
		CN 1596101 CO	16.03.2005
		CN 1596102 A	16.03.2005
		CN 1596102 CO	16.03.2005
		CN 1596104 A	16.03.2005
		CN 1596104 CO	16.03.2005
		CN 1596186 A	16.03.2005
		CN 1607945 A	20.04.2005
		CN 1607945 CO	06.08.2008
		CN 1635863 A	06.07.2005
		CN 1635863 CO	06.07.2005
		CN 1638740 A	13.07.2005
		CN 1638740 CO	13.07.2005
		CN 1864668 A	22.11.2006
		CN 1864668 CO	22.11.2006
		CN 1946378 A0	11.04.2007
		EP 1342158 A2	10.09.2003

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2011/022155**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		EP 1342158 B1	04.08.2010
		EP 1348257 A2	01.10.2003
		EP 1348257 B1	22.07.2009
		EP 1348257 B8	18.11.2009
		EP 1368994 A1	10.12.2003
		EP 1368994 B1	25.05.2005
		EP 1377919 A2	07.01.2004
		EP 1386220 A2	04.02.2004
		EP 1402382 A2	31.03.2004
		EP 1402382 B1	18.08.2010
		EP 1429711 A1	23.06.2004
		EP 1429711 B1	31.12.2008
		EP 1429724 A1	23.06.2004
		EP 1429737 A1	23.06.2004
		EP 1429738 A2	23.06.2004
		EP 1429738 B1	31.10.2007
		EP 1429742 A2	23.06.2004
		EP 1429742 B1	04.05.2011
		EP 1429743 A1	23.06.2004
		EP 1429745 A2	23.06.2004
		EP 1429746 A2	23.06.2004
		EP 1429746 B1	13.08.2008
		EP 1429914 A1	23.06.2004
		EP 1429914 B1	13.08.2008
		EP 1429915 A1	23.06.2004
		EP 1429915 B1	14.01.2009
		EP 1432378 A1	30.06.2004
		EP 1432378 B1	31.12.2008
		EP 1432404 A1	30.06.2004
		EP 1436141 A2	14.07.2004
		EP 1436141 B1	05.12.2007
		EP 1438018 A1	21.07.2004
		EP 1438018 B1	11.08.2010
		EP 1438028 A1	21.07.2004
		EP 1438030 A2	21.07.2004
		EP 1440384 A2	28.07.2004
		EP 1449083 A2	25.08.2004
		EP 1449083 B1	23.05.2007
		EP 1449109 A2	25.08.2004
		EP 1454258 A2	08.09.2004
		EP 1463489 A1	06.10.2004
		EP 1466264 A2	13.10.2004
		EP 1470478 A2	27.10.2004
		EP 1472616 A2	03.11.2004
		EP 1483682 A2	08.12.2004
		EP 1493084 A2	05.01.2005
		EP 1514193 A2	16.03.2005
		EP 1514193 B1	23.07.2008
		EP 1518186 A2	30.03.2005
		EP 1535190 A2	01.06.2005



**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2011/022155**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		EP 1537486 A1	08.06.2005
		EP 1537501 A2	08.06.2005
		EP 1540507 A2	15.06.2005
		EP 1542661 A1	22.06.2005
		EP 1542662 A1	22.06.2005
		EP 1545452 A1	29.06.2005
		EP 1545472 A1	29.06.2005
		EP 1545472 B1	08.12.2010
		EP 1551374 A1	13.07.2005
		EP 1551374 B1	07.10.2009
		EP 1602363 A1	07.12.2005
		EP 1611528 A2	04.01.2006
		EP 1634182 A2	15.03.2006
		EP 1676208 A2	05.07.2006
		EP 1845623 A2	17.10.2007
		EP 1845623 A3	24.10.2007
		EP 1880717 A2	23.01.2008
		EP 1880717 A3	20.02.2008
		EP 2032212 A2	11.03.2009
		EP 2043000 A2	01.04.2009
		EP 2043000 A3	06.10.2010
		EP 2224330 A1	01.09.2010
		EP 2226732 A2	08.09.2010
		EP 2255795 A1	01.12.2010
		JP 2004-506261 A	26.02.2004
		JP 2004-517386 A	10.06.2004
		JP 2004-533691 A	04.11.2004
		JP 2004-535613 A	25.11.2004
		JP 2004-536373 A	02.12.2004
		JP 2004-538875 A	24.12.2004
		JP 2005-504588 A	17.02.2005
		JP 2005-504589 A	17.02.2005
		JP 2005-504590 A	17.02.2005
		JP 2005-504638 A	17.02.2005
		JP 2005-504639 A	17.02.2005
		JP 2005-505070 A	17.02.2005
		JP 2005-508029 A	24.03.2005
		JP 2005-508325 A	31.03.2005
		JP 2005-508326 A	31.03.2005
		JP 2005-508327 A	31.03.2005
		JP 2005-508328 A	31.03.2005
		JP 2005-508329 A	31.03.2005
		JP 2005-508330 A	31.03.2005
		JP 2005-509604 A	14.04.2005
		JP 2005-509605 A	14.04.2005
		JP 2005-511515 A	28.04.2005
		JP 2005-515525 A	26.05.2005
		JP 2005-529059 A	29.09.2005
		JP 2005-535055 A	17.11.2005
		JP 2005-535558 A	24.11.2005

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2011/022155**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		JP 2006-008680 A	12.01.2006
		JP 2006-501782 A	12.01.2006
		JP 2006-517182 A	20.07.2006
		JP 2006-517183 A	20.07.2006
		JP 2006-517514 A	27.07.2006
		JP 2006-524850 A	02.11.2006
		JP 2007-007733 A	18.01.2007
		JP 2007-504688 A	01.03.2007
		JP 2009-020909 A	29.01.2009
		JP 2009-032281 A	12.02.2009
		JP 2009-043275 A	26.02.2009
		JP 2009-043276 A	26.02.2009
		JP 2009-054170 A	12.03.2009
		JP 2010-079923 A	08.04.2010
		JP 3884011 B2	21.02.2007
		JP 4011488 B2	21.11.2007
		JP 4330992 B2	26.06.2009
		JP 4388895 B2	09.10.2009
		JP 4456864 B2	12.02.2010
		JP 4700611 B2	11.03.2011
		KR 10-2004-0037168 A	04.05.2004
		KR 10-2004-0037203 A	04.05.2004
		KR 10-2004-0066094 A	23.07.2004
WO 93-20552 A1	14.10.1993	DE 69327997 D1	13.04.2000
		DE 69327997 T2	27.07.2000
		EP 0586714 A1	16.03.1994
		EP 0586714 A4	13.12.1995
		EP 0586714 B1	08.03.2000
		HK 1013879 A1	01.12.2000
		JP 2000-298663 A	24.10.2000
		JP 2000-352994 A	19.12.2000
		JP 3521429 B2	19.04.2004
		JP 3521844 B2	26.04.2004
		KR 10-0292919 B1	15.06.2001
		KR 10-1994-7001116 A	22.04.1994
		US 05787393A A	28.07.1998
		US 05809461A A	15.09.1998
US 2008-0215514 A1	04.09.2008	US 2006-0155661 A1	13.07.2006
WO 92-02866 A1	20.02.1992	CA 2066458 A1	04.02.1992
		CA 2066458 C	22.04.2003
		DE 69130253 D1	29.10.1998
		DE 69130253 T2	20.05.1999
		EP 0495044 A1	22.07.1992
		EP 0495044 B1	23.09.1998
		US 05282261 A	25.01.1994

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ダグラス・エイ・パーマー

アメリカ合衆国 カリフォルニア州 9 4 6 0 7 オークランド フランクリン ストリート 1  
1 1 1 トゥエルフス フロア

(72)発明者 マイケル・フロレア

アメリカ合衆国 カリフォルニア州 9 4 6 0 7 オークランド フランクリン ストリート 1  
1 1 1 トゥエルフス フロア