

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 21 年 4 月 30 日 (2009.4.30)

【公開番号】特開 2008-124192 (P2008-124192A)
 【公開日】平成 20 年 5 月 29 日 (2008.5.29)
 【年通号数】公開・登録公報 2008-021
 【出願番号】特願 2006-305154 (P2006-305154)
 【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 3 F 3/34 (2006.01)

【F I】

H 0 1 L 27/04 B

H 0 3 F 3/34 Z

H 0 1 L 27/04 A

【手続補正書】

【提出日】平成 21 年 3 月 12 日 (2009.3.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基準電圧用の第 1 型のオペアンプを有し、第 1 のアナログ基準電圧線に対してアナログ基準電圧を供給する第 1 の供給回路と、

基準電圧用の第 2 型のオペアンプを有し、第 2 のアナログ基準電圧線に対してアナログ基準電圧を供給する第 2 の供給回路とを含み、

前記基準電圧用の第 1 型のオペアンプの差動部の差動段トランジスタのチャンネル幅を $W1a$ とし、チャンネル長を $L1a$ とし、前記基準電圧用の第 1 型のオペアンプの差動部に流れるバイアス電流を Ia とし、前記基準電圧用の第 2 型のオペアンプの差動部の差動段トランジスタのチャンネル幅を $W1b$ とし、チャンネル長を $L1b$ とし、前記基準電圧用の第 2 型のオペアンプの差動部に流れるバイアス電流を Ib とした場合に、 $W1b \times L1b > W1a \times L1a$ 、 $Ia > Ib$ であることを特徴とする基準電圧供給回路。

【請求項 2】

請求項 1 において、

前記第 1 の供給回路からアナログ基準電圧が供給される第 1 の回路における増幅対象信号の周波数を $f1$ とし、前記第 2 の供給回路からアナログ基準電圧が供給される第 2 の回路における増幅対象信号の周波数を $f2$ とし、周波数 - ノイズ特性におけるフリッカノイズと熱ノイズのコーナ周波数を fcr とした場合に、前記基準電圧用の第 1 型のオペアンプでは、 $f1 - fcr < fcr - f2$ であり、前記基準電圧用の第 2 型のオペアンプでは、 $fcr - f2 < f1 - fcr$ であることを特徴とする基準電圧供給回路。

【請求項 3】

請求項 1 又は 2 において、

前記基準電圧用の第 2 型のオペアンプの差動部の能動負荷段トランジスタのチャンネル長を $L3b$ とした場合に、 $L1b < L3b$ であることを特徴とする基準電圧供給回路。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記基準電圧用の第 1 型のオペアンプの前記差動段トランジスタの W L 比を $R T 1 a$ とし、前記基準電圧用の第 1 型のオペアンプの能動負荷段トランジスタの W L 比を $R T 3 a$ とした場合に、 $R T 1 a > R T 3 a$ であることを特徴とする基準電圧供給回路。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記基準電圧用の第 2 型のオペアンプの前記差動段トランジスタの実効ゲート電圧を V_{eff} とし、ドレイン・ソース間に流れる電流を I_{ds} とし、移動度を μ とし、単位面積あたりのゲート容量を C_{ox} とし、W L 比を $R T 1 b$ とし、ボルツマン定数を k とし、絶対温度を T とし、電子電荷量を q とし、プロセス変動パラメータを P ($P > 1$) とした場合に、 $P \times (k \times T / q) > V_{eff} = \{ 2 \times I_{ds} / (\mu \times C_{ox} \times R T 1 b) \}^{1/2} > k \times T / q$ の関係を満たす比に、前記 W L 比 $R T 1 b$ が設定されていることを特徴とする基準電圧供給回路。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記基準電圧用の第 2 型のオペアンプを構成する素子のうち前記差動段トランジスタの配置領域の面積を S_{df} とし、前記基準電圧用の第 2 型のオペアンプを構成する素子のうち前記差動段トランジスタ以外の素子の配置領域の面積を S_{re} とした場合に、 $S_{df} > S_{re}$ であることを特徴とする基準電圧供給回路。

【請求項 7】

請求項 6 において、

前記基準電圧用の第 2 型のオペアンプの前記差動段トランジスタは並列接続された J 個 ($J > 2$) のトランジスタにより構成され、前記差動段トランジスタの前記配置領域には、並列接続された前記 J 個のトランジスタが配置されていることを特徴とする基準電圧供給回路。

【請求項 8】

請求項 7 において、

前記基準電圧用の第 2 型のオペアンプの前記能動負荷段トランジスタは並列接続された I 個 ($J > I > 2$) のトランジスタにより構成され、

前記差動負荷段トランジスタを構成する前記 J 個のトランジスタが X 方向に沿って並んで配置されると共に、前記 J 個のトランジスタの Y 方向側には、前記能動負荷段トランジスタを構成する前記 I 個のトランジスタが X 方向に沿って並んで配置されることを特徴とする基準電圧供給回路。

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、

前記第 1 の供給回路は、

前記基準電圧用の第 1 型のオペアンプを用いて、電圧のインピーダンス変換を行う回路であり、

前記第 2 の供給回路は、

前記基準電圧用の第 2 型のオペアンプを用いて、電圧のインピーダンス変換を行う回路であることを特徴とする基準電圧供給回路。

【請求項 10】

請求項 1 乃至 9 のいずれかにおいて、

前記第 1、第 2 の供給回路の前段側に設けられ、基準電圧用の第 3 型のオペアンプを有し、前記第 1、第 2 の供給回路に対して電圧を供給する第 3 の供給回路を含み、

前記基準電圧用の第 3 型のオペアンプの差動部の差動段トランジスタのチャネル幅を W_{1c} とし、チャネル長を L_{1c} とし、前記基準電圧用の第 3 型のオペアンプの差動部に流れるバイアス電流を I_c とした場合に、 $W_{1c} \times L_{1c} > W_{1a} \times L_{1a}$ 、 $I_c > I_b$ であることを特徴とする基準電圧供給回路。

【請求項 11】

請求項 10 において、

$W1c \times L1c > W1b \times L1b$ 、 $Ic > Ia$ であることを特徴とする基準電圧供給回路。

【請求項 12】

請求項 1 乃至 11 のいずれかに記載の基準電圧供給回路と、

前記基準電圧供給回路の前記第 1 の供給回路から、前記第 1 のアナログ基準電圧線を介してアナログ基準電圧が供給される第 1 の回路と、

前記基準電圧供給回路の前記第 2 の供給回路から、前記第 2 のアナログ基準電圧線を介してアナログ基準電圧が供給される第 2 の回路とを含むことを特徴とするアナログ回路。

【請求項 13】

請求項 12 において、

所望信号を含む信号に対して所与の周波数の信号をミキシングするミキサを含み、

前記第 1 の回路は、前記ミキサの前段側に設けられる回路であり、

前記第 2 の回路は、前記ミキサの後段側に設けられる回路であることを特徴とするアナログ回路。

【請求項 14】

請求項 13 において、

前記第 1 の回路は、入力信号を増幅する第 1 の増幅回路であり、

前記基準電圧供給回路は、前記第 1 の増幅回路に対して前記第 1 のアナログ基準電圧線を介してアナログ基準電圧を供給することを特徴とするアナログ回路。

【請求項 15】

請求項 13 又は 14 において、

前記第 2 の回路は、前記ミキサからのミキシング後の信号を増幅する第 2 の増幅回路又はミキシング後の信号のフィルタ処理を行うフィルタ部であり、

前記基準電圧供給回路は、前記第 2 の増幅回路又は前記フィルタ部に対して前記第 2 のアナログ基準電圧線を介してアナログ基準電圧を供給することを特徴とするアナログ回路。

【請求項 16】

請求項 12 乃至 15 のいずれかに記載のアナログ回路と、

前記アナログ回路の検出情報に基づいて処理を行う処理部と、

を含むことを特徴とする電子機器。