



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I868089 B

(45)公告日：中華民國 114 (2025) 年 01 月 01 日

(21)申請案號：108143004

(22)申請日：中華民國 108 (2019) 年 11 月 26 日

(51)Int. Cl. : **C25D5/02 (2006.01)** **C25D7/00 (2006.01)**
H01F27/28 (2006.01) **H01F5/00 (2006.01)**

(30)優先權：2018/11/26 美國 62/771,442
2019/11/22 美國 16/693,169
2019/11/23 世界智慧財產權組織 PCT/US19/62885

(71)申請人：美商哈欽森技術股份有限公司 (美國) HUTCHINSON TECHNOLOGY
INCORPORATED (US)
美國

(72)發明人：李莫 道格拉斯 P RIEMER, DOUGLAS P. (US)；斯汪森 柯特 C SWANSON,
KURT C. (US)；拉德維格 比得 F LADWIG, PETER F. (US)；朗 馬修 S
LANG, MATTHEW S. (US)；佩薩文托 保羅 V PESAVENTO, PAUL V. (US)；
斯塔基 約瑟夫 D STARKEY, JOSEPH D. (US)

(74)代理人：陳長文

(56)參考文獻：

TW 201034546A

TW 201719712A

審查人員：謝文瑜

申請專利範圍項數：20 項 圖式數：35 共 68 頁

(54)名稱

高縱橫比電鍍結構及各向異性電鍍製程

(57)摘要

本發明提供一種裝置，其包括具有第一表面及第二表面之介電層。該裝置亦包括第一組高縱橫比電鍍結構，其安置於該介電層之該第一表面上；及第二組高縱橫比電鍍結構，其安置於該介電層的與該第一組高縱橫比電鍍結構相對之該第二表面上。

A device includes a dielectric layer having a first surface and a second surface. The device also includes a first set of high-aspect ratio electroplated structures disposed on the first surface of the dielectric layer and a second set of high-aspect ratio electroplated structures disposed on the second surface of the dielectric layer opposite the first set of high-aspect ratio electroplated structures.

指定代表圖：

符號簡單說明：

3301:步驟

3302:步驟

3304:步驟

3306:步驟

3308:步驟

3310:步驟

3312:步驟

3314:步驟

3316:步驟

3318:銅層

3320:介電層

3322:穿孔或通孔

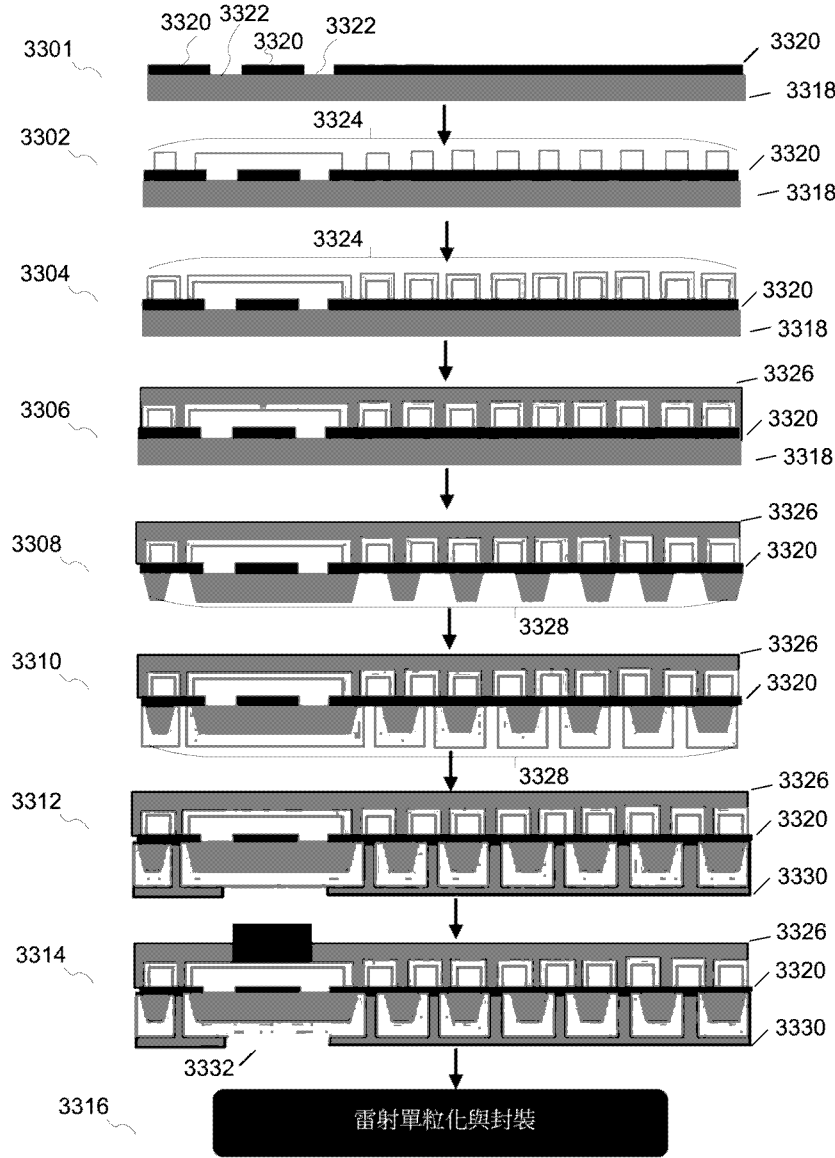
3324:跡線

3326:介電層

3328:跡線

3330:介電層

3332:終端墊



【圖33】



I868089

【發明摘要】

【中文發明名稱】

高縱橫比電鍍結構及各向異性電鍍製程

【英文發明名稱】

HIGH-ASPECT RATIO ELECTROPLATED STRUCTURES AND
ANISOTROPIC ELECTROPLATING PROCESSES

【中文】

本發明提供一種裝置，其包括具有第一表面及第二表面之介電層。該裝置亦包括第一組高縱橫比電鍍結構，其安置於該介電層之該第一表面上；及第二組高縱橫比電鍍結構，其安置於該介電層的與該第一組高縱橫比電鍍結構相對之該第二表面上。

【英文】

A device includes a dielectric layer having a first surface and a second surface. The device also includes a first set of high-aspect ratio electroplated structures disposed on the first surface of the dielectric layer and a second set of high-aspect ratio electroplated structures disposed on the second surface of the dielectric layer opposite the first set of high-aspect ratio electroplated structures.

【指定代表圖】

圖33

【代表圖之符號簡單說明】

3301 步驟

3302 步驟

3304	步驟
3306	步驟
3308	步驟
3310	步驟
3312	步驟
3314	步驟
3316	步驟
3318	銅層
3320	介電層
3322	穿孔或通孔
3324	跡線
3326	介電層
3328	跡線
3330	介電層
3332	終端墊

【發明說明書】

【中文發明名稱】

高縱橫比電鍍結構及各向異性電鍍製程

【英文發明名稱】

HIGH-ASPECT RATIO ELECTROPLATED STRUCTURES AND
ANISOTROPIC ELECTROPLATING PROCESSES

【技術領域】

【0001】 本發明大體上係關於電鍍結構及電鍍製程。

【先前技術】

【0002】 用於製造諸如銅或銅合金電路結構(諸如引線、跡線及通孔互連件)之結構的電鍍製程通常已知且揭示於例如Castellani等人，美國專利 4,315,985，名為 Fine-Line Circuit Fabrication and Photoresist Application Therefor中。此等類型之製程例如與如以下專利中所揭示之磁碟機頭懸掛件之製造結合使用： Bennin等人，美國專利8,885,299，名為Low Resistance Ground Joints for Dual Stage Actuation Disk Drive Suspensions；Rice等人，美國專利8,169,746，名為Integrated Lead Suspension with Multiple Trace Configurations；Hentges等人，美國專利8,144,430，名為Multi-Layer Ground Plane Structures for Integrated Lead Suspensions；Hentges等人，美國專利7,929,252，名為Multi-Layer Ground Plane Structures for Integrated Lead Suspensions；Swanson等人，美國專利 7,388,733，名為 Method for Making Noble Metal Conductive Leads for Suspension Assemblies；及Peltoma等人美國專利 7,384,531，名為 Plated Ground Features for Integrated Lead

Suspensions。此等類型之製程亦與如所以下揭示之相機鏡頭懸掛件之製造結合使用，例如在 Miller 美國專利 9,366,879，名為 Camera Lens Suspension with Polymer Bearings 中。

【0003】超級填充及超保形鍍覆製程及組合物亦為已知的且揭示於例如以下文章中：Vereecken 等人，「The chemistry of additives in damascene copper plating」, Res. & Dev. 之 IBM J., 第49卷, 第1期, 2005年1月；Andricacos 等人，「Damascene copper electroplating for chip interconnections」, Res. & Dev. 之 IBM J., 第42卷, 第5期, 1998年9月；及 Moffat 等人，「Curvature enhanced adsorbate coverage mechanism for bottom-up superfilling and bump control in damascene processing」, Electrochimica Acta 53, 第145-154頁, 2007。藉由此等製程，在溝槽(例如，界定待電鍍結構之空間的光阻遮罩溝槽)內之電鍍較佳地發生在底部中。可藉此避免沉積結構中之空隙。所有以上鑑別之專利及文章出於所有目的特此以全文引用之方式併入。

【0004】仍存在對增強型電路結構的持續需求。亦持續需要用於製造電路及其他結構之高效及有效製程，包括電鍍製程。

【發明內容】

【0005】描述包括高縱橫比電鍍結構之裝置及形成高縱橫比電鍍結構之方法。一種用於製造金屬結構之方法包括提供具有特徵為高與寬縱橫比之金屬基底的基板且在基底上電鍍金屬頂部，以形成高與寬縱橫比大於基底之縱橫比的金屬結構。

【0006】本發明之實施例的其他特徵及優勢將自隨附圖式及以下實施方式顯而易知。

【圖式簡單說明】

【0007】 在附圖之圖式中藉助於實例而非限制說明本發明之實施例，其中相同參考符號指示類似元件，且其中：

【0008】 圖1說明使用電流印刷電路技術製造的線圈；

【0009】 圖2說明根據一實施例之包括高縱橫比電鍍結構的高密度精密線圈；

【0010】 圖3說明根據一實施例用以表示由包括高縱橫比電鍍結構之高密度精密線圈產生之電磁力的圖；

【0011】 圖4說明經組態以用於線性馬達類型應用之包括多層根據一實施例的高縱橫比電鍍結構之裝置；

【0012】 圖5說明根據一些實施例之高縱橫比電鍍結構；

【0013】 圖6說明根據一些實施例之高縱橫比電鍍結構；

【0014】 圖7說明根據一些實施例之高縱橫比電鍍結構；

【0015】 圖8說明根據一些實施例之具有多層高縱橫比電鍍結構的裝置，該等高縱橫比電鍍結構具有高密度橫截面積；

【0016】 圖9說明根據一實施例之指示在高電流密度鍍覆技術期間及在低電流密度鍍覆技術期間之SPS覆蓋度的圖表；

【0017】 圖10a-f說明根據一實施例用於形成高縱橫比電鍍結構之製程；

【0018】 圖11說明根據一些實施例之高縱橫比電鍍結構；

【0019】 圖12說明根據一些實施例之高縱橫比電鍍結構的透視圖；

【0020】 圖13a、圖13b說明根據一實施例使用高縱橫比電鍍結構形成的高密度精密線圈；

【0021】 圖14說明根據一實施例包括高解析度堆疊導體層的高縱橫比電鍍結構；

【0022】 圖15說明根據一實施例之包括高縱橫比電鍍結構的高密度精密線圈；

【0023】 圖16a-c說明根據另一實施例之用於形成高縱橫比電鍍結構的製程；

【0024】 圖17說明根據一實施例之高縱橫比電鍍結構之選擇性形成；

【0025】 圖18說明根據一實施例之形成有金屬頂部部分之高縱橫比電鍍結構的透視圖，該等金屬頂部部分選擇性地形成於跡線上；

【0026】 圖19說明根據一實施例之包括高縱橫比之電鍍結構的硬碟驅動機懸掛件撓曲件；

【0027】 圖20說明圖19中所說明之硬碟驅動機懸掛件撓曲件之橫截面圖；

【0028】 圖21a、圖21b說明用於在保形鍍覆製程期間使用光阻形成根據一實施例的高縱橫比電鍍結構之製程；

【0029】 圖22說明根據各種實施例之用於形成初始金屬層之製程、標準/保形鍍覆製程及頂部鍍覆製程之例示性化學物質；

【0030】 圖23說明根據一實施例之由高縱橫比電鍍結構形成之電感耦合線圈之頂面的透視圖；

【0031】 圖24說明圖21中所說明之電感耦合線圈之實施例的背面之透視圖；

【0032】 圖25說明根據一實施例之電感耦合線圈2502之頂面與射頻

識別晶片耦接的透視圖；

【0033】 圖26a-j說明形成電感耦合線圈之方法，該電感耦合線圈由根據一實施例之高縱橫比電鍍結構形成；

【0034】 圖27說明包括根據一實施例之高縱橫比電鍍結構之硬碟驅動機的懸掛件之撓曲件的平面圖；

【0035】 圖28說明間隙部分處之撓曲件之間隙部分的橫截面，其沿著如圖27中所說明之線A截取；

【0036】 圖29說明根據一實施例之具有質量結構之環架部分；

【0037】 圖30說明包括根據一實施例之高縱橫比電鍍結構之撓曲件的近端部分的橫截面，其沿著如圖27中所說明之線B截取；

【0038】 圖31說明包括根據實施例之高縱橫比結構之撓曲件的近端部分的橫截面，其沿著如圖27中所說明之線C截取；

【0039】 圖32說明根據一實施例之包括高縱橫比結構之撓曲件的近端部分的平面視圖；

【0040】 圖33說明根據一實施例之用於形成高縱橫比電鍍結構之製程；

【0041】 圖34說明類似於參看圖33所描述之類型的更詳細製程；及

【0042】 圖35說明使用本文中所描述之製程製造之根據實施例的線圈。

【實施方式】

【0043】 相關申請案之交叉參考

【0044】 本申請案主張2019年11月22日申請之美國專利申請案第16/693,169號之優先權，且進一步主張2018年11月26日申請之美國臨時申

請案第62/771,442號之權益，該等申請案中之每一者以全文引用之方式併入本文中。

【0045】 描述根據本發明之實施例的高縱橫比電鍍結構及製造方法。高縱橫比電鍍結構提供比當前技術更緊密的導體間距。舉例而言，根據各種實施例之高縱橫比之電鍍結構包括導體堆疊，其具有大於50%之導體堆疊之橫截面積。此外，根據實施例，高縱橫比電鍍結構實現多層導體。另外，根據各種實施例，高縱橫比電鍍結構實現層與層之間的精密對準。舉例而言，高縱橫比電鍍結構在層與層之間具有小於0.030 mm之對準。根據各種實施例，高縱橫比電鍍結構實現降低之總堆疊高度。

【0046】 根據各種實施例，高縱橫比電鍍結構實現使用高縱橫比電鍍結構形成之線圈與磁體之間的較薄介電材料。此使得線圈能夠產生比電流印刷電路線圈(諸如圖1中所說明之彼等線圈)更強的電磁場。因此，高縱橫比電鍍結構更具成本效益，產生更高性能裝置，且相對於當前技術減少裝置所需之佔據面積。

【0047】 圖2說明根據實施例之包括高縱橫比電鍍結構的高密度精密線圈。高縱橫比電鍍結構202形成於列中，其中在每一列與每個高縱橫比電鍍結構204之間具有介電材料。高密度精密線圈可形成為螺旋線圈或其他線圈類型。

【0048】 圖3說明根據實施例用以表示由包括高縱橫比電鍍結構之高密度精密線圈產生之電磁力的圖。圖式包括接近磁體304之線圈橫截面302。最高電磁力306位於更接近磁體304之線圈層308中。其他來自磁體304之線圈層310施加較小力。影響力之主要因素來自勞倫茲方程式 (Lorentz equation)： $\vec{F} = \vec{J} \times \vec{B}$ 。因為 $\vec{B}$ 之量值之強度隨著線圈與磁體之間

的距離而減小，因此 $\vec{j}$ 為流過銅之電流。不為導體之橫截面302之任何區域不促成力($\vec{F}$)。

【0049】 影響線圈之施力能力(force capability)的主要因素包括磁場內之匝的數目(最接近磁體之極點的匝提供最大力)、線圈距磁體之距離(更接近磁體之層將施加更多力)及磁場內之銅橫截面積的總百分比。與使用電流線圈技術之線圈相比，使用根據各種實施例之高縱橫比電鍍結構改良此等態樣。

【0050】 舉例而言，使用現行技術具有兩層之線圈具有約210微米之總厚度、38微米之導體間距、約20%之銅之橫截面百分比、3.1歐姆之估算電阻、1.0之估算力比(1.0之估算B比率及1.0之估算J比率)及1.0之估算功率比。相比之下，根據各種實施例，包括高縱橫比電鍍結構之高密度精密線圈具有約116微米之總厚度、40微米之導體間距、約60%之銅之橫截面百分比、5.5歐姆之估算電阻、1.2之估算力比(1.5之估算B比率及0.8之估算J比率)及0.71之估算功率比。因此，根據各種實施例，包括高縱橫比電鍍結構之高密度精密線圈為更高性能裝置。因此，根據一些實施例，此高密度精密線圈以使用目前所屬領域技術之線圈厚度的一半提供多20%的力，功率小30%。

【0051】 圖4說明經組態以用於線性馬達類型應用之包括多層根據一實施例的高縱橫比電鍍結構之裝置。由於優於當前技術之尺寸優勢，與諸如圖1中所說明之使用當前技術可能的情況相比，高縱橫比電鍍結構之各層402a-d更接近磁體404。另外，每一層402a-d更接近於磁體404藉由利用體積 $\vec{B}$ 場(磁通量密度)來改良線性馬達之施力能力。因此，多層高縱橫比電鍍結構用於線性馬達將需要比使用當前技術更少之層。另外，此結

構在獲得如低電阻之電特性方面提供較大靈活性。

【0052】 圖5說明根據一些實施例在製造製程期間之一階段的高縱橫比電鍍結構。在製造製程期間此階段之高縱橫比電鍍結構602之層係使用半加成技術形成，以產生具有約1比1之初始高度與寬度縱橫比(A/B)之精細間距、抗蝕劑界定之導體。舉例而言，高縱橫比電鍍結構可具有20微米高度及20微米寬度。根據一些實施例，鍍覆製程在此時停止以便使用包括此項技術中已知彼等的技術移除界定產品，諸如光阻遮罩及晶種層。

【0053】 圖6說明根據一些實施例在製造製程期間之另一階段的高縱橫比電鍍結構。在製造製程期間此階段之高縱橫比電鍍結構702之層使用頂部鍍覆技術形成以將半加成導體轉化為高縱橫比、高百分比金屬導體電路。舉例而言，高縱橫比電鍍結構具有大於1比1之最終高度與寬度比(A/S)。根據各種實施例，最終高度與寬度比可在包括1.2至3.0的範圍內。其他實施例包括大於3.0之最終高度與寬度比。然而，熟習此項技術者應理解，可使用本文中所描述之技術獲得任何最終高度與寬度比以便符合設計及性能準則。在如圖6中所說明的由如圖5中所說明之前一階段形成的形成階段，不存在對如各種實施例中所揭示的高縱橫比電鍍結構之最終高度的特定限制。

【0054】 圖7說明根據一些實施例在製造製程期間另一階段的高縱橫比電鍍結構。在製造製程期間此階段之高縱橫比電鍍結構802a、802b之層係使用平坦化轉換技術形成，以允許使用半加成技術堆疊多層高縱橫比電鍍結構以形成後續層。圖8說明根據一些實施例之具有多層高縱橫比電鍍結構的裝置，該等高縱橫比電鍍結構具有高比例之導體橫截面積901。

【0055】 用以自結構(諸如圖5中所說明之彼等結構)形成高縱橫比電鍍結構的方法包括使用低電流密度鍍覆技術。此鍍覆技術將側壁鍍覆直至在高縱橫比電鍍結構之間獲得所要間隔為止。對於各種實施例，若高縱橫比之電鍍結構之間的間隔不夠窄，則可發生頂部處之不合需要的捏合。在鄰近結構之頂部邊緣生長在一起且夾斷間隙的情況下發生捏合，此產生短路。對於各種實施例，藉由充分流體交換增強低電流密度鍍覆製程，使得新鮮鍍覆浴連續地可用於發生銅鍍覆之表面。另外，用以形成高縱橫比電鍍結構之方法包括使用高電流密度鍍覆技術。此高電流密度鍍覆技術在高百分比之質量轉移極限下執行。此主要或僅鍍覆於形成高縱橫比電鍍結構之導電材料之頂部上。藉由精密電流密度控制來增強高電流密度鍍覆製程。圖9說明具有上線1002及下線1004的圖表，上線1002指示根據一實施例在高電流密度鍍覆技術期間之高SPS覆蓋，且下線1004指示在根據一實施例在低電流密度鍍覆技術期間之低、極均勻加速劑覆蓋。

【0056】 圖10a-f說明根據一實施例用於形成高縱橫比電鍍結構之製程。圖10a說明形成於製程之時間T1處之抗蝕劑能力之厚極限處的跡線1102。對於一些實施例，預鍍覆傳統跡線係使用諸如金屬鑲嵌法之製程，或使用包括此項技術中已知之彼等的蝕刻及沉積技術由銅形成。圖10b說明在低電流密度或保形鍍覆製程期間在時間T2處的高縱橫比電鍍結構之形成。根據一實施例，保形鍍覆製程以大致相同速率生長跡線之所有表面。另外，保形鍍覆製程抑制鍍覆動力(低加速劑覆蓋)。保形鍍覆製程亦提供相當均勻的金屬濃度，其具有高的均勻抑制劑覆蓋以抵消。此經抑制之鍍覆動力效應可藉由電鍍浴包括調平劑而增強。獲得均勻的金屬濃度且獲得高的均勻抑制劑覆蓋需要較低電流密度。根據一些實施例，將使用每

平方公尺2安培之保形鍍覆製程用於鍍覆，諸如銅、增亮劑添加劑、壓板之溫度及流體機制。此保形鍍覆製程之實例包括但不限於低電流密度鍍覆製程。在低電流密度下，鍍覆浴維持均勻抑制狀態，提供保形鍍覆。對於另一實施例，可在電鍍浴中添加調平劑以提供更高電流密度及更快鍍覆。對於又一實施例，將銅含量增加至接近於鍍覆浴中之硫酸銅之溶解度極限可用於進一步提高電流密度。此提供使電流密度加倍或甚至更大的能力以達成相同保形鍍覆品質。舉例而言，在減少酸含量之情況下銅含量可高達40公克/公升以防止共離子效應。

【0057】 對於一些實施例，低電流密度鍍覆製程將諸如銅之導電材料沉積至跡線1102之頂部及側壁上，例如，T2為在低電流密度鍍覆製程期間進入製程中大致五分鐘(T1+5分鐘)。圖10c說明在低電流密度鍍覆製程期間在進入製程中時間T3處形成高縱橫比電鍍結構。對於一實施例，低電流密度鍍覆製程將諸如銅之導電材料沉積至跡線1102之頂部及側壁上，例如T3為在低電流密度鍍覆製程期間進入製程中大致五分鐘(T1+15分鐘)。

【0058】 圖10d說明在頂部鍍覆製程(諸如，高電流各向異性超鍍覆製程)期間在進入製程中時間T4處形成高縱橫比電鍍結構。舉例而言，T4為進入製程大致15分鐘及10秒(T1+15分鐘10秒)。對於一些實施例，高電流各向異性超鍍覆製程為頂部鍍覆。頂部鍍覆基於平衡以下因素之間的相互作用：溶液中之金屬濃度、增亮劑添加劑、抑制劑添加劑、至表面之質量轉移-流體交換率、調平劑、及基板處之電流密度。溶液中之金屬濃度可包括但不限於銅。增亮劑添加劑可包括但不限於SPS(雙(3-磺丙基)-二硫)、DPS(3-N,N-二甲基胺基二硫代胺甲醯基-1-丙磺酸)及MPS(巰基丙基

磺酸)。抑制劑添加劑可包括但不限於包括本領域中熟習此項技術者已知之彼等的各種分子量之直鏈PEG；泊洛沙胺(poloxamine)；聚乙二醇及聚丙二醇之共嵌段聚合物，諸如藉由各種商標名已知之水溶性泊洛沙姆(poloxamer)，諸如BASF pluronic f127；及同樣各種單體比率及各種分子量之無規共聚物，諸如高性能流體之DOW® UCON系列；各種分子量之聚乙烯吡咯啉酮。

【0059】 根據一些實施例，高電流各向異性超鍍覆製程包括為1%的加速電流的經抑制交換電流。另外，所形成的高縱橫比電鍍結構之側壁具有幾乎零的加速劑覆蓋。藉由轉移銅沉積之能斯特電位(Nernst Potential)以促進抑制劑覆蓋來達成幾乎零的加速劑覆蓋。此外，高過電位及銅可用性(傳輸現象)在所形成之結構之頂部處產生較高加速劑覆蓋。銅整體濃度亦可經調節以支持在製程期間之接近零的加速劑覆蓋。舉例而言，用於高電流各向異性超鍍覆製程之銅整體濃度為14公克/公升或更低。對於一些實施例，銅整體濃度取決於特定流體機制。由於該製程的各種實施例在較高比例之質量轉移極限下運行，因此待鍍覆物品上的流體速度的微小差異將影響質量轉移極限，從而在無高度控制待鍍覆之物品的所有區域流體速度的情況下，難以實現對鍍覆線之間間隙的充分控制。根據一些實施例，高電流各向異性超鍍覆製程包括調平劑添加劑，其用於阻止加速劑覆蓋以將所形成之結構側壁上的鍍覆降至最低或消除。對於其他實施例，使用無調平劑添加劑之電鍍浴。

【0060】 根據一些實施例，在高電流密度下，諸如在高電流各向異性超鍍覆製程期間使用之電流密度下，三倍回饋機制起作用。質量轉移效應在跡線之間的間隔中耗乏銅。此外，高電流密度支持加速劑(例如，

SPS)主導之表面。為維持遏制側壁，質量轉移經調節以經由銅質量轉移效應降低能斯特電位。舉例而言，流體邊界層厚度及各跡線之間間距經設計以降低能斯特電位。

【0061】 另外，根據一些實施例，高電流各向異性超電鍍製程包括在銅濃度下操作，其中此等差異可產生大於四倍的濃度差異。在此類條件期間，較低銅濃度及能斯特電位促使鍍覆速率降低。舉例而言，當能斯特電位大致在50毫伏(「mV」)至60 mV之範圍內改變時，此可促使鍍覆速率降低二十倍。此類條件誘導塔費爾動力學(Tafel kinetics)，其對於銅鍍覆而言為所施加電壓(非整流電壓)每120 mV之變化電流之變化的十倍。下部側壁電流回饋至形成之結構之頂面，其中擴散長度較短，其促進金屬自電鍍浴(溶液)更快地遞送至表面及更高加速劑覆蓋而非抑制，及較高能斯特電位。對於一些實施例，使用兩種添加劑系統(例如增亮劑及抑制劑)。調平劑藉由阻斷鍍覆特徵之頂側上之SPS作用而減輕回饋機制。

【0062】 隨著金屬導體或跡線之間間距繼續縮小，金屬導體之間的間隔的高度與寬度的縱橫比實質上提高。根據一些實施例，本文提供的電鍍製程的方法在金屬導體之間間距中以7:1及更大的縱橫比實現鍍覆。

【0063】 根據一些實施例，形成高縱橫比電鍍結構之方法在選擇性位置或區域處選擇性形成金屬頂部鍍覆。在一個例示性實施例中，金屬頂部係藉由根據以下關係進行電鍍製程來選擇性形成：

$$\frac{C}{C_{\infty}} \leq 0.33$$

其中C為鍍覆發生處之金屬(在此情況下為銅)之濃度，且 C_{∞} 為電鍍浴中之整體濃度。此關係亦可表示為進行電鍍製程，其中 $\frac{C}{C_{\infty}}$ 等於或大於質

量轉移極限之67%(%)。根據其他實施例，金屬頂部係藉由根據以下關係進行電鍍製程來選擇性形成：

$$\frac{C}{C_{\infty}} \leq 0.2$$

或其中 $\frac{C}{C_{\infty}}$ 等於或大於質量轉移極限之80%。在另一態樣中，金屬頂部之選擇性形成藉由根據以下關係進行電鍍製程來達成：

$$\frac{i}{i_{limit}} \geq 0.8$$

此處*i*為電流密度，且*i_{limit}*為電流密度極限。

【0064】 圖10e說明在高電流各向異性超鍍覆製程期間，在時間T5時形成高縱橫比電鍍結構。舉例而言，T5為進入製程中約15分鐘及30秒(T1+15分鐘30秒)。對於另一實施例，在時間T5=T1+5分鐘時形成如圖10e中所說明的高縱橫比電鍍結構。圖10f說明在高電流各向異性超鍍覆製程期間在時間T6處形成高縱橫比電鍍結構。此說明頂部鍍覆製程之結束，其結束根據一些實施例之高縱橫比電鍍結構之形成。舉例而言，T6為進入製程中大致20分鐘(T1+20分鐘)。對於另一實施例，在時間T6=T1+10分鐘時形成如圖10f中所說明的高縱橫比電鍍結構。

【0065】 對於一些實施例，用於形成高縱橫比電鍍結構之方法使用包括如本文所描述之保形鍍覆及各向異性鍍覆的製程。根據一些實施例，保形鍍覆製程使用總鍍覆時間之2/3。對於其他實施例，保形鍍覆製程使用總鍍覆時間之1/3。此外，保形鍍覆製程開始於2安培/平方公分(「ASD」)低金屬電鍍浴或4 ASD高金屬電鍍浴。舉例而言，電鍍浴包括12公克/公升銅及1.85莫耳濃度(莫耳/公升)硫酸。或者，保形鍍覆製程為以0.4至1.2微米/分鐘之速率鍍覆的製程。根據一實施例，保形鍍覆製程繼續直至跡線之間隔在包括6至8微米之範圍內為止。電流密度將隨著所

形成之結構表面積增加而緩慢降低。然而，該製程將達成所形成之所有表面之均一電流密度及生長率。對於一些實施例，隨著所形成之高縱橫比結構之表面積增加，可提高電流以維持電流密度。

【0066】 根據一些實施例，各向異性電鍍製程使用總鍍覆時間之1/3以形成高縱橫比電鍍結構。各向異性電鍍製程使ASD增加至7 ASD(保形電鍍製程之電流的3.5倍)，但平均而言，使在所形成之金屬結構之頂部處的ASD加倍。可維持與保形鍍覆製程中所使用之流體流動相同的流體流動。舉例而言，鍍覆速率為3微米/分鐘，結構之頂部在結構之側壁上以幾乎零之鍍覆速率形成。隨著結構生長，平均電流減半，但峰值電流密度在根據實施例之結構化頂部維持在大約14 ASD。舉例而言，峰值電流密度僅超過頂面處之質量轉移極限之50%，且即使側壁暴露於3公克/公升銅，側壁仍以低於10%之質量轉移極限或5:1鍍覆速率鍍覆。在質量轉移極限之更高比例下，吾人可得到更高之鍍覆速率比率。

【0067】 用於形成高縱橫比電鍍結構之方法之實施例包括對上文所描述之彼等的變化，以形成包括不同特徵的高縱橫比電鍍結構。舉例而言，經組態為各向異性浴之電鍍浴中之銅含量可與如上文所描述相差13.5公克/公升。在平坦跡線浴中改變銅含量但使用相同電流密度可用於控制高縱橫比電鍍結構之間間距。本文所描述之方法之另一實施例包括使用具有12公克/公升銅含量之平坦跡線浴之平坦跡線浴，以形成相隔8微米之高縱橫比電鍍結構。本文所描述之方法之又一實施例包括使用具有15公克/公升銅含量之平坦跡線浴之平坦跡線浴，以形成相隔4微米之高縱橫比電鍍結構。因此，熟習此項技術者應理解，調節本文所描述之方法之其他參數可用以更改高縱橫比電鍍結構之特徵。本文中所描述之方法之一些實施

例包括調節電流密度以匹配當前鍍覆條件，諸如質量轉移速率、電鍍浴中所含之金屬、流體速度、銅濃度、所用添加劑及溫度。

【0068】 形成高縱橫比電鍍結構之方法亦包括使用較薄介電製程。根據一些實施例，將感光聚醯亞胺用作每一高縱橫比電鍍結構之間的介電質。液體感光聚醯亞胺實現較小通孔能力、高縱橫比導體之間的良好覆蓋、良好對齊/容限能力，其為高可靠性材料且具有與銅緊密匹配之熱膨脹係數(「CTE」)。液體感光聚醯亞胺可容易填充高縱橫比電鍍結構之間的間隙。根據一些實施例，使用液體感光聚醯亞胺產生降至0.030毫米之通孔入口。可使用之其他介電質包括但不限於KMPR及SU-8。

【0069】 圖11說明根據一些實施例之使用本文所描述之方法形成的高縱橫比電鍍結構。每一高縱橫比電鍍結構1202包括展示電鍍製程如何發展以形成結構之多個紋理線1204。較薄介電質1206形成於高縱橫比電鍍結構1202之間且安置於高縱橫比電鍍結構1202上。圖12說明根據一些實施例之使用本文所描述之方法形成的高縱橫比電鍍結構1302之透視圖。

【0070】 本文所描述之方法可用於形成高縱橫比電鍍結構，其形成高密度精密線圈。圖13a說明根據實施例之使用高縱橫比電鍍結構形成之高密度精密線圈。線圈1402由諸如本文所描述之彼等結構的高縱橫比電鍍結構形成。高密度精密線圈亦包括中心線圈通孔1404。中心線圈通孔1404在本文中所描述之製造步驟期間減小線圈上之電壓降。另外，中心線圈通孔1404使得能夠經由在本文中所描述之各向異性電鍍製程期間對電壓降及電流之較好控制而較好地控制線圈內間距之變化。中心線圈通孔1404亦使得能夠較佳地控制所形成之高密度精密線圈之電壓降。圖13b說

明作為如本文中所描述之高密度精密線圈之部分的中心線圈通孔1404之橫截面。

【0071】 圖14說明根據一實施例包括高解析度堆疊導體層的高縱橫比電鍍結構。第一導體層1502a包括使用包括本文所描述之彼等技術之技術形成的高縱橫比電鍍結構1504。使用薄介電製程(使用包括本文所描述之彼等的技術)形成第一介電層1508。第一介電層1508填充在第一導體層1502a之高縱橫比電鍍結構之間的所有空間且在高縱橫比電鍍結構1504上方形成塗層。使用此項技術中已知之技術平面化第一介電層1508。第二導體層1502b包括形成於第一介電層1508之平面化表面上方的高縱橫比電鍍結構1506。使用薄介電製程(使用包括本文所描述之彼等的技術)來形成第二介電層1510，以填充第二導體層1502b之高縱橫比電鍍結構1506之間的所有間隔且用以在高縱橫比電鍍結構1506上方形成塗層。亦可平面化第二介電層1510。可使用本文所描述之技術形成包括高縱橫比電鍍結構之額外層。

【0072】 圖15說明根據一實施例之包括高縱橫比電鍍結構之高密度精密線圈，該高縱橫比電鍍結構包括高解析度堆疊導體層。第一導體層1602a包括使用包括本文所描述之彼等技術之技術形成的高縱橫比電鍍結構。使用薄介電製程(使用包括本文中所描述之彼等的技術)來形成第一介電層1608。第一介電層1608填充第一導體層1602a的高縱橫比電鍍結構之間的所有空間，且在高縱橫比電鍍結構上方形成塗層。使用此項技術中已知之技術平面化第一介電層1608。第二導體層1602b包括形成於第一介電層1608之平面化表面上方的高縱橫比電鍍結構。使用薄介電製程(使用包括本文中所描述之彼等的技術)來形成第二介電層1610，以填充第二導體

層1602b的高縱橫比電鍍結構之間的所有空間且高縱橫比電鍍結構上方形成塗層。亦可平面化第二介電層1610。可使用本文所描述之技術形成包括高縱橫比電鍍結構之額外層。

【0073】 形成高密度精密線圈以具有在第一導體層1602a之高縱橫比電鍍結構與第二導體層1602b之高縱橫比電鍍結構之間的第一距離1614。對於各種實施例，第一距離1614小於0.020毫米。對於另一實施例，第一距離1614為0.010毫米。形成高密度精密線圈以具有在第二介電層1610之表面1618與第一導體層1602a之高縱橫比電鍍結構之間的第二距離1616。對於各種實施例，第二距離1616小於0.010毫米。對於一些實施例，第二距離1616為0.005毫米。對於一些實施例，第二距離1616可為起始間隙減去最終所要間隙除以2。形成高密度精密線圈以具有第一導體層1602a之高縱橫比電鍍結構與第一介電層1622之表面之間的第三距離1620。對於各種實施例，第三距離1620小於0.020毫米。對於一些實施例，第三距離1620小於0.015毫米。對於另一實施例，第三距離1620為0.010毫米。對於各種實施例，使用包括本文中所描述之彼等的技術將第一介電層形成於基板1624上。對於一些實施例，基板1624為不鏽鋼層。熟習此項技術者應理解，基板1624可用其他材料形成，包括但不限於鋼合金、銅合金(諸如青銅、純銅、鎳合金、鈹銅合金)及包括此項技術中已知之彼等金屬的其他金屬。

【0074】 使用如本文所描述的高縱橫比電鍍結構形成裝置之其他優點包括具有高結構強度、高可靠性及高散熱量之裝置。經由在裝置之所有層上形成極密集濃度之金屬高縱橫比電鍍結構之能力提供高結構強度。另外，用於形成本文中所描述之金屬高縱橫比電鍍結構的製程提供層與層之

間的結構橫向對準，從而增加高結構強度。使用用於形成本文所描述之金屬高縱橫比電鍍結構之製程形成的裝置之高結構強度亦為介電層材料(諸如感光聚醯亞胺層)對結構之良好黏著力的結果。對於一些實施例，用非磁性鎳層塗佈使用本文所描述之技術形成的高縱橫比電鍍結構以提高介電層之黏著力。此將進一步增加使用本文所描述之高縱橫比電鍍結構形成之最終裝置的高結構強度。

【0075】 使用本文中所描述的高縱橫比電鍍結構形成的裝置之可靠性亦較高，此係由於使用提供穩固電氣性能的高可靠性材料，諸如用於介電層之感光聚醯亞胺。使用本文中所描述之技術提供以較少介電材料形成裝置且減少所形成裝置之總厚度的能力。因此，經由使用當前製程技術增加裝置上方之導熱性來增加散熱。

【0076】 圖16a-c說明根據另一實施例之用於形成高縱橫比電鍍結構的製程。圖16a說明使用消滅蝕刻形成於基板1804上之跡線1802。根據一些實施例，金屬層形成於基板1804上方。使用包括此項技術中已知之彼等之技術在金屬層上方形成光阻層。對於一些實施例，光阻層為以液態形式沉積於金屬層上方的感光聚醯亞胺。使用包括此項技術中已知之彼等的技術來圖案化及顯影光阻。隨後使用包括此項技術中已知之的技術蝕刻金屬層。在蝕刻製程之後，形成跡線1802。

【0077】 圖16b說明使用保形鍍覆製程(諸如本文中所描述之彼等製程)形成高縱橫比電鍍結構。圖16c說明使用頂部鍍覆製程(諸如本文中所描述之彼等製程)形成高縱橫比電鍍結構。對於各種實施例，在不使用保形鍍覆製程(諸如參看圖16b所描述者)的情況下形成高縱橫比的電鍍結構。實情為，在形成如圖16a中所說明之跡線1802之後使用頂部鍍覆製

程，諸如參看圖16c描述者。

【0078】 圖17說明根據一實施例選擇性形成高縱橫比電鍍結構。一旦使用包括本文中所描述之彼等的技術形成跡線1902，則光阻層1904形成於所形成跡線1902中之一或多者之區段上方。光阻層1904可為感光聚醯亞胺，且使用包括本文中所描述之彼等的技術來沉積及形成該光阻層1904。使用如本文中所描述之保形鍍覆製程及頂部鍍覆製程中之一者或兩者在跡線1902上形成金屬頂部1906。圖18說明根據一實施例以選擇性地形成於跡線上之金屬頂部部分形成之高縱橫比電鍍結構的透視圖。根據一些實施例，在跡線上選擇性形成金屬頂部部分用於改良高縱橫比電鍍結構之結構特性、改良高縱橫比電鍍結構之電氣性能、改良熱傳遞特性且符合使用高縱橫比電鍍結構形成之裝置的定製尺寸需求。電氣性能改良之實施例包括但不限於高縱橫比電鍍結構之電容、電感及電阻特性。此外，在跡線上選擇性形成金屬頂部部分可用於調節使用高縱橫比電鍍結構形成之電路之機械或電學特性。

【0079】 圖19說明包括根據一實施例之使用如本文所描述之選擇性形成所形成的高縱橫比電鍍結構之硬碟驅動機懸掛件撓曲件2102。圖20說明沿著線A-A截取的圖19中所說明之硬碟驅動機懸掛件撓曲件之橫截面圖。撓曲件2102之橫截面包括高縱橫比電鍍結構2104及跡線2106。使用如本文所描述之選擇性形成技術形成高縱橫比電鍍結構2104。形成高縱橫比電鍍結構2104以用作撓曲件之預定區域中之導體可達成DC電阻之減小。此允許撓曲件上所需之細線及間隔，同時滿足對DC電阻之設計需求且改良撓曲件之電氣性能。

【0080】 圖21a、圖21b說明一種用於在保形鍍覆製程期間使用光阻

形成根據一實施例的高縱橫比電鍍結構之製程。圖21a說明使用包括本文中所描述之彼等之技術形成於基板2304上之跡線2302。圖21b說明使用如本文所描述之鍍覆製程形成高縱橫比電鍍結構。使用包括本文中所描述之彼等者的沉積及圖案化技術在基板2304上方形成光阻部分2306。一旦光阻部分2306形成於保形鍍覆製程中之一者或兩者，執行頂部鍍覆製程以在跡線2302上形成金屬部分2308。可使用光阻部分2306較佳地界定高縱橫比電鍍結構之間的間距。

【0081】 圖22說明根據各種實施例之用於形成初始金屬層之製程、標準/保形鍍覆製程及頂部鍍覆製程之例示性化學物質。

【0082】 圖23說明由具有積體調諧電容器之根據一實施例之高縱橫比電鍍結構2504形成的電感耦合線圈2502之頂面2501的透視圖。與使用電流技術形成線圈之電感耦合線圈相比較，使用高縱橫比電鍍結構形成電感耦合線圈減小電感耦合線圈之佔據面積。此使得電感耦合線圈2502能夠用於空間受到限制之應用中。另外，整合於電感耦合線圈中電容器之使用進一步減小電感耦合線圈之佔據面積，此係因為不需要額外空間要求來容納諸如表面安裝技術(「SMT」)電容器之離散電容器。

【0083】 圖24說明圖23中所說明之電感耦合線圈2502之實施例的背面2604的透視圖。圖25說明與射頻識別(「RFID」)晶片2704耦接根據一實施例之電感耦合線圈2502之頂面的透視圖。

【0084】 圖26a-j說明形成電感耦合線圈2502之方法，該電感耦合線圈2502由根據一實施例之高縱橫比電鍍結構2504形成。根據各種實施例，電感耦合線圈包括積體調諧電容器。圖26a說明使用包含此項技術中已知之彼等之技術形成的基板2802。對於一些實施例，基板2802由不鏽

鋼形成。可用於基板之其他材料包括但不限於鋼合金、銅、銅合金、鋁、可使用包括電漿氣相沉積、化學氣相沉積及無電極化學沉積之技術金屬化的非導體材料。將遮蔽罩2804形成於基板2802上方。根據一些實施例，遮蔽罩2804為高K介電質。可使用之高K介電質之實例包括但不限於二氧化鈦(TiO_2)、氧化鈮(Nb_2O_5)、氧化鉭(TaO)、氧化鋁(Al_2O_3)、二氧化矽(SiO_2)、聚醯亞胺、SU-8、KMPR及其他高電容率介電材料。根據一些實施例，使用濺鍍製程使用包括此項技術中已知之技術的技術來形成遮蔽罩2804。對於一些實施例，遮蔽罩2804經形成以具有介於500至1000埃之範圍內的厚度。對於其他實施例，使用高電容率墨水之網版印刷來形成遮蔽罩2804。高電容率油墨之實例包括油墨，該油墨包括負載有由二氧化鈦(TiO_2)、氧化鈮(Nb_2O_5)、氧化鉭(TaO)、氧化鋁(Al_2O_3)、二氧化矽(SiO_2)、聚醯亞胺及其他高電容率介電材料中之一或多者製成之粒子的環氧樹脂。對於其他實施例，使用摻雜有高K填充劑之可光成像介電質之槽模應用來形成遮蔽罩2804。高K填充劑之實例包括二氧化鋯(ZrO_2)。

【0085】 圖26b說明形成於遮蔽罩2804上方之金屬性電容板2806。金屬電容板2806及基板2802形成積體電容器之兩個電容板。可使用遮蔽罩2804之厚度來設定積體電容器之有效電容。另外，用以形成遮蔽罩2804之高K介電質的純度可用以設定積體電容器之有效電容。金屬電容板2806之表面積亦可用以設定積體電容器之有效電容。

【0086】 圖26c說明形成於遮蔽罩2804、金屬電容板2806及基板2802之至少一部分上方之基礎介電層2808。根據一些實施例，基礎介電層2808係藉由沉積介電材料、圖案化介電材料以及使用包含此項技術中已知技術的技術固化介電材料來形成。可使用之介電材料之實例包括但不

限於聚醯亞胺、SU-8、KMPR及硬烘烤光阻，諸如由IBM®出售之硬烘烤光阻。基礎介電層2808亦可經圖案化或蝕刻以形成通孔。舉例而言，跨接通孔2812及分路電容器通孔2810形成於基礎介電層2808中。分路電容器通孔2810經形成以將積體電容器互連至待形成之電路之剩餘部分。類似地，跨接通孔2812用以將待形成的電路元件互連至基板2802。

【0087】 圖26d說明使用高縱橫比電鍍結構形成於基礎介電層2808上方之線圈2814，以形成使用包括本文中所描述之彼等之技術的線圈。對於一些實施例，線圈2814為單層線圈。線圈2814包括連接至分路電容器通孔2810中之一者及與積體電容器之金屬電容板2806電接觸的跨接通孔2812中之一者的中心連接部分2816。線圈2814亦包括電容器連接部分2818以將線圈2814連接至分路電容器通孔2810中之另一者，該分路電容器通孔與經組態為積體電容器之下部板的基板2802電接觸。根據各種實施例，使用包括本文中所描述之彼等的技術由高縱橫比電鍍結構形成終端襯墊2820。終端襯墊2820可在與用於形成線圈2814相同的製程期間形成。

【0088】 圖26e說明形成於線圈2814、終端襯墊2820及基礎介電層2808上方以包覆電感耦合線圈之線圈側的面層2822。使用沉積、蝕刻及圖案化步驟(包括此項技術中已知之彼等步驟)形成面層2822。舉例而言，面層2822可由聚醯亞胺阻焊劑、SU-8、KMPR或環氧樹脂形成。

【0089】 圖26f說明根據一實施例形成的電感耦合線圈之背面。將至少第一焊接墊2824及第二焊接墊2826形成於基板2802與線圈2814相反之側上。根據一些實施例，使用包含此項技術中已知的彼等的沉積及圖案化技術由金形成第一焊接墊2824及第二焊接墊2826。形成第一焊接墊

2824及第二焊接墊2826以提供用於將諸如RFID晶片之積體電路晶片附接至基板2802的電接點。

【0090】圖26g說明根據一實施例形成之形成於感應耦合線圈之背面上的背面介電層2828。形成電感耦合線圈之方法可視情況包括在基板2802上形成背面介電層2828。使用類似於形成基礎介電層2808之彼等技術的技術形成背面介電層2828。根據一些實施例，背面介電層2828經圖案化以防止基板2802與所附接積體電路晶片之間的短路。根據各種實施例，背面介電層2828經圖案化以提供給待蝕刻基板2802跨接圖案2830以在後續步驟中形成跨接路徑。背面介電質中之其他圖案可經形成以亦蝕刻基板2802之其他部分。

【0091】圖26h說明根據一實施例形成為其最終形狀之電感耦合線圈2834。蝕刻基板2802未由背面介電層2828覆蓋之部分。此經蝕刻之部分包括跨接圖案2830以形成跨接路徑2832。使用包括此項技術中已知之技術的技術進行蝕刻。熟習此項技術者將理解，基板2802之其他部分可經蝕刻以形成類似於跨接路徑2832之其他導電路徑。圖26i說明根據一實施例之包括跨接路徑2832之電感耦合線圈2834之線圈側。

【0092】圖26j說明根據一實施例之電感耦合線圈2834之線圈側，其包括附接至電感線圈之背面的積體晶片2836。用於形成電感耦合線圈2834之方法可視情況包括使用包括此項技術中已知之彼等技術的技術將積體晶片2836(諸如RFID晶片)附接至電感耦合線圈2834的步驟。使用包括但不限於導電環氧樹脂、焊料及用以連接電連接件之其他材料的黏著劑來附接此積體晶片2836。

【0093】電容器整合至包括高縱橫比電鍍結構之裝置中能夠利用藉

由使用高縱橫比電鍍結構實現之較小佔據面積需求。電感耦合線圈之其他實施例包括具有多個積體電容器之電感耦合線圈。如此項技術中已知，積體電容器可並聯或串聯連接。包括高縱橫比電鍍結構的其他裝置(亦可包括積體電容器)包括但不限於降壓式變壓器(buck transform)、信號調節裝置、調諧裝置及將包括一或多個電感器及一或多個電容器之其他裝置。

【0094】 根據本文所描述之實施例的高縱橫比電鍍結構可用於形成裝置或形成裝置之部分，以最佳化性能且達成小佔據面積。此類裝置包括但不限於功率轉換器(例如，降壓式變壓器、分壓器、AC變壓器)、致動器(例如，線性、VCM)、天線(例如，RFID、用於電池充電之無線功率轉移及安全晶片)、無線被動線圈、蜂巢式電話及能再充電之醫療裝置電池、鄰近感測器、壓力感測器、非接觸式連接器、微型馬達、微型流體元件、封裝上之冷卻/散熱器、具有空氣芯電容及電感之長窄型可撓性電路(例如用於導管)、叉指形聲波換能器、觸感振動器、可植入裝置(例如起搏器、刺激器、骨生長裝置)、用於程序(例如食道、結腸鏡檢查)之磁共振成像(「MRI」)裝置、超觸感(例如，服裝、手套)、經塗佈以用於偵測/過濾釋放之表面、安全系統、高能量密度電池、感應加熱裝置(用於小局部區域)、用於經由通道脈衝之流體/藥物分散及劑量遞送之磁場、追蹤及資訊裝置(例如，農業、食品、貴重物品)、信用卡安全、聲波系統(例如，揚聲器線圈、耳機中之再充電機構、耳塞)、熱傳遞、機械導熱密封件、能量收集器及互鎖成形件(類似於卡鉤及環圈扣件)。另外，如本文中所描述的高縱橫比電鍍結構可用以形成高頻寬、低阻抗互連件。在互連件中使用高縱橫比電鍍結構可用於改良電特徵(例如，電阻、電感、電容)、改良熱傳遞特性且定製尺寸要求(厚度控制)。包括如本文所描述的高縱橫

比電鍍結構之互連件可用以針對既定頻率範圍調諧一或多個電路之頻寬。包括高縱橫比電鍍結構之其他互連件應用可整合不同電流（例如，信號及功率）之一或多個電路。使用高縱橫比電鍍結構允許具有不同橫截面之電路，允許一些具有較多載流容量，以緊密接近地一起製造以維持經濃縮之整體封裝大小。出於機械目的，高縱橫比電鍍結構亦可用於互連件中。舉例而言，可能需要使電路之一些區域在其他區域上方凸起以充當機械止擋件、軸承、電接點區域或用於額外硬度。

【0095】 圖27說明包括根據一實施例之高縱橫比電鍍結構之硬碟驅動機的懸掛件之撓曲件的平面圖。撓曲件2900包括遠端部分2901、環架部分2902、中間部分2904、間隙部分2906及近端部分2908。近端部分2908經組態以附接至底板以使得遠端部分2901在旋轉磁碟媒體上方延伸。根據一些實施例，環架部分2902經組態以包括一或多個馬達，諸如壓電馬達，及一或多個電組件，諸如用於讀取或寫入至磁碟媒體之磁頭浮動塊，及用於熱輔助式磁性記錄（「HAMR」）/熱輔助磁性記錄（「TAMR」）或微波輔助式磁性記錄（「MAMR」）之組件。一或多個馬達及一或多個電組件經由形成於撓曲件之導體層上之一或多個跡線電連接至其他電路，該撓曲件在間隙部分2906上自撓曲件2900之遠端部分2901延伸經過中間部分2904且超出近端部分2908。間隙部分2906為撓曲件之一部分，其中諸如不鏽鋼層之基板層經部分完全移除。因此，撓曲件之導體層中的跡線中之一或多者在無任何支撐件之情況下在間隙部分2906上方延伸。熟習此項技術者將理解，撓曲件可在沿著撓曲件之任何位置處具有一或多個間隙部分2906。

【0096】 圖28說明間隙部分處之撓曲件之間隙部分的橫截面，其沿

著如圖27中所說明之線A截取。間隙部分2906包括安置於介電層3004上方之跡線3002。諸如聚醯亞胺層之介電層安置於諸如不鏽鋼層之基板3006上方。基板3006以及介電層3004界定空隙3008，使得跡線3002在空隙3008上方延伸。跡線3002包括金屬頂部部分以形成高縱橫比結構。使用本文中所描述之技術，金屬頂部部分選擇性地形成於跡線3002上。金屬頂部部分形成於跡線3002上以提供跨越空隙3008之額外強度，且當使用時用以與空隙3008之區域處之互連件電耦接。

【0097】 圖29說明根據一實施例之具有質量結構3102之環架部分2902。使用本文所描述之技術使用高縱橫比電鍍結構形成質量結構3102。對於一些實施例，質量結構3102用作平衡塊以調諧環架部分2902之共振。因此，質量結構3102之形狀、大小及部位可經判定以調諧環架部分2902之共振以增強硬碟驅動機懸掛件之性能。本文中所描述之用以形成高縱橫比結構之製程可用以維持高縱橫比結構之大小，使得可精細調諧共振。此外，製程能夠在超出當前微影製程之能力的尺寸下形成高縱橫比結構，從而實現對所形成之最終結構的更多控制。

【0098】 質量結構3102亦可經組態以用作機械止擋件。舉例而言，一或多個機械止擋件可形成為任何形狀以充當反向止擋件及/或用以在環架部分2902或撓曲件之其他部分上對準組件之安裝。

【0099】 圖30說明包括根據一實施例之高縱橫比電鍍結構之撓曲件的近端部分的橫截面，其沿著如圖27中所說明之線B截取。近端部分2904包括安置於介電層3004上方之包括跡線3002a、3002b、3002c、3002d之導體層。介電層3004安置於基板3006上方。覆蓋層3001安置於導體層及介電層上方。導體層包括習知跡線3002a、3002b及跡線3002c、300d，該

等跡線用包括金屬頂部部分3202a、3202b之跡線之至少一部分形成以使用本文所描述之技術形成高縱橫比電鍍結構。跡線3002a、3002b、3002c、3002d之一或多個部分可經形成以包括金屬頂部部分3202a、3202b以調諧每一跡線之阻抗。舉例而言，可視需要調諧跡線之電阻以符合所要性能特徵。另一實例包括使用金屬頂部部分以藉由閉合鄰接跡線3002a、3002b、3002c、3002d之間的距離來調諧阻抗。

【0100】 圖31說明包括根據一實施例之高縱橫比結構之撓曲件的近端部分的橫截面，其沿著如圖27中所說明之線C截取。撓曲件之近端部分包括安置於介電層3004上方之包括至少一個跡線3002的導體層。介電層3004安置於基板3006上。此外，覆蓋層3001安置於所形成之介電層3004上方以包括金屬頂部部分以使用本文所描述之技術形成高縱橫比電鍍結構。跡線3002經組態為高縱橫比結構，以將跡線之阻抗與終端連接件匹配且提供強度至將跡線3002與連接件電耦接之接頭。圖32說明包括根據一實施例之高縱橫比結構之撓曲件的近端部分2908的平面視圖。如參考與撓曲件一起使用所描述之高縱橫比結構之使用亦適用於其他電路板技術，例如，適用於微電路及射頻(「RF」)電路中。

【0101】 圖33說明根據一實施例之用於形成高縱橫比電鍍結構之製程。如所說明，將銅層3318用作基板。然而，其他導電材料可用作基板。在3301處，介電層3320安置於銅層3318上，諸如本文所述之彼等，經標記及衝壓。可使用包括但不限於可光成像或不可光成像材料、聚合物、陶瓷及其他絕緣材料之材料形成介電層3320。對於一些實施例，銅層3318為諸如本文所描述之銅合金層的銅合金層。對於一些實施例，在介電層中標記及衝壓一或多個穿孔或通孔3322以暴露銅層3318。根據一

些實施例，介電層3320為可光成像介電材料且使用包括本文所描述之彼等的圖案化及顯影技術產生一或多個穿孔或通孔3322。其他實施例包括使用雷射、鑽孔或蝕刻介電層3320以產生一或多個穿孔或通孔3322。對於一些實施例，銅合金層具有介於包括15微米至40微米之範圍內的厚度。在3302處，跡線3324或其他導電特徵安置於介電層3320上與銅層3318相對之側面上。對於一些實施例，使用包括本文所描述之技術的技術濺鍍晶種層以在介電層3320上形成圖案。其他實施例包括使用無電極電鍍以形成晶種層。使用包括本文中所描述之彼等技術的技術，將諸如本文中所描述之彼等的電鍍製程用於形成一或多個跡線3324及導電特徵至所要厚度。

【0102】 在3304處，使用包括本文中所描述之彼等技術之技術，將諸如本文中所描述之彼等的保形鍍覆製程用於建立一或多個跡線及導電特徵以增加介電層3320與銅層3318相對之側面上的一或多個跡線及導電特徵之厚度或進一步增強其形狀。對於一些實施例，在3304處，除了在介電層3320與銅層3318相對之側面上之保形鍍覆製程以外，亦使用頂部鍍覆製程，諸如本文中所描述之彼等製程。對於一些實施例，使用頂部鍍覆製程代替保形鍍覆製程。

【0103】 在3306處，使用包括本文中所描述之彼等技術之技術將介電層3326(諸如，面層)安置於介電層與銅層3318相對之側面上的一或多個跡線3324及導電特徵上。對於一些實施例，不包括面層。舉例而言，所形成之一或多個跡線3324及導電特徵可用金屬鍍覆。在3308處，使用包括本文所描述之彼等技術的技術蝕刻銅層3318以形成圖案。對於一些實施例，蝕刻銅層3318以形成一或多個跡線3328及/或一或多個導電特徵。

【0104】 在3310處，使用保形鍍覆製程(諸如本文所描述之彼等鍍覆製程)來建立一或多個跡線3328及導電特徵以增加一或多個跡線3328及導電特徵的厚度或進一步增強其形狀，該一或多個跡線3328及導電特徵係使用包括本文所描述之彼等的技術形成於銅層3318中。對於一些實施例，在3310處，除銅層3318上之保形鍍覆製程以外，亦使用頂部鍍覆製程，諸如本文所述之彼等製程。對於一些實施例，使用頂部鍍覆製程代替保形鍍覆製程。

【0105】 在3312處，介電層3330(諸如，面層)係安置於一或多個使用包括本文中所描述之彼等技術之技術由銅層3318形成的跡線3328及導電特徵上。對於一些實施例，不包括面層。舉例而言，所形成之一或多個跡線3328及導電特徵可用金屬鍍覆。對於一些實施例，製程用於在單一基板上製造多個電路或裝置。在3316處，對於此等實施例，電路或裝置經單粒化且視情況可使用包括此項技術中已知之彼等技術的技術封裝。對於一些實施例，使用包含但不限於雷射切除、斷裂、切割、蝕刻等之技術將電路及/或裝置單粒化。對於一些實施例，本文所描述之面層可使用本文所述之圖案化技術圖案化。舉例而言，面層在毯覆層中施加。根據一些實施例，使用槽模塗佈來施加面層以施加可光成像介電材料。可使用其他技術，諸如滾塗、噴塗、乾膜層壓或用於施加可光成像或不可光成像材料之其他已知方法。若材料為不可光成像的，隨後可使用其他方法將其圖案化(例如雷射或蝕刻)。對於一些實施例，一個或兩個介電層/面層可形成而具有表面修飾，例如以輔助附接至其他結構或基板。對於一些實施例，表面修飾藉由紋理化或圖案化介電層/面層而形成於介電層/面層上。

【0106】 在3314，在一些實施例中，可使用無電極電鍍將諸如鍍覆

有金屬之鎳終端的終端墊3332形成於基板3318上，且終端墊3332可具備焊料。根據一些實施例，使用鎳、金或其他工業標準表面修飾之無電鍍或電解電鍍來鍍覆形成於經暴露銅層(該銅層安置於頂面及/或底面上)上之表面修飾。另外，可將焊料施加於此等區域。

【0107】 圖34說明根據一些實施例的類似於參看圖33用以形成高縱橫比電鍍結構所描述之類型的更詳細製程。

【0108】 圖35說明使用本文中所描述之製程製造的線圈。線圈3501包括電耦接以形成線圈3501之多個線圈區段，例如，三個或三個以上線圈區段。對於一些實施例，諸如圖35中所說明之實施例，外部線圈區段3504中之匝的數目與兩個外部線圈區段3504之間的內部線圈區段3502相同。對於一些實施例，內部線圈區段3402包括比外部線圈區段3504更多之匝。其他實施例包括具有例如參看圖35電耦接之多個線圈區段之子集的多個線圈區段，多個線圈區段中之兩者經電耦接，且剩餘線圈區段不與其他兩個線圈區段電耦接。因此，可包括任何數目個線圈區段與其他線圈區段中之任一者電耦接的任何數目個線圈區段之任何組合。

【0109】 可藉由堆疊每一層來形成包括使用本文中所描述之技術製造的跡線及導電特徵中之任一者中之一者或多者的複數個層，且可藉由穿過層的通孔來產生每一層之間的連接，該等通孔填充有諸如導電黏接劑之導電材料。

【0110】 根據一些實施例，將本文中所描述之製程用以形成合併有其他電路組件(例如，電阻溫度偵測器(RTD)、應變計及其他感測器)之線圈。

【0111】 根據一些實施例，將本文所描述之製程用於形成機械結構

及機電結構中之任一者中之一或多者。

【0112】 儘管結合此等實施例描述，但熟習此項技術者將認識到，可在不背離本發明之精神及範疇之情況下在形式及細節上作出改變。

【符號說明】

【0113】

202	高縱橫比電鍍結構
204	高縱橫比電鍍結構
302	橫截面
304	磁體
306	最高電磁力
308	線圈層
310	線圈層
402a	層
402b	層
402c	層
402d	層
404	磁體
602	高縱橫比電鍍結構
702	高縱橫比電鍍結構
802a	高縱橫比電鍍結構
802b	高縱橫比電鍍結構
901	導體橫截面積
1002	上線

1004	下線
1102	跡線
1202	高縱橫比電鍍結構
1204	紋理線
1206	介電質
1302	高縱橫比電鍍結構
1402	線圈
1404	中心線圈通孔
1502a	第一導體層
1502b	第二導體層
1504	高縱橫比電鍍結構
1506	高縱橫比電鍍結構
1508	第一介電層
1510	第二介電層
1602a	第一導體層
1602b	第二導體層
1608	第一介電層
1610	第二介電層
1614	第一距離
1616	第二距離
1618	表面
1620	第三距離
1622	第一介電層

1624	基板
1802	跡線
1804	基板
1902	跡線
1904	光阻層
1906	金屬頂部
2102	撓曲件
2104	高縱橫比電鍍結構
2106	跡線
2302	跡線
2304	基板
2306	光阻部分
2308	金屬部分
2501	頂面
2502	電感耦合線圈
2504	高縱橫比電鍍結構
2604	背面
2704	晶片
2802	基板
2804	遮蔽罩
2806	金屬電容板
2808	基礎介電層

2810	分路電容器通孔
2812	跨接通孔
2814	線圈
2816	中心連接部分
2818	電容器連接部分
2820	終端襯墊
2822	面層
2824	第一焊接墊
2826	第二焊接墊
2828	背面介電層
2830	跨接圖案
2832	跨接路徑
2834	電感耦合線圈
2836	積體晶片
2900	撓曲件
2901	遠端部分
2902	環架部分
2904	中間部分
2906	間隙部分
2908	近端部分
3001	覆蓋層
3002	跡線
3002a	跡線

3002b	跡線
3002c	跡線
3002d	跡線
3004	介電層
3006	基板
3008	空隙
3102	質量結構
3202a	金屬頂部部分
3202b	金屬頂部部分
3301	步驟
3302	步驟
3304	步驟
3306	步驟
3308	步驟
3310	步驟
3312	步驟
3314	步驟
3316	步驟
3318	銅層
3320	介電層
3322	穿孔或通孔
3324	跡線
3326	介電層

3328	跡線
3330	介電層
3332	終端墊
3501	線圈
3502	內部線圈區段
3504a	外部線圈區段
3504b	外部線圈區段
A	線
B	線
C	線

【發明申請專利範圍】

【第1項】

一種包含高縱橫比電鍍結構之裝置，其包含：

導電基板，其經蝕刻或電鍍以包括至少第一組跡線，其中該導電基板經組態以設置於該裝置之間隙部分；

介電層，其安置於該導電基板上；

至少第二組跡線，其安置於該介電層上；

第一金屬頂部部分，其形成在該第二組跡線的每條跡線的至少一部分上以形成第一組高縱橫比電鍍結構；及

第二金屬頂部部分，其形成在該第一組跡線的每條跡線的至少一部分上以形成相對於該第一組高縱橫比電鍍結構安置之第二組高縱橫比電鍍結構，其中該導電基板及該介電層界定空隙，使得該第一金屬頂部部分或該第二金屬頂部部分在該空隙上方延伸。

【第2項】

如請求項1之裝置，其包含安置於該第一組高縱橫比電鍍結構上之第二介電層。

【第3項】

如請求項1之裝置，其包含安置於該第二組高縱橫比電鍍結構上之第三介電層。

【第4項】

如請求項1之裝置，其中該介電層包括通孔以電耦接該第一組高縱橫比電鍍結構之至少一個高縱橫比的電鍍結構與該第二組高縱橫比電鍍結構之至少一個高縱橫比的電鍍結構。

【第5項】

如請求項1之裝置，其中該第一組高縱橫比電鍍結構及該第二組高縱橫比電鍍結構經組態以形成電感耦合線圈。

【第6項】

如請求項1之裝置，其經組態以形成具有兩個外部線圈區段及在該兩個外部線圈之間的內部線圈區段的線圈。

【第7項】

如請求項1之裝置，其包含與該第一組高縱橫比電鍍結構之至少一個高縱橫比電鍍結構耦接的第一終端墊。

【第8項】

如請求項7之裝置，其中該第一終端墊為鍍覆有金層的鎳終端。

【第9項】

如請求項1之裝置，其中使用頂部鍍覆製程形成該第一組高縱橫比電鍍結構之至少一部分。

【第10項】

如請求項1之裝置，其中藉由蝕刻該導電基板形成該第二組高縱橫比電鍍結構。

【第11項】

如請求項1之裝置，其中該第一金屬頂部部分係使用頂部鍍覆製程形成。

【第12項】

一種線圈，包含：

導電基板，其經蝕刻或電鍍以包括第一複數條跡線，其中該導電基

板經組態以設置於間隙部分；

介電層，其安置於該導電基板上；

第二複數條跡線，其安置於該介電層上；

第一金屬頂部部分，其形成在該第二複數條跡線的每條跡線的至少一部分上以形成第一組高縱橫比電鍍結構；及

第二金屬頂部部分，其形成在該第一複數條跡線的每條跡線的至少一部分上以形成相對於該第一組高縱橫比電鍍結構安置之第二組高縱橫比電鍍結構，其中該導電基板及該介電層界定空隙，使得該第一金屬頂部部分或該第二金屬頂部部分在該空隙上方延伸。

【第13項】

如請求項12之線圈，其中該介電層包括通孔以電耦接該第一組高縱橫比電鍍結構之至少一個高縱橫比的電鍍結構與該第二組高縱橫比電鍍結構之至少一個高縱橫比的電鍍結構。

【第14項】

如請求項12之線圈，其中該第一組高縱橫比電鍍結構及該第二組高縱橫比電鍍結構用於該線圈之第一線圈區段。

【第15項】

如請求項14之線圈，其包含用於該線圈之第二線圈區段的第三組高縱橫比電鍍結構及第四組高縱橫比電鍍結構。

【第16項】

如請求項15之線圈，其包含用於該線圈之第三線圈區段的第五組高縱橫比電鍍結構及第六組高縱橫比電鍍結構。

【第17項】

如請求項16之線圈，其中該第一線圈區段與該第二線圈區段及該第三線圈區段電耦接。

【第18項】

如請求項16之線圈，其中該第二線圈區段與該第三線圈區段電耦接。

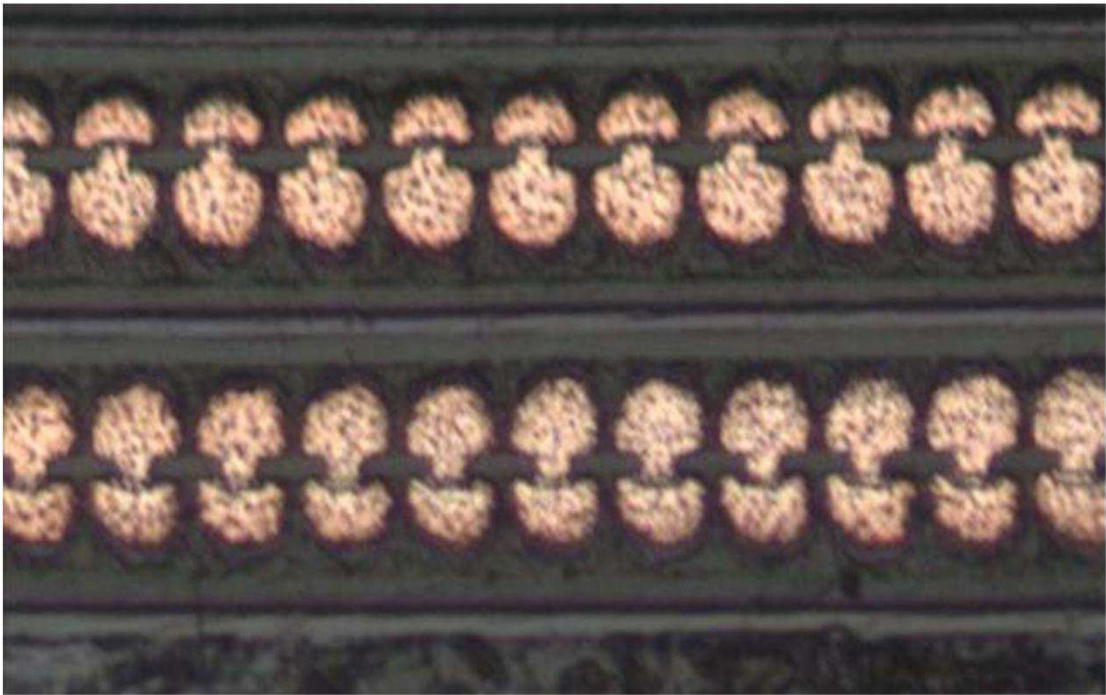
【第19項】

如請求項12之線圈，其中藉由蝕刻該導電基板形成該第二組高縱橫比電鍍結構。

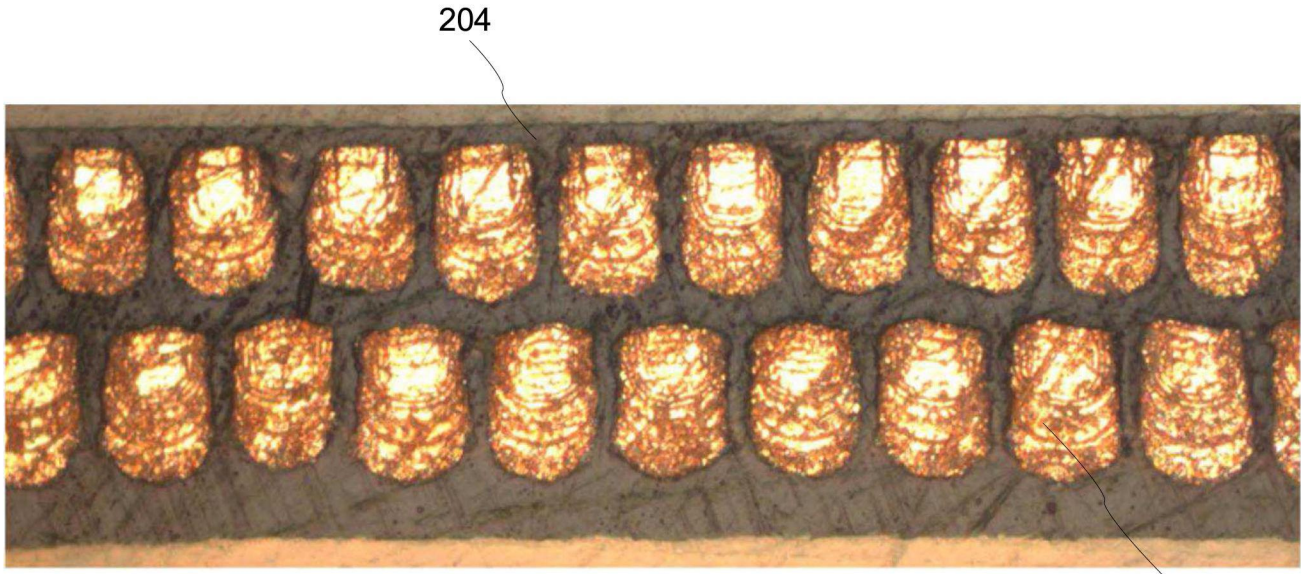
【第20項】

如請求項19之線圈，其中使用頂部鍍覆製程形成該第二組高縱橫比電鍍結構之至少一部分。

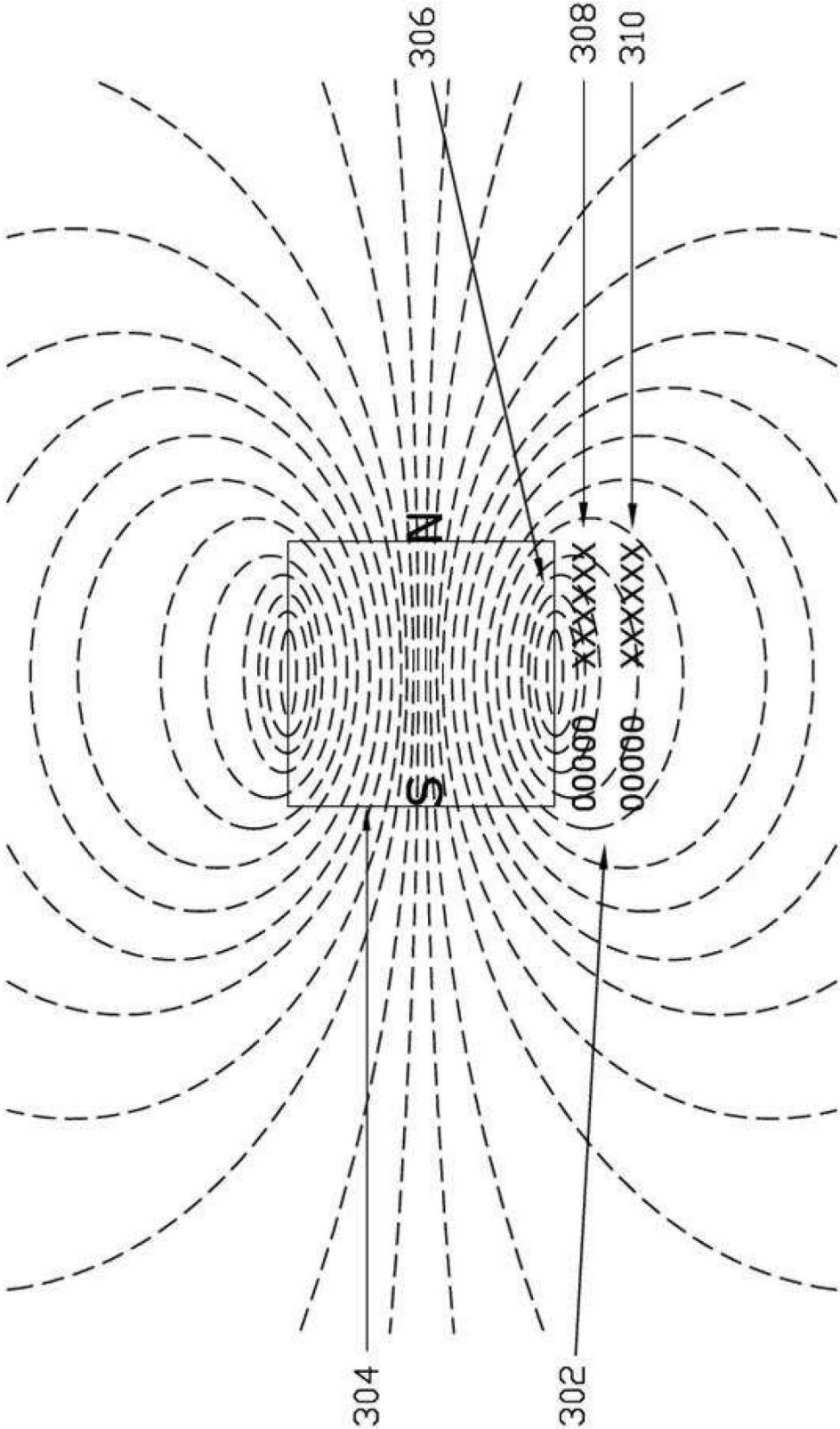
【發明圖式】



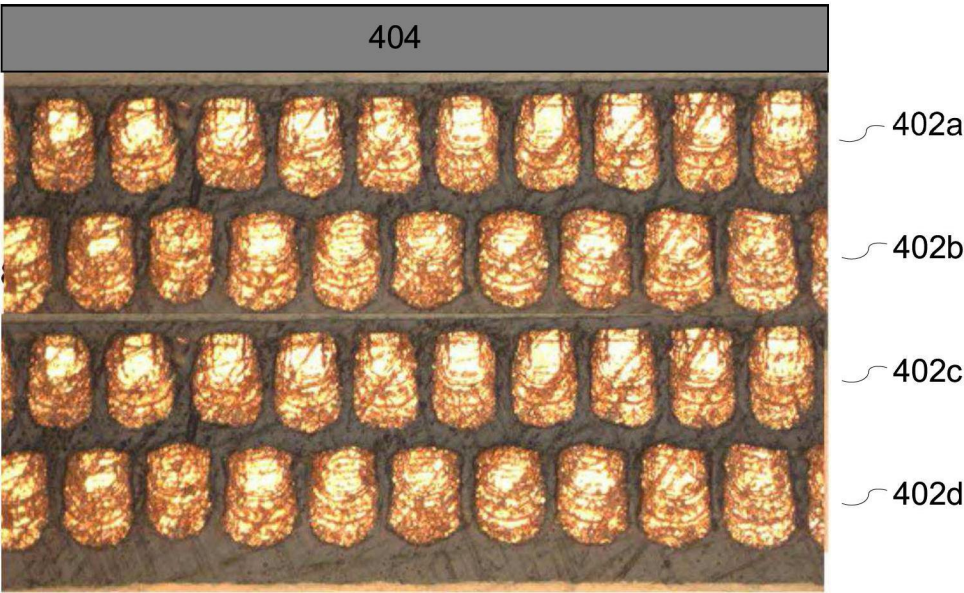
【圖1】



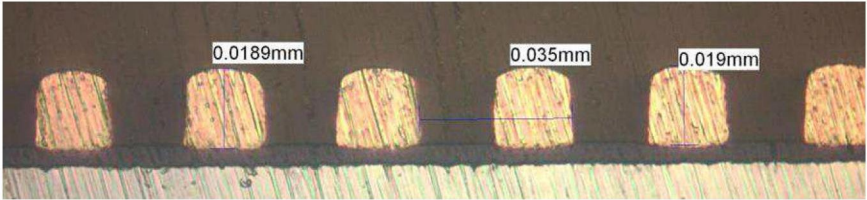
【圖2】



【圖3】



【圖4】



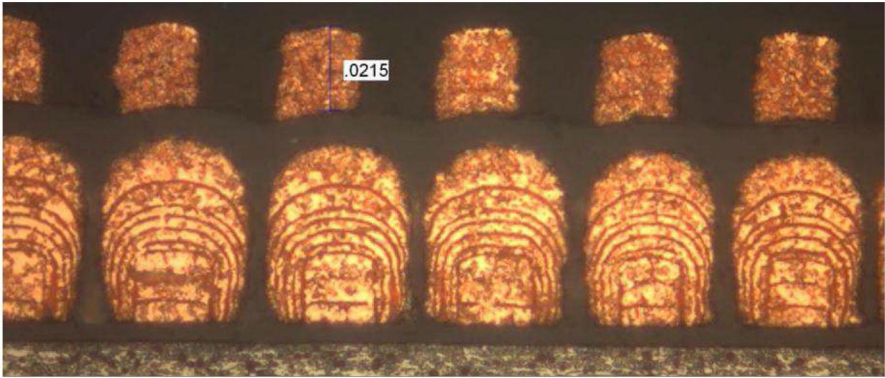
602

【圖5】



702

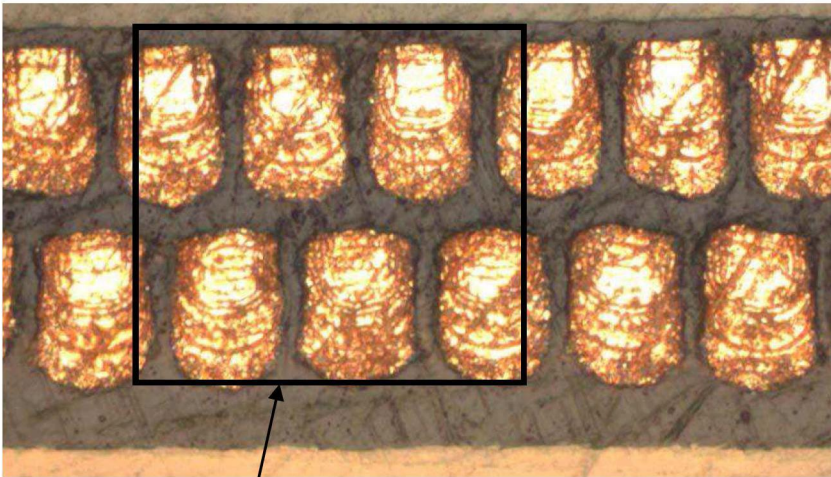
【圖6】



802b

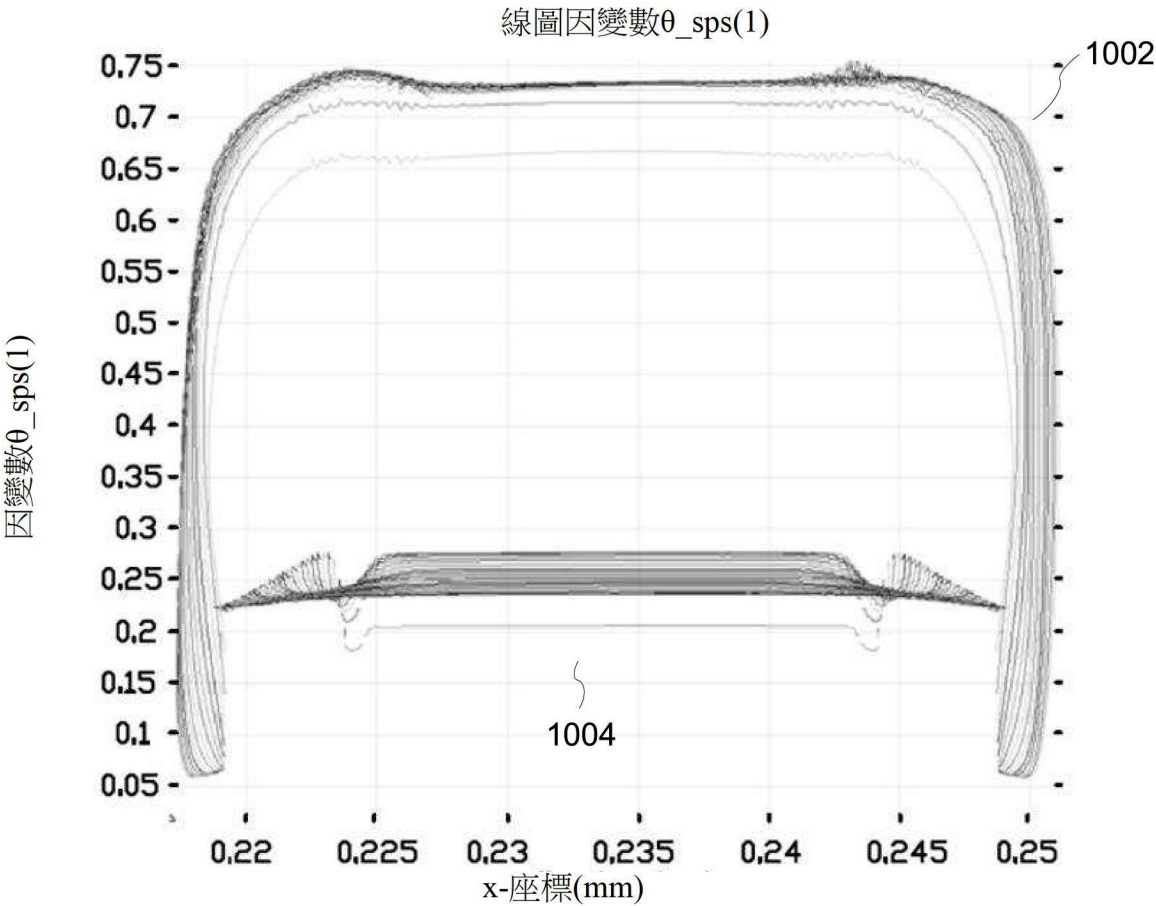
802a

【圖7】

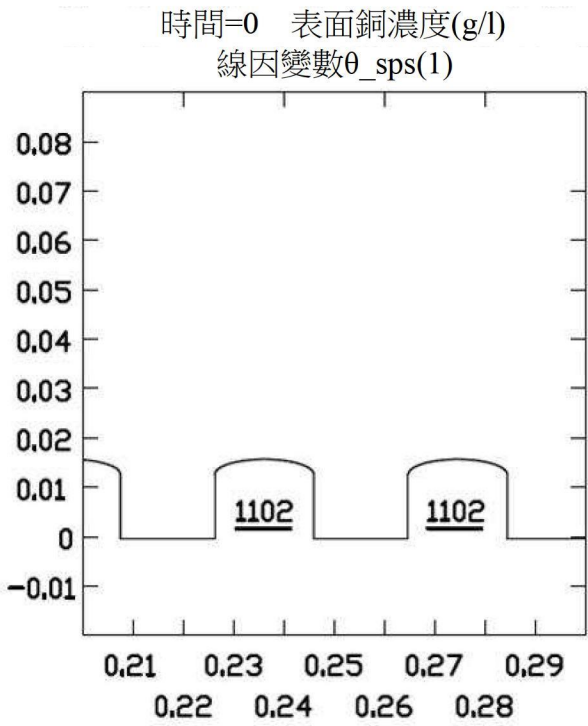


901

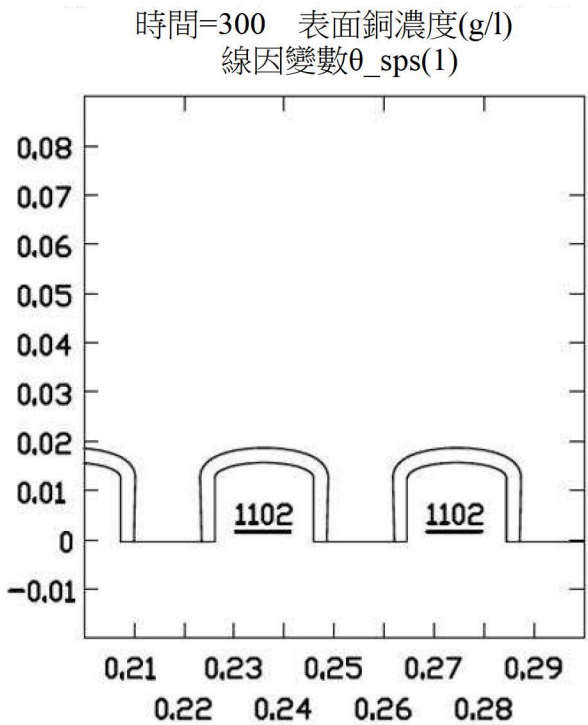
【圖8】



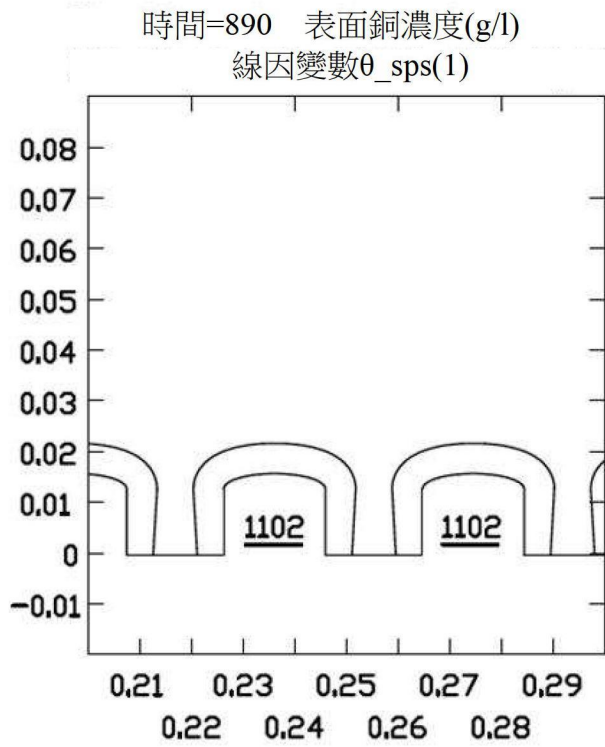
【圖9】



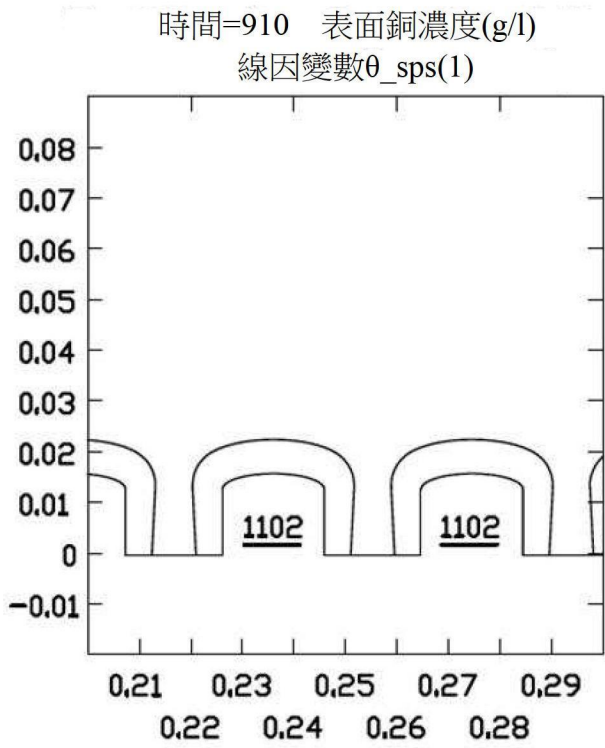
【圖10a】



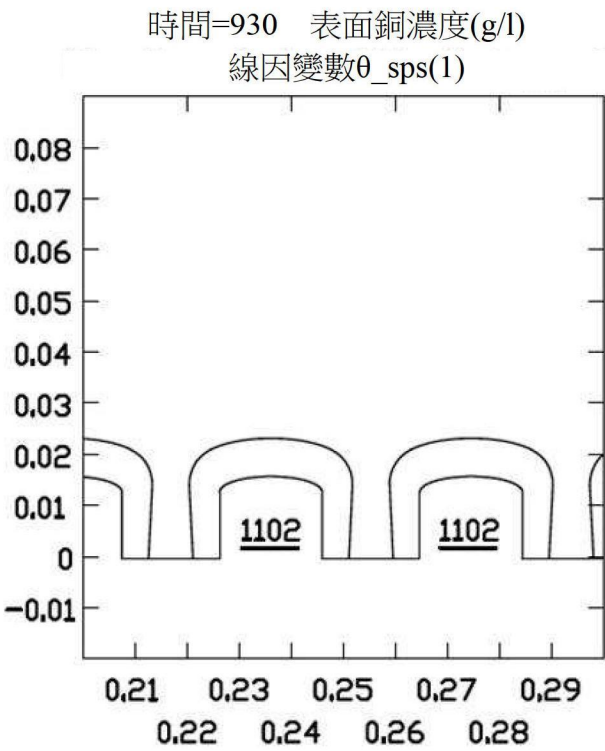
【圖10b】



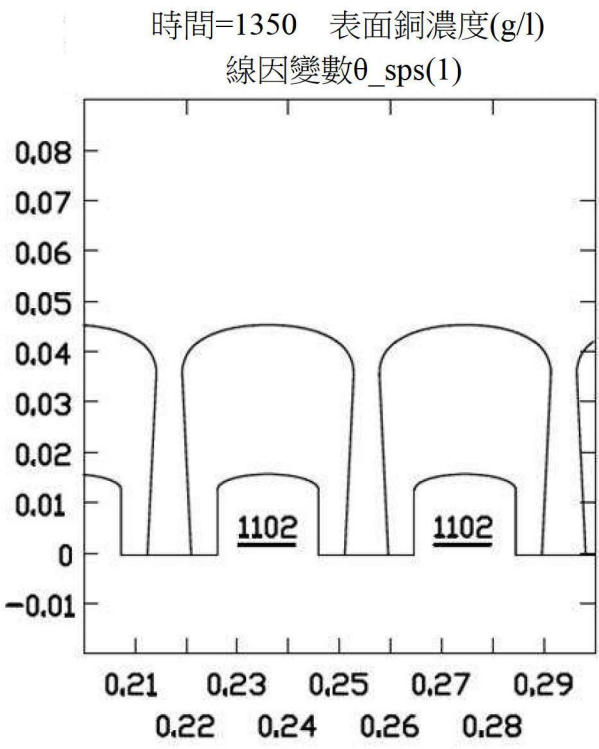
【圖10c】



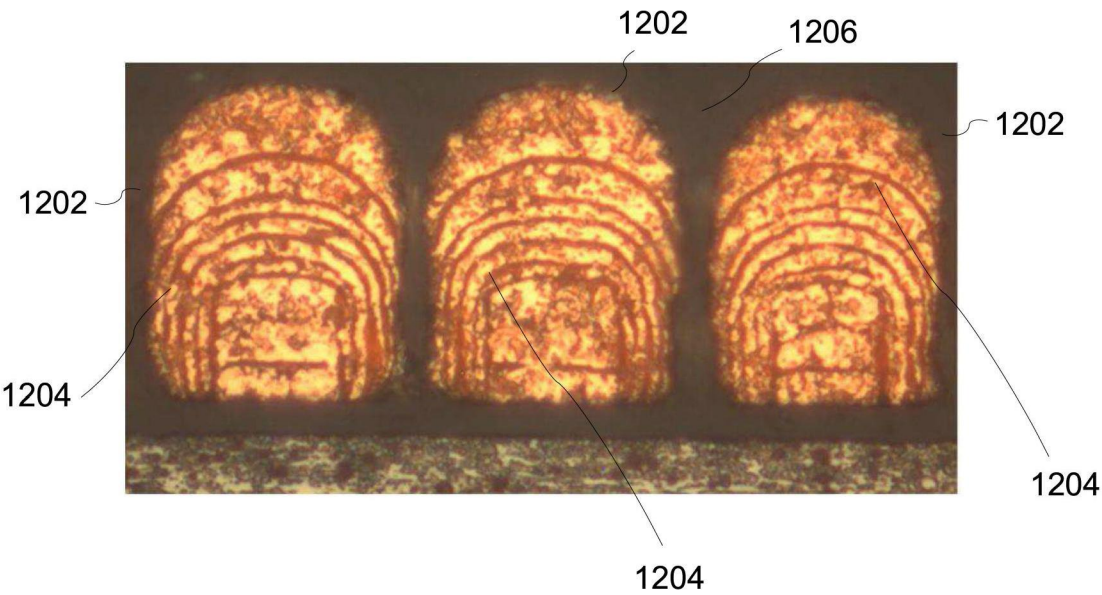
【圖10d】



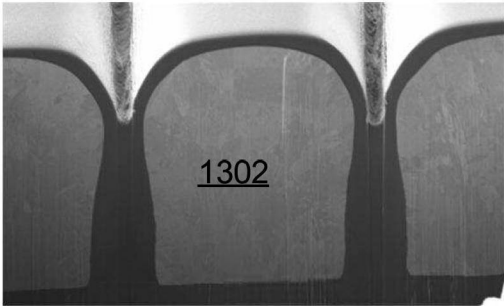
【圖10e】



【圖10f】



【圖11】



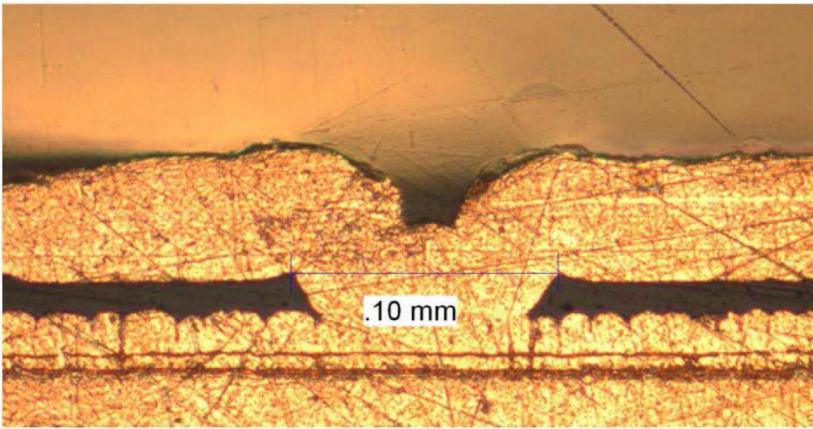
【圖12】

1404

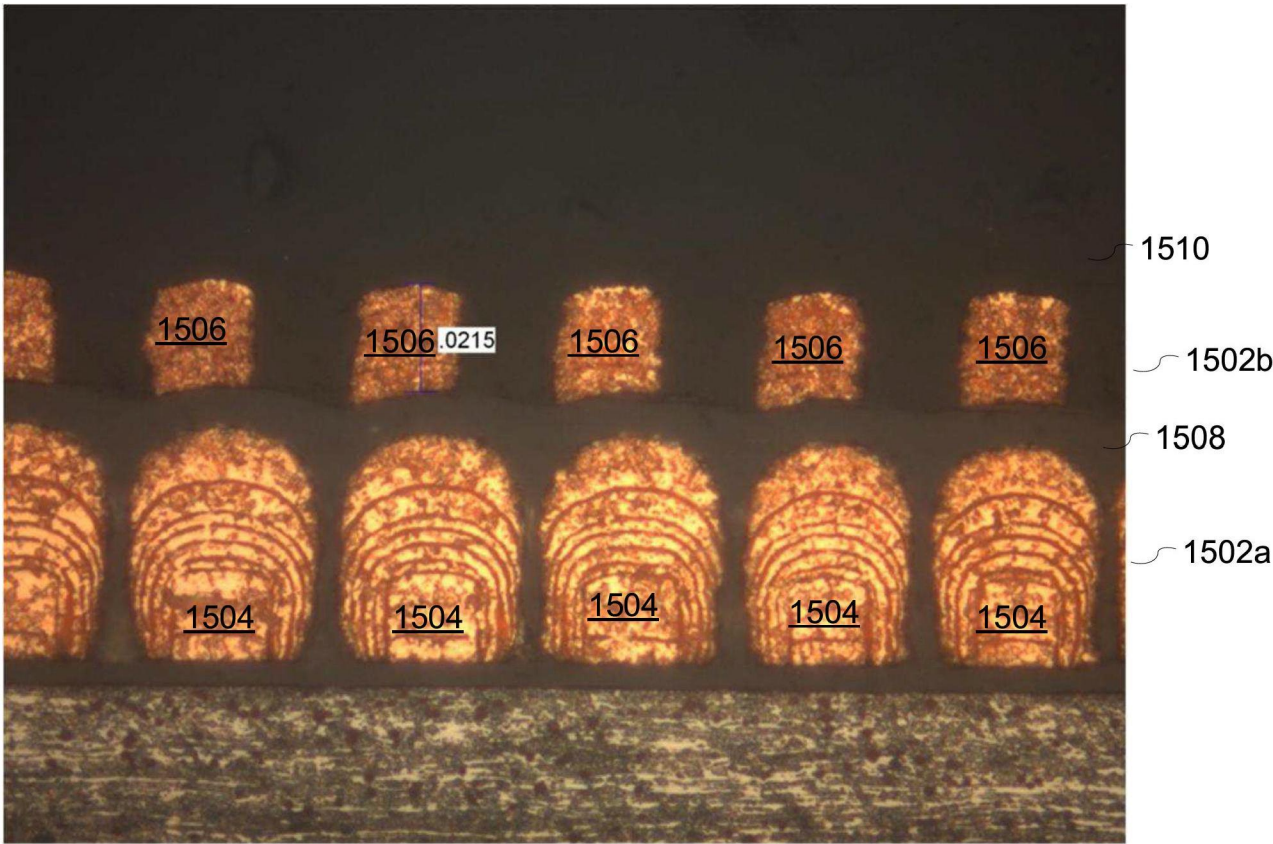


1402

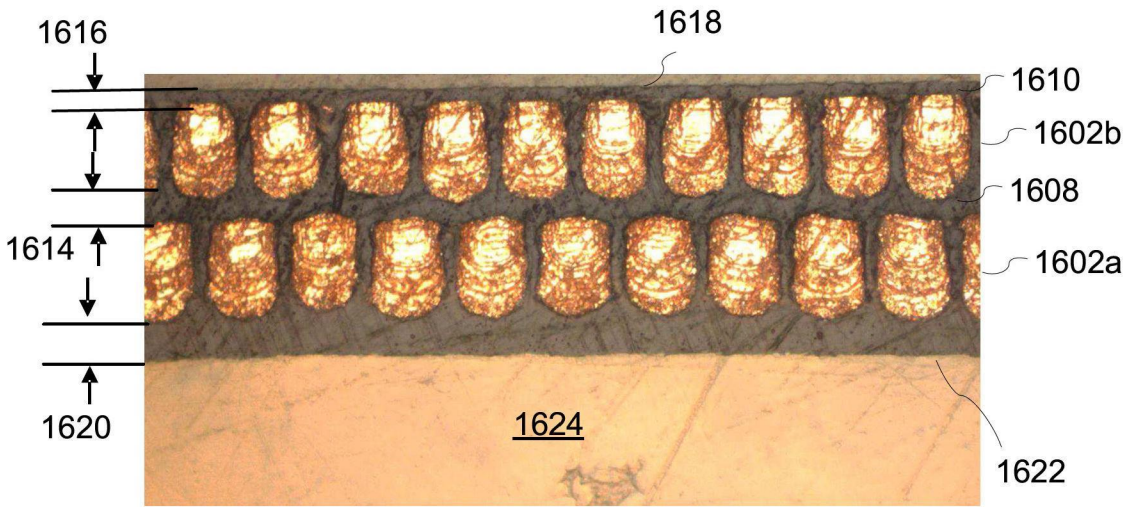
【圖13a】



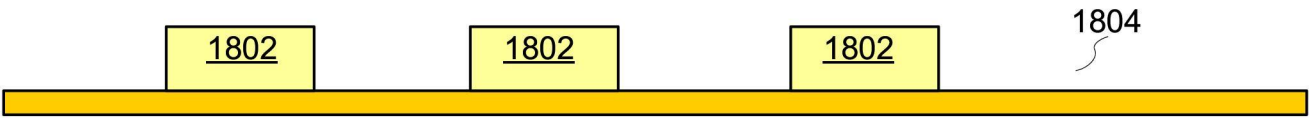
【圖13b】



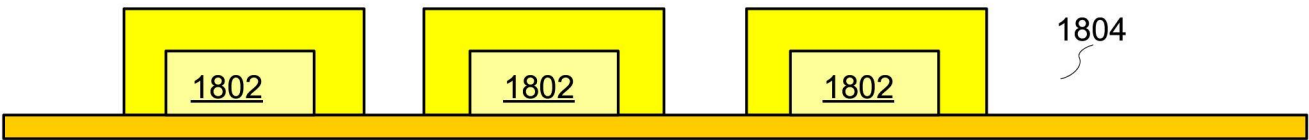
【圖14】



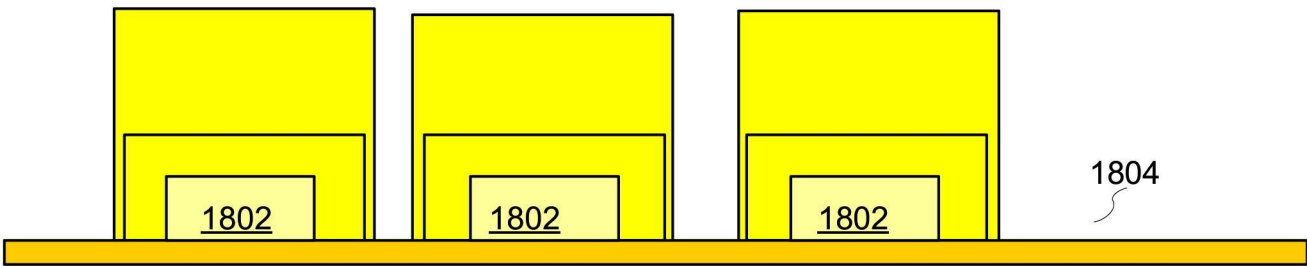
【圖15】



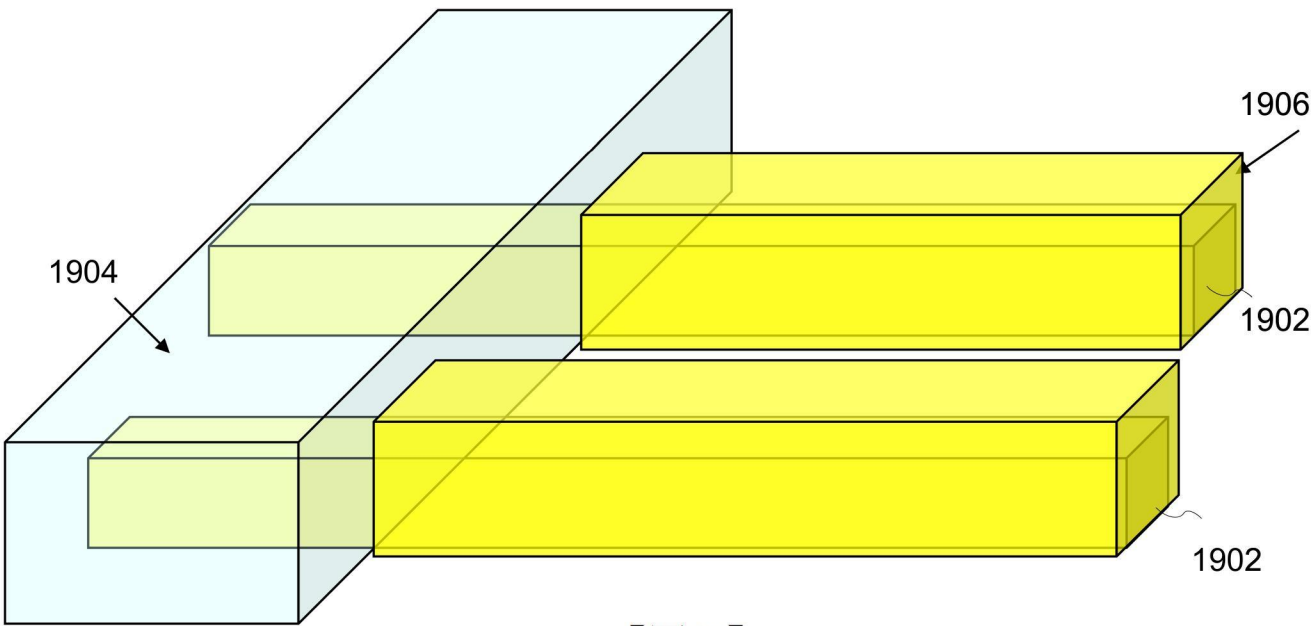
【圖16a】



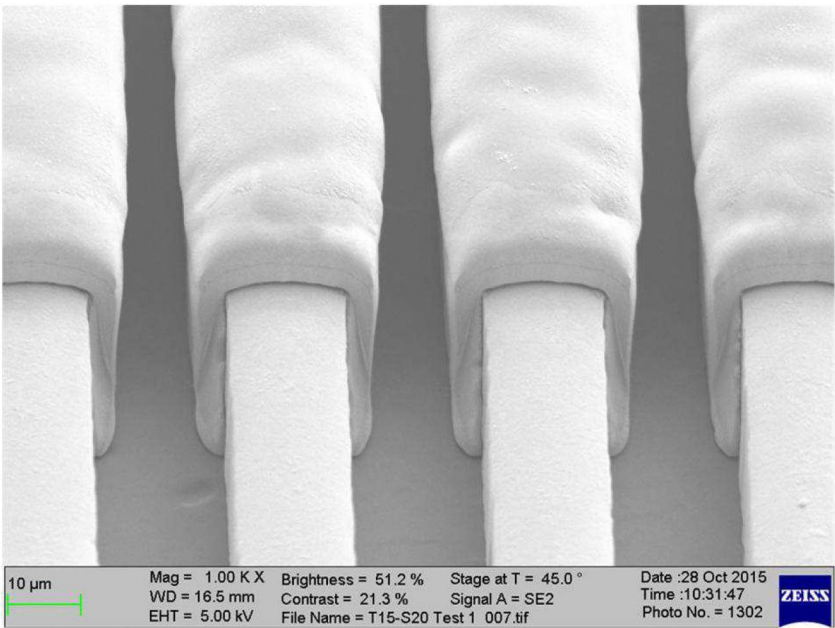
【圖16b】



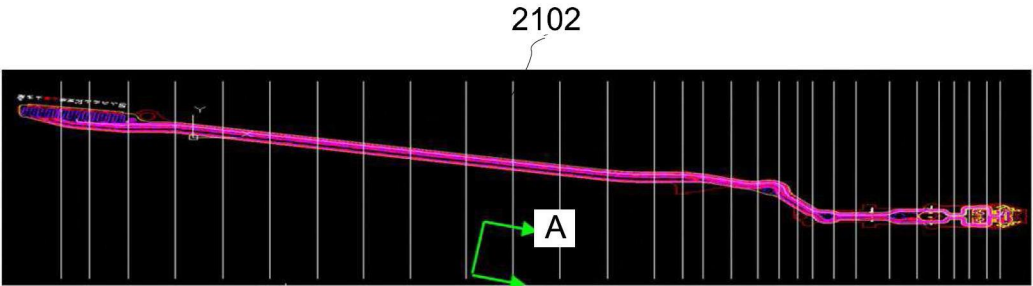
【圖16c】



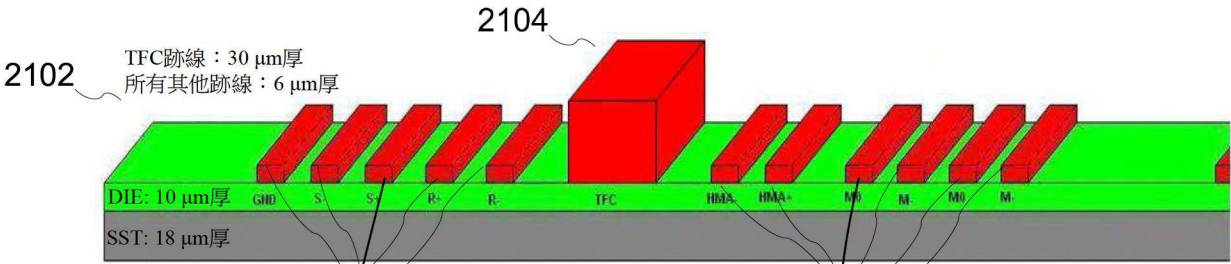
【圖17】



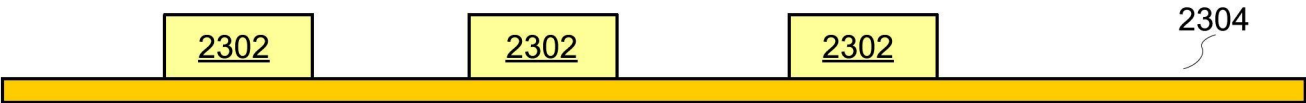
【圖18】



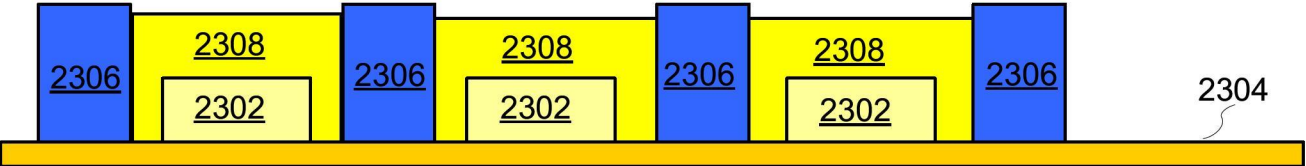
【圖19】



【圖20】



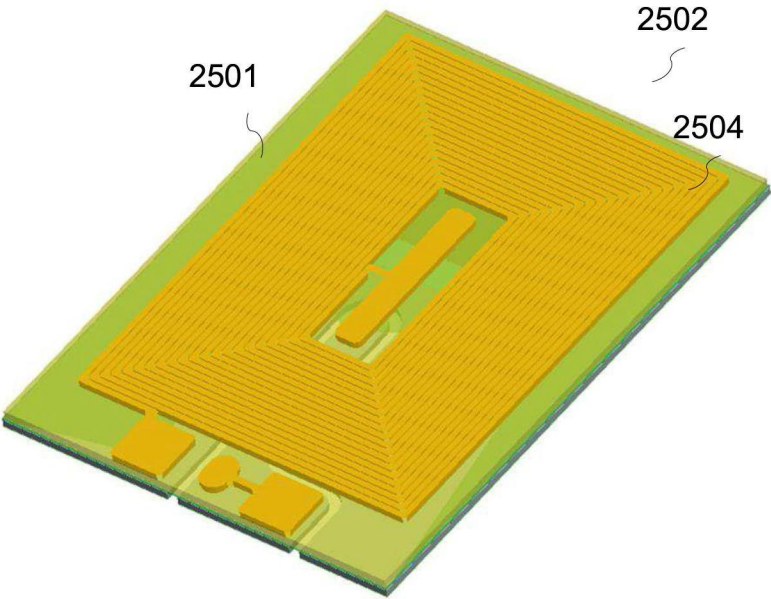
【圖21a】



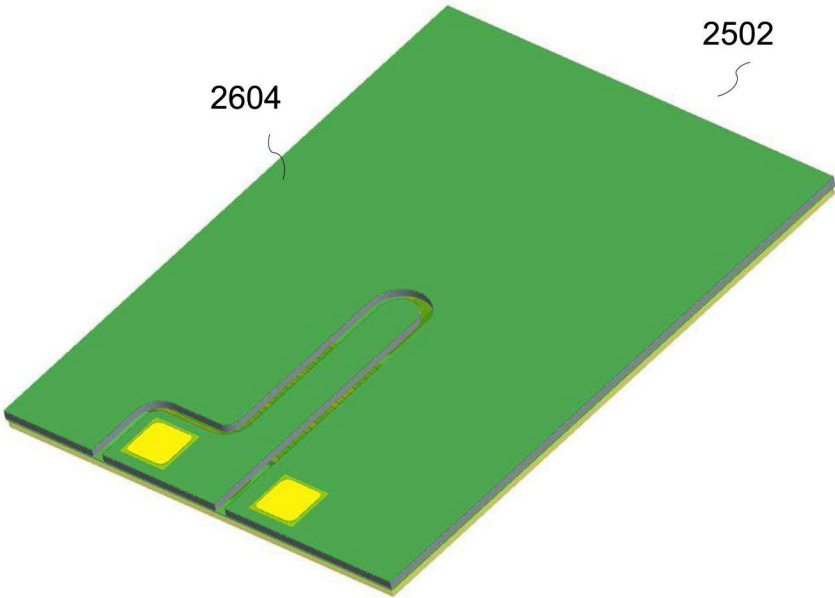
【圖21b】

步驟	浴組分	較佳	單位	範圍或註釋
頂部鍍覆及視情況形成金屬層及保形鍍覆(對於一些實施例，所有步驟採用一種鍍覆浴)				
	銅	12	公克/公升	將取決於要鍍覆之物品處的流體速度。低速度將需要更高銅含量，速度越高，將需要更少銅。亦取決於要鍍覆物體之載流容量。低容量，將需要浴中更少的銅。
	酸	1.8	莫耳濃度	1至2.5莫耳濃度
	氯化物	50	ppm	30至90
	SPS (或MPS、DPS或類似增亮劑)	20	ppm	5-50 ppm範圍-一些實施例可使用至多100 ppm
	PEG (PPG、EPE、普洛尼克)	500	ppm	100-750範圍
	調平劑	0	ppm	儘可能少
金屬層之形成				
	銅	32	公克/公升	範圍較寬在10至40 g/L之間
	酸	1.8	莫耳濃度	範圍較寬在0.5至2.5莫耳濃度之間
	氯化物	50	ppm	30至90 ppm
	SPS (或MPS、DPS或類似增亮劑)	20	ppm	5-50 ppm範圍-已查看一些論文，其中甚至使用100 ppm
	PEG (PPG、EPE、普洛尼克)	400	ppm	100-750範圍
	調平劑	2	ppm	高濃度使得邊緣變圓-所需的，濃度太低使得邊緣上彎-非所需的
保形鍍覆				
	銅	32	公克/公升	範圍較寬在10至40 g/L之間，但較低銅含量限制鍍覆速率且生產量變差
	酸	1.8	莫耳濃度	範圍較寬在0.5至2.5莫耳濃度之間
	氯化物	50	ppm	30至90 ppm
	SPS (或MPS、DPS或類似增亮劑)	20	ppm	5-50 ppm範圍-已查看一些論文，其中甚至使用100 ppm
	PEG (PPG、EPE、普洛尼克)	400	ppm	100-750範圍
	調平劑	2	ppm	較高濃度幫助使得鍍覆在側邊及頂部上均勻，且允許更高機械生產量

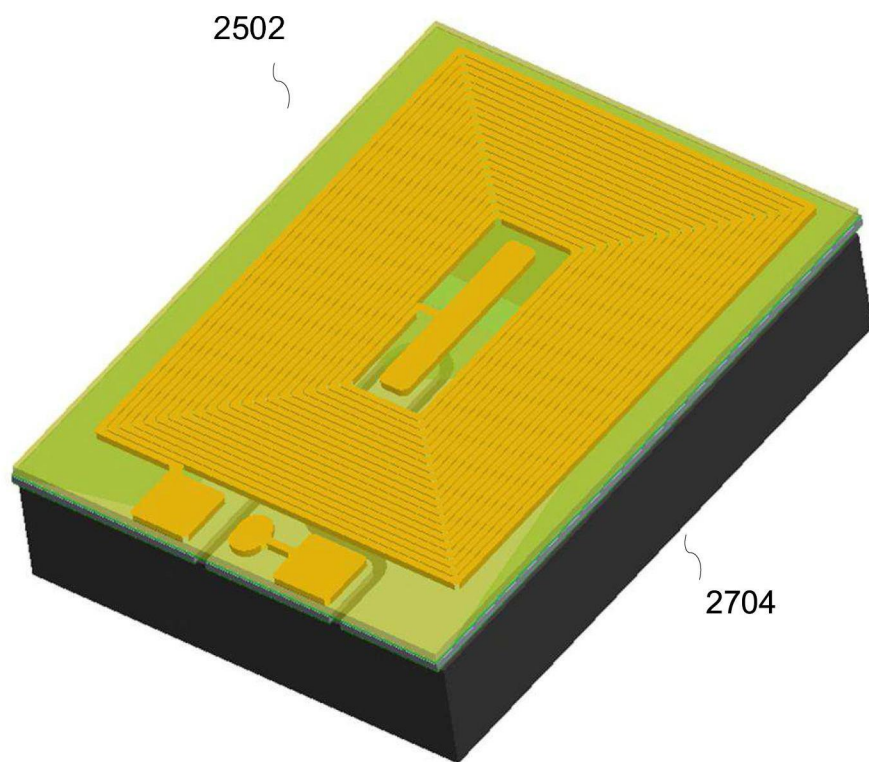
【圖22】



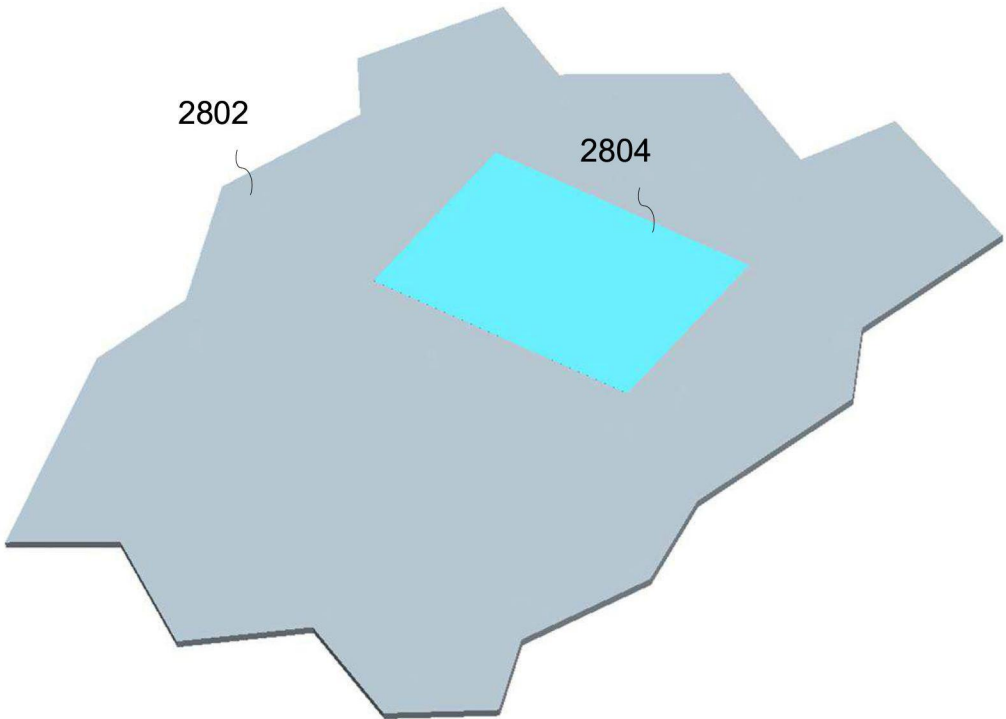
【圖23】



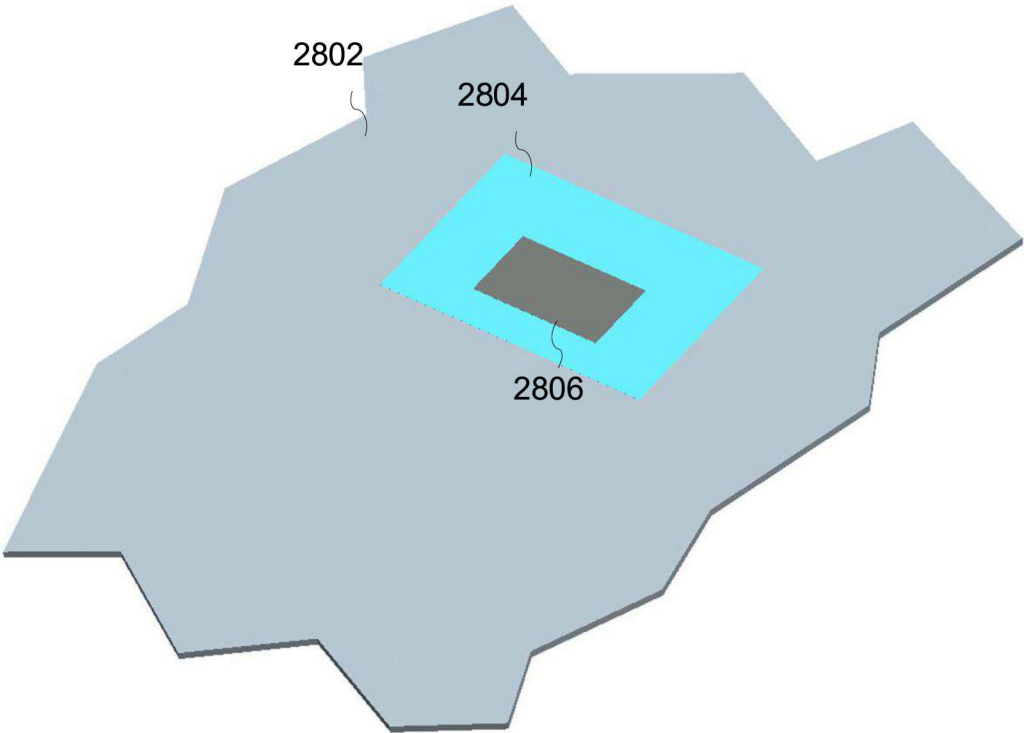
【圖24】



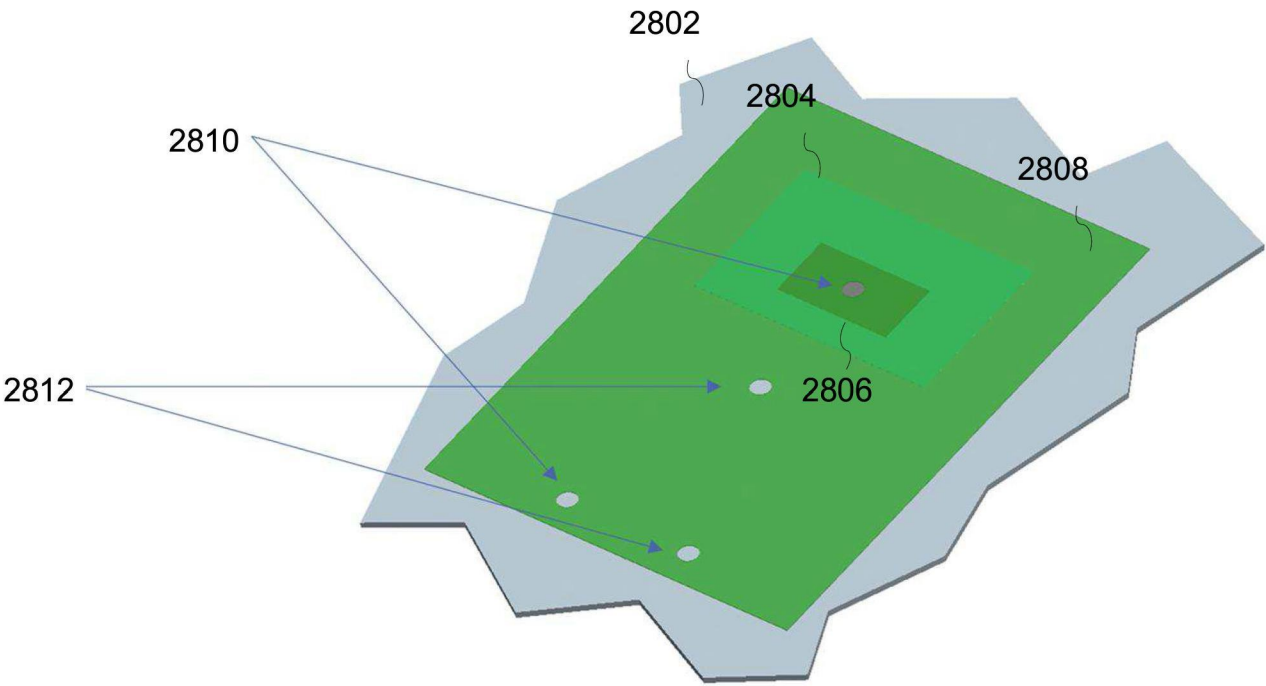
【圖25】



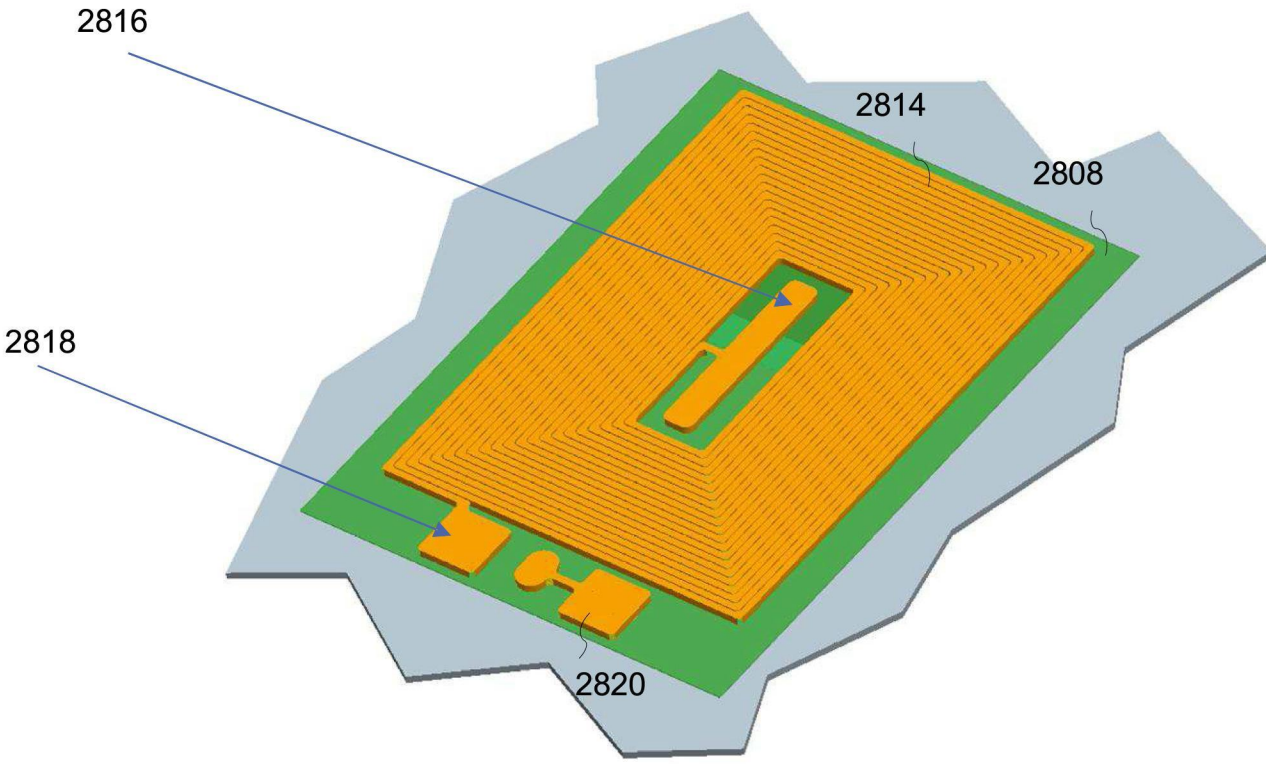
【圖26a】



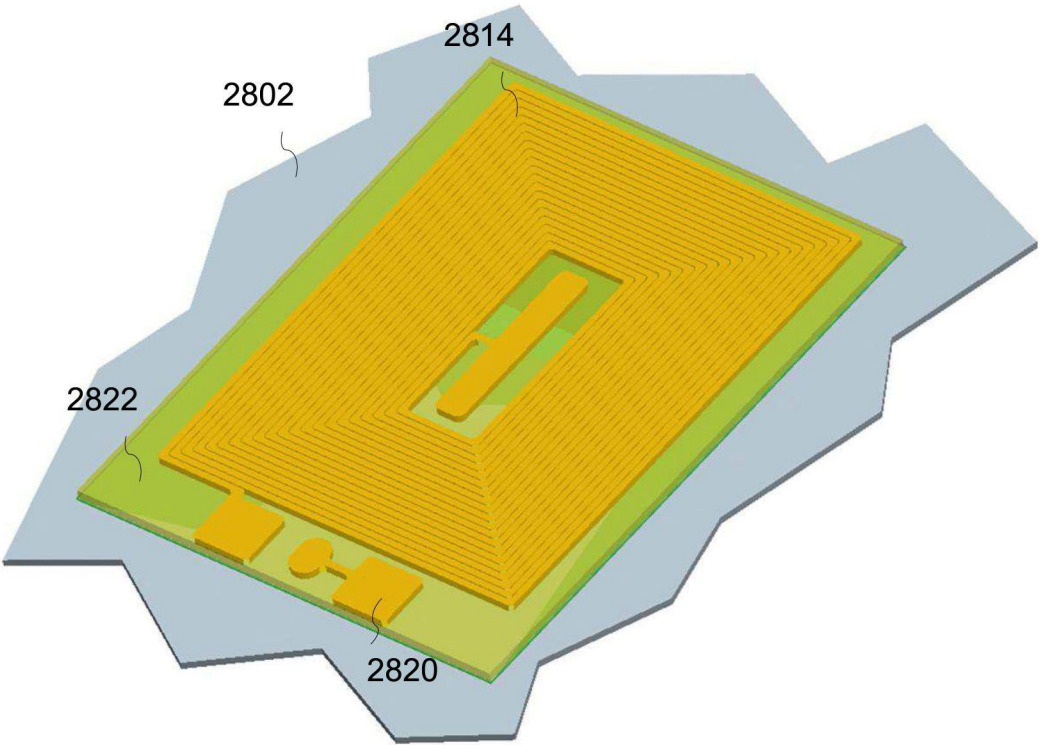
【圖26b】



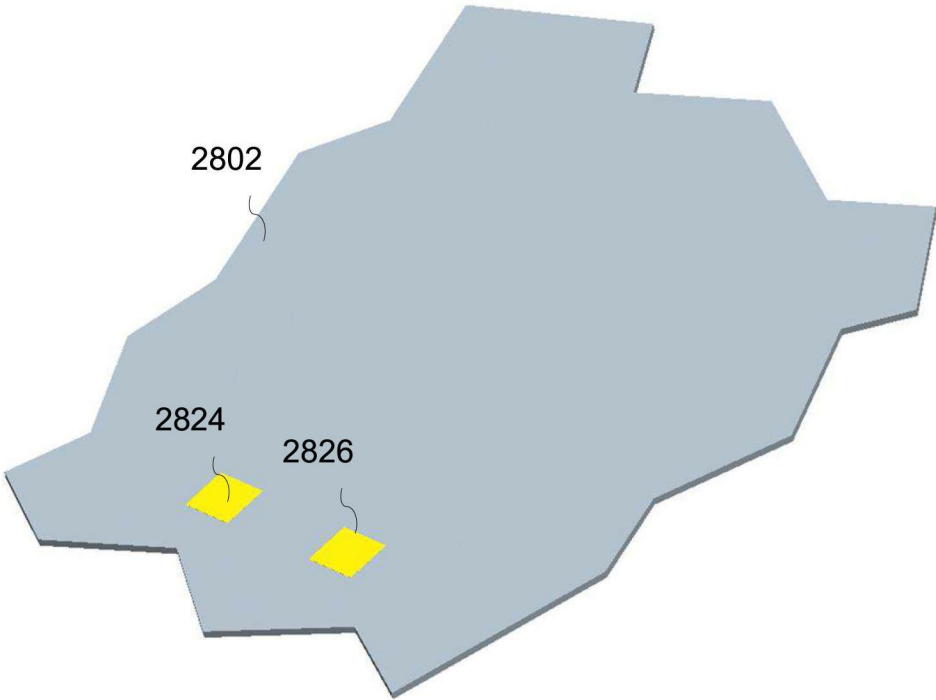
【圖26c】



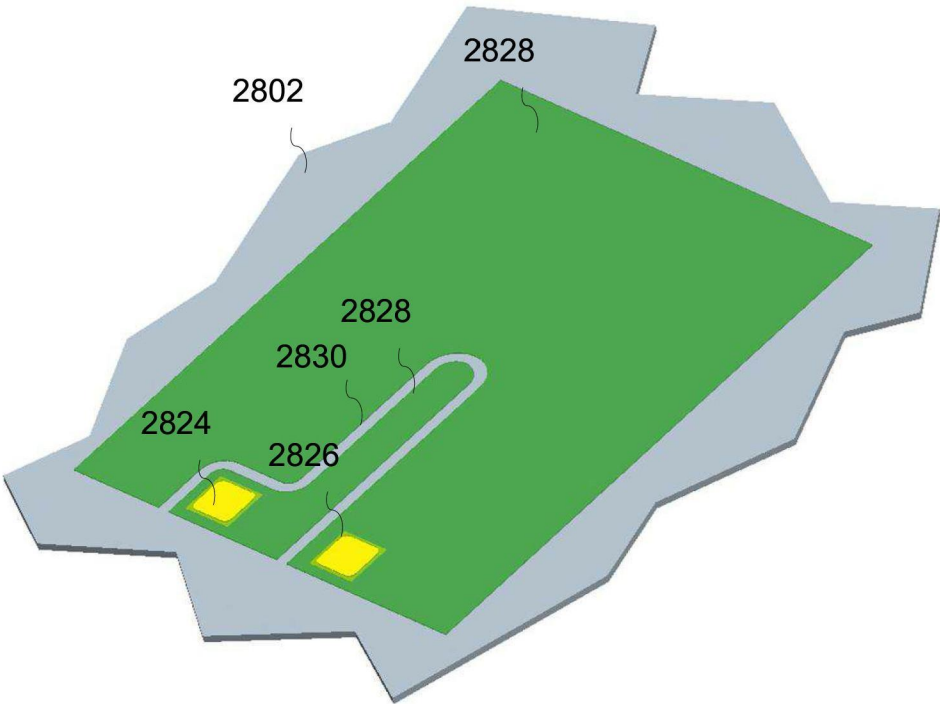
【圖26d】



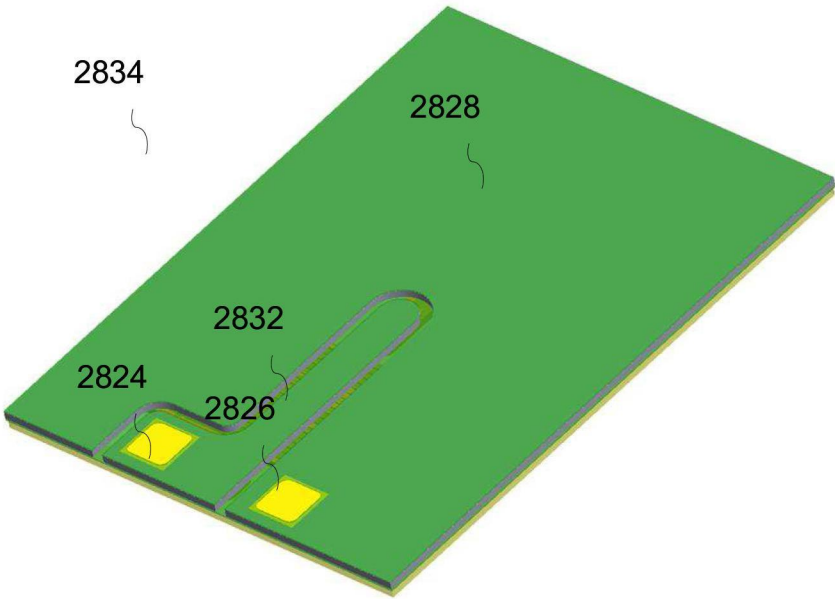
【圖26e】



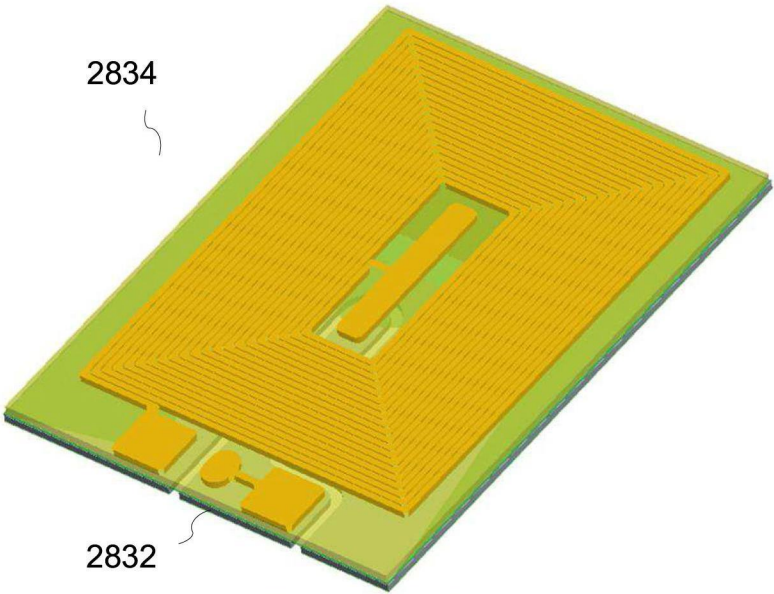
【圖26f】



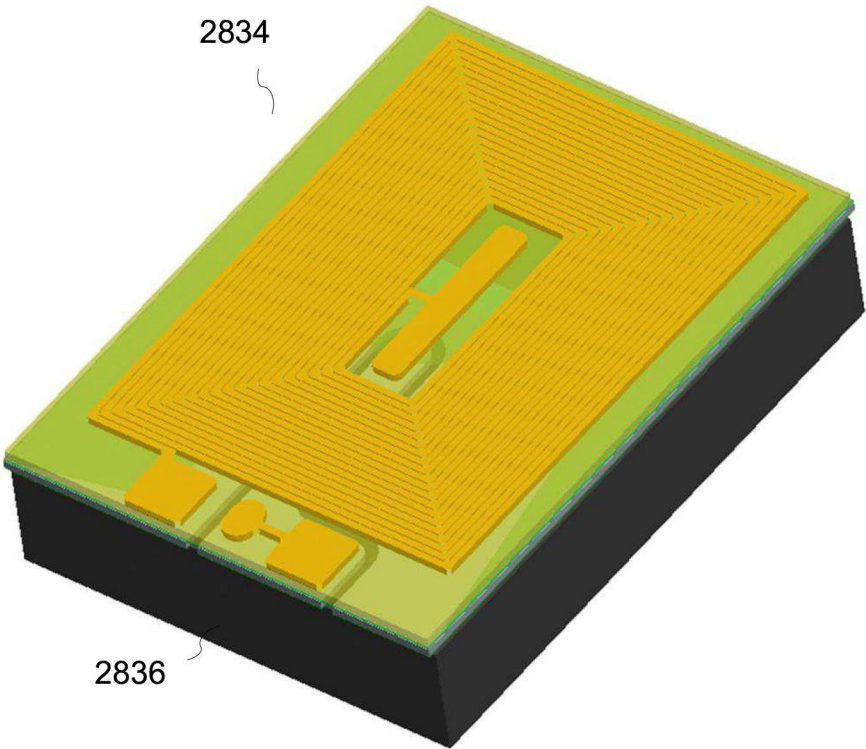
【圖26g】



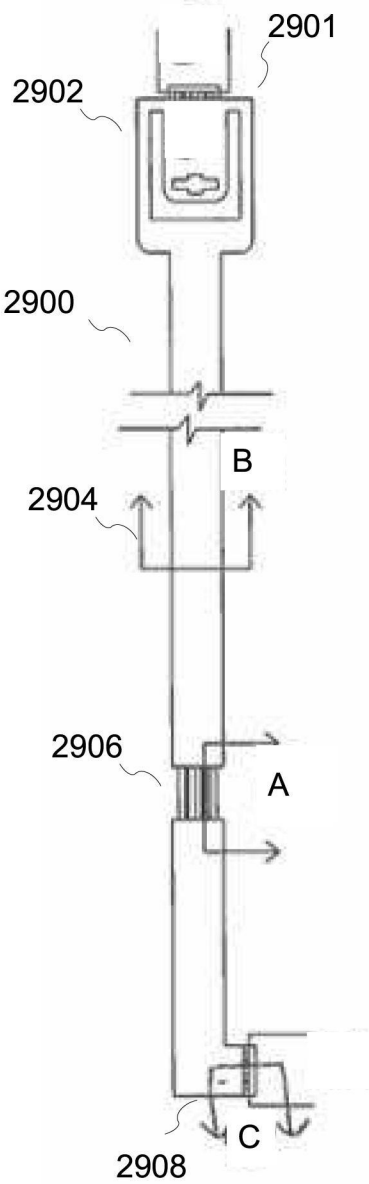
【圖26h】



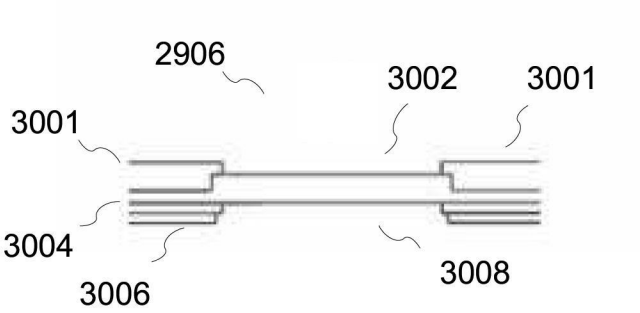
【圖26i】



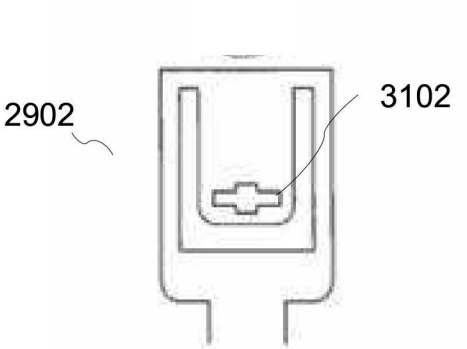
【圖26j】



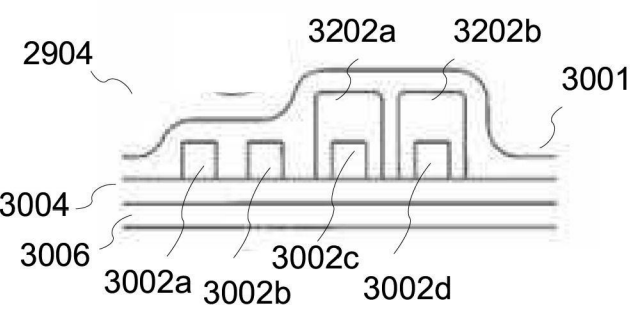
【圖27】



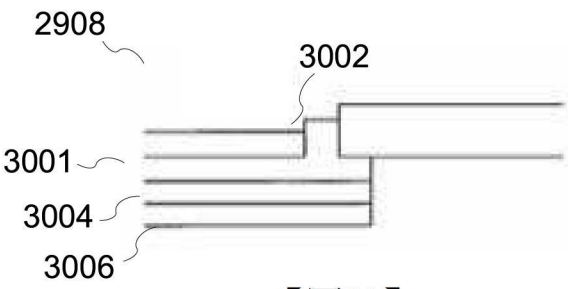
【圖28】



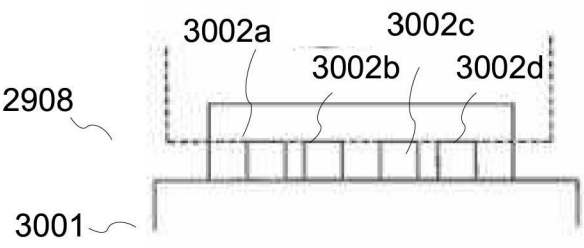
【圖29】



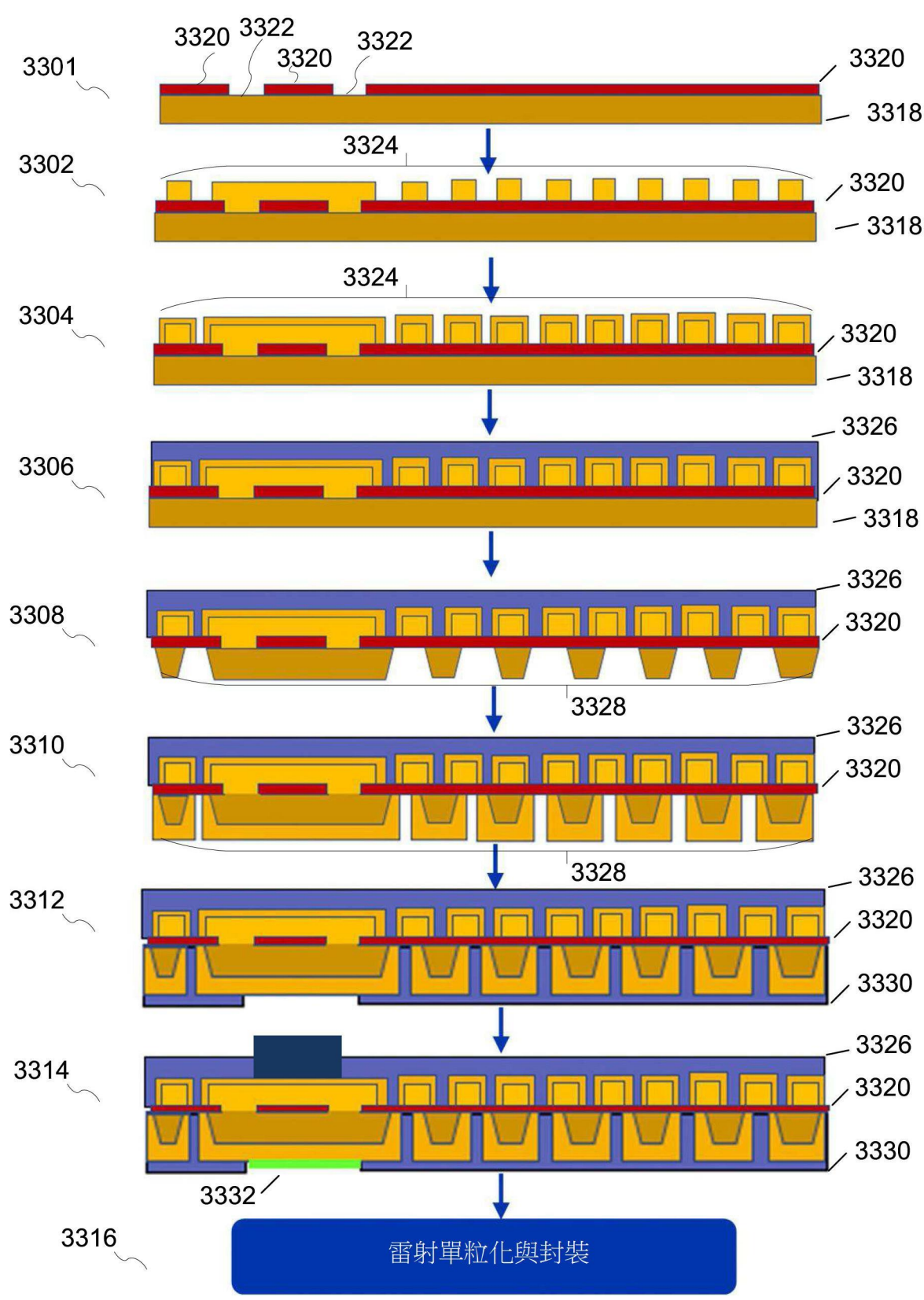
【圖30】



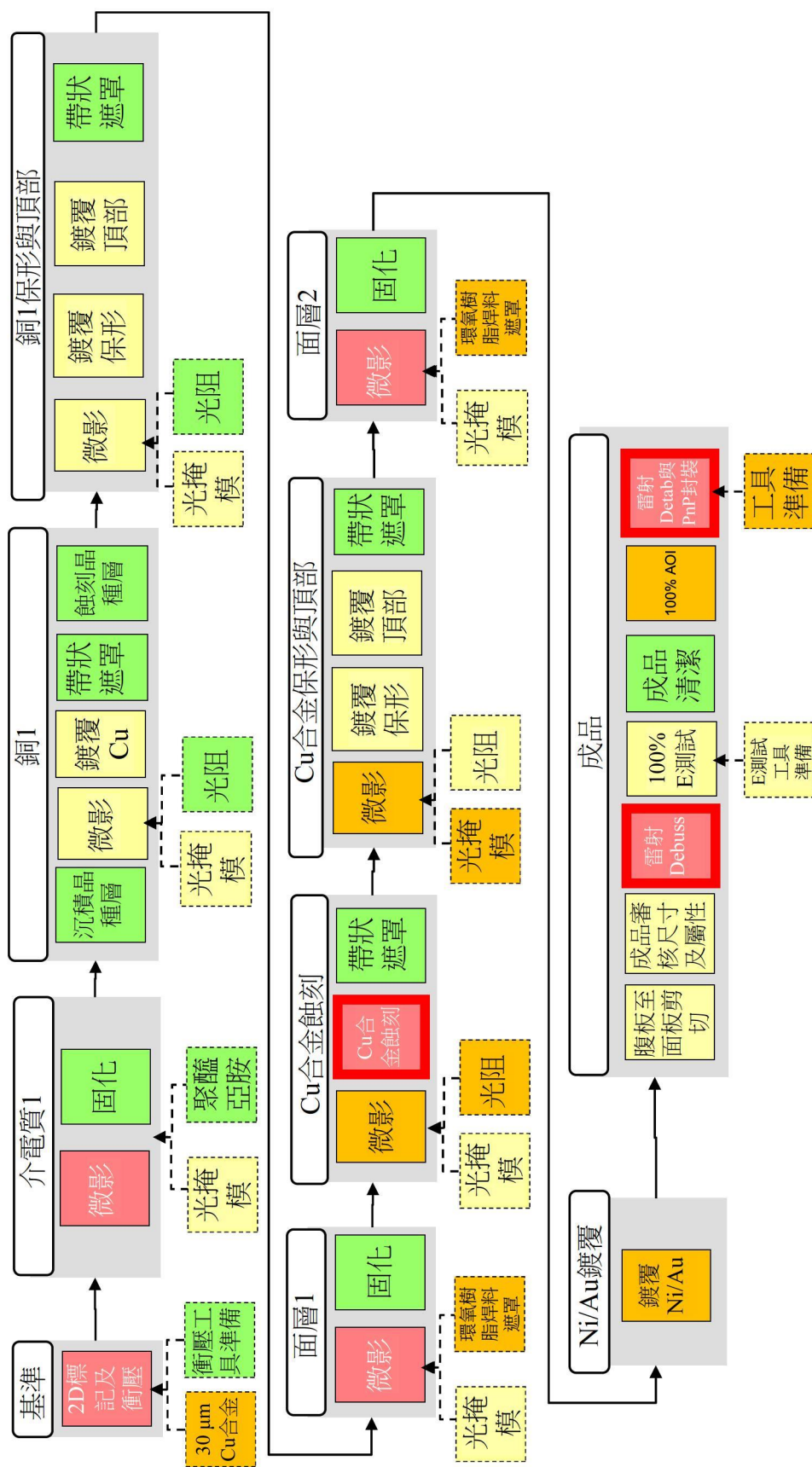
【圖31】



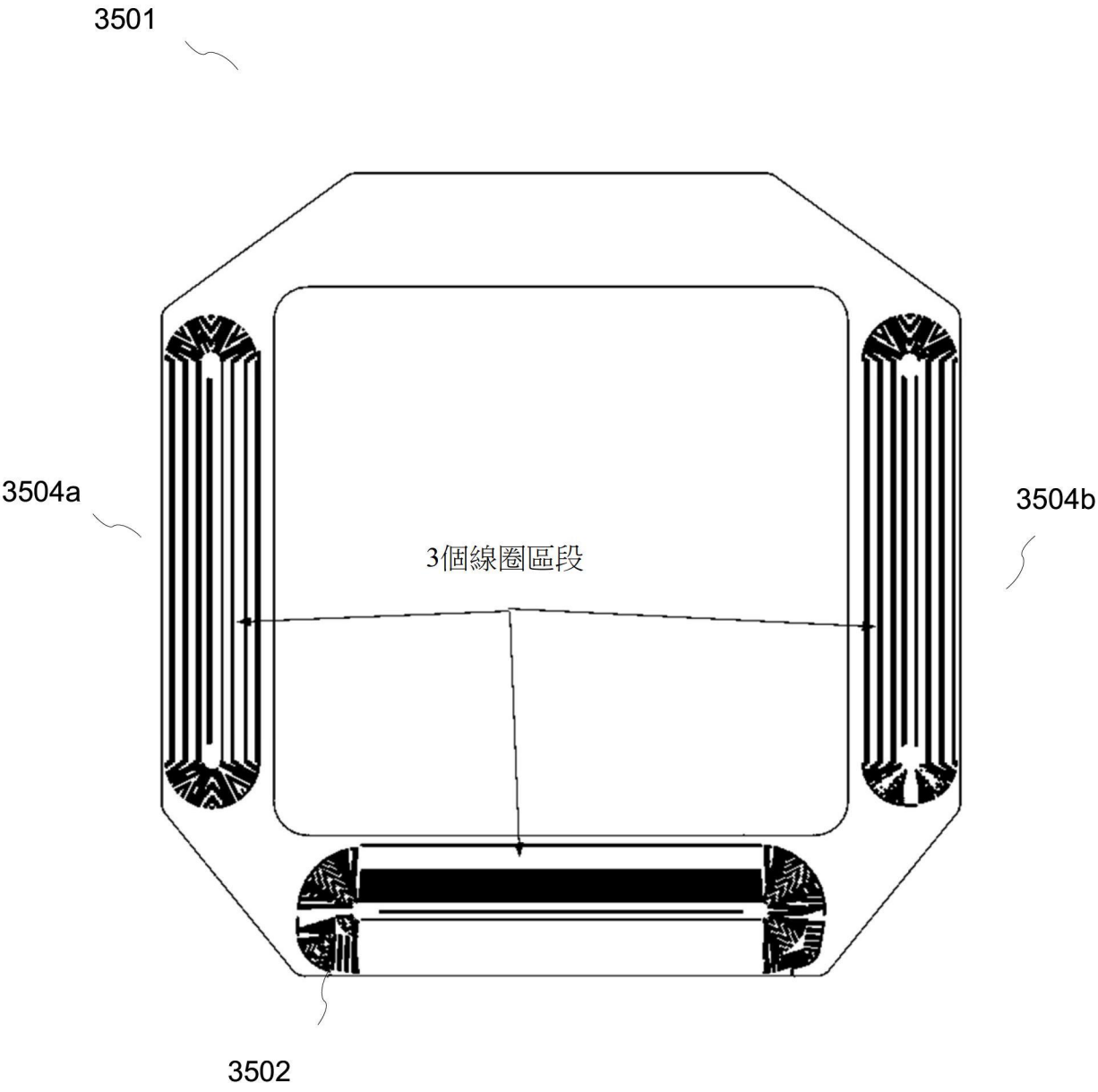
【圖32】



【圖33】



【圖34】



【圖35】