



# (12) 发明专利申请

(10) 申请公布号 CN 118661425 A

(43) 申请公布日 2024. 09. 17

(21) 申请号 202280091176.5

(74) 专利代理机构 永新专利商标代理有限公司  
72002

(22) 申请日 2022.12.23

专利代理师 高迪

(30) 优先权数据

2022-032956 2022.03.03 JP

(51) Int. Cl.

H04N 25/60 (2006.01)

(85) PCT国际申请进入国家阶段日

2024.08.07

H04N 25/76 (2006.01)

(86) PCT国际申请的申请数据

PCT/JP2022/047745 2022.12.23

(87) PCT国际申请的公布数据

W02023/166832 JA 2023.09.07

(71) 申请人 松下知识产权经营株式会社

地址 日本

(72) 发明人 船桥正美

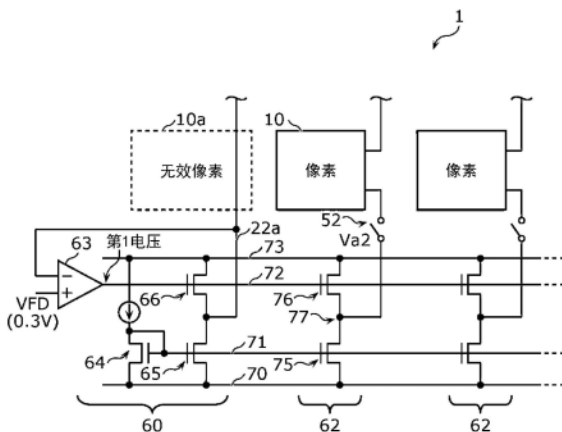
权利要求书2页 说明书17页 附图12页

(54) 发明名称

摄像装置

(57) 摘要

摄像装置具备：第1像素及第2像素，各自包括将光转换为电荷的光电转换部以及与光电转换部连接的第1晶体管；第1布线，与第1像素的第1晶体管的源极或者漏极中的一方连接；第2布线，与第2像素的第1晶体管的源极或者漏极中的一方连接；第1电压线，被施加第1电压；以及第1放大电路，与第1电压线连接，将第1电压放大并向第1布线及第2布线输出。



1. 一种摄像装置,具备:
  - 第1像素及第2像素,各自包括将光转换为电荷的光电转换部以及与所述光电转换部连接的第1晶体管;
  - 第1布线,与所述第1像素的所述第1晶体管的源极或者漏极中的一方连接;
  - 与所述第1布线不同的第2布线,与所述第2像素的所述第1晶体管的源极或者漏极中的一方连接;
  - 第1电压线,被施加第1电压;以及
  - 第1放大电路,与所述第1电压线连接,将所述第1电压放大并向所述第1布线及所述第2布线输出。
2. 如权利要求1所述的摄像装置,
  - 所述第1晶体管具有与所述光电转换部连接的栅极,并输出与所述电荷的量相应的信号。
3. 如权利要求1所述的摄像装置,
  - 所述第1晶体管的所述源极及所述漏极中的另一方与所述光电转换部连接。
4. 如权利要求1至3中任一项所述的摄像装置,
  - 所述第1放大电路的输出与所述第2放大电路的输出连接。
5. 如权利要求1至3中任一项所述的摄像装置,
  - 所述第1放大电路包括:
    - 第2晶体管;以及
    - 第3晶体管,与所述第2晶体管串联连接,
    - 所述第2晶体管的栅极与所述第1电压线连接,
    - 所述第2晶体管与所述第3晶体管之间的第1节点连接于所述第1布线。
6. 如权利要求5所述的摄像装置,还具备:
  - 第2电压线,被施加第2电压;以及
  - 第3电压线,被施加第3电压,
  - 所述第2晶体管及所述第3晶体管被串联连接在所述第2电压线与所述第3电压线之间。
7. 如权利要求5所述的摄像装置,
  - 所述第3晶体管的栅极被交替地供给用于使所述第3晶体管作为电流源发挥功能的电压以及用于使所述第3晶体管导通的电压。
8. 如权利要求6所述的摄像装置,
  - 所述第1放大电路包括被连接在所述第2电压线与所述第3晶体管的栅极之间的开关。
9. 如权利要求6所述的摄像装置,
  - 所述第1放大电路包括被连接在第3电压线与所述第1节点之间的开关。
10. 如权利要求6所述的摄像装置,还具备:
  - 第4电压线,被施加第4电压,
  - 所述第1放大电路包括被连接在所述第4电压线与所述第1节点之间的开关。
11. 如权利要求1或者2所述的摄像装置,
  - 所述第1像素及所述第2像素各自包括被连接在所述第1晶体管的所述源极或者所述漏极中的另一方与所述光电转换部之间的第2晶体管。

12. 如权利要求1至3中任一项所述的摄像装置,还具备:电压生成电路,向所述第1电压线供给所述第1电压。

## 摄像装置

### 技术领域

[0001] 本公开涉及摄像装置。

### 背景技术

[0002] 近年来,在摄像机、数字照相机、监视相机及车载相机等各种产品领域中,摄像装置被广泛地使用。作为摄像装置,使用CCD(电荷耦合器件(Charge Coupled Device))型固体摄像元件或者CMOS(互补金属氧化物半导体(Complementary Metal Oxide Semiconductor))型固体摄像元件(例如参照专利文献1、2)。其中,CMOS型固体摄像元件逐渐成为主流。CMOS型固体摄像元件能够利用通用的CMOS工艺制造,因此能够利用现有的设施,能够稳定地供给摄像元件。另外,能够将周边电路安装在同一芯片内,因此能够从摄像元件高速地读出信号,能够提高速度/提高分辨率。

[0003] 在先技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2016-127593号公报

[0006] 专利文献2:国际公布第2020/079884号

### 发明内容

[0007] 本发明所要解决的课题

[0008] 在摄像装置的领域中,要求减小在摄像装置中产生的噪声。

[0009] 于是,本公开的目的在于,提供减小了噪声的摄像装置。

[0010] 用于解决课题的手段

[0011] 为了达成上述目的,本公开的一个方式所涉及的摄像装置具备:第1像素及第2像素,各自包括将光转换为电荷的光电转换部以及与光电转换部连接的第1晶体管;第1布线,与第1像素的第1晶体管的源极或者漏极中的一方连接;第2布线,与第2像素的第1晶体管的源极或者漏极中的一方连接;第1电压线,被施加第1电压;以及第1放大电路,与第1电压线连接,将第1电压放大并向第1布线及第2布线输出。

[0012] 发明效果

[0013] 根据本公开,能够提供减小了噪声的摄像装置。

### 附图说明

[0014] 图1是示意性地表示实施方式1所涉及的摄像装置的例示性的电路结构的图。

[0015] 图2是表示实施方式1所涉及的摄像装置的像素的例示性的电路结构的图。

[0016] 图3是表示产生图2中的第2电源电压的电路结构的框图。

[0017] 图4是表示图3所示的电压生成电路及缓冲器电路的详细电路结构的图。

[0018] 图5是示意性地表示实施方式1的变形例1所涉及的摄像装置的例示性的电路结构的图。

- [0019] 图6是示意性地表示实施方式1的变形例2所涉及的摄像装置的例示性的电路结构的图。
- [0020] 图7是示意性地表示实施方式1的变形例3所涉及的摄像装置的例示性的电路结构的图。
- [0021] 图8是示意性地表示实施方式2所涉及的摄像装置所具备的缓冲器电路的例示性的电路结构的图。
- [0022] 图9是示意性地表示实施方式3所涉及的摄像装置所具备的缓冲器电路的例示性的电路结构的图。
- [0023] 图10是用于说明实施方式3所涉及的摄像装置所具备的缓冲器电路的运动的定时图。
- [0024] 图11A是示意性地表示实施方式3的变形例1所涉及的缓冲器电路的例示性的电路结构的图。
- [0025] 图11B是示意性地表示实施方式3的变形例1的变形所涉及的缓冲器电路的例示性的电路结构的图。
- [0026] 图12是示意性地表示实施方式4所涉及的摄像装置所具备的缓冲器电路的例示性的电路结构的图。
- [0027] 图13是表示实施方式5所涉及的摄像装置的像素的例示性的电路结构的图。
- [0028] 图14是表示产生图13中的第2电源电压的电路结构的框图。
- [0029] 图15是示意性地表示实施方式6所涉及的相机系统的图。

### 具体实施方式

[0030] (做出本公开的一个方式的经过)

[0031] 为了减小在像素复位时产生的kTC噪声(也被称为“复位噪声”),已知使浮动扩散(以下也称为“FD”)的电位负反馈的技术(例如专利文献1、2)。此外,将像素的复位也称为“FD的复位”,或者简称为“复位”。为了实施该技术,除了电源电压之外,还需要向像素施加用于使负反馈放大器动作的基准电压。在负反馈动作时,供给该基准电压的电压生成电路具有使像素内的负反馈放大器的动作电流流动的作用,由于供给基准电压的布线的寄生电阻以及在其中流动的负反馈放大器的电流,发生电压下降。结果发生如下课题:像素阵列中心列的像素与像素阵列周边列的像素相比,像素被施加的基准电压不同。由于该基准电压的偏差,像素阵列中心列与周边列相比,像素内反馈的复位噪声减小量产生差异,结果存在如下课题:从摄像装置输出具有依赖于像素阵列的列的不均的噪声分布的图像,导致画质性能劣化。

[0032] 本发明人们以减小噪声作为目的而进行探讨,想到了本公开所涉及的构成。本申请的非限定性的某例示性的一个实施方式提供一种摄像装置,有效地抑制依赖于像素阵列的列的基准电压的偏差,并实现图像噪声的减小。

[0033] 本公开的一个方式的概要如下。

[0034] [项目1]

[0035] 一种摄像装置,具备:

[0036] 第1像素及第2像素,各自包括将光转换为电荷的光电转换部以及与光电转换部连

接的第1晶体管；

[0037] 第1布线,与第1像素的第1晶体管的源极或者漏极中的一方连接；

[0038] 与第1布线不同的第2布线,与第2像素的第1晶体管的源极或者漏极中的一方连接；

[0039] 第1电压线,被施加第1电压；以及

[0040] 第1放大电路,与第1电压线连接,将第1电压放大并向第1布线及第2布线输出。

[0041] [项目2]

[0042] 如项目1所述的摄像装置，

[0043] 第1晶体管具有与光电转换部连接的栅极,输出与电荷的量相应的信号。

[0044] [项目3]

[0045] 如项目1所述的摄像装置，

[0046] 第1晶体管的源极及漏极中的另一方与光电转换部连接。

[0047] [项目4]

[0048] 如项目1至3中任一项所述的摄像装置，

[0049] 第1放大电路的输出与第2放大电路的输出连接。

[0050] [项目5]

[0051] 如项目1至3中任一项所述的摄像装置，

[0052] 第1放大电路包括：

[0053] 第2晶体管；以及

[0054] 第3晶体管,与第2晶体管串联连接，

[0055] 第2晶体管的栅极与第1电压线连接，

[0056] 第2晶体管与第3晶体管之间的第1节点连接于第1布线。

[0057] [项目6]

[0058] 如项目5所述的摄像装置,还具备：

[0059] 第2电压线,被施加第2电压；以及

[0060] 第3电压线,被施加第3电压，

[0061] 第2晶体管及第3晶体管串联地连接在第2电压线与第3电压线之间。

[0062] [项目7]

[0063] 如项目5或者6所述的摄像装置，

[0064] 第3晶体管的栅极被交替地供给用于使第3晶体管作为电流源发挥功能的电压以及用于使第3晶体管导通的电压。

[0065] [项目8]

[0066] 如项目6所述的摄像装置，

[0067] 第1放大电路包括被连接在第2电压线与第3晶体管的栅极之间的开关。

[0068] [项目9]

[0069] 如项目6所述的摄像装置，

[0070] 第1放大电路包括被连接在第3电压线与第1节点之间的开关。

[0071] [项目10]

[0072] 如项目6所述的摄像装置,还具备：

[0073] 第4电压线,被施加第4电压,

[0074] 第1放大电路包括被连接在第4电压线与第1节点之间的开关。

[0075] [项目11]

[0076] 如项目1或者2所述的摄像装置,

[0077] 第1像素及第2像素各自包括被连接在第1晶体管的源极或者漏极中的另一方与光电转换部之间的第2晶体管。

[0078] [项目12]

[0079] 如项目1至11中任一项所述的摄像装置,还具备:

[0080] 电压生成电路,向第1电压线供给第1电压。

[0081] 更详细而言,本公开的一个方式所涉及的摄像装置具备:多个像素,各自包括将光转换为电荷的光电转换部、以及输出与所述电荷的量相应的信号的放大晶体管;第1布线,与所述多个像素之中的第1像素的所述放大晶体管的源极或者漏极中的一方连接;第1电压线,被施加第1电压;以及第1放大电路,与所述第1电压线连接,将所述第1电压放大并向所述第1布线输出(参照图4)。

[0082] 由此,在被施加用于生成基准电压的第1电压的第1电压线与连接于放大晶体管的源极或者漏极中的一方的第1布线之间,设置有第1放大电路,因此由于第1电压线的布线电阻引起的电压下降减小,向放大晶体管施加的基准电压的精度提高。由此,有效地抑制依赖于像素阵列的列的基准电压的偏差,实现图像噪声的减小。

[0083] 在此,也可以还具备:与所述第1布线不同的第2布线,与所述多个像素之中的与所述第1像素不同的第2像素的所述放大晶体管的源极或者漏极中的一方连接;以及第2放大电路,与所述第1电压线连接,将所述第1电压放大并向所述第2布线输出(参照图4)。由此,例如在2个列各自设置有放大电路的情况下,在2个列各自中由于第1电压线的布线电阻引起的电压下降减小。

[0084] 另外,所述第1放大电路的输出也可以与所述第2放大电路的输出连接(参照图8)。由此,2个放大电路的输出端子彼此被连接,因此由于构成放大电路的晶体管的特性之差引起的放大电路间的输出电压的偏差减小。

[0085] 另外也可以是,所述第1放大电路包括第1晶体管、以及与所述第1晶体管串联连接的第2晶体管,所述第1晶体管的栅极与所述第1电压线连接,所述第1晶体管与所述第2晶体管之间的第1节点连接于所述第1布线(参照图4)。由此,第1放大电路由较少的构成要素实现,抑制摄像装置中的列电路的面积的增加。

[0086] 另外,也可以还具备:第2电压线,被施加第2电压;以及第3电压线,被施加第3电压,所述第1晶体管及所述第2晶体管串联连接在所述第2电压线与所述第3电压线之间(参照图4)。由此,第1放大电路能够使用与列电路不同的独立的电源进行动作。

[0087] 另外也可以是,所述第2晶体管的栅极被交替地供给用于使所述第2晶体管作为电流源发挥功能的电压以及用于使所述第2晶体管导通的电压(参照图9)。由此,构成第1放大电路的第2晶体管能够具有作为电流源动作的模式、以及将FD的电位高速地引入的模式。

[0088] 作为其一例,所述第1放大电路也可以包括被连接在所述第2电压线与所述第2晶体管的栅极之间的开关(参照图9)。

[0089] 另外,所述第1放大电路也可以包括被连接在第3电压线与所述第1节点之间的开

关(参照图11A)。由此,能够将FD的电位高速地向目标的复位电位引入。

[0090] 在此,也可以还具备:第4电压线,被施加第4电压,所述第1放大电路包括被连接在所述第4电压线与所述第1节点之间的开关(参照图11B)。由此,能够将FD的电位高速地向任意的第4电压引入。

[0091] 另外,所述多个像素各自也可以包括被连接在所述放大晶体管的所述源极或者所述漏极中的另一方与所述光电转换部之间的复位晶体管(参照图2)。由此,减小在FD复位时产生的噪声。

[0092] 也可以还具备:电压生成电路,向所述第1电压线供给所述第1电压(参照图3)。由此,无需从外部供给第1电压。

[0093] 以下,参照附图说明本公开的实施方式。此外,以下说明的实施方式均表示本公开的一个具体例。以下的实施方式中示出的数值、形状、材料、构成要素、构成要素的配置位置及连接方式、信号波形、信号的定时等为一例,其意图不在于对本公开进行限定。另外,各图不一定是严密的图示。在各图中,针对在实质上相同的构成,附加相同的标记,并省略或者简化重复的说明。另外,各图有时仅局部地图示与说明相关联的位置。另外,“连接”不仅包含A与B直接连接的情况,而且也包含经由其他电路要素而间接连接的情况。

[0094] (实施方式1)

[0095] [电路结构]

[0096] 首先,使用图1说明实施方式1所涉及的摄像装置的电路。

[0097] 图1是示意性地表示本实施方式所涉及的摄像装置1的例示性的电路结构的图。该图所示的摄像装置1具备多个像素10、以及周边电路。

[0098] 多个像素10通过在半导体基板上以2维排列,形成像素区域。半导体基板不限于其整体为半导体的基板。半导体基板也可以是在形成像素区域一侧的表面上设置有半导体层的绝缘性基板等。

[0099] 在图示的例中,多个像素10沿行方向及列方向排列。在本说明书中,行方向及列方向是指行及列各自延伸的方向。也就是说,垂直方向是列方向,水平方向是行方向。

[0100] 此外,多个像素10也可以以1维排列。换言之,摄像装置1可以是线传感器。

[0101] 多个像素10中的各个像素10与电源布线22连接。电源布线22是源极跟随器电源的供电布线。经由电源布线22向各像素10供给规定的电源电压。多个像素10各自包括具有在半导体基板上层叠的光电转换膜的光电转换部。光电转换部在半导体基板之上隔着布线层设置。另外,如图所示,摄像装置1具有用于向全部光电转换部施加相同的固定电压的积蓄控制线17。

[0102] 周边电路包括垂直扫描电路16、负载电路19、列信号处理电路20和水平信号读出电路21。在图示的构成中,列信号处理电路20及负载电路19按以2维排列的像素10的每列配置。也就是说,在该例中,周边电路包括多个列信号处理电路20以及多个负载电路19。

[0103] 垂直扫描电路16与地址信号线30及复位信号线26连接。垂直扫描电路16也被称为行扫描电路。垂直扫描电路16通过向地址信号线30或者复位信号线26施加规定的电压,以行为单位选择在各行中配置的多个像素10。由此,执行被选择的像素10的信号电压的读出或者像素10的复位。

[0104] 在图示的例中,垂直扫描电路16也与灵敏度调整线32连接。垂直扫描电路16能够

经由灵敏度调整线32向多个像素10供给规定的电压。如后详细说明,在本公开中,多个像素10各自在像素内具有1个以上的电容元件。在本说明书中,“电容元件(capacitor)”意味着在电极之间夹着绝缘膜等介电体的构造。本说明书中的“电极”不限于由金属形成的电极,而被解释为广泛地包含多晶硅层等。

[0105] 各列中配置的像素10经由与各列对应的垂直信号线18,与列信号处理电路20电连接(以下也将电连接简称为“连接”)。在垂直信号线18上电连接着负载电路19。列信号处理电路20进行以相关双采样为代表的噪音抑制信号处理及模拟-数字转换(AD转换)等。列信号处理电路20也被称为行信号积蓄电路。在与像素10的列对应地设置的多个列信号处理电路20上,电连接有水平信号读出电路21。水平信号读出电路21从多个列信号处理电路20向水平共通信号线23顺次读出信号。水平信号读出电路21也被称为列扫描电路。

[0106] 图2是表示实施方式1所涉及的摄像装置1的像素10的例示性的电路结构的图。像素10包括对入射光进行光电转换的光电转换部100、以及检测由光电转换部100生成的信号的信号检测电路SC。光电转换部100典型地具有在对置电极110与像素电极130之间夹着光电转换膜120的构造。光电转换膜120被层叠于形成有像素10的半导体基板。光电转换膜120由有机材料或者非晶硅等无机材料形成。

[0107] 在光电转换膜120的受光面侧设置有对置电极110。对置电极110由透明的导电性材料形成。作为透明的导电性材料的例子,可以举出ITO(氧化铟锡(Indium Tin Oxide))。在隔着光电转换膜120与对置电极110对置一侧设置有像素电极130。像素电极130收集在光电转换膜120中通过光电转换而产生的电荷。像素电极130由铝、铜等金属、或者通过掺杂质而被赋予了导电性的多晶硅等形成。

[0108] 如图所示,对置电极110与积蓄控制线17连接。像素电极130与电荷积蓄区域44连接。电荷积蓄区域44也被称为FD或者FD节点。通过经由积蓄控制线17对对置电极110的电位进行控制,能够由像素电极130收集通过光电转换而生成的空穴-电子对之中的空穴及电子的某一方。在利用空穴作为信号电荷的情况下,使对置电极110的电位比像素电极130高即可。以下,例示利用空穴作为信号电荷的情况。例如将10V左右的电压经由积蓄控制线17施加至对置电极110。由此,信号电荷被积蓄至电荷积蓄区域44。当然,也可以利用电子作为信号电荷。

[0109] 像素10所具有的信号检测电路SC包括放大晶体管34、复位晶体管36、第1电容元件41和第2电容元件42。在图示的构成中,第2电容元件42具有比第1电容元件41大的电容值。

[0110] 在图2所例示的构成中,复位晶体管36的栅极与复位信号线26连接。另外,复位晶体管36的源极及漏极之中的一方、以及第1电容元件41的一方的电极与电荷积蓄区域44连接。也就是说,它们具有与像素电极130的电连接。复位晶体管36的源极及漏极之中的另一方、以及第1电容元件41的另一方的电极与第2电容元件42的一方的电极连接。如果采用别的说法,第1电容元件41被连接在复位晶体管36的源极与漏极之间。以下,有时将包含第1电容元件41与第2电容元件42的连接点在内的节点称为复位漏极节点46。

[0111] 第2电容元件42的电极之中的未与复位漏极节点46连接的一方的电极,与灵敏度调整线32连接。灵敏度调整线32的电位例如被设定为0V。灵敏度调整线32的电位无需在摄像装置1动作时固定。例如,也可以从垂直扫描电路16(参照图1)供给脉冲电压。

[0112] 如图所示,放大晶体管34的栅极与电荷积蓄区域44连接。换言之,放大晶体管34的

栅极具有与像素电极130的电连接。放大晶体管34的源极及漏极中的一方(例如,如果放大晶体管34是N沟道MOSFET则为漏极)与电源布线22连接。放大晶体管34的源极及漏极中的另一方与作为传送从放大晶体管34输出的电信号的信号线的垂直信号线18连接。通过放大晶体管34以及负载电路19(参照图1),形成源极跟随器电路。放大晶体管34将通过光电转换部100生成的信号放大。

[0113] 如图所示,像素10包括地址晶体管40。地址晶体管40也被称为行选择晶体管。地址晶体管40的源极或者漏极与放大晶体管34的源极及漏极之中的未与电源布线22连接的一侧连接。地址晶体管40的栅极与地址信号线30连接。

[0114] 与电荷积蓄区域44中积蓄的信号电荷的量相应的电压被施加至放大晶体管34的栅极。放大晶体管34将该电压放大。由放大晶体管34放大后的电压作为电信号被地址晶体管40选择性地读出。

[0115] 如图2所示,信号检测电路SC包括反馈路径fb1。信号检测电路SC包括被配置在反馈路径fb1上的反馈晶体管38。反馈晶体管38的源极及漏极中的一方,与放大晶体管34的源极及漏极之中的与垂直信号线18连接的一侧连接。反馈晶体管38的源极及漏极中的另一方与复位漏极节点46连接。反馈晶体管38的栅极与反馈控制线28连接。

[0116] 反馈路径fb1是使放大晶体管34的输出向反馈晶体管38负反馈的路径。换言之,电荷积蓄区域44的电位经由放大晶体管34向反馈晶体管38负反馈。在图2所示的例中,反馈路径fb1不在多个像素10之间跨越,而按每个像素10设置。此外,在图2所例示的构成中,放大晶体管34的输出被用作电荷积蓄区域44的复位中的基准电压。反馈路径fb1意味着从电荷积蓄区域44经由放大晶体管34、反馈晶体管38以及第1电容元件41或复位晶体管36并到达电荷积蓄区域44的路径。

[0117] 在本实施方式中,能够在各像素10内执行用于消除噪声的反馈。由此,能够不受垂直信号线18的时间常数影响而高速地执行噪声消除。此外,在图2所例示的电路结构中,将放大晶体管34的输出电压施加至复位晶体管36。通过这样的构成,能够减小在使复位晶体管36关断前后的电荷积蓄区域44的电压的变化,因此能够实现更高速的噪声抑制。

[0118] 在图2所示的构成中,在电源布线22上连接有电压切换电路54。电压切换电路54具有第1开关51及第2开关52所成的组。电压切换电路54切换向电源布线22供给第1电源电压Va1及第2电源电压Va2中的哪一个。第1电源电压Va1是读出用的电源电压,例如为3.3V,第2电源电压Va2是噪声消除用的电源电压,例如为0.3V。电压切换电路54既可以按每个像素设置,也可以在多个像素10间共享。通过这样的电路结构,能够缩小kTC噪声的影响。

[0119] 在垂直信号线18上连接有恒流源8。在地址晶体管40导通时,通过地址晶体管40、放大晶体管34及恒流源8,形成源极跟随器电路。与电荷积蓄区域44中积蓄的信号电荷相应的信号向垂直信号线18输出,并向外部读出。此外,恒流源8也可以按每个像素10设置。为了削减每1个像素的元件数,恒流源8也可以由多个像素10共享。

[0120] 在将电荷积蓄区域44复位的情况下,使地址晶体管40关断,将放大晶体管34与垂直信号线18电分离。另外,使反馈晶体管38导通。另外,使电压切换电路54的第2开关52导通。也就是说,放大晶体管34的源极及漏极之中的未与垂直信号线18连接的一方(即,电源布线22)被施加第2电源电压Va2。进而,通过使复位晶体管36导通,电荷积蓄区域44被复位,电荷积蓄区域44的电压成为基准电压。

[0121] 接下来,使复位晶体管36关断。此时,信号检测电路SC形成放大率为 $-A \times B$ 倍的反馈电路。因此,在使复位晶体管36关断时产生的电荷积蓄区域44中的kTC噪声被抑制为 $1/(1+A \times B)$ 倍。像这样,能够抑制kTC噪声。

[0122] 另外,在噪声抑制期间中,将反馈控制线28的电压设定为高电平与低电平之间、例如中间的电压。在该情况下,反馈晶体管38的工作带域(工作区)成为比第1带域窄的第2带域。

[0123] 在第2带域比放大晶体管34的工作带域(工作区)窄的状态下,在反馈晶体管38中产生的热噪声通过反馈路径fb1,被抑制为 $1/(1+A \times B)^{1/2}$ 倍。在该状态下,将反馈控制线28的电压设为低电平,使反馈晶体管38关断。于是,此时在电荷积蓄区域44中残留的kTC噪声成为起因于复位晶体管36的kTC噪声与起因于反馈晶体管38的kTC噪声的平方和的值。

[0124] 将第1电容元件41的电容设为 $C_s$ ,并将电荷积蓄区域44的电容设为CFD。在该情况下,在没有通过反馈进行抑制的状态下产生的反馈晶体管38的kTC噪声,与没有通过反馈进行抑制的状态下产生的复位晶体管36的kTC噪声相比成为 $(CFD/C_s)^{1/2}$ 倍。考虑到这一点,与没有反馈的情况相比,有反馈的情况下的kTC噪声被抑制为 $\{1+(1+A \times B) \times CFD/C_s\}^{1/2}/(1+A \times B)$ 倍。

[0125] 在读出期间中,使地址信号线30的电压成为高电平,使地址晶体管40导通,并对电压切换电路54进行控制以使放大晶体管34的源极及漏极中的另一方(即电源布线22)的电压成为第1电源电压 $V_{a1}$ 。在该状态下,放大晶体管34和恒流源8形成源极跟随器电路。垂直信号线18成为与电荷积蓄区域44中积蓄的信号电荷相应的电压。此时,源极跟随器电路的放大率为1倍左右。

[0126] 电荷积蓄区域44的电压相对于基准电压变化了与光电转换部100中生成的电信号相应的量。电荷积蓄区域44的电压以1倍左右的放大率被输出至垂直信号线18。

[0127] 随机噪声意味着在光电转换部100中生成的信号电荷为0时的输出的波动、即kTC噪声。kTC噪声在噪声抑制期间中被抑制为 $\{1+(1+A \times B) \times CFD/C_s\}^{1/2}/(1+A \times B)$ 倍,进而,在读出期间中,以1倍左右的放大率被输出至垂直信号线18。结果,能够取得随机噪声得到抑制的好的图像数据。

[0128] 此外,放大晶体管34、复位晶体管36、反馈晶体管38及地址晶体管40各自既可以是N沟道MOSFET,也可以是P沟道MOSFET。不需要这些晶体管全部都统一为N沟道MOSFET或者P沟道MOSFET中的某一种。此外,以下将N沟道MOSFET也简称为“NMOS”,将P沟道MOSFET也简称为“PMOS”。

[0129] 图3是表示产生图2中的第2电源电压 $V_{a2}$ 的电路结构的框图。在此图示了供给作为固定电压的第1电压的电压生成电路60、以及将从电压生成电路60供给的第1电压放大并作为第2电源电压 $V_{a2}$ 向第2开关52输出的缓冲器电路62。缓冲器电路62是将第1电压放大的第1放大电路的一例,例如是电压增益为1的阻抗转换器。电压生成电路60既可以被配置于摄像装置1,也可以被设置在摄像装置1的外部。在电压生成电路60被设置在摄像装置1的外部的情况下,从电压生成电路60输出的第1电压经过布线及连接端子等向缓冲器电路62供给。

[0130] 图4是表示图3所示的电压生成电路60及缓冲器电路62的详细电路结构的图。此外,在本图中,为了便于说明,针对与第1电源电压 $V_{a1}$ 相关联的布线及电路省略图示。在以后的图中也是同样的。在本实施方式中,作为按像素阵列的每列设置的缓冲器电路62,由使

用NMOS晶体管的源极跟随器电路构成。缓冲器电路62包括作为第1晶体管的一例的作为源极跟随器发挥功能的放大晶体管76、以及作为第2晶体管的一例的作为电流源发挥功能的电流源晶体管75。电压线73是用于供给作为第2电压的一例的电源电压的第2电压线的一例。电压线70是用于供给作为第3电压的一例的接地电压的第3电压线的一例。从电压生成电路60向电压线71供给用于使电流源晶体管75作为电流源动作的电流源用电压。从电压生成电路60,经由作为第1电压线的一例的电压线72,向放大晶体管76的栅极施加固定的第1电压。

[0131] 由缓冲器电路62将第1电压放大而得到的电压(即第2电源电压Va2)可以从作为放大晶体管76与电流源晶体管75之间的第1节点的输出端子77输出,并经由第2开关52,施加至作为第1布线的一例的电源布线22。此外,第1布线是被施加由缓冲器电路62放大后的输出电压的布线。另外,图示的两个缓冲器电路62分别是与第1电压线连接且将第1电压放大并向第1布线输出的第1放大电路、以及与第1电压线连接且将第1电压放大并向第2布线输出的第2放大电路的一例。

[0132] 电压生成电路60利用摄像装置1所具备的无效像素10a,向缓冲器电路62,经由电压线72供给第1电压,并经由电压线71供给电流源用电压。无效像素10a是摄像装置1所具备的像素10之中的未被用于摄像用途的像素。电压生成电路60具备运算放大器63及NMOS的晶体管64~66。晶体管65及66是具有与缓冲器电路62同样的构成的复制电路。晶体管64及65构成电流镜。运算放大器63的非反相输入端子被输入固定的基准电压VFD(例如0.3V),运算放大器63的反相输入端子与无效像素10a的电源布线22a连接,运算放大器63的输出端子与晶体管66、以及各缓冲器电路62的放大晶体管76的栅极连接。

[0133] 通过这样的构成,运算放大器63被施加负反馈,因此与运算放大器63的反相输入端子连接的无效像素10a的电源布线22a、以及各缓冲器电路62的输出电压(即第2电源电压Va2),成为与输入至运算放大器63的非反相输入端子的固定的基准电压VFD(例如0.3V)相同的值。另外,通过电流镜的功能,在晶体管64中流动的电流的一定倍(例如A倍)的电流在晶体管65中流动,在晶体管64中流动的电流的一定倍(例如B倍)的电流也在各缓冲器电路62的电流源晶体管75中流动。上述A为(晶体管65的WL比)÷(晶体管64的WL比),上述B为(晶体管75的WL比)÷(晶体管64的WL比)。WL比为栅极宽度÷栅极长度。

[0134] 由此,即使在从运算放大器63向电压线72施加第1电压,而且正流动用于反馈动作的电流的状态下,由于存在缓冲器电路62,从各列向电压线72不流动电流。因此,向电压线72施加的第1电压与列位置无关,不会受到在噪声消除时流动的电流影响。由此,无论在哪一列的电源布线22中,都能够施加作为与基准电压VFD(例如0.3V)相等的电压的第2电源电压Va2。

[0135] 通过经由缓冲器电路62向各列的电源布线22施加与基准电压VFD相等的第2电源电压Va2,在噪声消除时流动的电流不向传递第1电压的电压线72流动而向缓冲器电路62流动。由此,能够抑制以往发生的在供给基准电压的布线中由于寄生电阻而引起的电压下降。另外,改善依赖于列位置的噪声消除的噪声减小量的偏差,抑制所读出的图像信号的劣化。

[0136] (变形例1)

[0137] 图5是示意性地表示实施方式1的变形例1所涉及的摄像装置的例示性的电路结构的图。本变形例与实施方式1的不同点在于,由像素阵列的多个列共享缓冲器电路62。也就

是说,一个缓冲器电路62的输出端子77与在像素阵列中的多个列的电源布线22各自上设置的第2开关52连接。由此,与按每列设置缓冲器电路62的情况相比,能够减少摄像装置所需的缓冲器电路62的个数,并削减缓冲器电路面积。

[0138] (变形例2)

[0139] 图6是示意性地表示实施方式1的变形例2所涉及的摄像装置的例示性的电路结构的图。在本变形例中,用于消除噪声的电路结构与实施方式1不同。在本变形例中,摄像装置具有电流源切换电路55作为噪声消除用的恒流源。电流源切换电路55具有:与电压Vb1连接的读出用的恒流源8、切换恒流源8与垂直信号线18的连接及非连接的开关56、与电压Vb2连接的噪声消除用的恒流源8a、以及切换恒流源8a与垂直信号线18的连接及非连接的开关57。

[0140] 另外,在本变形例中,摄像装置具有电压切换电路54a来替代实施方式1的电压切换电路54。电压切换电路54a除了实施方式1的电压切换电路54的构成之外,还具有切换作为噪声消除中的预复位用的基准电压的第3电源电压Va3与电源布线22的连接及非连接的第3开关53。通过该电压切换电路54a,选择性地供给作为读出用的电压的1个种类的基准电压(即第1电源电压Va1)以及作为噪声消除用的电压的2个种类的基准电压(即第2电源电压Va2及第3电源电压Va3)。也就是说,在读出时,第1电源电压Va1经由第1开关51施加至电源布线22。与实施方式1同样,在为了消除噪声而进行反馈动作时,第2电源电压Va2经由第2开关52供给至电源布线22。在反馈动作之前对FD的电位进行预复位时,第3电源电压Va3经由第3开关53供给至电源布线22。

[0141] 在本变形例中,针对作为噪声消除用的2个种类的基准电压的第2电源电压Va2及第3电源电压Va3,分别设置有缓冲器电路62及62a、以及向上述缓冲器电路62及62a的输入端子供给电压的电压生成电路60及60a。缓冲器电路62a具有与缓冲器电路62同样的电路结构。电压生成电路60a在基本上具有与电压生成电路60同样的电路结构,但输出与电压生成电路60所输出的第1电压不同的第3电源电压Va3用的基准电压。

[0142] 通过本变形例所涉及的摄像装置,即使在消除噪声中的预复位时与反馈动作时将不同的基准电压(即第2电源电压Va2及第3电源电压Va3)施加至电源布线22的情况下,也能够抑制在供给2个种类的基准电压中的各个基准电压的布线中由于寄生电阻而引起的电压下降,改善依赖于列位置的噪声消除的噪声减小量,抑制所读出的图像信号的劣化。

[0143] 另外,通过经由缓冲器电路62向各列的电源布线22施加与基准电压VFD相等的第2电源电压Va2,在噪声消除时从恒流源8a向垂直信号线18流动的电流,不向传递基准电压的电压线72流动而向缓冲器电路62流动。由此,能够抑制以往发生的在供给基准电压的布线中由于寄生电阻而引起的电压下降,改善依赖于列位置的噪声消除的噪声减小量的偏差,抑制所读出的图像信号的劣化。

[0144] (变形例3)

[0145] 图7是示意性地表示实施方式1的变形例3所涉及的摄像装置的例示性的电路结构的图。在本变形例中,用于读出的电路结构与变形例2不同。在本变形例中,变形例2中的读出用的恒流源8及开关56的配置位置,与变形例2中的用于供给读出用的基准电压(即第1电源电压Va1)的第1开关51的配置位置替换。另外,在将与放大晶体管34的源极及漏极中的一方连接的地址晶体管40设为第1地址晶体管时,追加与放大晶体管34的源极及漏极中的另

一方连接的第2地址晶体管40a。第2地址晶体管40a的栅极经由地址信号线30a与垂直扫描电路16连接。

[0146] 关于噪声消除用的恒流源8a、作为向第1布线供给的预复位用的基准电压的第3电源电压Va3、作为噪声消除用的基准电压的第2电源电压Va2、与它们连接的开关、进而针对2个种类的基准电压分别设置的缓冲器电路62及62a,都被设置在与变形例2同样的配置位置。

[0147] 在本变形例中,在读出时,与变形例2相反,电流从图7中的上方向下方,即从第1电源电压Va1按照第1开关51、电源布线22、地址晶体管40、放大晶体管34、地址晶体管40a、垂直信号线18、开关56、恒流源8的顺序流动。来自缓冲器电路62及62a的输出不是向电源布线22而是向垂直信号线18输入。由此,在本变形例中,垂直信号线18成为被施加来自缓冲器电路62及62a的输出电压的第1布线的一例。

[0148] 通过本变形例所涉及的摄像装置,即使在将噪声消除用的基准电压(即第2电源电压Va2及第3电源电压Va3)施加至垂直信号线18的情况下,也能够抑制在供给基准电压的布线中由于寄生电阻而引起的电压下降,改善依赖于列位置的噪声消除的噪声减小量,抑制所读出的图像信号的劣化。

[0149] 另外,通过经由缓冲器电路62向各列的垂直信号线18施加与基准电压VFD相等的第2电源电压Va2,在噪声消除时从恒流源8a向电源布线22流动的电流,不向传递基准电压的电压线72流动而向缓冲器电路62流动。由此,能够抑制以往发生的在供给基准电压的布线中由于寄生电阻而引起的电压下降,改善依赖于列位置的噪声消除的噪声减小量的偏差,抑制所读出的图像信号的劣化。

[0150] (实施方式2)

[0151] 在实施方式1的摄像装置1中,如图4所示,在各列的第1布线(即电源布线22或者垂直信号线18)与传送用于生成第2电源电压Va2的第1电压的电压线72之间,针对各列配置有相同构成的缓冲器电路62。由此,抑制在施加第2电源电压Va2的布线中由于寄生电阻而引起的电压下降,改善了图像信号的劣化。

[0152] 可是,虽然在各列中配置的缓冲器电路62的构成相同,但有时受到一般由于半导体的制造偏差而产生的不依赖于列位置的随机的输出偏置、由于电源布线的寄生电阻引起的电压下降、或者由于地线的寄生电阻引起的电压下降的影响,而具有依赖于像素阵列中的列位置的输出偏置。因此,第1布线(即电源布线22或者垂直信号线18)被施加的第2电源电压Va2成为对理想的输出电压加上各缓冲器电路62的输出偏置而得到的 $Va2\_1' \cdot \cdot \cdot Va2\_n' \cdot \cdot \cdot Va2\_m'$ ,该电压偏差也成为FD复位电位的偏差,造成基于噪声消除的噪声减小量的偏差。

[0153] 于是,在实施方式2的摄像装置1a中,为了减小缓冲器电路62的输出偏置偏差,而构成为将相邻的相同构成的缓冲器电路62的输出端子77彼此连接。图8是示意性地表示实施方式2所涉及的摄像装置1a所具备的缓冲器电路62的例示性的电路结构的图。在像素阵列的各列中设置的各缓冲器电路62的输出端子77彼此被连接。也就是说,表示了第1放大电路的输出与第2放大电路的输出被连接的例子。

[0154] 在此,如果将向缓冲器电路62输入的第1电压设为 $VaX$ ,将第N列(N为2以上的自然数)的缓冲器电路62所具有的输出偏置设为 $\Delta Vn$ ,并将该缓冲器电路62的增益设为A,则第n

列的缓冲器电路62的输出电压 $V_{a2}'$ 成为 $V_{a2}' = A \times V_{aX} + \Delta V_n$ 。例如,如果将第1列的输出电压设为 $V_{a2\_1}'$ ,并将第2列的输出电压设为 $V_{a2\_2}'$ ,则将第1列与第2列的缓冲器电路62的输出端子77连接时的输出电压 $V_{a2\_12}'$ 成为 $V_{a2\_12}' = (V_{a2\_1}' + V_{a2\_2}') / 2 = (A \times V_{aX} + \Delta V_1 + V_{aX} + \Delta V_2) / 2 = A \times V_{aX} + (\Delta V_1 + \Delta V_2) / 2$ 。将第2列的缓冲器电路62的输出端子77与第3列的缓冲器电路62的输出端子77连接时的输出电压 $V_{a2\_23}'$ 成为 $V_{a2\_23}' = A \times V_{aX} + (\Delta V_2 + \Delta V_3) / 2$ ,相邻的缓冲器电路62彼此的输出偏置被平均化。同样,将第1列~第3列的缓冲器电路62的输出端子77连接时的输出电压 $V_{a2\_123}'$ 成为 $V_{a2\_123}' = A \times V_{aX} + (\Delta V_1 + \Delta V_2 + \Delta V_3) / 3$ ,进而将第L列~第N列(L为1以上且小于N的自然数)的缓冲器电路62的输出端子77连接时的输出电压 $V_{a2(LM)}$ 成为 $V_{a2(LM)} = A \times V_{aX} + (\Delta V_L + \Delta V_{(L+1)} + \dots + \Delta V_{(N-1)} + \Delta V_N) / (N-L+1)$ ,可知如果将缓冲器电路62的输出端子77连接,则这些连接后的缓冲器电路62的输出偏置的平均值成为输出偏置。

[0155] 如上,根据本实施方式所涉及的摄像装置1a,通过将缓冲器电路62的输出端子77连接,各缓冲器电路62的输出偏置偏差被平均化,在各列中均一的基准电压 $V_{a2}'$ 作为第2电源电压 $V_{a2}$ 施加至电源布线22。由此,FD复位电位(以下也简称为“复位电位”)被均一化,也抑制了基于噪声消除的噪声减小量的偏差,抑制了图像信号的劣化。

[0156] (实施方式3)

[0157] 例如,在光电转换膜120被层叠于形成有像素10的半导体基板上的层叠型图像传感器的情况下,复位前的FD电位成为入射的光量或曝光时间越多则比复位电位越高的电位,因此要求缓冲器电路具有将FD的高电位向期望的较低的复位电位引入的性能。另外,在本实施方式中设想的层叠型图像传感器中,将FD复位的电位是比电源电压低电位。例如,在如图4所示的包括NMOS的源极跟随器电路的缓冲器电路62的情况下,在源极跟随器输出的输出端子77将FD电位向规定的复位电位引入时,电流源晶体管75将FD中积蓄的电荷引入,由此FD被设定为规定的复位电位。包括源极跟随器电路的缓冲器电路62的电流源是恒流源,引入电荷的速度依赖于其电流能力。

[0158] 在此,在将电流源的电流值设为 $I_c$ [A],并将FD+第1布线的寄生电容设为 $C_c$ [F]的情况下,能够通过 $T_c = C_c \times (V_s - V_r) / I_c$ [S]计算用于将 $V_s$ [V]的FD电位设定为期望的复位电位 $V_r$ [V]的收敛时间 $T_c$ 。例如,在通过该摄像装置1b的驱动定时给定的将FD复位所需的时间比收敛时间 $T_c$ 短的情况下,只能减小寄生电容 $C_c$ 或者增大电流源的电流 $I_c$ 。但是,寄生电容 $C_c$ 根据在像素设计中决定的FD的电容以及由像素阵列的大小决定的第1布线的布线长度决定,适宜地变更寄生电容值是极为困难的。而且,增大电流源的电流 $I_c$ 会导致摄像装置的消耗电流增加以及电流源晶体管的面积增加,因此其也无法容易地增加。

[0159] 于是,实施方式3所涉及的缓冲器电路具备如下构成:针对实施方式1所涉及的缓冲器电路62,追加将电流源晶体管75的栅极切换为偏置电压施加模式及高(High)电压施加模式中的某一个模式的控制开关。图9是示意性地表示实施方式3所涉及的摄像装置1b所具备的各缓冲器电路62b的例示性的电路结构的图。本实施方式所涉及的缓冲器电路62b具备如下构成:针对实施方式1所涉及的缓冲器电路62,追加将电流源晶体管75的栅极切换为偏置电压施加模式及高(High)电压施加模式中的某一个模式的控制开关80。通过该构成,将FD向复位电位引入的时间大幅缩短。

[0160] 图10是用于说明实施方式3所涉及的摄像装置1b所具备的缓冲器电路62b的动作

的定时图。图10的(a)表示将电流源晶体管75的栅极设为偏置电压施加模式的情况下的对控制开关80进行控制的控制信号CON10和FD的电位的时间变化,图10的(b)表示将电流源晶体管75的栅极设为高(High)电压施加模式的情况下的对控制开关80进行控制的控制信号CON10和FD的电位的时间变化。

[0161] 在电流源晶体管75作为电流源发挥功能时,控制信号CON10为了设为偏置电压施加模式而向控制开关80施加低(Low)电平(图10的(a)的“CON10”),由此控制开关80成为非导通状态,因此从电压线71施加的偏置电压被施加至电流源晶体管75的栅极。结果,电流源晶体管75作为电流源动作,FD的电位从高电位向目标复位电位逐渐降低(图10的(a)的“FD”)。

[0162] 另一方面,在将FD的电位高速地引入的模式中,控制信号CON10仅在短期中为了设为高(High)电压施加模式而向控制开关80施加高(High)电平的脉冲(图10的(b)的“CON10”),由此,在脉冲期间中,控制开关80成为导通状态,电流源晶体管75的栅极与高(High)电平电位(在此为电压线73的电源电压)连接。由此,电流源晶体管75在脉冲的期间中导通,作为使输出端子77与电压线70的低电平电位(例如接地电位)连接的开关发挥功能。即,电流源晶体管75将FD及与其相连的第1布线(即电源布线22或者垂直信号线18)强制地下拉,通过作为缓冲器电路62b的电流源动作时的电流源晶体管75的电流能力以上的电流能力实现引入。结果,FD的电位在脉冲期间中,从高电位向目标复位电位急剧地降低(图10的(b)的“FD”)。

[0163] 根据本实施方式所涉及的摄像装置1b,缓冲器电路62b能够将FD的电位高速地向目标的复位电位引入。

[0164] 此外,在图9所示的缓冲器电路62b中,按每个缓冲器电路62b设置有控制开关80,但也可以设置对于多个缓冲器电路共享的1个控制开关80。例如,也可以不设置图9中的2个控制开关80之中的一方。

[0165] (变形例1)

[0166] 图11A是示意性地表示实施方式3的变形例1所涉及的缓冲器电路62c的例示性的电路结构的图。本变形例与实施方式3的不同点在于,替代实施方式3中的控制开关80,而具有被连接在输出端子77与供给接地电压的电压线70之间的控制开关80a。根据如本变形例那样不经由电流源晶体管75而通过控制开关80a直接将输出端子77下拉的构成,也能够得到与实施方式3同样的效果。

[0167] 此外,在本变形例中,控制开关80a被连接在输出端子77与电压线70之间,但也可以替代于此,如图11B所示,被连接在输出端子77与作为被施加第4电位的第4电压线的一例的其他电压线70a之间。图11B是示意性地表示实施方式3的变形例1的变形所涉及的缓冲器电路62c的例示性的电路结构的图。电压线70a被施加例如作为目标的复位电位,作为第4电压。根据这样的构成,也与变形例1同样,能够将FD的电位高速地向作为目标复位电位的第4电位引入。

[0168] 另外,在实施方式3及其变形例1中,使缓冲器电路具备将FD的电位下拉的功能,但在作为目标复位电位需要向高(High)电平引入的情况下,也可以替代于此,使缓冲器电路具备上拉的功能。具体而言,图9所示的控制开关80也可以被连接在放大晶体管76的栅极与电压线70之间,来替代图9所示的连接。在该情况下,电流源晶体管75及放大晶体管76的功

能反转,分别作为放大晶体管及电流源晶体管发挥功能。另外,电流源晶体管75及放大晶体管76都优选为PMOS晶体管。

[0169] 另外,图11A所示的控制开关80a也可以被连接在电压线73与输出端子77之间,来替代图11A所示的连接。由此,使缓冲器电路具备上拉功能,能够将FD的电位高速地向作为目标的高(High)电平引入。

[0170] (实施方式4)

[0171] 图12是示意性地表示实施方式4所涉及的摄像装置1c所具备的缓冲器电路62b的例示性的电路结构的图。本实施方式将实施方式2的特征与实施方式3的特征组合。也就是说,在本实施方式所涉及的摄像装置1c中,如实施方式2那样,在像素阵列的各列中设置的缓冲器电路62b的输出端子77彼此被连接,进而,如实施方式3那样,在各缓冲器电路62b设置有控制开关80。

[0172] 根据本实施方式所涉及的摄像装置1c,各列的FD复位电位被均一化,而且能够将FD的电位高速地向目标复位电位引入。

[0173] 此外,在本实施方式中,各缓冲器电路62b也可以置换为实施方式3的变形例1所涉及的缓冲器电路62c。也就是说,为了将FD的电位高速地向目标复位电位引入,作为缓冲器电路,也可以是具备被连接在输出端子77与供给接地电压的电压线70之间的控制开关80a的缓冲器电路62c。

[0174] 如上,根据实施方式1~4及其变形例所涉及的摄像装置,设置有向与像素的放大晶体管的源极或者漏极中的一方连接的第1布线供给用于FD复位的第2电源电压 $V_{a2}$ 等的缓冲器电路,因此与基准信号或者缓冲器电路的电源布线等的布线寄生电阻无关,能够抑制像素阵列中心列与周边列中基准电压的偏差,能够抑制像素内反馈的复位噪声减小量的依赖于列的偏差,并取得画质性能好的像素信号。

[0175] (实施方式5)

[0176] 在实施方式1~4及其变形例中,说明了针对在负反馈动作时供给基准电压的电压供给电路适用本公开的技术的例子。但是,本公开不限于供给负反馈动作时的基准电压的电压供给电路。在本实施方式中,说明针对用于供给用于将FD复位的复位电压的电压供给电路适用本公开的技术的例子。针对与实施方式1相同的构成,使用与实施方式1相同的标记并省略详细的说明。

[0177] 图13是表示实施方式5所涉及的摄像装置1d的像素10的例示性的电路结构的图。像素10包括对入射光进行光电转换的光电转换部100、以及检测由光电转换部100生成的信号的信号检测电路SC。

[0178] 像素10所具有的信号检测电路SC包括放大晶体管34和复位晶体管36。与实施方式1不同,信号检测电路SC不包括反馈路径fb1。

[0179] 在图13所例示的构成中,复位晶体管36的栅极与复位信号线26连接。另外,复位晶体管36的源极及漏极之中的一方和放大晶体管34的栅极连接于电荷积蓄区域44。也就是说,它们具有与像素电极130的电连接。复位晶体管36的源极及漏极之中的另一方与用于供给复位电压 $V_{a2}$ 的复位电压布线25连接。放大晶体管34的源极及漏极中的一方与电源布线22连接。放大晶体管34的源极及漏极中的另一方与作为传送从放大晶体管34输出的电信号的信号线的垂直信号线18连接。电源布线22被施加读出用的电源电压 $V_a$ 。通过使复位晶体

管36导通,电荷积蓄区域44被复位,电荷积蓄区域44的电压成为复位电压即基准电压。

[0180] 图14是表示产生图13中的复位电压 $V_{a2}$ 的电路结构的框图。在此,图示了供给作为固定电压的第1电压的电压生成电路60、以及将从电压生成电路60供给的第1电压放大并作为复位电压 $V_{a2}$ 向复位电压布线25输出的缓冲器电路62。缓冲器电路62是将第1电压放大的第1放大电路的一例,例如是电压增益为1的阻抗转换器。电压生成电路60既可以被配置于摄像装置1d,也可以被设置在摄像装置1d的外部。在电压生成电路60被设置在摄像装置1的外部的情况下,从电压生成电路60输出的第1电压经过布线及连接端子等向缓冲器电路62供给。

[0181] 产生基准电压 $V_{a2}$ 的电路结构与实施方式1~4及其变形例中说明的构成同样,因此省略说明。

[0182] 根据以上说明的构成,例如通过经由缓冲器电路62向各列中配置的复位电压布线25施加与基准电压VFD相等的复位电压 $V_{a2}$ ,在复位动作中流动的电流不向传递第1电压的电压线72流动而向缓冲器电路62流动。由此,能够抑制以往发生的在供给基准电压的布线中由于寄生电阻而引起的电压下降。另外,改善各像素的电荷积蓄区域44在复位时的电位的偏差,抑制所读出的图像信号的劣化。

[0183] (实施方式6)

[0184] 图15是示意性地表示实施方式6所涉及的相机系统600的构成例的图。实施方式6所涉及的相机系统600具备上述的各实施方式或者变形例所涉及的摄像装置(在此代表各实施方式而记作摄像装置1)。以下,以与各实施方式及其变形例的区别点为中心进行说明,省略或者简化共通点的说明。

[0185] 相机系统600具备透镜光学系统601、摄像装置1、系统控制器603和相机信号处理部604。

[0186] 透镜光学系统601例如包含自动调焦用透镜、变焦用透镜及光阑。透镜光学系统601将光聚光于摄像装置1的摄像面。

[0187] 作为摄像装置1,可以使用上述的各实施方式或者变形例所涉及的摄像装置1。系统控制器603对相机系统600整体进行控制。系统控制器603例如能够通过微型计算机实现。

[0188] 相机信号处理部604作为处理来自摄像装置1的输出信号的信号处理电路发挥功能。相机信号处理部604例如进行伽玛校正、颜色插值处理、空间插值处理及自动白平衡等处理。相机信号处理部604例如能够通过DSP(数字信号处理器(Digital Signal Processor))等实现。

[0189] 根据本实施方式所涉及的相机系统600,通过利用上述实施方式所涉及的摄像装置1,能够减小噪声,能够取得好的图像。

[0190] 以上,基于实施方式及变形例说明了本公开的摄像装置,但本公开不限于这些实施方式及变形例。只要不脱离本公开的主旨,针对实施方式及变形例施以本领域技术人员所想到的各种变形而得到的方式、或者将实施方式及变形例中的一部分构成要素组合而构筑的其他方式,都被包含在本公开的范围內。

[0191] 例如,在上述实施方式中,缓冲器电路62等由NMOS源极跟随器电路构成,但也可以由PMOS源极跟随器、NMOS输入源极接地放大器、PMOS输入源极接地放大器、使用运算放大器的电压跟随器等构成。

[0192] 另外,也能够适用于在各列中设置有多个垂直信号线或者第1布线的方式。在该情况下,第1像素及第2像素也可以位于相同的列。

[0193] 工业实用性

[0194] 本公开所涉及的摄像装置能够作为减小噪声的摄像装置,例如作为摄像机、数字照相机、监视相机及车载相机等利用。

[0195] 附图标记说明:

[0196] 1、1a~1c摄像装置

[0197] 8、8a恒流源

[0198] 10 像素

[0199] 10a 无效像素

[0200] 16 垂直扫描电路

[0201] 17 积蓄控制线

[0202] 18 垂直信号线

[0203] 19 负载电路

[0204] 20 列信号处理电路

[0205] 21 水平信号读出电路

[0206] 22、22a电源布线

[0207] 23 水平共通信号线

[0208] 26 复位信号线

[0209] 28 反馈控制线

[0210] 30、30a地址信号线

[0211] 32 灵敏度调整线

[0212] 34 放大晶体管

[0213] 36 复位晶体管

[0214] 38 反馈晶体管

[0215] 40、40a地址晶体管

[0216] 41第1电容元件

[0217] 42第2电容元件

[0218] 44 电荷积蓄区域

[0219] 46 复位漏极节点

[0220] 51第1开关

[0221] 52第2开关

[0222] 53第3开关

[0223] 54、54a电压切换电路

[0224] 55 电流源切换电路

[0225] 56、57 开关

[0226] 60、60a电压生成电路

[0227] 62、62a~62c缓冲器电路

[0228] 63运算放大器

- [0229] 64~66晶体管
- [0230] 70~73、70a电压线
- [0231] 75 电流源晶体管
- [0232] 76 放大晶体管
- [0233] 77 输出端子
- [0234] 80、80a控制开关
- [0235] 100 光电转换部
- [0236] 110 对置电极
- [0237] 120 光电转换膜
- [0238] 130 像素电极
- [0239] 600 相机系统
- [0240] 601 透镜光学系统
- [0241] 603 系统控制器
- [0242] 604 相机信号处理部
- [0243] fb1 反馈路径
- [0244] SC 信号检测电路

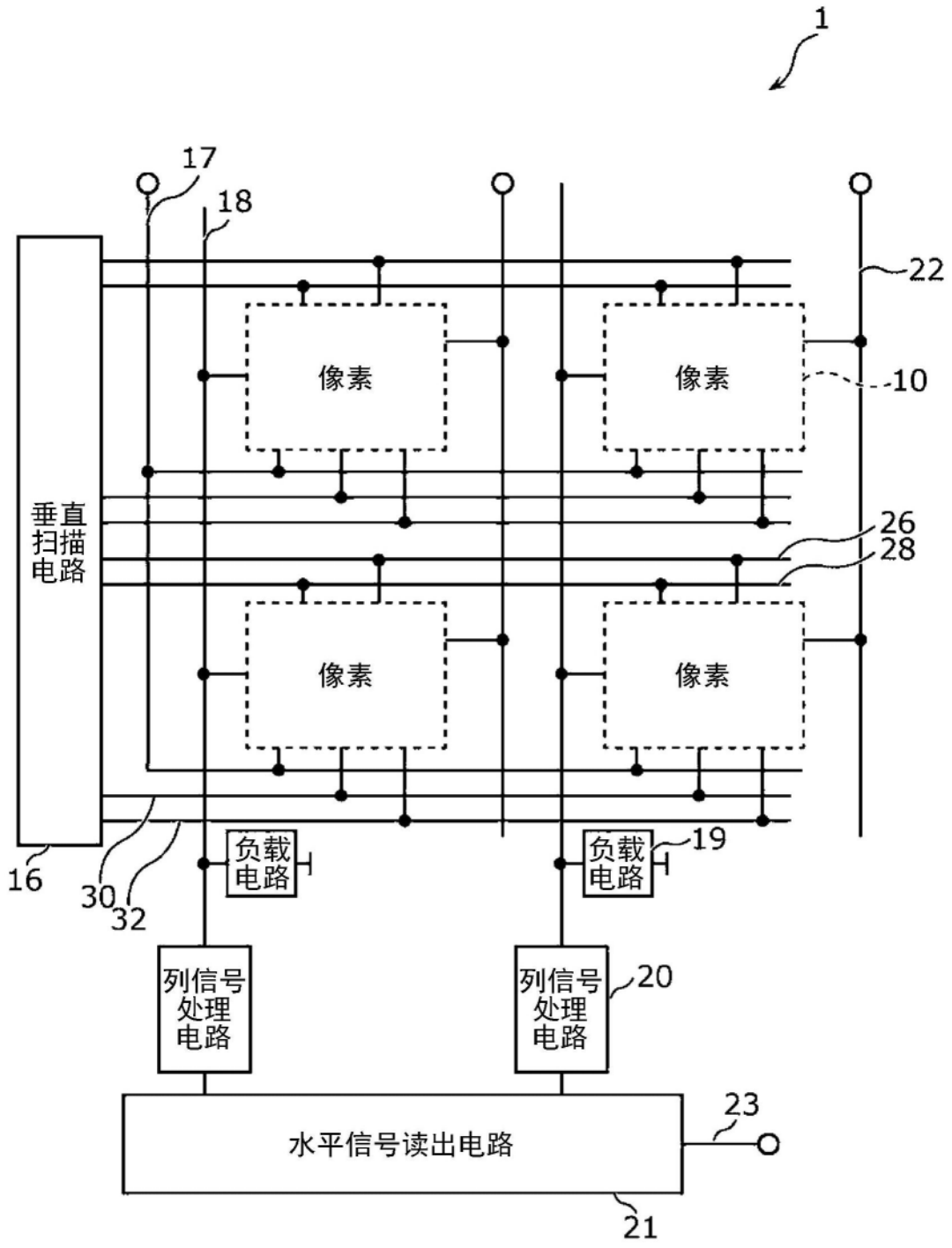


图1

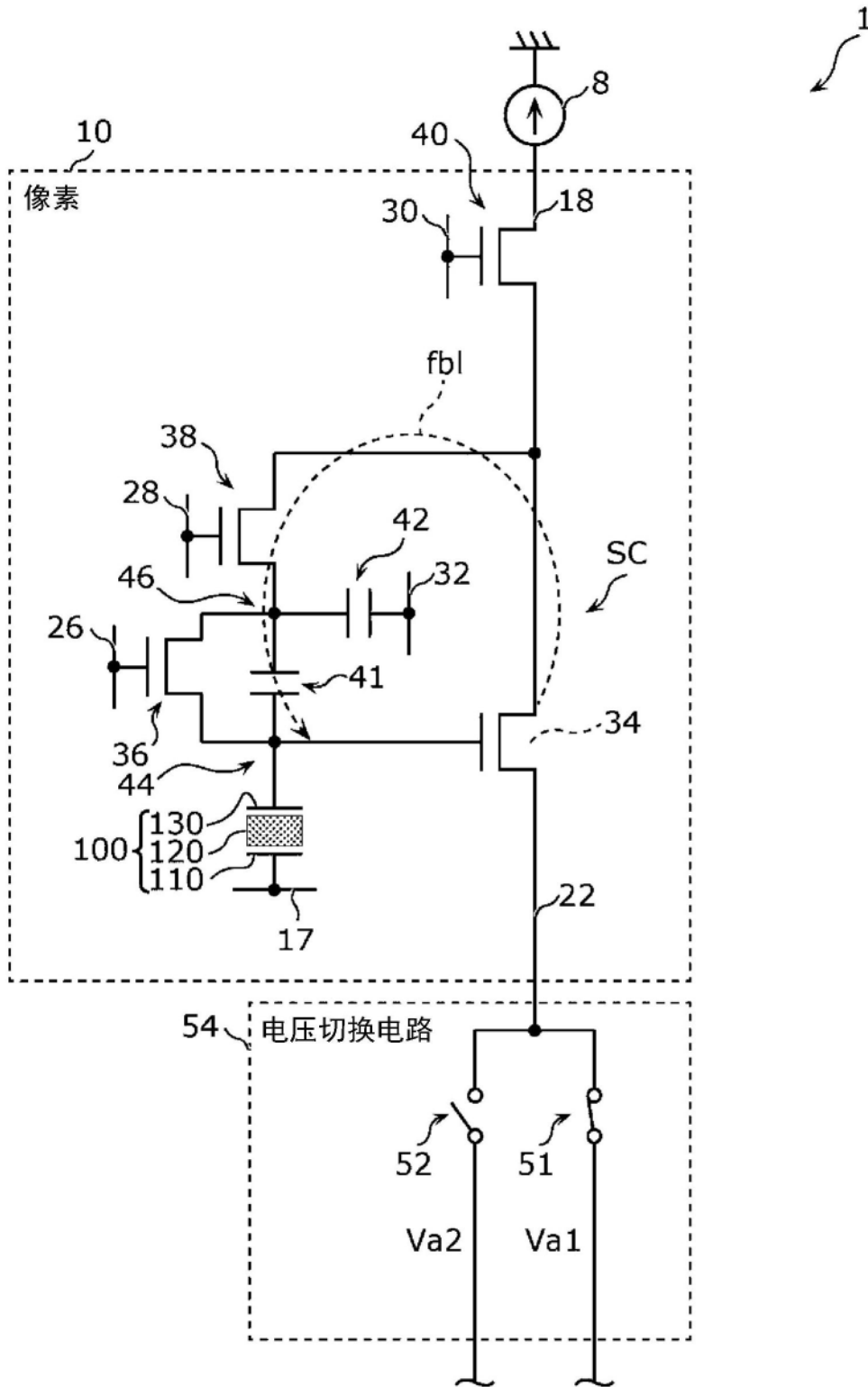


图2

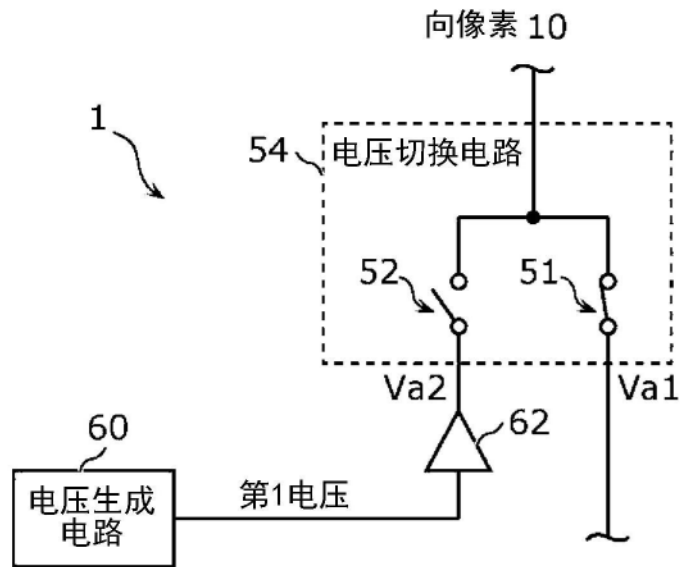


图3

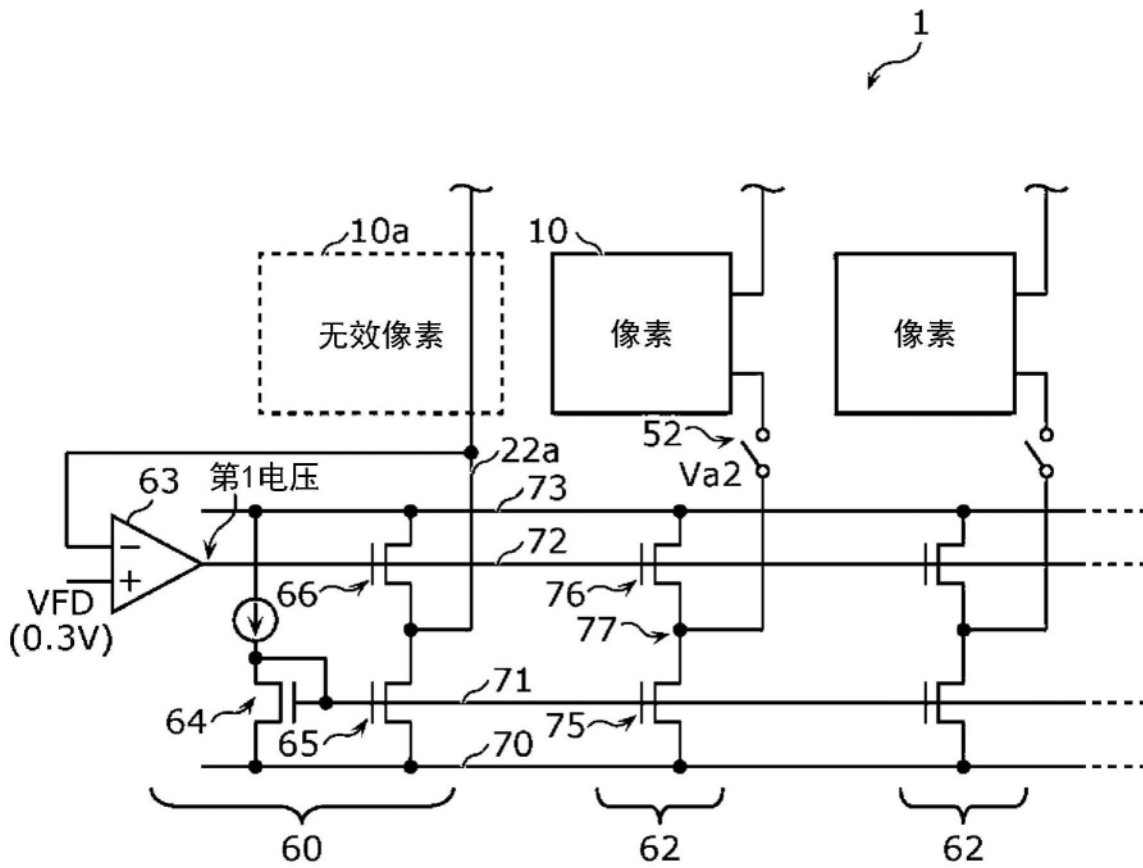


图4

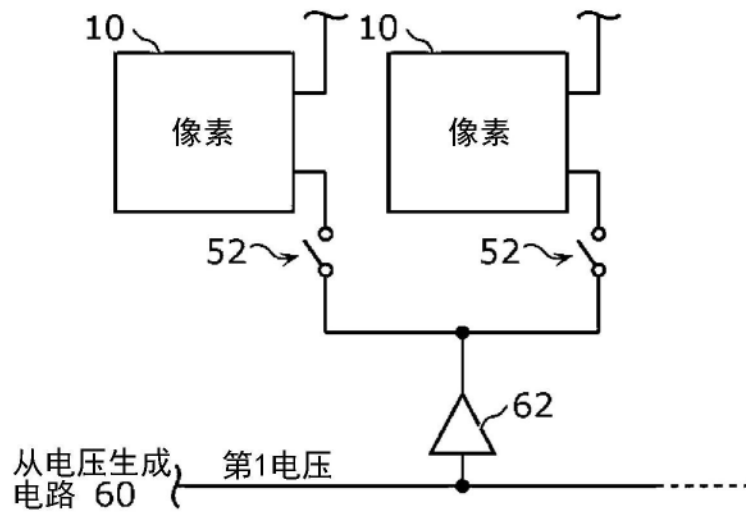


图5

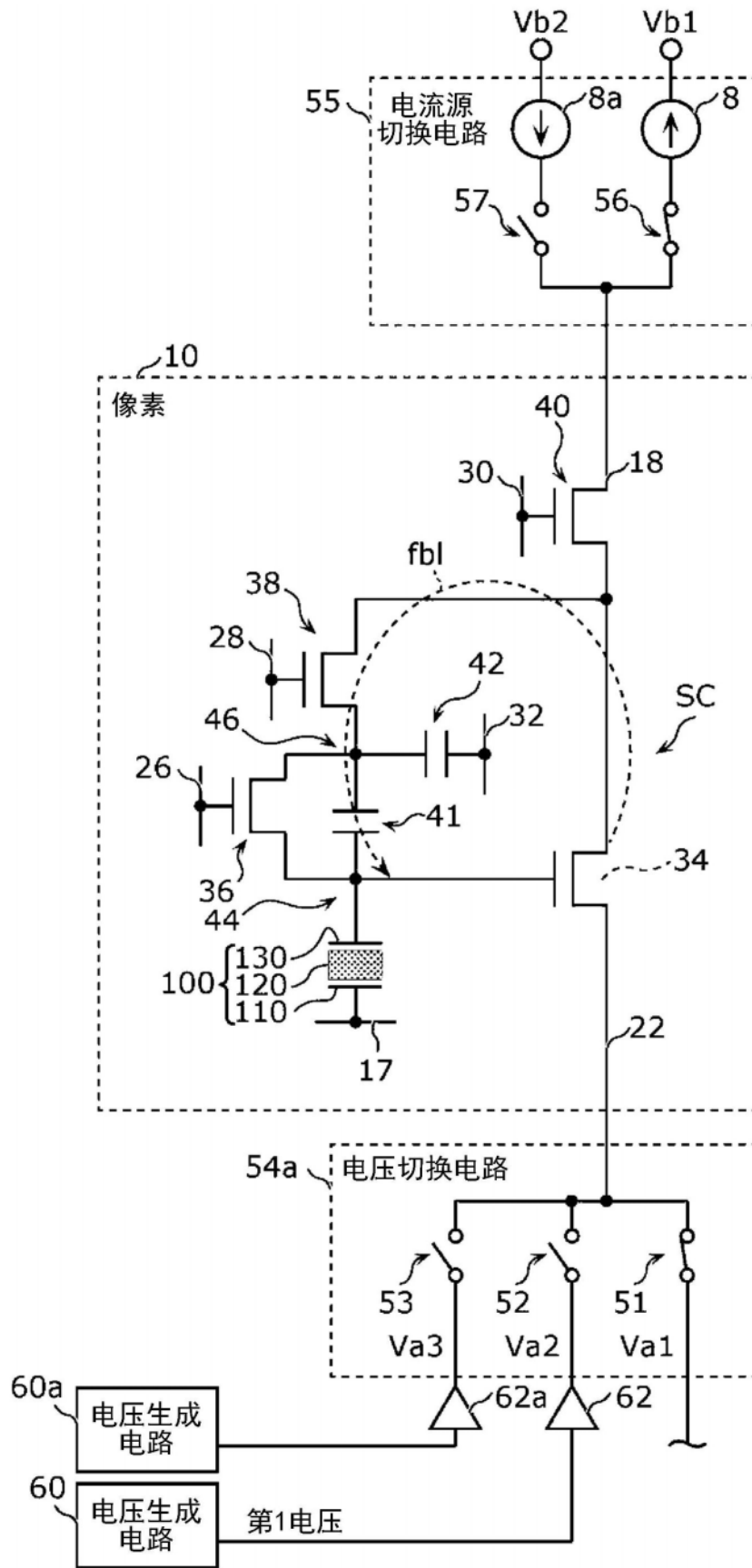


图6

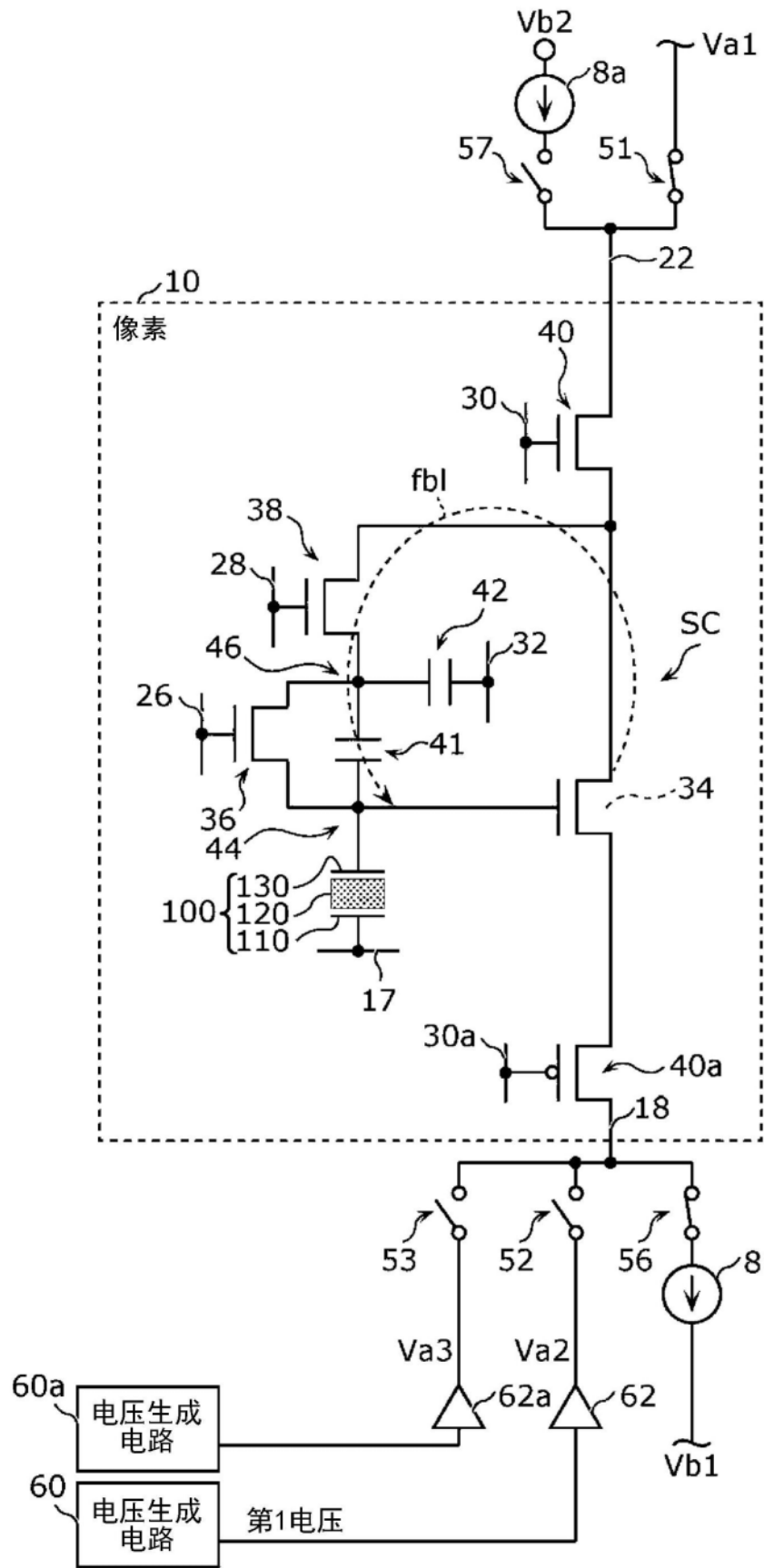


图7

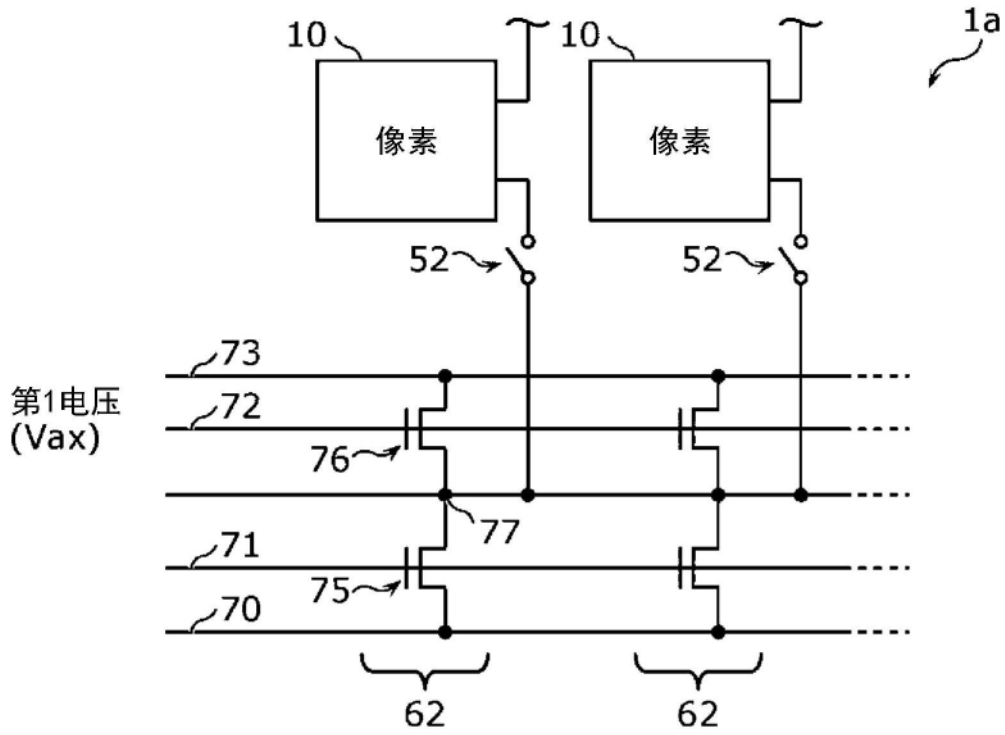


图8

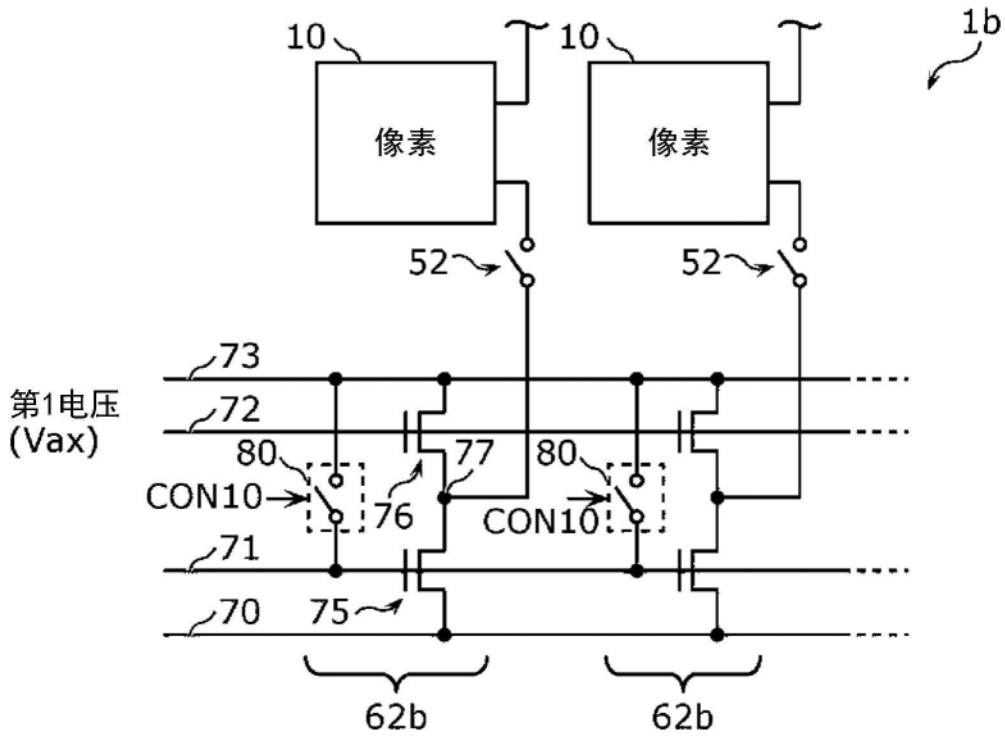


图9

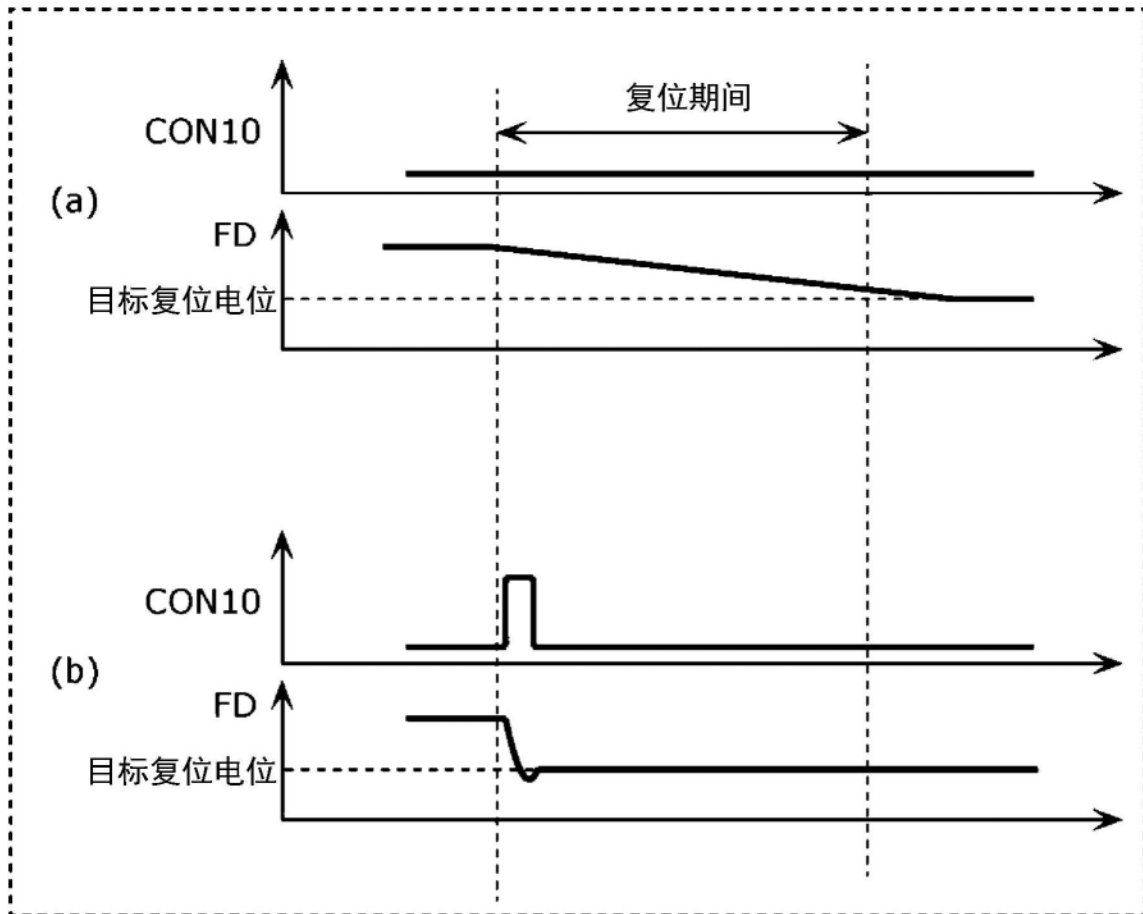


图10

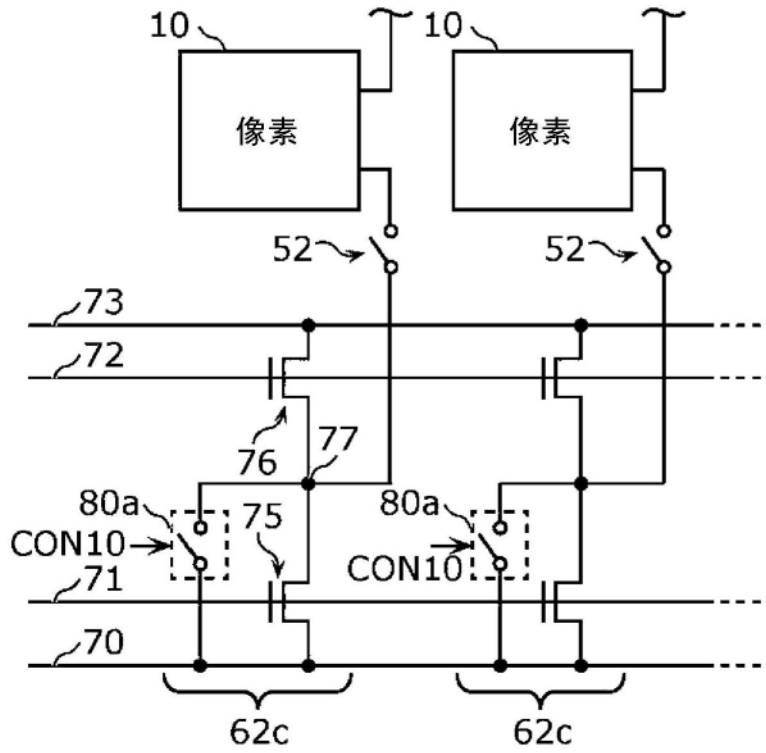


图11A

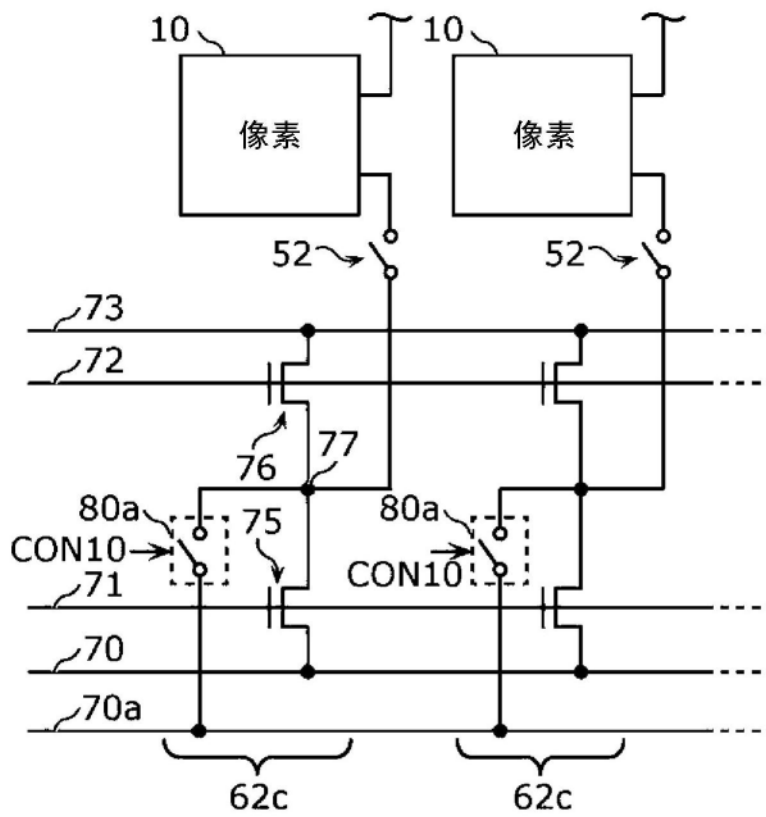


图11B

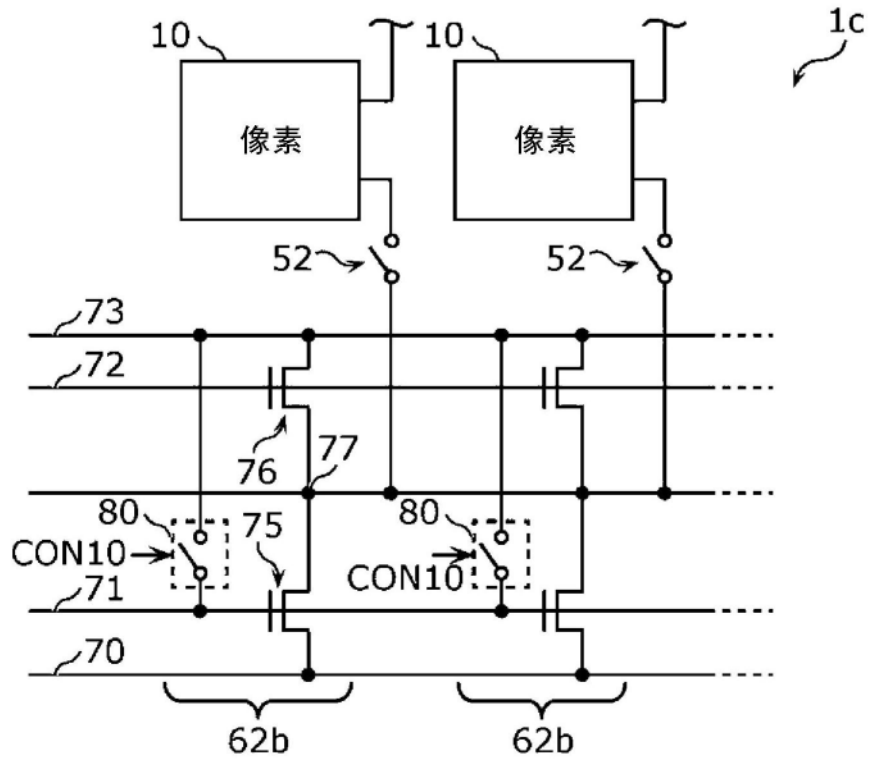


图12

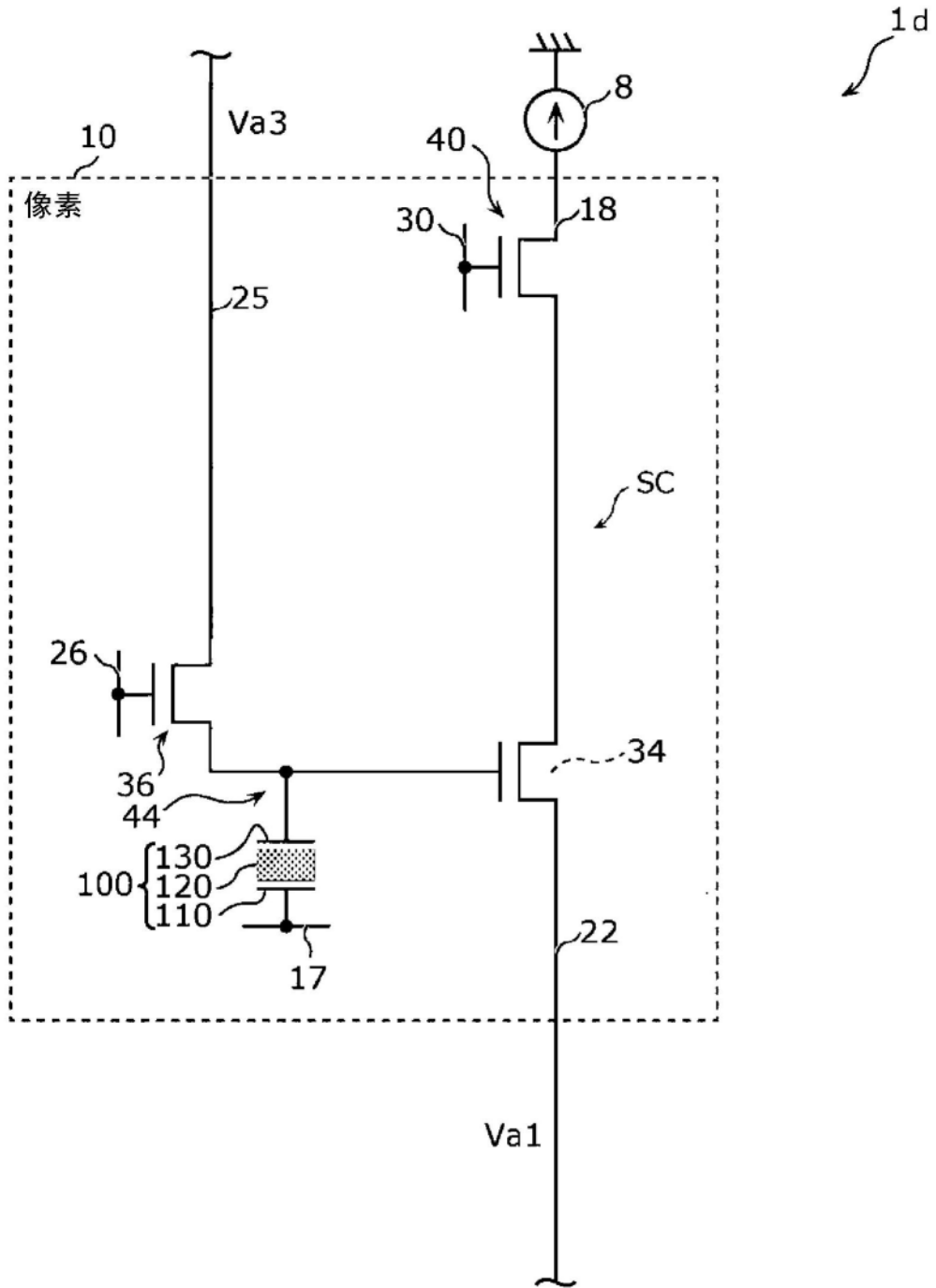


图13

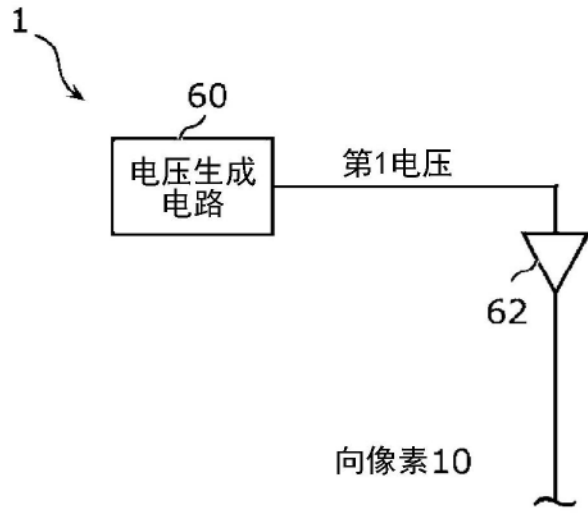


图14

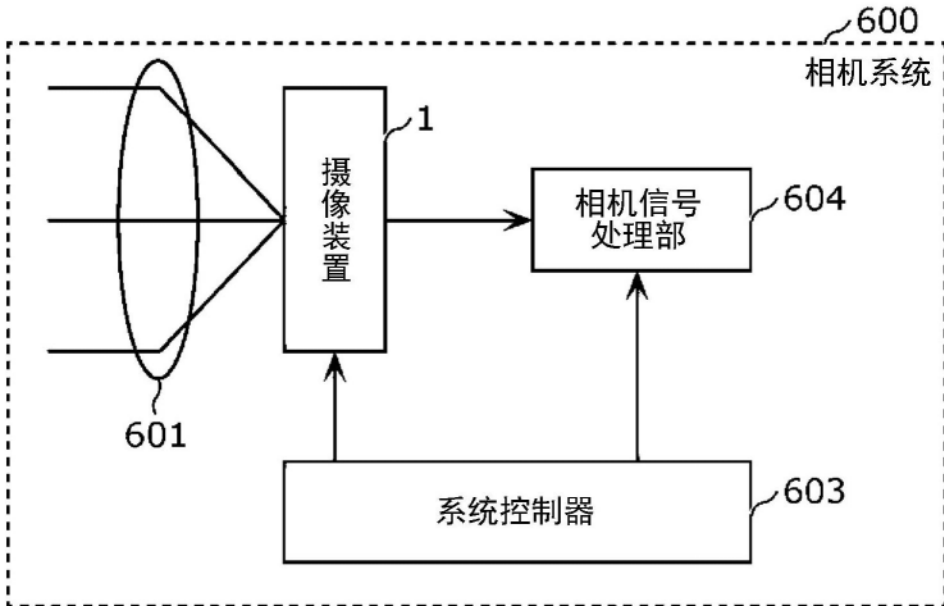


图15