



Europäisches Patentamt
European Patent Office
Office européen des brevets



⑪ Veröffentlichungsnummer: **0 216 329 B1**

⑫

EUROPÄISCHE PATENTSCHRIFT

④⑤ Veröffentlichungstag der Patentschrift: **02.01.92**

⑤① Int. Cl.⁵: **G11B 20/10, G11B 5/09,**
H04L 7/04

②① Anmeldenummer: **86112962.5**

②② Anmeldetag: **19.09.86**

⑤④ Verfahren zur Übertragung eines Digitalsignals.

③③ Priorität: **24.09.85 DE 3533962**

④③ Veröffentlichungstag der Anmeldung:
01.04.87 Patentblatt 87/14

④⑤ Bekanntmachung des Hinweises auf die
Patenterteilung:
02.01.92 Patentblatt 92/01

⑥④ Benannte Vertragsstaaten:
AT BE CH DE FR GB IT LI LU NL SE

⑤⑥ Entgegenhaltungen:
EP-A- 0 044 713
US-A- 3 641 526

"R-DAT-Specification of Format, S.5 und 24,
DAT-Konferenz vom 27.6.1985;

⑦③ Patentinhaber: **Deutsche Thomson-Brandt
GmbH**
Hermann-Schwer-Strasse 3 Postfach 1307
W-7730 Villingen-Schwenningen(DE)

⑦② Erfinder: **Scholz, Werner, Dipl.-Ing.**
Osterstrasse 20
W-3007 Gehrden(DE)

⑦④ Vertreter: **Einsel, Robert, Dipl.-Ing.**
Deutsche Thomson-Brandt GmbH Patent-
und Lizenzabteilung Göttinger Chaussee 76
W-3000 Hannover 91(DE)

EP 0 216 329 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Bei der Aufzeichnung von Digitalsignalen in unterteilten Spuren, z.B. Aufzeichnung von digitalen Signalsignalen mit rotierenden Köpfen (R-DAT = Rotary head Digital Audio Tape), ist es bekannt, zu Beginn jeder Spur ein Signal für den Einlauf der PLL zur Regenerierung des Bittaktes (PLL-Run-In) aufzuzeichnen. Beim R-DAT-Signal enthält das Einlaufsignal lediglich die Information für die Frequenz und Phaseneinstellung der Taktregenerierungs-PLL. Die außerdem für die Verarbeitung des abgetasteten PCM-Signals erforderliche Wort- und Blocksynchronisierung erfolgt mit Hilfe von Synchrosignalen, die sich am Beginn jedes Datenblockes befinden. Der Aufbau eines derartigen R-DAT-Signals ist beschrieben in der "R-DAT-Specification of Format" der DAT-Konferenz vom 27.06.1985, insbesondere auf Seiten 5, 24. Beim R-DAT-Format wird als PLL-Run-In-Signal die Frequenz $f_{ch}/2$ verwendet, die jeweils für die Dauer von zwei Datenblöcken übertragen wird. f_{ch} ist die Bitrate des aufgezeichneten Signals (8-10 Code). Jeder Block besteht aus 360 bit bzw. 36 Wörtern zu 10 bit.

Das Blocksynchronsignal besteht aus einem 10-bit-Wort. Das Bitmuster der Synchr.-Worte lautet 0111100001 bzw. 1000011110. Es ist gewährleistet, daß diese Bitmuster im übrigen Signal nicht auftreten. Es handelt sich dafür allerdings um Bitmuster, die besonders störanfällig sein können. Je nach Umgebung der Synchr.-Wörter kann hier das Längenverhältnis aufeinanderfolgender Halbwellen 1:4 und 4:1 betragen. Bei ungenügender Signalentzerrung kann schon bei geringen Störungen durch Rauschen oder Zeitschwankungen eine Verfälschung des Bitmusters entstehen, so daß das Synchr.-Wort nicht erkennbar ist. Dieser Nachteil ist besonders schwerwiegend, wenn am Beginn einer Spur die Blocksynchronisierung noch nicht hergestellt ist. Nach Durchführung der Blocksynchronisierung kann diese auch bei gestörten Synchr.-Wörtern durch Zählen der Bittakte aufrechterhalten bleiben.

Bei der digitalen Videoaufzeichnung werden große Informationsmengen in Form von verhältnismäßig kurzen, den einzelnen Spuren zugeordneten Signalabschnitten übertragen. Hier kommt es besonders darauf an, daß bei der Wiedergabe zu Beginn jedes Signalabschnittes die Bittakt-, Wort- und Blocksynchronisierung mit hoher Sicherheit herstellbar ist, wobei das hierzu erforderliche Signal möglichst wenig Übertragungszeit einnehmen soll.

Der Erfindung liegt die Aufgabe zugrunde, bei der Wiedergabe jeweils zu Beginn eines Signalabschnittes die Sicherheit für die Wort- und Blocksynchronisierung zu erhöhen, ohne daß dafür zu-

sätzliche Übertragungszeit benötigt wird.

Diese Aufgabe wird durch die im Anspruch 1 beschriebene Erfindung gelöst. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen beschrieben.

Die erfindungsgemäße Lösung beruht auf folgenden Erkenntnissen und Überlegungen:

Das Signal für den PLL-Einlauf nimmt aus Sicherheitsgründen eine verhältnismäßig lange Dauer ein. Die Toleranz für den Eintauchzeitpunkt des Kopfes in das Band wird zweckmäßigerweise in diese Dauer einbezogen. Das PLL-Run-In-Signal besteht aus mit der Bitrate des Übertragungscode aufeinanderfolgenden Pegelübergängen ($f_{ch}/2$). Die Synchronisierung der PLL wird kaum nachteilig beeinflusst, wenn von diesen Pegelübergängen einige weggelassen werden.

Durch Weglassen von Pegelübergängen sollen daher die für die Wort- und Blocksynchronisierung erforderlichen Informationen in das PLL-Run-In-Signal eingefügt werden, und zwar mit möglichst viel Wiederholungen, um eine hohe Störsicherheit zu erlangen. Es braucht nicht gewährleistet zu sein, daß die dabei verwendeten Bitmuster nicht im übrigen Übertragungscode vorkommen, da der Run-In-Bereich durch seine zeitliche Lage bzw. auch durch die Kopfradphase gekennzeichnet ist. Außerdem kann eine Kennzeichnung durch das periodische Auftreten bestimmter Bitmuster, die z.B. für die Wortsynchronisierung ausgenutzt werden, vorgesehen sein.

Bei den bekannten Übertragungssystemen erfolgt die Wort- und Block-Synchronisierung dadurch, daß ein vereinbartes Bitmuster (Sync-Wort) zu einem bestimmten Zeitpunkt auftritt. Die Information über den Beginn eines Blockes ist also nicht im Bitmuster enthalten, sondern ist durch den Zeitpunkt des Auftretens des Bitmusters gegeben. Dieses hat den großen Nachteil, daß bei einer Störung des Sync.-Wortes ein vollständiger Block nutzlos verstreichen muß, ehe ein erneuter Synchronisierungsversuch erfolgen kann. Durch die in das PLL-Run-In-Signal eingefügten Zusatzinformationen kann z.B. zunächst die Synchronisierung eines wesentlich kürzeren Worttaktes erfolgen. Danach ergibt die Auswertung der die Zusatzinformation bildenden Bitmuster eine Auskunft über die Lage des Blockbeginns relativ zu dem jeweils ausgewerteten Wort.

Auf diese Weise wird während einer Zeit, die z.B. kürzer als die Dauer eines Blockes sein kann, eine vielfache Wiederholung von Blocksynchronisierungsvorgängen ermöglicht. Durch Vergleich der in kurzen Abständen aufeinanderfolgenden Auswertungsergebnisse kann im Störfall die Entscheidung für das richtige Ergebnis sichergestellt werden.

Die bekannten Sync.-Wörter zu Beginn jedes

Blockes können natürlich weiterhin übertragen werden. Es ist üblich, die zu Beginn einer Spur hergestellte Wort- und Blocksynchronisierung im Verlauf der weiteren Spur durch Zählen der von der PLL gelieferten Bit-Takte aufrechtzuerhalten.

Je nach Wahrscheinlichkeit für eine Störung der Blocksynchronisierung im Verlauf einer Spur sowie je nach Wichtigkeit der Wiederherstellung der Blocksynchronisierung im Störfall, können die bekannten Sync.-Wörter auch mit größerem Abstand übertragen werden oder sogar vollständig entfallen.

Ein Ausführungsbeispiel der Erfindung wird im folgenden anhand der Zeichnung erläutert. Darin zeigen

- Fig. 1 den Aufbau des erfindungsgemäßen Spureinlaufsignals,
 Fig. 2 eine zur Auswertung der Wort- und Blocksynchroninformation dienende Schaltung,
 Fig. 3 Kurven zur Erläuterung der Wirkungsweise der Schaltung nach Fig. 2 und

Fig. 4,5 erfindungsgemäße Einlaufsignale.

Fig. 1 zeigt ein erfindungsgemäßes Spureinlaufsignal. Es ist geeignet für Wortlängen von 2,4,5,10 und 20 bit sowie für beliebige Blocklängen. Das in Fig. 2 und 3 näher ausgeführte Beispiel bezieht sich auf eine Wortlänge von 10 bit und eine Blocklänge von 32 Wörtern = 320 bit. Das Signal gem. Fig. 1 enthält 10 negative Halbwellen mit der Dauer von 2 bit (a), die jeweils im Abstand von 20 bit auftreten sowie 9 18-bit-Worte. Die negativen Halbwellen (a) enthalten die Information für die Wortsynchronisierung. Die 18-bit-Worte enthalten die Information für die Blocksynchronisierung (b).

Die Worte für die Blocksynchronisierung enthalten eine hohe Redundanz (von 2^{18} möglichen Bitmustern werden nur 9 benutzt). Dafür ist das PLL-Run-In-Signal fch/2 nur geringfügig verändert, und die Auswertbarkeit der Blocksynchroninformation ist besonders einfach. Durch Ausnutzung zusätzlicher Bitmuster oder Verlängerung der Wortperioden im Spureinlaufsignal können natürlich auch mehr als 9 Wiederholungen der Blocksynchroninformation erfolgen.

Das Einlaufsignal kann auch dadurch verlängert werden, daß vor dem in Fig. 1 dargestellten Signalabschnitt das PLL-Run-In-Signal fch/2 mit der gewünschten Dauer übertragen wird. Auch eine Verkürzung des Signals von vorn her ist möglich. Dabei sollte aber wenigstens der in der zweiten Zeile von Fig. 1 dargestellte unmittelbar vor dem ersten Datenblock befindliche Signalabschnitt erhalten bleiben.

Die zur Auswertung der Wort- und Blocksynchroninformation dienende Schaltung gem. Fig. 2

ist funktionfähig, sobald der PLL-Einlauf erfolgt ist. Der PLL-Einlauf kann vor Beginn des in Fig. 1 dargestellten Signalabschnittes vollzogen sein. Er kann sich aber auch bis in diesen Signalabschnitt hinein erstrecken. Bei den bekannten Systemen ist der PLL-Run-In-Bereich so reichlich bemessen, daß unter normalen Betriebsbedingungen zwischen dem Abschluß des PLL-Einlaufvorganges und dem Synchronsignal am Anfang des ersten Datenblocks eine verhältnismäßig große, als Zeitreserve vorgesehene Zeitspanne nutzlos verstreicht. Diese Zeit wird bei dem erfindungsgemäßen Einlaufsignal ausgenutzt, um mit hoher Sicherheit die Wort- und Blocksynchronisierung durchzuführen.

In der Schaltung nach Fig. 2 werden zunächst mit Hilfe zweier D-Flip-Flop und zweier Gatter die Signale IW und IB erzeugt (vergl. Fig. 3). Der IW-Impuls entsteht, sobald zwei Low-Bits aufeinanderfolgen. Der IB-Impuls entsteht, sobald zwei High-Bits aufeinanderfolgen. Das Signal IW stellt die Information für die Wortsynchronisierung dar. IB bildet die Information für die Blocksynchronisierung. Mit IW wird der Zähler Z1, der den von der PLL gelieferten Bittakt durch 10 teilt, phasensynchronisiert. Dieser Zähler erzeugt die Wortfrequenz fW mit definierter Phase relativ zu den Worten des PCM-Signals.

IW setzt außerdem den Zähler Z2 auf einen vorgegebenen Zahlenwert $V=W-17$. Der Wert "17" ist dabei eine durch das Signal in Fig. 1 vorgegebene Konstante. Die in Fig. 3 gezeigten Diagramme beziehen sich auf eine Wortzahl je Datenblock von $W=32$.

Aus den Darstellungen in Fig. 3 geht hervor, daß der Zähler Z2 bei jedem IW-Impuls auf den Wert $V=15$ voreingestellt wird. Gleichzeitig wird über ein Tor die Zuführung des Bittaktes fch zum Zähleringang des Zählers Z2 freigegeben. Durch das Signal IB wird die Zuführung des Bittaktes wieder unterbrochen. Die Ausgänge des Zählers Z2 stellen dann den Zahlenwert dar, auf den der Zähler Z3 einzustellen ist, damit dieser hinsichtlich der Blocksynchronisierung die richtige Zählphase einnimmt.

Die Einstellung des Zählers Z3 auf den Ausgangswert von Z2 erfolgt mit dem Impuls IW, wobei gleichzeitig der bereits beschriebene Auswertungszyklus erneut gestartet wird.

Unmittelbar vor der Einstellung des Zählers Z3 prüft ein Komparator, ob sich der Zähler Z3 bereits in der richtigen Zählphase befindet. Ein Zähler Z4 zählt die unmittelbar aufeinanderfolgenden richtigen Ergebnisse. Sobald eine vorgegebene Zahl n erreicht wird, gilt die korrekte Wort- und Phasensynchronisierung als gesichert. Der Einstellvorgang wird dann durch das vom Zähler Z4 abgegebene Stoppsignal beendet.

Das Stoppsignal sperrt die beiden D-Flip-Flop

am Eingang der in Fig. 2 dargestellten Auswertungsschaltung. Das erneute Starten eines Auswertungsvorganges am Beginn des nächsten PCM-Signalabschnittes erfolgt durch Zurücksetzen des Zählers Z4. Bei Ermittlung unterschiedlicher Zahlenwerte an den Eingängen und Ausgängen des Zählers Z3 wird Z4 jeweils zurückgesetzt.

Das erfindungsgemäße Prinzip für die Einlauf-Synchronisierung bei PCM-Signalen ist äußerst flexibel. Es ist leicht an beliebige Wort- und Blocklängen anpaßbar. Die Gesamtdauer des Einlaufsignals ist je nach verfügbarer Einlaufzeit und Anforderung an Störsicherheit in weiten Grenzen veränderbar.

In bereits bestehenden Übertragungssystemen kann das herkömmliche PLL-Run-In-Signal durch das erfindungsgemäße Signal ersetzt werden, ohne daß noch nicht umgerüstete Geräte in ihrer Funktionsfähigkeit beeinträchtigt werden.

Abschließend soll noch auf einige Möglichkeiten und Vorteile, die das erfindungsgemäße Verfahren bietet, hingewiesen werden. Die Aufgabenstellung bestand darin, die Sicherheit für die Wort- und Blocksynchronisierung zu erhöhen, ohne zusätzliche Übertragungszeit gegenüber bekannten Verfahren mit PLL-Einlaufsignal (PLL-Run-In) zu beanspruchen. Bei der Erfindung wird durch Veränderung des Abstandes einzelner Pegelübergänge die Information für die Blocksynchronisierung (diese schließt in der Regel die Wortsynchronisierung ein) mehrfach in das PLL-Einlaufsignal eingesteuert, ohne daß dabei die Taktsynchronisierung beeinträchtigt wird. Das bedeutet:

1. Die Run-length im Einlaufsignal muß so klein wie möglich bleiben.
2. Es darf im Einlaufsignal kein Gleichanteil entstehen. Bedingung 1 wird dadurch erfüllt, daß der Abstand der Pegelübergänge nicht mehr als auf das Doppelte erhöht wird. Bedingung 2 wird dadurch erfüllt, daß die Polarität der verbreiterten Halbwellen wechselt.

Die Information für die Blocksynchronisierung ist im Abstand zwischen den verbreiterten Halbwellen enthalten. Es ist zweckmäßig, diesen Abstand so zu wählen, daß der mit einer verbreiterten Halbwellen gestartete Taktzähler Z2 beim Auftreten der nächsten verbreiterten Halbwellen den Abstand der betreffenden Halbwellen von einem Referenzzeitpunkt für die Blocksynchronisierung angibt. Hierbei kann der Taktzähler bei jeder verbreiterten Halbwellen nach Auswertung des Zählergebnisses neu gestartet werden.

Die Wortsynchronisierung erfolgt dabei indirekt über die Blocksynchronisierung.

Bei den angegebenen Beispielen liegen die verbreiterten Halbwellen a der ersten Polarität in einem festen Zeitraster, das der Wortfrequenz entspricht, d.h. der Abstand zwischen diesen Halbwellen beträgt z.B. 2 oder 4 Worte. Diese Halbwellen

sind zum Synchronisieren des Wortzählers Z1 geeignet. Außerdem starten diese Halbwellen den Taktzähler Z2 zur Ermittlung des Referenzzeitpunktes. Die verbreiterten Halbwellen b der zweiten Polarität liegen zeitlich so, daß der Zählerstand des Taktzählers Z2 bei ihrem Auftreten als Referenzangabe auswertbar ist. Diese Referenzangabe kann z.B. darin bestehen, daß der Zählerstand der Anzahl der Worte oder Wortpaare seit Blockbeginn entspricht. Zählt z.B. der Zähler Z3 für die Blocksynchronisierung Wortpaare, so müssen bei bereits vollzogener Synchronisierung die Zählerstände des Taktzählers und des Wortpaarzählers für die Blocksynchronisierung bei jeder Halbwellen b übereinstimmen. Während des Synchronisiervorganges wird der Wortzähler jedesmal auf den Stand des Taktzählers gesetzt. Wenn die Synchronisierung bereits erfolgte, ist dieser Vorgang zwar überflüssig, aber auch nicht schädlich. Nach einer vorgegebenen Anzahl von Übereinstimmungen kann die Synchronisation als gesichert angesehen werden, und der Synchronisiervorgang wird beendet.

In der Schaltung nach Fig. 2 wird das Zählen der Übereinstimmungen mit dem Zähler Z4 durchgeführt. Sofern zu ermitteln ist, ob eine bestimmte Anzahl von Übereinstimmungen in ununterbrochener Folge aufgetreten ist, kann als Indikator auch ein Schieberegister mit einer entsprechenden Anzahl von Stufen benutzt werden. In den seriellen Eingang des Schieberegisters wird dann z.B. bei jeder Übereinstimmung eine "1", sonst eine "0", eingegeben. Der Synchronisationsvorgang kann abgebrochen werden, sobald alle Stufen des Schieberegisters den Inhalt "1" haben.

Die Dauer des Einlaufsignals kann kürzer als ein Datenblock des nachfolgenden Signals sein, sie kann aber auch ein Mehrfaches der Blocklänge betragen. Im letzteren Fall gibt es folgende Möglichkeiten für das erfindungsgemäße Einlaufsignal:

- a) Das Einlaufsignal ist blockperiodisch. Es ermöglicht die Phaseneinstellung des Zählers für die Blocksynchronisierung. Der eindeutige Referenzzeitpunkt t_0 für den Beginn des ersten Datenblocks wird aus der grundsätzlich unterscheidbaren Signalstruktur von Datensignal und Einlaufsignal gewonnen, oder das Einlaufsignal enthält eine zusätzliche Kennung für den absoluten Referenzzeitpunkt t_0 . Die zusätzliche Information für die Bestimmung des absoluten Referenzzeitpunktes t_0 kann auch aus der Kopfphase abgeleitet werden.
- b) Das Einlaufsignal ermöglicht von jedem Bezugspunkt aus das Zählen auf einen eindeutigen Referenzzeitpunkt t_0 , der z.B. am Beginn des ersten Datenblocks liegt.

Ein Beispiel für ein blockperiodisches Einlaufsignal zeigt Fig. 4. Im Übertragungscode beträgt dabei die Blocklänge 360 Bit bzw. 180 Perioden

fch/2 des bekannten PLL-Einlaufsignals. Durch Auslassen einzelner Pegelübergänge entstehen abwechselnd verbreiterte Halbwellen a und b. Der Abstand der Halbwellen a beträgt 10 bzw. 20 Perioden fch/2. Die Halbwellen b sind so angeordnet, daß ein Zähler, der die fch/2-Perioden von a an zählt, bei b den Zählerstand erreicht, der gleich der Anzahl der 10-Periodenabschnitte seit Blockbeginn ist. Der Block beginnt mit Abschnitt 0, der ein reines PLL-Einlaufsignal darstellt, und endet mit Abschnitt 17. Während der Dauer eines Blockes können 13 Blocksynchronisierungen erfolgen.

Der in Fig. 4 dargestellte Block kann im Einlaufsignal mehrfach wiederholt werden. Dabei braucht der erste Block nicht vollständig zu sein.

Der Abstand der a-Impulse beträgt in diesem Beispiel 20 bzw. 40 bit. Die Wortlänge im Datensignal beträgt 10 bit. Daher kann der Zähler für die 10-Perioden-Abschnitte leicht auch als Wortzähler für das Datensignal benutzt werden. Die Länge der Zählabschnitte im Einlaufsignal könnte aber auch von diesen Werten abweichen. Der 360 bit lange Einlaufsignal-Block kann z.B. durch die a-Impulse auch in 15 Abschnitte zu je 24 bit (12 fch/2-Perioden) unterteilt sein.

Fig. 5 zeigt ein erfindungsgemäßes Einlaufsignal, das sich über die Dauer mehrerer Datenblöcke erstrecken kann, und das von jedem Impuls b aus das Zählen auf einen eindeutigen Referenzzeitpunkt t_0 zu Beginn des ersten Datenwortes bzw. -blocks ermöglicht (Fall b). Fig. 5 zeigt in der oberen Zeile die Zählerstände des fch/2-Perioden-Zählers, der jeweils durch a auf "0" gesetzt wird und von da aus im Gegensatz zur Fig. 4 rückwärts zählt. Die Zahlen in der linken Spalte von Fig. 5 geben die Zählerabstände des Abschnittszählers für die Ermittlung der Referenzzeit an. Es handelt sich hier um 8-Perioden-Abschnitte. Nach Ablauf des 63. Abschnittes springt der Zähler auf "0" und markiert damit den Beginn des ersten Datenwortes. Das hier angegebene Einlaufsignal kann durch Fortsetzung des in Fig. 5 dargestellten Schemas nach oben beliebig verlängert werden. Die Ausnutzbarkeit des Signals hängt von der Stufenzahl der Zähler ab. Die Zahlenangaben in Fig. 5 entsprechen 6-stufigen Zählern.

Der Vorteil des in Fig. 5 dargestellten Signals besteht darin, daß das PLL-Einlaufsignal (fch/2) am Anfang durch die zusätzliche Information für die Einstellung eines Referenzzeitpunktes t_0 nur geringfügig verändert wird. Die Dichte der a- und b-Impulse nimmt dann zu und ist kurz vor dem Referenzzeitpunkt (1. Datenwort) am höchsten. Dadurch wirken sich Toleranzen für den Beginn des Band-Kopf-Kontaktes und das Fangen der PLL auf den Synchronisiervorgang nur wenig aus.

Das Einlaufsignal ist aufgrund der DC-Freiheit (kein Gleichanteil) und geringer Run-length unemp-

findlich gegen Übertragungsverzerrungen. Die für die Auswertung zu erkennenden Bitmuster 1001 bzw. 0110 sind innerhalb des Signals fch/2 (010101...) durch Störsignale nicht leicht vortäuschbar. Daher kann bei genügender Länge des Einlaufsignals die für die Auswertung der Daten erforderliche Synchronisierung mit hoher Sicherheit erfolgen. Die Übertragung der herkömmlichen Synchronsignale am Beginn jedes Datenblocks kann entfallen, wenn die Möglichkeit besteht, den Synchronismus durch Zählen der Taktimpulse mit genügender Sicherheit aufrechtzuerhalten. Dies wird besonders dann der Fall sein, wenn die Signalabschnitte (Aufzeichnungsspuren) verhältnismäßig kurz sind oder die Gefahr für Bit-Slips der PLL gering ist.

Patentansprüche

1. Verfahren zur Übertragung eines Digitalsignals in unterteilten Signalabschnitten mit je einem Einlaufsignal, dessen Pegelübergänge im selben Zeitraster liegen wie die Pegelübergänge des nachfolgenden Datensignals, am Beginn des Signalabschnittes, dessen Phasenbeziehungen in Bezug auf den vorhergehenden Signalabschnitt unbestimmt bzw. unsicher sind, insbesondere bei Aufzeichnung und Wiedergabe eines PCM-Signals in unterteilten Spuren, **dadurch gekennzeichnet**, daß das Einlaufsignal (Bereiche A + B) außer der Information für den PLL-Einlauf mit mehrfacher Wiederholung die Information für die Blocksynchronisierung oder für den Abstand eines den Beginn der Datenübertragung markierenden Referenzzeitpunktes (t_0) enthält, wobei der zeitliche Abstand zwischen den Blocksynchronisationsinformationen kürzer als die Dauer eines Blockes ist.
2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, daß das Einlaufsignal aus dem Abstand von n bit des Digitalsignals ($n = 1, 2, 3, \dots$) aufeinanderfolgenden Pegelübergängen besteht (fch/2) und daß durch Änderung des Pegelübergangsabstandes für einzelne Halbwellen des Einlaufsignals Markierimpulse erzeugt werden, die die Information für die Blocksynchronisierung bilden.
3. Verfahren nach Anspruch 2, **dadurch gekennzeichnet**, daß die durch Änderung des Pegelübergangsabstandes erzeugten Markierimpulse (a, b) mit entgegengesetzter Polarität aufeinanderfolgen, und daß der Abstand zwischen diesen Impulsen ein Maß für den Abstand der betreffenden Impulse von einem Referenzzeitpunkt (t_0) für die Blocksynchronisierung (Fig. 4) bzw. für die Auswertung des auf das Ein-

laufsignal folgenden Datensignals (Fig. 5) ist.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß der Abstand zwischen den Markierimpulsen der einen Polarität (a) konstant ist bzw. daß diese Abstände in einem ganzzahligen Verhältnis zueinander stehen (Fig. 4, 5). 5
5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß der Abstand (a) gleich der Wortlänge des Datensignals ist oder in einem ganzzahligen Verhältnis zur Wortlänge des Datensignals steht (Fig. 5). 10
6. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Einlaufsignal periodisch ist und die Periodendauer gleich der Blocklänge des Datensignals ist oder in einem ganzzahligen Verhältnis zur Blocklänge des Datensignals steht (Fig. 4). 15
7. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche 1-6, dadurch gekennzeichnet, daß bei dem auf das Einlaufsignal folgenden Datensignal für Datenblöcke, deren Blockgrenzen in bezug auf die Referenzzeit festgelegt ist, keine Sync.-Wörter vorgesehen sind. 20
8. Schaltung zur Auswertung eines Einlaufsignals in einem Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß ein erster Zähler (Z1) zur Erzeugung gleichlanger Abschnitte aus dem Bittakt vorhanden ist, daß ein zweiter Zähler (Z2) vorhanden ist, der zum Zeitpunkt der Markierimpulse der einen Polarität (a) gestartet wird, und dessen Zählergebnis zum Zeitpunkt der Markierimpulse der anderen Polarität (b) auf einen dritten Zähler (Z3) übertragen wird bzw. mit dem Zählerstand des dritten Zählers verglichen wird, wobei der dritte Zähler die durch den ersten Zähler erzeugten Abschnitte zählt, und daß ein bestimmter Zählerstand des dritten Zählers eine Referenzzeit für die Auswertung des auf das Einlaufsignal folgenden Datensignals liefert. 25
9. Schaltung nach Anspruch 8, dadurch gekennzeichnet, daß die Fälle der Übereinstimmung der Zählerstände des zweiten und des dritten Zählers im Zeitpunkt der Markierimpulse (b) mit einem weiteren Zähler (Z4) bzw. einem Schieberegister gezählt werden, und daß bei Erreichen eines vorgegebenen Zahlenwertes die Einlaufsynchronisiervorgänge beendet werden. 30

10. Schaltung zur Verarbeitung eines Digitalsignals mit einer Auswerteschaltung nach Anspruch 8 oder 9, **dadurch gekennzeichnet**, daß für die Ermittlung der Datenblockgrenzen des Digitalsignals, soweit es sich um Datenblöcke festgelegter Länge handelt, ein Zähler (Z3) vorgesehen ist, der nur die Taktperioden von dem Referenzzeitpunkt (to) aus zählt. 35

Claims

1. A method of transmitting a digital signal in subdivided signal portions each having a run-in signal, the level transitions of which are in the same time raster as the level transitions of the following data signal, at the beginning of the signal portion, its phase relationships being indeterminate or unsure in relation to the preceding signal portion, more particularly when recording and playing back a PCM signal in subdivided tracks, **characterised in that** the run-in signal (regions A+B) contains, as well as the information for the PLL run-in with multiple repetition repeated, the information for the block synchronising or for the interval of a reference point in time (to) which marks the beginning of the data transmission, in which the time interval between the block synchronising information is shorter than the duration of a block. 40
2. A method according to claim 1, **characterised in that** the run-in signal consists of level transitions (fch/2) which are successive at an interval of n bits of the digital signal (n = 1, 2, 3...) and that by changing the level transition interval for individual half waves of the run-in signal marking pulses are produced which form the information for the block synchronisation. 45
3. A method according to claim 2, **characterised in that** the successive marking pulses (a,b) which are produced by changing the level transition interval have opposite polarity and that the interval between these pulses is a measure of the interval of the relevant pulses from a reference point in time (to) for block synchronisation (Fig. 4) or for evaluating the data signal (Fig. 5) following after the run-in signal. 50
4. A method according to claim 3, **characterised in that** the interval between the marking pulses of one polarity (a) is constant and/or that these intervals are in a whole-number ratio to each other (Figs. 4, 5). 55
5. A method according to claim 4, **characterised in that** the interval (a) is equal to the word 6

length of the data signal or is in a whole-number ratio to the word length of the data signal (Fig. 5).

6. A method according to one or more of the preceding claims, **characterised in that** the run-in signal is cyclical and the period is equal to the block length of the data signal or is in a whole-number ratio to the block length of the data signal (Fig. 4). 5
7. A method according to one or more of the preceding claims 1-6, **characterised in that** in the data signal for data blocks, following after the run-in signal, of which the block limits are fixed in relation to the reference time, no synchronisation words are provided. 10
8. A circuit for evaluating an inlet signal in a method according to one or more of the preceding claims, **characterised in that** a first counter (Z1) for producing equal length portions from the bit clock pulse is present, that a second counter (Z2) is present which is started at the point in time of the marking pulses of one polarity (a) and its count is transmitted at the point in time of the marking pulses of the other polarity (b) to a third counter (Z3) and/or is compared to the count of the third counter, in which the third counter counts the portions produced by the first counter and that a specific count of the third counter delivers a reference time for the evaluation of the data signal following after the run-in signal. 15
9. A circuit according to claim 8, **characterised in that** the instances of agreement between the count of the second and third counters at the point in time of the marking pulses (b) are counted with a further counter (Z4) or with a shift register, and that when a predetermined number value is reached the run-in synchronising processes are terminated. 20
10. A circuit for processing a digital signal with an evaluation circuit according to claim 8 or 9, **characterised in that** for determining the data block limits of the digital signal, as far as it relates to data blocks of fixed length, a counter (Z3) is provided which only counts the clock periods from the reference point in time (to). 25

Revendications

1. Procédé pour la transmission d'un signal numérique dans des portions de signal subdivisées avec un signal d'entrée chacune, dont les

transitions de niveau se trouvent dans la même grille de temps que les transitions de niveau du signal de données suivant, au début de la portion de signal dont les rapports de phase par rapport à la portion de signal précédente sont incertains ou pas sûrs, en particulier lors de l'enregistrement et de la reproduction d'un signal MIC, **caractérisé en ce** que le signal d'entrée (zones A+B) contient, en plus de l'information pour l'entrée de PLL à répétition multiple, l'information pour la synchronisation de bloc ou pour l'écart d'un moment de référence (to) qui marque le début de la transmission de données, l'écart temporel entre les informations de synchronisation de bloc étant plus court que la durée d'un bloc. 30

2. Procédé selon la revendication 1, **caractérisé en ce** que le signal d'entrée est constitué par des transitions de niveau (fch/2) qui se succèdent à un écart de n bit du signal numérique (n = 1, 2, 3...) et que des impulsions de marquage, qui forment l'information pour la synchronisation de bloc, sont produites par variation de l'écart des transitions de niveau pour différentes demi-ondes. 35
3. Procédé selon la revendication 2, **caractérisé en ce** que les impulsions de marquage (a, b) produites par variation de l'écart des transitions de niveau se succèdent en étant de polarité inverse et que l'écart entre ces impulsions est une mesure pour l'écart des impulsions concernées par rapport à un moment de référence (to) pour la synchronisation de bloc (fig. 4) ou pour l'exploitation du signal de données qui suit le signal d'entrée (fig. 5). 40
4. Procédé selon la revendication 3, **caractérisé en ce** que l'écart entre les impulsions de marquage de l'une des polarités (a) est constant ou qu'il y a un rapport entier entre ces écarts (fig. 4, 5). 45
5. Procédé selon la revendication 4, **caractérisé en ce** que l'écart (a) est égal à la longueur de mot du signal de données ou qu'il y a un rapport entier avec la longueur de mot du signal de données (fig. 5). 50
6. Procédé selon l'une ou plusieurs des revendications précédentes, **caractérisé en ce** que le signal d'entrée est périodique et que la durée de la période est égale à la longueur de bloc du signal de données ou qu'il y a un rapport entier avec la longueur du bloc du signal de données (fig. 4). 55

7. Procédé selon l'une ou plusieurs des revendications précédentes 1 à 6, **caractérisé en ce** qu'il n'y a pas de mots de synchronisation prévus pour le signal de données pour blocs de données qui suit le signal d'entrée, blocs de données dont les limites sont fixées par rapport au temps de référence. 5
8. Circuit pour l'exploitation d'un signal d'entrée dans un procédé selon l'une ou plusieurs des revendications précédentes, **caractérisé en ce** qu'il existe un premier compteur (Z1) pour produire des portions de même longueur à partir du rythme binaire, qu'il existe un second compteur (Z2) qui est mis en marche au moment des impulsions de marquage de l'une des polarités (a) et dont le résultat de comptage au moment des impulsions de marquage de l'autre polarité (b) est transmis au troisième compteur (Z3) ou est comparé à la position du troisième compteur, le troisième compteur comptant les portions produites par le premier compteur, et qu'une certaine position du troisième compteur donne un temps de référence pour l'exploitation du signal de données qui suit le signal d'entrée. 10
15
20
25
9. Circuit selon la revendication 8, **caractérisé en ce** que les cas de concordance des positions du second et du troisième compteur au moment des impulsions de marquage (b) sont comptés avec un autre compteur (Z4) ou un registre à décalage et que les opérations de synchronisation d'entrée sont terminées lorsqu'une valeur numérique prédéterminée est atteinte. 30
35
10. Circuit pour le traitement d'un signal numérique avec un circuit d'exploitation selon la revendication 8 ou 9, **caractérisé en ce** qu'il est prévu un compteur (Z3) qui compte les périodes de cycle seulement à partir du moment de référence (to) pour la détection des limites du bloc de données du signal numérique, dans la mesure où il s'agit de blocs de données de longueur fixée. 40
45

50

55

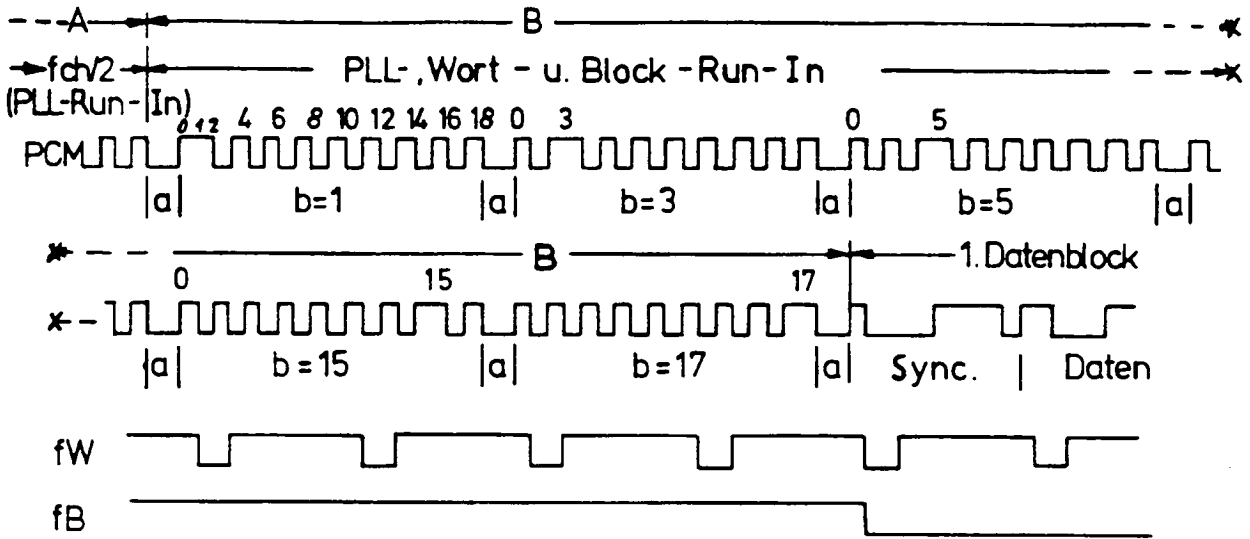


Fig.1

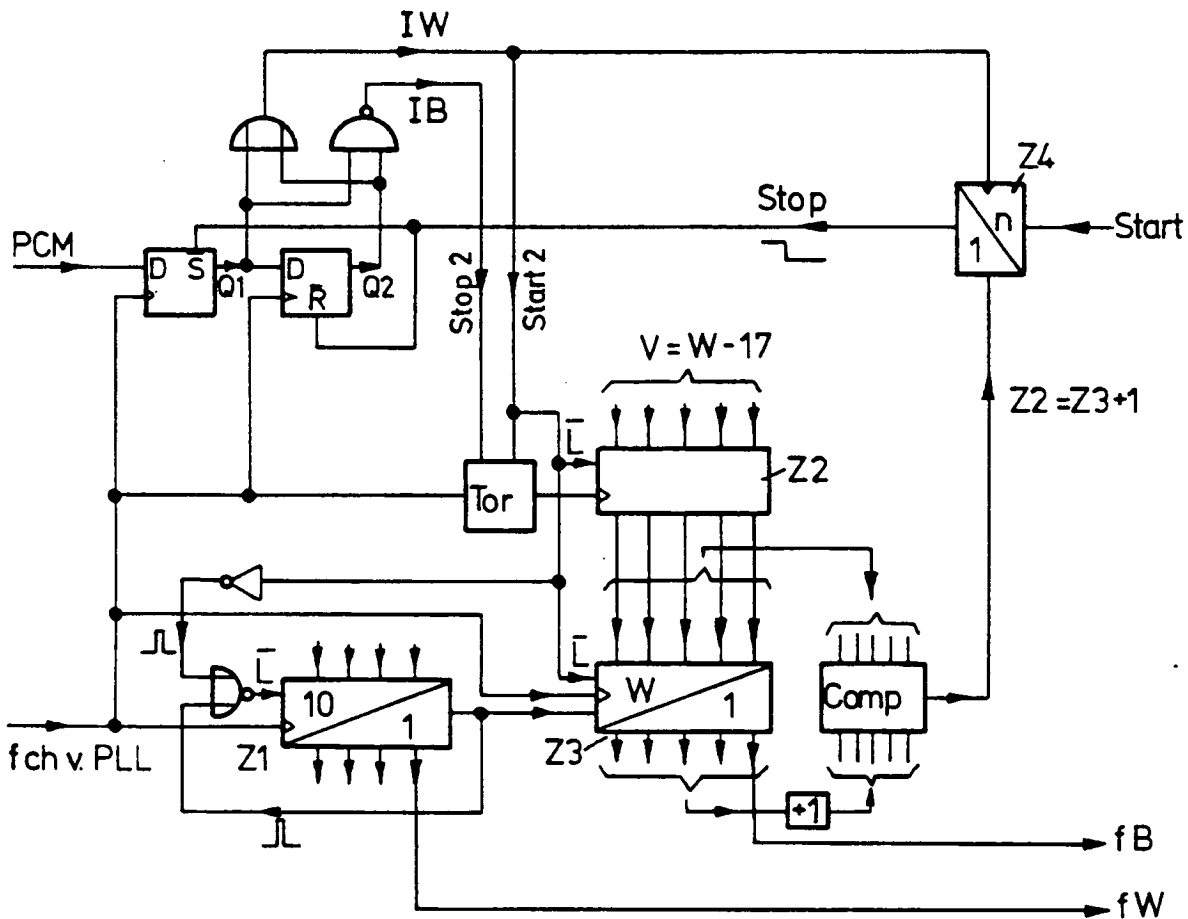


Fig.2

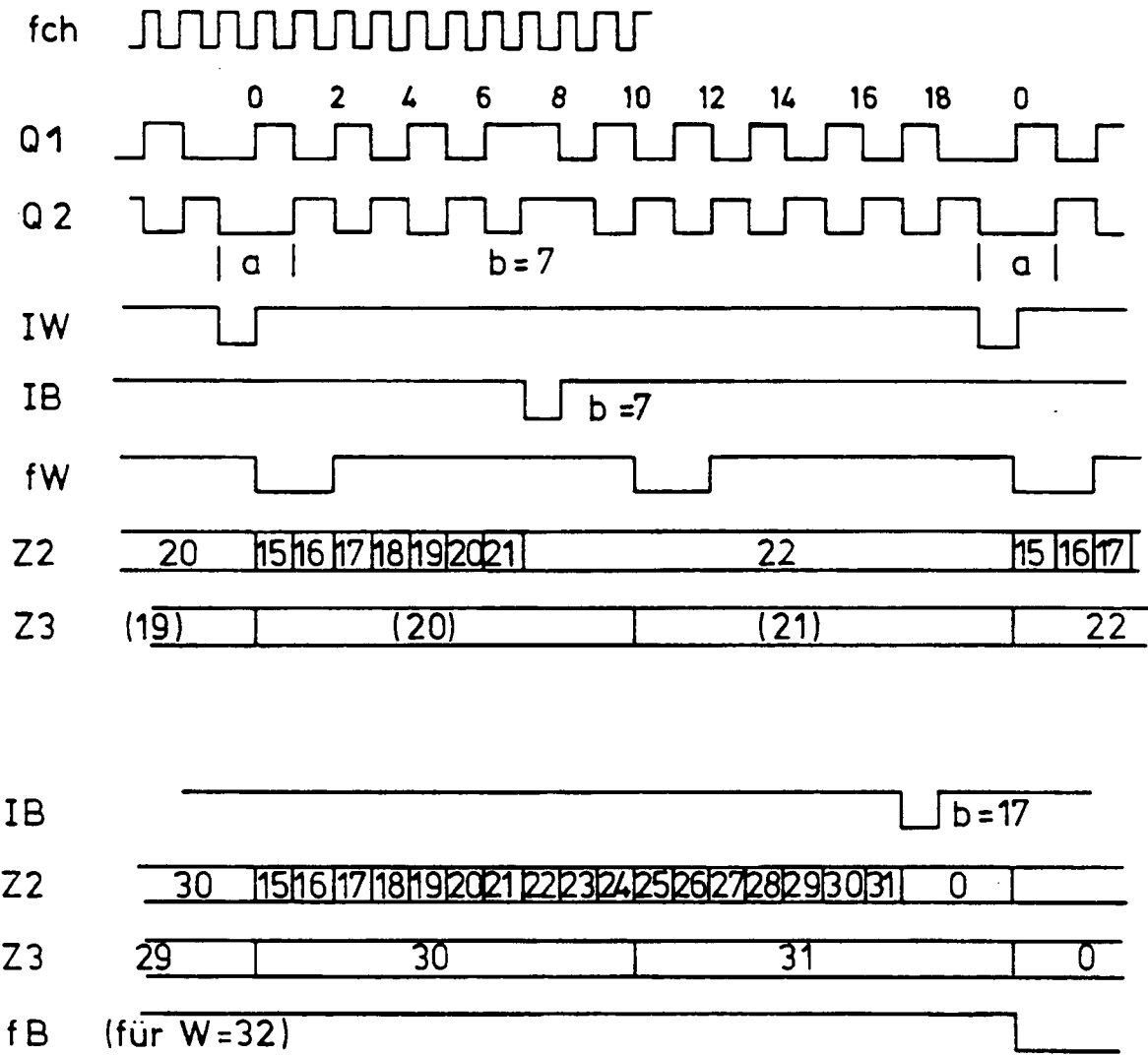


Fig. 3

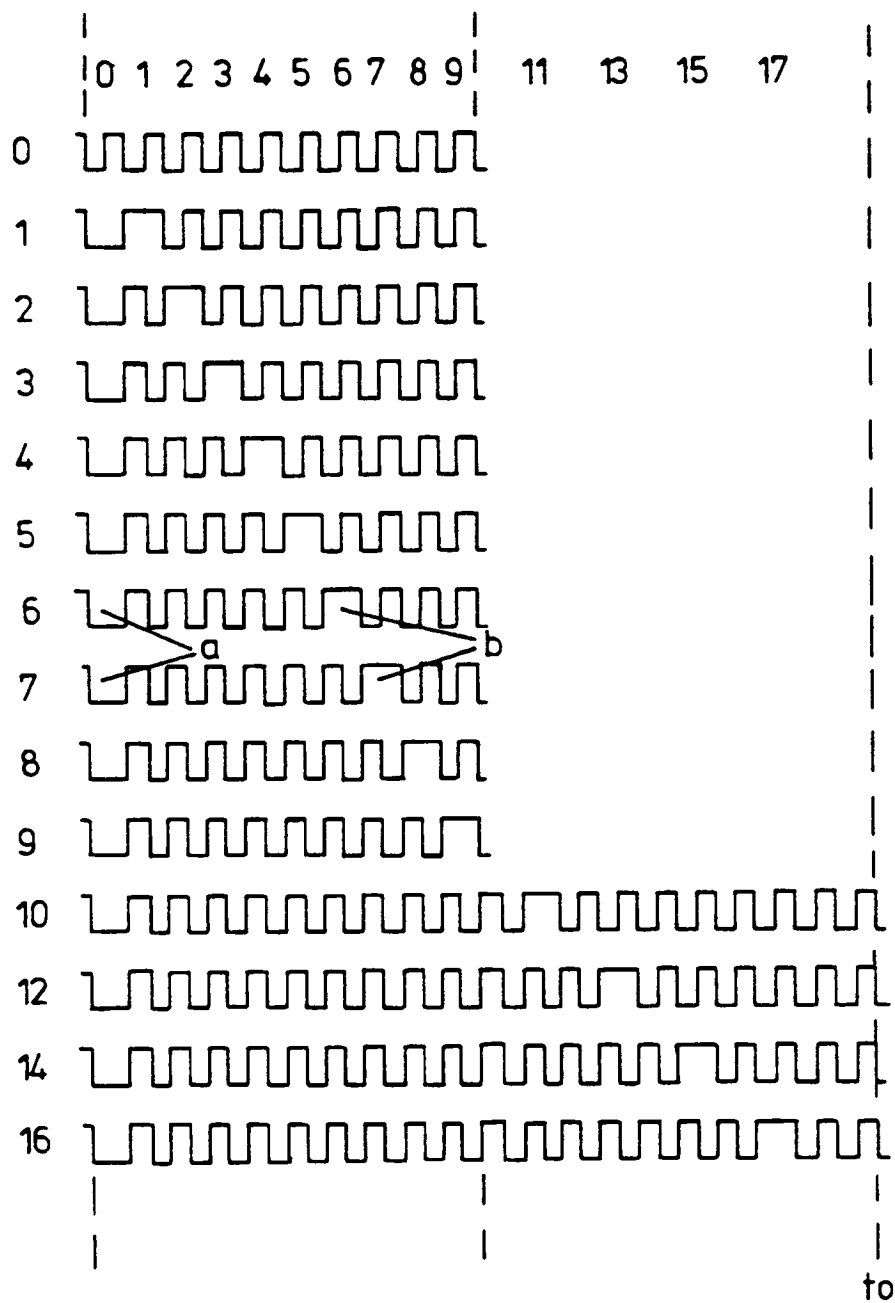


Fig.4

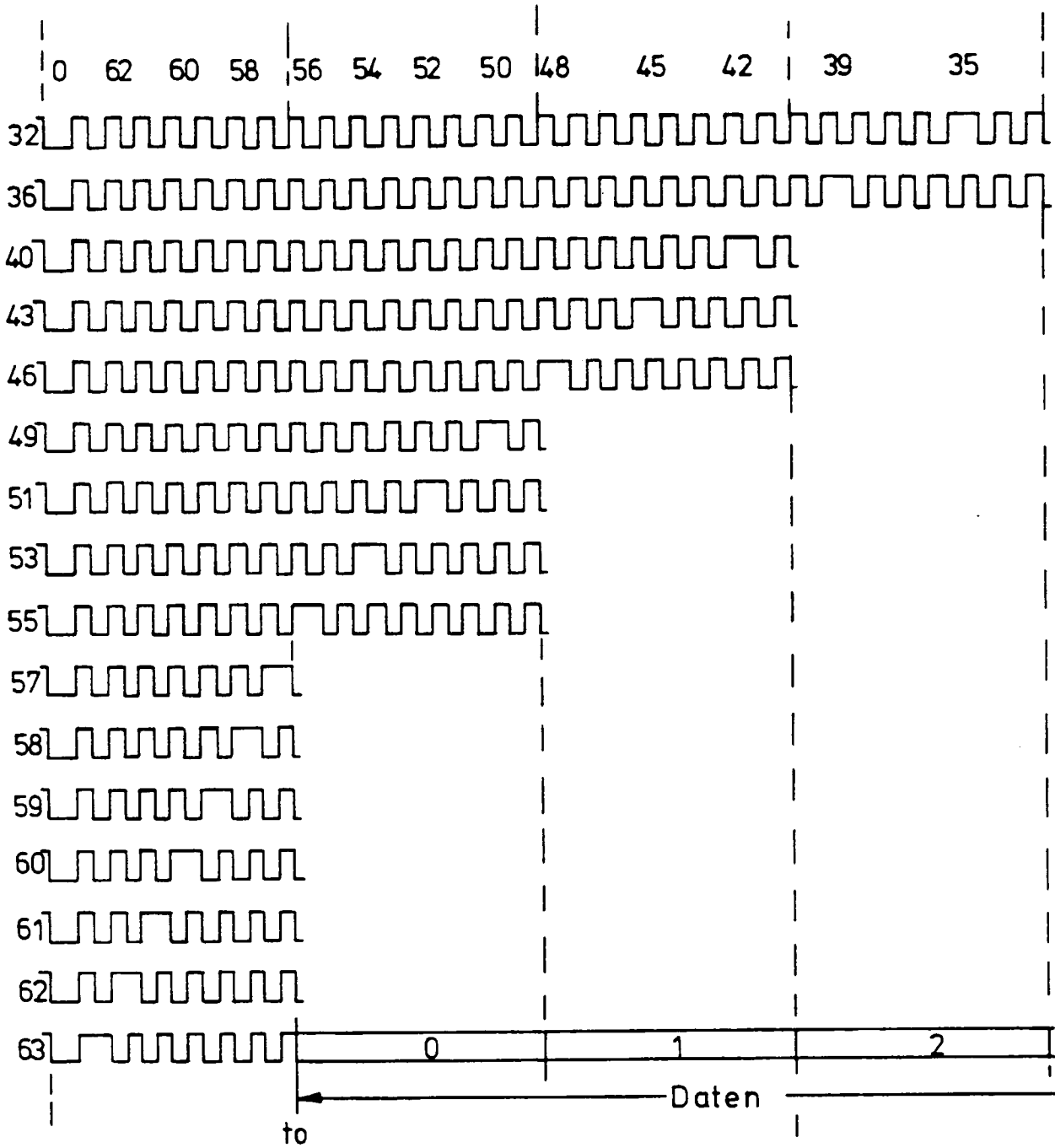
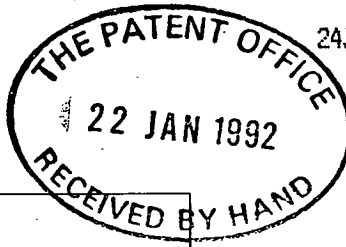


Fig.5

For official use



24JAN '92#002B6875

PAT 54 77 UC

50.00

Your reference

JW/L1441

Notes

Please type, or write in dark ink using CAPITAL letters.

A prescribed fee is payable with this form. For details, please contact the Patent Office (telephone 071-438 4700).

Paragraph 1 of Schedule 4 to the Patents Rules 1990 governs the completion and filing of this form.

This form must be filed in duplicate and must be accompanied by a translation into English, in duplicate, of:

- the whole description
- those claims appropriate to the UK (in the language of the proceedings)

including all drawings, whether or not these contain any textual matter but excluding the front page which contains bibliographic information. The translation must be verified to the satisfaction of the Comptroller as corresponding to the original text.

The Patent Office

Filing of translation of European Patent (UK) under Section 77(6)(a)

Form 54/77

Patents Act 1977

1 European Patent number

1 Please give the European Patent number:

EP 0216329

2 Proprietor's details

2 Please give the full name(s) and address(es) of the proprietor(s) of the European Patent (UK):

Name

Deutsche Thomson-Brandt GmbH

Address

Hermann-Schwer-Strasse
3 Postfach 1307
W-7730 Villingen-Schwenningen
Germany

Postcode

ADP number
(if known):

3 European Patent Bulletin date

3 Please give the date on which the mention of the grant of the European Patent (UK) was published in the European Patent Bulletin or, if it has not yet been published, the date on which it will be published:

Date

2. 1. 92

(day month year)

Please turn over ◊

077

4 Agent's details

4 Please give name of agent (if any):

WILLIAMS, POWELL & ASSOCIATES

5 An address for service in the United Kingdom must be supplied.

5 Address for service

5 Please give a name and address in the United Kingdom to which all correspondence will be sent:

Name

WILLIAMS, POWELL & ASSOCIATES

Address

34 Tavistock Street

London

Postcode

ADP number
(if known)

WC2E 7PB

1743001

Signature

Please sign here →

Signed

William Powell

Date

22
(day)

1
month

92
year

Reminder

Have you attached:

- one duplicate copy of this form?
- two copies of the translation including any drawings (verified to the satisfaction of the Comptroller)?
- any continuation sheets (if appropriate)?

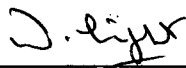
GREAT BRITAIN)
ENGLAND)
LONDON)

IN THE MATTER OF an Application
for a Hong Kong Registration
Patent

I, Derek Ernest LIGHT BA BDÜ,
do hereby certify:

THAT I am a Technical Translator to RWS Translations Ltd., of
Europa House, Marsham Way, Gerrards Cross, Buckinghamshire,
England and known as such to the undersigned Notary Public;
THAT I have a competent knowledge of the German and English
languages;
AND THAT, to the best of my knowledge and belief, the attached
document is a true and correct translation of the cover page of
the European Patent in the name of
Deutsche Thomson-Brandt GmbH
granted under No. 0,216,329

Signed by DEREK ERNEST LIGHT)
For and on behalf of RWS Translations Ltd.)
This 24th day of October)
1995)



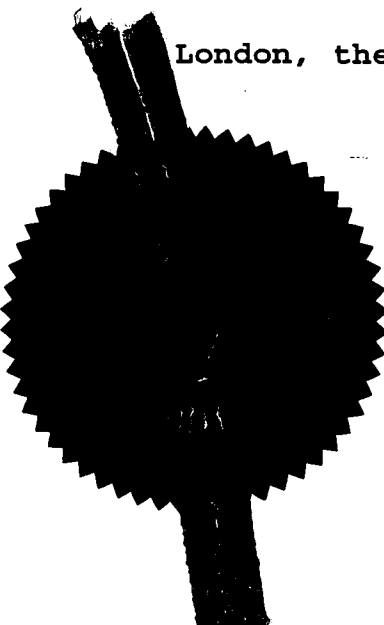
DEREK ERNEST LIGHT

I hereby certify the authenticity of the above signature of
DEREK ERNEST LIGHT whose identity I attest.

London, the 24th day of October 1995



NOTARY PUBLIC OF LONDON ENGLAND



19 European Patent Office
European Patent Office
European Patent Office

11 Publication No.: 0 216 329 B1

12 EUROPEAN PATENT SPECIFICATION

45 Date of publication of the patent specification: 02.01.92

51 Int. Cl.⁵: G11B 20/10, G11B 5/09, H04L 7/04

21 Application No.: 86112962.5

22 Filing date: 19.09.86

54 Transmission method for a digital signal.
[Title as printed]

30 Priority: 24.09.85 DE 3533962

73 Patent proprietor: Deutsche Thomson-Brandt GmbH
Hermann-Schwer-Strasse 3
P.O. Box 1307
W-7730 Villingen-Schwenningen(DE)

43 Date of publication of the application:
01.04.87 Bulletin 87/14

45 Publication of the notice of the patent grant:
02.01.92 Bulletin 92/01

72 Inventor: Dipl.-Ing. Werner Scholz
Osterstrasse 20
W-3007 Gehrden(DE)

84 Designated contracting States:
AT BE CH DE FR GB IT LI LU NL SE

74 Representative:
Dipl.-Ing. Robert Einsel
Deutsche Thomson-Brandt GmbH
Patent- und Lizenzabteilung
Göttinger Chaussee 76
W-3000 Hannover 91(DE)

56 Cited documents:
EP-A- 0 044 713
US-A- 3 641 526

"R-DAT-Specification of Format, pp. 5 and 24,
DAT Conference of 27.6.1985;

EP 0 216 329 B1

Note: Within nine months from the publication of the notice of the grant of the European patent in the European Patent Bulletin, any person may lodge opposition to the granted European patent at the European Patent Office. The opposition shall be filed in writing and the grounds thereof shall be stated. It shall be deemed to have been filed only when the opposition fee has been paid (Art. 99(1) of the European Patent Convention).

Rank Xerox (UK) Business Services

PATENTS ACT 1977

=====

IN THE MATTER OF an Application
for a European Patent (UK)

DECLARATION

=====

I, Elizabeth Ann Howard, M.I.L., of 256 Stroud Road, Tuffley,
Gloucester, Gloucestershire, declare that I am conversant with
the English and German languages and am the translator of the
unaltered documents attached and I verify that the following is
to the best of my knowledge and belief a true and correct
translation of European Patent ..0.2.1.6.3.2.9.....

Signature of translator

E Howard

E A Howard

Dated this

15th

day of

January

1992

In recording digital signals in subdivided tracks e.g. recording digital sound signals with rotating heads (R-DAT = Rotary head Digital Audio Tape), recording a signal for the run-in of the PLL to regenerate the bit timing ((rhythm)) at the start of each track is known. With the R-DAT signal, the run-in signal only receives the information for the frequency and phase setting of the timing regeneration PLL. Word and block synchronisation, also required for processing the scanned PCM signal, takes place using synchronous signals at the beginning of each data block. The construction of such an R-DAT signal is described in the "R-DAT Specification of Format" of the DAT Conference of 27 June 1985, especially on pages 5 and 24. With the R-DAT format, frequency $f_{ch}/2$ is used as the PLL run-in signal, and is transmitted respectively for the duration of two data blocks. f_{ch} is the bit rate of the recorded signal (8-10 code). Each block consists of 360 bits and/or 36 words to 10 bits.

The block synchronous signal consists of a 10-bit word. The bit pattern of the sync. word is 0111100001 and/or 1000011110. It is guaranteed that these bit patterns do not occur in the remaining signal. However, in this case they are bit patterns, which can be particularly prone to interference. According to the environment of the sync. words, the length ratio of consecutive half-waves can be 1:4 and 4:1 here. With insufficient signal correction, even with slight interference from noise or time fluctuations, invalidation of the bit pattern can occur, so that the sync. word is not recognisable. This disadvantage is particularly serious when block synchronisation has not yet been produced at the start of a track. After the block synchronisation has been carried out, this can also be maintained with faulty sync. words by counting the bit timing.

With digital video recording, large quantities of information are transmitted in the form of relatively small signal portions allocated to the individual tracks. Here, especially, it depends on the bit timing, word and block synchronisation being produceable at the start of each signal portion with high fidelity on playback, in which case the signal required for this should take as little transmission time as possible.

The object of the invention is to increase fidelity for word and block synchronisation on playback respectively at the start of a signal portion, without necessitating additional transmission time for the purpose.

This object is fulfilled by the invention described in Claim 1. Advantageous developments of the invention are described in the dependent claims.

The solution as per the invention is based on the following discoveries and reflections:

The signal for the PLL run-in requires a relatively long duration for safety reasons. The tolerance for the time when the head dips into the tape is preferably included in this duration. The PLL run-in signal consists of level transitions (fch/2) following consecutively with the bit rate of the transmission code. The synchronisation of the PLL is hardly negatively influenced if a few of these level transitions are left out.

By dropping the level transitions, therefore, the information necessary for the word and block synchronisation should be inserted into the PLL run-in signal, with as many repetitions as possible, to achieve high safety against interference. It is not necessary for it to be guaranteed that the bit patterns used in this do not occur in the remaining transmission code, as the run-in region is identified by its time position and/or also by its head wheel phase. Also, identification can be provided by periodical occurrence of certain bit patterns which, for example, are used for word synchronisation.

With the known transmission systems, word and block synchronisation takes place through an agreed bit pattern (sync word) occurring at a certain point in time. The information about the start of a block is therefore not contained in the bit pattern, but is given by the point in time of the occurrence of the bit pattern. This has the big disadvantage that, with interference to the sync word, a complete block must elapse uselessly before another attempt at synchronisation can take place. Through the additional information inserted in the PLL run-in signal, for example, synchronisation of a significantly shorter word timing can take place. Evaluation of the bit patterns forming the additional information thereafter provides information about the position of the start of the block relative to the respective word evaluated.

Thus, over a time which can, for example, be shorter than the duration of a block, a multiple repetition of block synchronisation processes is rendered possible. By comparison of the evaluation results following consecutively in short intervals, in the event of interference, the decision for the right result can be ensured.

The known sync words at the start of each block can of course be further transmitted. It is usual to maintain the word and block synchronisation produced at the start of a track in the course of the further track by counting the bit timing supplied by the PLL.

According to the probability for an interference in the block synchronisation in the course of a track, and according to the importance of the restoring of the block synchronisation in the event of interference, the known sync words can also be transmitted at a larger interval or even completely left out.

An embodiment of the invention is explained in the drawing as follows. In which,

- Figure 1 shows the construction of the track run-in signal as per invention,
- Figure 2 shows a circuit serving to evaluate the word and block synchronous information,
- Fig. 3 shows curves to explain the mode of operation of the circuit as per Figure 2 and
- Figures 4 and 5 show run-in signals as per the invention.

Figure 1 shows a track run-in signal as per the invention. It is suitable for word lengths of 2,4,5,10 and 20 bits and for any desired lengths of block. The example given in figures 2 and 3 in greater detail relates to a word length of 10 bits and a block length of 32 words = 320 bits. The signal as per Figure 1 contains 10 negative half-waves with duration of 2 bits (a), which occur at an interval of 20 bits respectively and 9 18-bit words. The negative half-waves (a) contain the information for the word synchronisation. The 18-bit words contain the information for the block synchronisation (b).

The words for the block synchronisation contain a high redundancy (of 2^{18} possible bit patterns, only 9 are used). For this, the PLL run-in signal $f_{ch}/2$ is only altered slightly and the evaluability of the block synchronous information is particularly simple. By using additional bit patterns or extending the word periods then in the track run-in signal of course more than 9 repetitions of the block synchronous information can take place.

The run-in signal can also be extended by transmitting the PLL run-in signal $f_{ch}/2$ with the desired duration before the signal portion shown in figure 1. Shortening of the signal from the front is also possible. In this, however, at least the signal portion shown in the second line of Figure 1 and located directly before the first data block should still be obtained.

The circuit serving to evaluate the word and block synchronous information as per figure 2 is capable of functioning as soon as the PLL run-in has taken place. The PLL run-in can be completed

before the start of the signal portion shown in figure 1. It can, however, also extend into this signal portion. With the known systems, the PLL run-in area is so amply proportioned that, under normal operating conditions, a relatively large time span provided as a time reserve elapses uselessly between the end of the PLL run-in process and the synchronous signal at the start of the first data block. This time is used with the run-in signal as per the invention to carry out the word and block synchronisation with high fidelity.

In the circuit as per figure 2, using two D-flip-flops and two gates, signals IW and IB are then produced (cf Figure 3). The IW pulse arises, as soon as two low bits follow each other. The IB pulse arises as soon as two high bits follow each other. Signal IW represents the information for word synchronisation. IB forms information for block synchronisation. With IW the counter Z1, which divides the bit timing supplied by the PLL by 10, is phase synchronised. This counter produces the word frequency fW with defined phase relative to the words of the PCM signal.

IW also sets counter Z2 to a pre-determined count value $V=W-17$. Value "17" in this case is a pre-determined constant given by the signal in figure 1. The diagrams shown in figure 3 relate to a word count per data block of $W = 32$.

From the representations in figure 3 it emerges that the counter Z2 is pre-set to value $V=15$ for each IW pulse. At the same time, the supply to the bit timing fch is released via a gateway to the counting input of counter Z2. The supply of the bit timing is again broken by signal IB. The outputs of counter Z2 then represent the number value to which counter Z3 is to be set so that this takes on the right counting phase with regard to block synchronisation.

Setting counter Z3 to output value of Z2 takes place with pulse IW, when at the same time the already described evaluation cycle is restarted.

Immediately before setting counter Z3, a comparator tests whether counter Z3 is already in the right count phase. A counter Z4 counts the immediately consecutive true results. As soon as a pre-determined count n is reached, the correct word and phase synchronisation is taken as ensured. The setting process is then ended by the stop signal emitted from counter Z4.

The stop signal blocks both D-flip-flops at the input to the evaluation circuit shown in figure 2. The restarting of an evaluation process at the start of the next PCM signal portion takes place by resetting the counter Z4. On obtaining differing

number values at the inputs and outputs of counter Z3, Z4 is reset respectively.

The principle as per the invention for run-in synchronisation with PCM signals is extremely flexible. It is easily adaptable to any word and block lengths. The overall duration of the run-in signal is variable within broad limits, according to the run-in time available and according to the fault-free requirement.

In already existing transmission systems, the conventional PLL run-in signal can be replaced by the signal as per the invention without the still unequipped apparatus being restricted in its operational capability.

Finally, some possibilities and advantages which the process as per the invention offers should be pointed out. The problem was to increase fidelity for word and block synchronisation without claiming additional transmission time compared with known processes with a PLL run-in signal. With the invention, by altering the spacing of individual level transitions, the information for block synchronisation (as a rule this includes word synchronisation) is put into the PLL run-in signal several times without the timing synchronisation being restricted thereby. This means:

1. The run length in the run-in signal must remain as small as possible.
2. No d.c ((equal)) portion must arise in the run-in signal. Condition 1 is fulfilled in that the level transition spacing is not increased to more than double. Condition 2 is fulfilled in that the polarity of the widened half waves changes.

The information for the block synchronisation is contained in the spacing between the widened half waves. It is appropriate to select this spacing so that the timing counter Z2 started with a widened half wave states the spacing of the relevant half-wave from a reference time point for the block synchronisation on occurrence of the next widened half wave. In this case, the timing counter can be started again on each widened half wave after evaluation of the counter result.

The word synchronisation thus takes place indirectly via block synchronisation.

With the given examples, the widened half waves a of the first polarity lie in a fixed time raster which corresponds to the word frequency, i.e. the spacing between these half waves is e.g. 2 or 4 words. These half-waves are suitable for synchronising the word counter Z1. Also these half-waves start the timing

counter Z2 to provide the reference point in time. The widened half waves b of the second polarity lie in such a way in time that the counter condition of timing counter Z2 can be evaluated on occurrence as a reference datum. This reference datum can, for example, consist in that the condition of the counter corresponds to the number of words or word pairs since the start of the block. If, for example, counter Z3 counts pairs of words for the block synchronisation, with already completed synchronisation, the counts of the timing counter and word pair counter for block synchronisation with each half wave b must agree. During the synchronisation process, the word counter is set each time to the condition of the timing counter. When the synchronisation has already taken place, although this process is superfluous, it does no harm either. After a pre-determined number of agreements the synchronisation can be viewed as ensured and the synchronisation process is ended.

In the circuit as per figure 2 the counting of the agreements is carried out by counter Z4. As long as it is to be determined whether a certain number of agreements have occurred in uninterrupted sequence, a shift register with a corresponding number of steps can also be used as an indicator. In the serial input of the shift register then, for example, on each agreement a "1" is input, otherwise a "0". The synchronisation process can be broken off as soon as all steps of the shift register have the content "1".

The duration of the input signal can be shorter than a data block of the following signal, but can also amount to a multiplication of the block length. In the latter case, there are the following possibilities for the run-in signal as per the invention:

- a) The run-in signal is block-timed ((block-periodic)). It makes possible the phase setting of the counter for the block synchronisation. The definitive reference point in time to for the start of the first data block is obtained from the basically distinguishable signal structure of data signal and run-in signal or the run-in signal contains an additional identification for the absolute reference point in time to. The additional information for determining the absolute reference point in time to can also be derived from the head wheel phase.
- b) The run-in signal makes it possible to count from each reference point to a definitive reference point in time to, which, for example, lies at the start of the first data block.

An example of a block-periodic run-in signal is shown in Figure 4. In the transmission code the block length in this case is 360

bits and/or 180 periods $f_{ch}/2$ of the known PLL run-in signal. By leaving out individual level transitions, widened half waves a and b arise alternately. The spacing of the half waves a is 10 and/or 20 periods $f_{ch}/2$. The half-waves b are so arranged that a counter which counts $f_{ch}/2$ periods from a onwards reaches the counter condition at b, which is equal to the number of 10 period portions since the start of the block. The block begins with portion 0, which represents a pure PLL run-in signal, and ends with portion 17. During the duration of a block 13 block synchronisations can take place.

The block shown in figure 4 can be repeated several times in the run-in signal. For this, the first block does not need to be complete.

The spacing of the a-pulses in this example amounts to 20 and/or 40 bits. The word length in the data signal amounts to 10 bits. Therefore, the counter for 10-period portions can also easily be used as a word counter for the data signal. The length of the counting portions in the run-in signal could, however, also deviate from these values. The 360 bit long run-in signal block can, for example, be subdivided by the a pulses into 15 portions of 24 bits each (12 $f_{ch}/2$ periods).

Figure 5 shows a run-in signal as per the invention, which can extend over the duration of several data blocks and which makes possible from each pulse b the counting up to a definitive reference point in time to at the start of the first data word and/or block (case b). Figure 5 shows on the top line the counts of the $f_{ch}/2$ -period counter, which is set to "0" by a as appropriate and from there, contrary to figure 4, counts backwards. The numbers in the left-hand column of figure 5 give the counter spacings of the portion counter for obtaining the reference time. Here it is a case of 8-period portions. After expiry of the 63rd portion, the counter jumps to "0" and thereby marks the start of the first data word. The run-in signal given here can be lengthened as desired by continuation upwards of the schematic diagram given in figure 5. The usefulness of the signal depends on the step number of the counter. The number details in figure 5 correspond to 6-step counters.

The advantage of the signal shown in figure 5 is that the PLL run-in signal ($f_{ch}/2$) is only slightly altered at the start by the additional information for setting a reference point in time to. The density of the a and b pulses then increases and is at its highest shortly before the reference point in time (1st data word). As a result, tolerances for the start of the tape head contact and the catching ((collecting)) of the PLL have little effect on the synchronisation process.

The run-in signal, because it is free from DC (no d.c. component) and has a small run-length is not susceptible to transmission distortions. The bit patterns to be identified for evaluation 1001 and/or 0110 are not easily simulated by interference signals within the signal $f_{ch}/2$ (010101...). Therefore, with sufficient length of run-in signal, the synchronisation required for evaluation of the data can take place with high certainty. The transmission of the conventional synchronous signals at the start of each data block can be dispensed with if there is the possibility of maintaining the synchronism by counting the timing pulses with sufficient certainty. This will be the case especially when the signal portions (recording tracks) are relatively short or the danger of bit slips in the PLL is slight.

Patent Claims

=====

1. A method of transmitting a digital signal in subdivided signal portions each having a run-in signal, the level transitions of which are in the same time raster as the level transitions of the following data signal, at the beginning of the signal portion, its phase relationships being indeterminate or unsure in relation to the preceding signal portion, more particularly when recording and playing back a PCM signal in subdivided tracks, **characterised in that** the run-in signal (regions A+B) contains, as well as the information for the PLL run-in with multiple repetition the information for the block synchronising or for the interval of a reference point in time (to) which marks the beginning of the data transmission, in which the time interval between the block synchronising information is shorter than the duration of a block.
2. A method according to claim 1, **characterised in that** the run-in signal consists of level transitions ($f_{ch}/2$) which are successive at an interval of n bits of the digital signal ($n = 1, 2, 3, \dots$) and that by changing the level transition interval for individual half waves of the run-in signal marking pulses are produced which form the information for the block synchronisation.
3. A method according to claim 2, **characterised in that** the successive marking pulses (a,b) which are produced by changing the level transition interval have opposite polarity and that the interval between these pulses is a measure of the interval of the relevant pulses from a reference point in time (to) for block synchronisation (Fig. 4) or for evaluating the data signal (Fig. 5) following after the run-in signal.
4. A method according to claim 3, **characterised in that** the interval between the marking pulses of one polarity (a) is constant and/or that these intervals are in a whole-number ratio to each other (Figs. 4, 5).
5. A method according to claim 4, **characterised in that** the interval (a) is equal to the word length of the data signal or is in a whole-number ratio to the word length of the data signal (Fig. 5).
6. A method according to one or more of the preceding claims, **characterised in that** the run-in signal is cyclical and the period is equal to the block length of the data signal or is in a whole-number ratio to the block length of the data signal (Fig. 4).
7. A method according to one or more of the preceding claims 1-6, **characterised in that** in the data signal for data blocks, following after the run-in signal, of which the block limits are fixed in relation to the reference time, no synchronisation words are provided.
8. A circuit for evaluating a run-in signal in a method according to one or more of the preceding claims, **characterised in that** a first counter (Z1) for producing equal length portions from the bit clock pulse is present, that a second counter (Z2) is present which is started at the point in time of the marking

pulses of one polarity (a) and its count is transmitted at the point in time of the marking pulses of the other polarity (b) to a third counter (Z3) and/or is compared to the count of the third counter, in which the third counter counts the portions produced by the first counter and that a specific count of the third counter delivers a reference time for the evaluation of the data signal following after the run-in signal.

9. A circuit according to claim 8, **characterised in that** the instances of agreement between the count of the second and third counters at the point in time of the marking pulses (b) are counted with a further counter (Z4) or with a shift register, and that when a predetermined number value is reached the run-in synchronising processes are terminated.

10. A circuit for processing a digital signal with an evaluation circuit according to claim 8 or 9, **characterised in that** for determining the data block limits of the digital signal, as far as it relates to data blocks of fixed length, a counter (Z3) is provided which only counts the clock periods from the reference point in time (to).

1/4

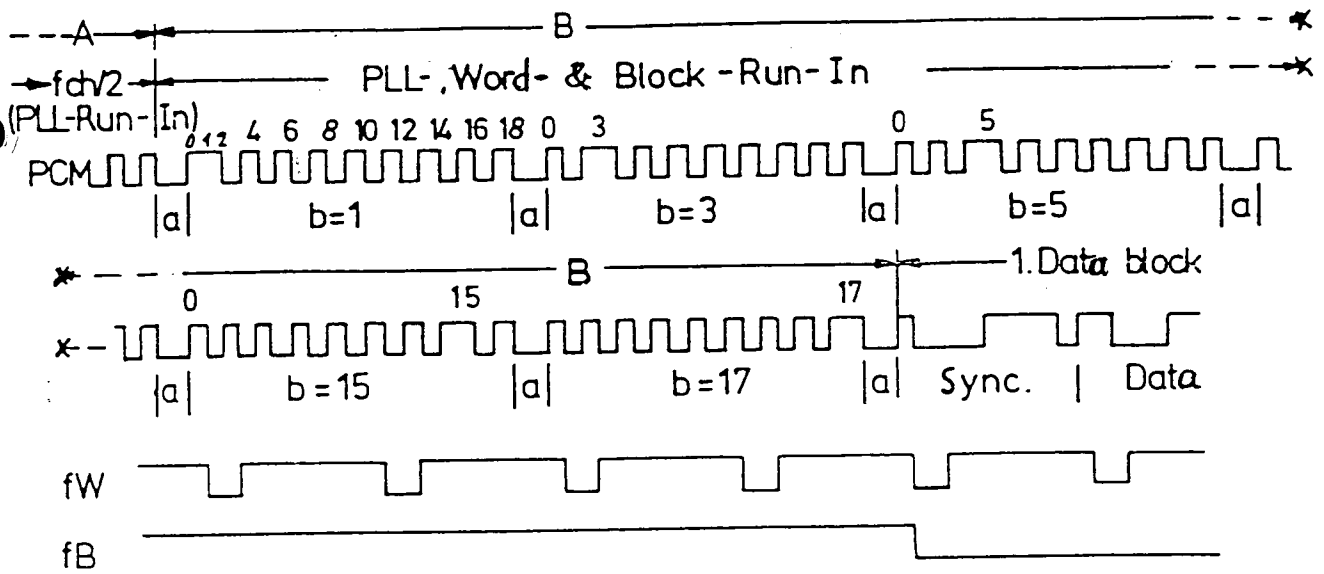


Fig.1

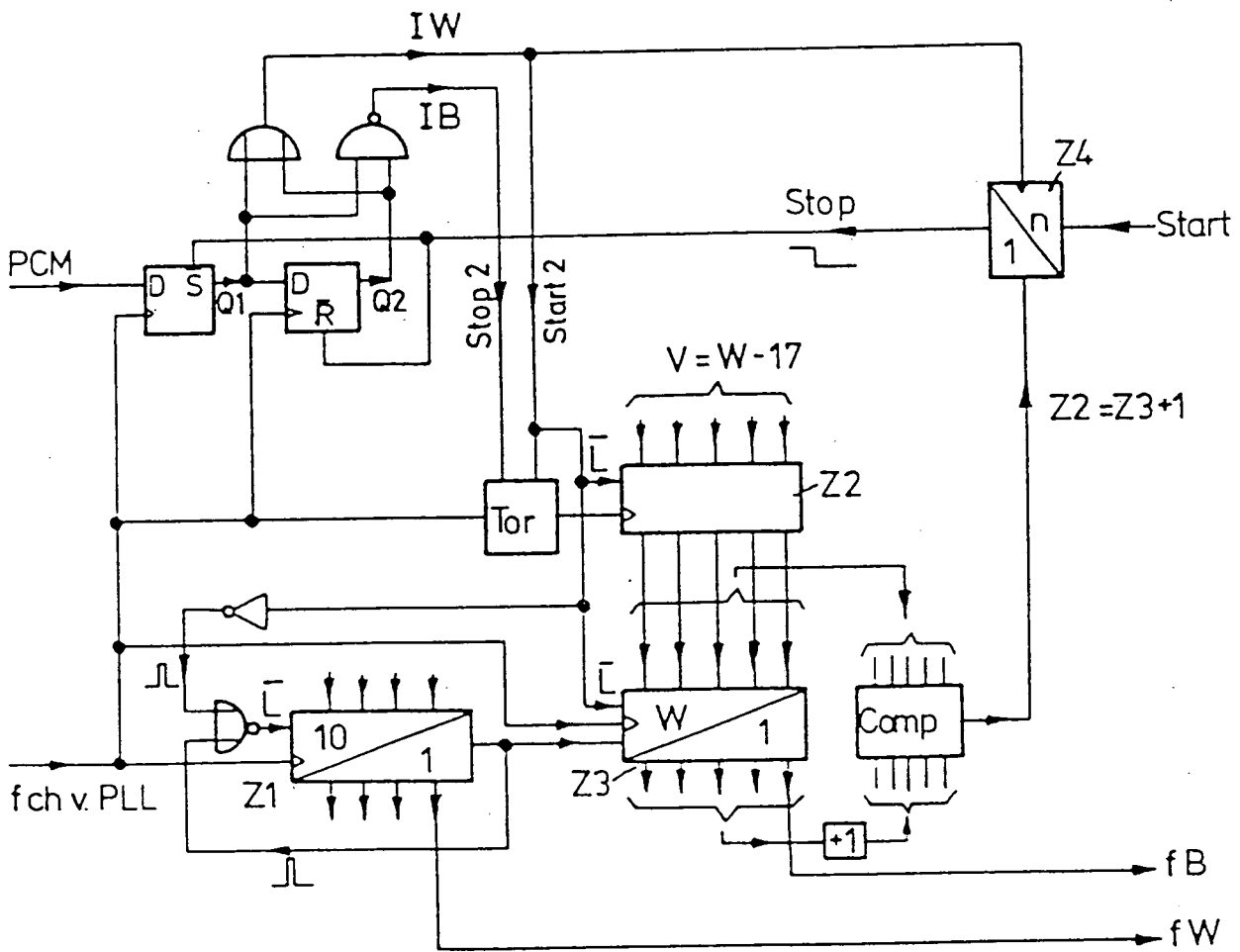


Fig.2

2/4

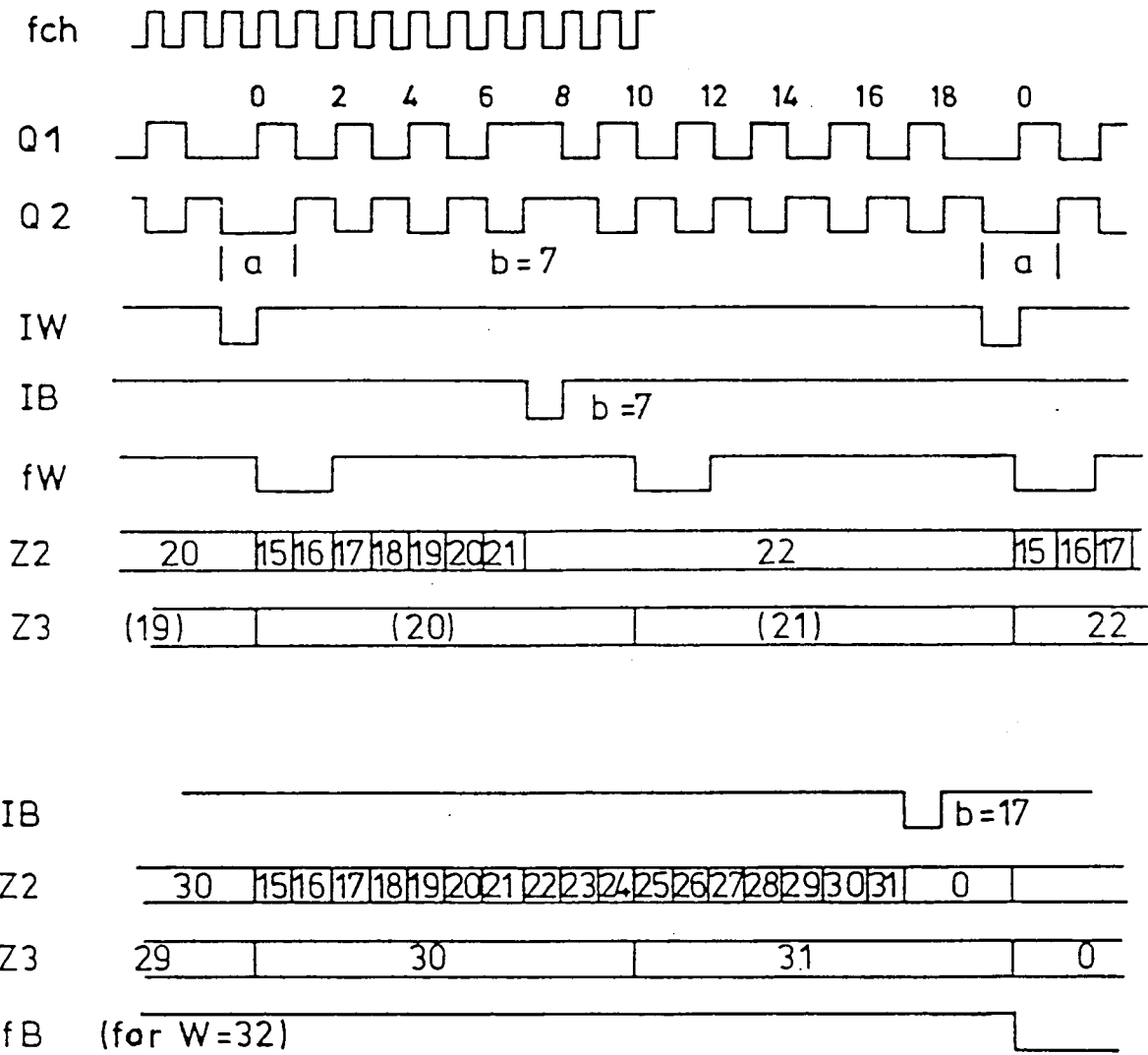


Fig. 3

3/4

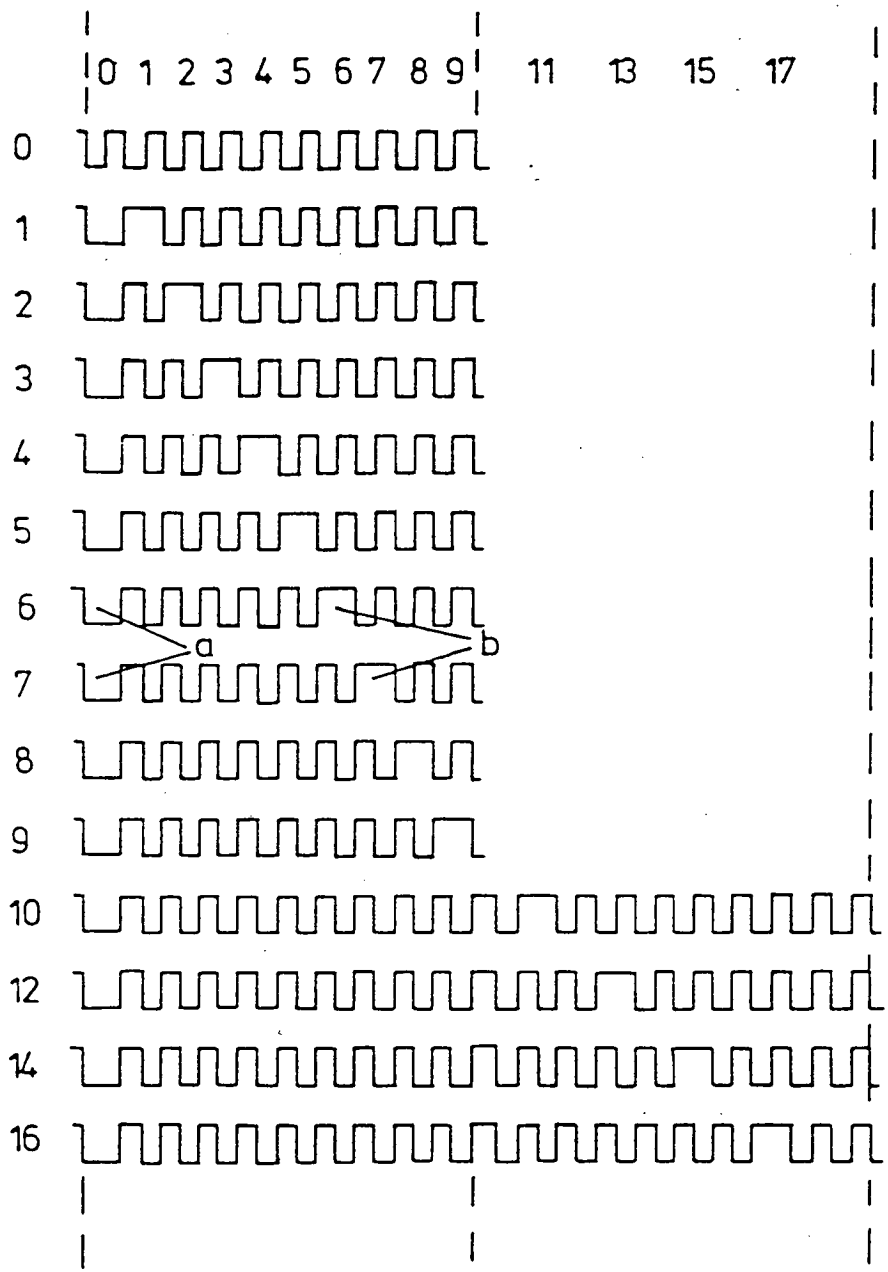


Fig.4

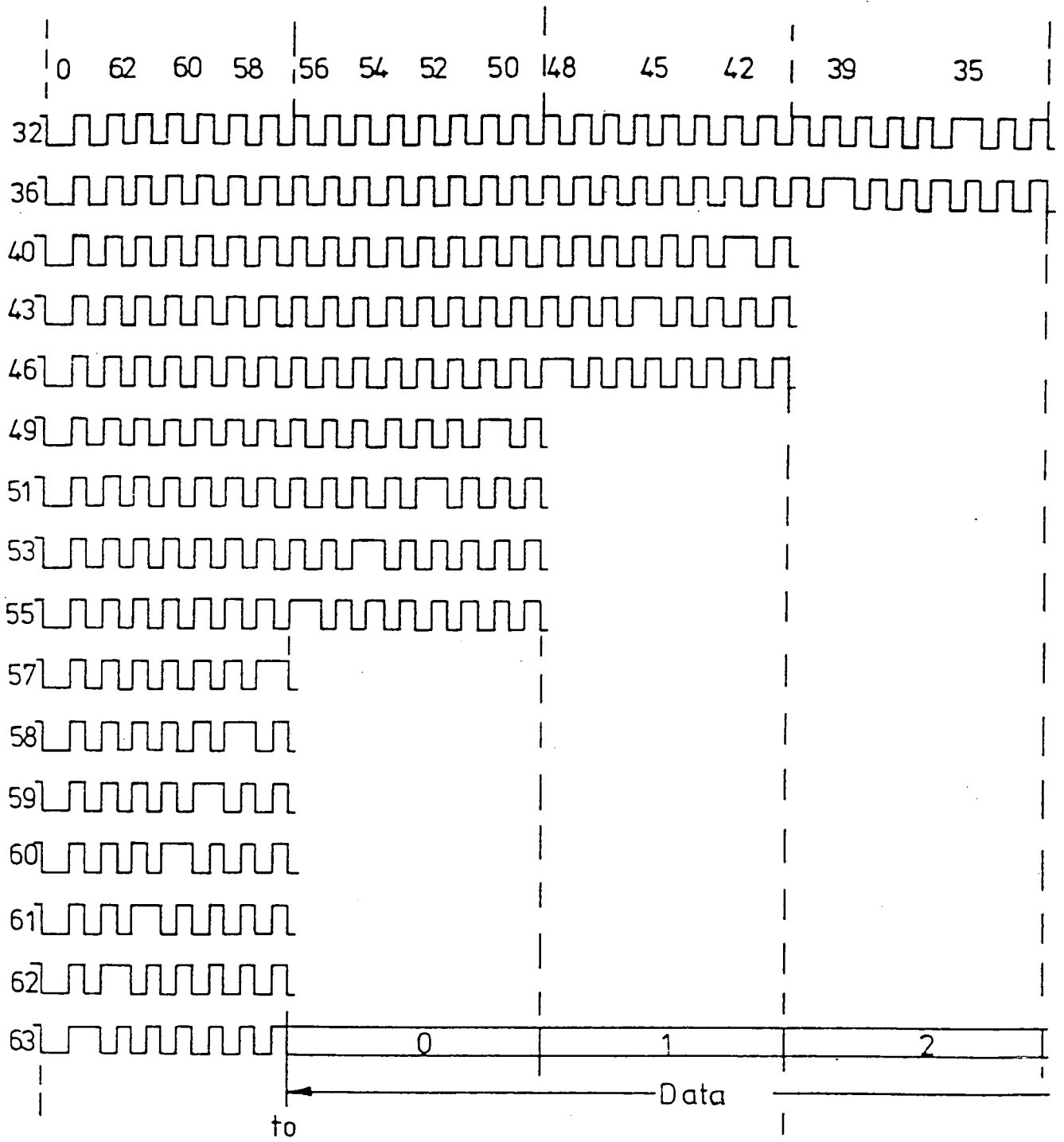


Fig.5

REGISTER ENTRY FOR EP0216329

European Application No EP86112962.5 filing date 19.09.1986

Application in German

Priority claimed:

24.09.1985 in Federal Republic of Germany - doc: 3533962

Designated States BE CH DE FR GB IT LI LU NL SE AT

Title TRANSMISSION METHOD FOR A DIGITAL SIGNAL

Applicant/Proprietor

DEUTSCHE THOMSON-BRANDT GMBH, Postfach 1307, D-7730
Villingen-Schwenningen, Federal Republic of Germany [ADP No. 50257070003]

Inventor

DIPL.-ING. WERNER SCHOLZ, Osterstrasse 20, D-3007 Gehrden, Federal
Republic of Germany [ADP No. 54703707001]

Classified to

H4P
G11B H04L

Address for Service

WILLIAMS, POWELL & ASSOCIATES, 34 Tavistock Street, LONDON, WC2E 7PB,
United Kingdom [ADP No. 05830310001]

EPO Representative

DIPL.-ING. ROBERT EINSEL, Deutsche Thomson-Brandt GmbH Patent- und
Lizenzabteilung Göttinger Chaussee 76, D-3000 Hannover 91, Federal
Republic of Germany [ADP No. 50509389001]

Publication No EP0216329 dated 01.04.1987 and granted by EPO 02.01.1992.

Publication in German

Examination requested 19.09.1986

Patent Granted with effect from 02.01.1992 (Section 25(1)) with title
TRANSMISSION METHOD FOR A DIGITAL SIGNAL. Translation filed 22.01.1992

30.09.1988 EPO: Search report published on 05.10.1988

Entry Type 25.11 Staff ID. Auth ID. EPT

11.12.1989 Notification from EPO of change of Applicant/Proprietor details
from

DEUTSCHE THOMSON-BRANDT GMBH, Postfach 1307, D-7730
Villingen-Schwenningen, Federal Republic of Germany
[ADP No. 50257070003]

to

DEUTSCHE THOMSON-BRANDT GMBH, Hermann-Schwer-Strasse 3 Postfach
1307, D-7730 Villingen-Schwenningen, Federal Republic of Germany
[ADP No. 50257070001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

02.12.1991 Notification from EPO of change of Applicant/Proprietor details
from
DEUTSCHE THOMSON-BRANDT GMBH, Hermann-Schwer-Strasse 3 Postfach
1307, D-7730 Villingen-Schwenningen, Federal Republic of Germany
[ADP No. 50257070001]

to
DEUTSCHE THOMSON-BRANDT GMBH, Hermann-Schwer-Strasse 3 Postfach
1307, W-7730 Villingen-Schwenningen, Federal Republic of Germany
[ADP No. 50257070001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

02.12.1991 Notification from EPO of change of EPO Representative details from
DIPL.-ING. ROBERT EINSEL, Deutsche Thomson-Brandt GmbH Patent- und
Lizenzabteilung Göttinger Chaussee 76, D-3000 Hannover 91, Federal
Republic of Germany [ADP No. 50509389001]

to
DIPL.-ING. ROBERT EINSEL, Deutsche Thomson-Brandt GmbH Patent- und
Lizenzabteilung Göttinger Chaussee 76, W-3000 Hannover 91, Federal
Republic of Germany [ADP No. 50509389001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

02.12.1991 Notification from EPO of change of Inventor details from
DIPL.-ING. WERNER SCHOLZ, Osterstrasse 20, D-3007 Gehrden, Federal
Republic of Germany [ADP No. 54703707001]

to
DIPL.-ING. WERNER SCHOLZ, Osterstrasse 20, W-3007 Gehrden, Federal
Republic of Germany [ADP No. 59280545001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

03.12.1991 FILE RAISED.

Entry Type 10.1 Staff ID. CA1 Auth ID. AA

30.01.1992 WILLIAMS, POWELL & ASSOCIATES, 34 Tavistock Street, LONDON, WC2E
7PB, United Kingdom [ADP No. 05830310001]
registered as address for service

Entry Type 8.11 Staff ID. SH1 Auth ID. F54

**** END OF REGISTER ENTRY ****

OA80-01
EP

OPTICS - PATENTS

12/10/95 08:59:40

PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER

EP0216329/

PROPRIETOR(S)

Deutsche Thomson-Brandt GmbH/ Postfach 1307, D-78003
Villingen-Schwenningen, Federal Republic of Germany

DATE FILED

19.09.1986 /

DATE GRANTED

02.01.1992 /

DATE NEXT RENEWAL DUE

19.09.1996

DATE NOT IN FORCE

DATE OF LAST RENEWAL

01.09.1995

YEAR OF LAST RENEWAL

10

STATUS

PATENT IN FORCE /

**** END OF REPORT ****