

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-5165

(P2009-5165A)

(43) 公開日 平成21年1月8日(2009.1.8)

(51) Int.Cl.		F I		テーマコード (参考)
H03L	7/183	(2006.01)	H03L	7/18
H03L	7/08	(2006.01)	H03L	7/08
			B	5 J 1 0 6
			H	

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号	特願2007-165159 (P2007-165159)	(71) 出願人	000003078
(22) 出願日	平成19年6月22日 (2007. 6. 22)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100075812
			弁理士 吉武 賢次
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100124372
			弁理士 山ノ井 傑

最終頁に続く

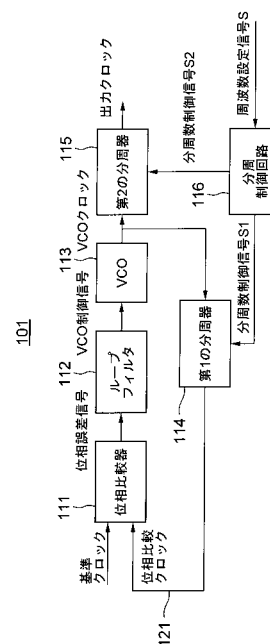
(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】複数の分周回路を備えるPLL回路に関し、PLL回路の新たな回路構成を提案する。

【解決手段】基準クロックの位相と位相比較クロックの位相とを比較し、位相差に応じた信号を出力する位相比較回路と、前記位相比較回路により出力された前記信号をフィルタリングするループフィルタと、前記ループフィルタによりフィルタリングされた前記信号に応じた周波数のクロックを出力する電圧制御発振回路と、前記クロックを分周して前記位相比較クロックを生成する第1の分周回路と、前記クロックを分周して出力クロックを生成する第2の分周回路と、前記第1の分周回路の分周数と前記第2の分周回路の分周数とを制御する分周制御回路とを備えることを特徴とするPLL回路。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基準クロックの位相と位相比較クロックの位相とを比較し、位相差に応じた信号を出力する位相比較回路と、

前記位相比較回路により出力された前記信号をフィルタリングするループフィルタと、
前記ループフィルタによりフィルタリングされた前記信号に応じた周波数のクロックを出力する電圧制御発振回路と、

前記クロックを分周して前記位相比較クロックを生成する第 1 の分周回路と、

前記クロックを分周して出力クロックを生成する第 2 の分周回路と、

前記第 1 の分周回路の分周数と前記第 2 の分周回路の分周数とを制御する分周制御回路とを備えることを特徴とする PLL 回路。 10

【請求項 2】

前記分周制御回路は、

前記出力クロックの周波数を前記電圧制御発振回路の安定発振領域内で設定する場合、

前記第 1 の分周回路の分周数を N に設定し、

前記第 2 の分周回路の分周数を 1 に設定することで、

前記出力クロックの周波数を前記基準クロックの周波数の N 倍の周波数に設定し、

前記出力クロックの周波数を前記電圧制御発振回路の安定発振領域外で設定する場合、

前記第 1 の分周回路の分周数を $N \times M$ に設定し、

前記第 2 の分周回路の分周数を M に設定することで、 20

前記出力クロックの周波数を前記基準クロックの周波数の N 倍の周波数に設定する、

(ただし、 N は 1 以上の整数、 M は 2 以上の整数)

ことを特徴とする請求項 1 に記載の PLL 回路。

【請求項 3】

基準クロックの位相と位相比較クロックの位相とを比較し、位相差に応じた信号を出力する位相比較回路と、

前記位相比較回路により出力された前記信号をフィルタリングするループフィルタと、
前記ループフィルタによりフィルタリングされた前記信号に応じた周波数のクロックを出力する電圧制御発振回路と、

前記クロックを分周して出力クロックを生成する第 2 の分周回路と、 30

前記出力クロックを分周して前記位相比較クロックを生成する第 1 の分周回路と、

前記第 1 の分周回路の分周数と前記第 2 の分周回路の分周数とを制御する分周制御回路とを備えることを特徴とする PLL 回路。

【請求項 4】

前記分周制御回路は、

前記出力クロックの周波数を前記電圧制御発振回路の安定発振領域内で設定する場合、

前記第 1 の分周回路の分周数を N に設定し、

前記第 2 の分周回路の分周数を 1 に設定することで、

前記出力クロックの周波数を前記基準クロックの周波数の N 倍の周波数に設定し、

前記出力クロックの周波数を前記電圧制御発振回路の安定発振領域外で設定する場合、 40

前記第 1 の分周回路の分周数を N に設定し、

前記第 2 の分周回路の分周数を M に設定することで、

前記出力クロックの周波数を前記基準クロックの周波数の N 倍の周波数に設定する、

(ただし、 N は 1 以上の整数、 M は 2 以上の整数)

ことを特徴とする請求項 3 に記載の PLL 回路。

【請求項 5】

前記分周制御回路は、周波数ロック状態における前記クロックの周波数が前記電圧制御発振回路の安定発振領域外の周波数にならないよう、前記第 1 の分周回路の分周数と前記第 2 の分周回路の分周数とを制御することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の PLL 回路。 50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PLL (Phase-Locked Loop: 位相同期ループ) 回路に関する。

【背景技術】

【0002】

PLL回路は、クロックを取り扱うシステムにおいて重要な役割を果たす回路である。PLL回路は例えば、周波数シンセサイザやFM復調器に利用される。PLL回路は一般に、位相比較器と、ループフィルタと、VCO (電圧制御発振器) と、分周器とを具備する。このようなPLL回路は、VCOの発振周波数と同じ周波数の出力クロックを生成可能である。また、このようなPLL回路の後段に更なる分周器を設ければ、VCOの発振周波数よりも低い周波数の出力クロックが生成可能になる (非特許文献1等)。

10

【0003】

VCOの入出力特性について説明する。

【0004】

VCOの発振周波数は、VCOの入力電圧に応じて変化する。VCOの発振周波数領域には一般に、周波数が安定している安定発振領域と、周波数が不安定になりやすい不安定発振領域とが存在する。VCOの発振周波数を不安定にする要因としては例えば、温度や電圧の変化が挙げられる。VCOは、不安定発振領域ではなく安定発振領域で発振させる事が望ましい。これにより、温度や電圧の変化によらず安定したクロックを生成する事が可能になる。

20

【0005】

しかし、従来のPLL回路では、出力クロックの周波数をVCOの発振周波数より低くする場合等に、VCOを不安定発振領域で発振させてしまう事があった。VCOを不安定発振領域で発振させると、PLL回路の後段のロジック回路で誤作動が生じてしまう。

【非特許文献1】遠坂俊昭著「PLL回路の設計と応用—ループ・フィルタ定数の算出方法とその検証」CQ出版

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、複数の分周回路を備えるPLL回路に関し、PLL回路の新たな回路構成を提案することを課題とする。

30

【課題を解決するための手段】

【0007】

本発明は、例えば、基準クロックの位相と位相比較クロックの位相とを比較し、位相差に応じた信号を出力する位相比較回路と、前記位相比較回路により出力された前記信号をフィルタリングするループフィルタと、前記ループフィルタによりフィルタリングされた前記信号に応じた周波数のクロックを出力する電圧制御発振回路と、前記クロックを分周して前記位相比較クロックを生成する第1の分周回路と、前記クロックを分周して出力クロックを生成する第2の分周回路と、前記第1の分周回路の分周数と前記第2の分周回路の分周数とを制御する分周制御回路とを備えることを特徴とするPLL回路である。

40

【0008】

本発明は、例えば、基準クロックの位相と位相比較クロックの位相とを比較し、位相差に応じた信号を出力する位相比較回路と、前記位相比較回路により出力された前記信号をフィルタリングするループフィルタと、前記ループフィルタによりフィルタリングされた前記信号に応じた周波数のクロックを出力する電圧制御発振回路と、前記クロックを分周して出力クロックを生成する第2の分周回路と、前記出力クロックを分周して前記位相比較クロックを生成する第1の分周回路と、前記第1の分周回路の分周数と前記第2の分周回路の分周数とを制御する分周制御回路とを備えることを特徴とするPLL回路である。

【発明の効果】

50

【0009】

本発明は、複数の分周回路を備えるPLL回路に関し、PLL回路の新たな回路構成を提案するものである。

【発明を実施するための最良の形態】

【0010】

(第1実施例)

図1は、第1実施例のPLL回路101の構成を表すブロック図である。図1のPLL回路101は、位相比較回路の例である位相比較器111と、ループフィルタの例であるループフィルタ112と、電圧制御発振回路の例であるVCO(電圧制御発振器)113と、第1の分周回路の例である第1の分周器114と、第2の分周回路の例である第2の分周器115と、分周制御回路の例である分周制御回路116とを備える。図1のPLL回路101は、1チップで実現されていても複数チップで実現されていても構わない。

10

【0011】

位相比較器111は、基準クロックの位相と位相比較クロックの位相とを比較し、これら位相の位相差に応じた位相誤差信号を出力する回路である。基準クロックの位相が位相比較クロックの位相よりも進んでいる、即ち、基準クロックの周波数が位相比較クロックの周波数よりも高い場合には、位相誤差信号として高電圧の信号が出力される。基準クロックの位相が位相比較クロックの位相よりも遅れている、即ち、基準クロックの周波数が位相比較クロックの周波数よりも低い場合には、位相誤差信号として低電圧の信号が出力される。基準クロックの周波数はここでは、1MHzとする。

20

【0012】

ループフィルタ112は、位相比較器111により出力された位相誤差信号をフィルタリングする回路である。ループフィルタ112により、当該位相誤差信号の高周波成分が除去される。ループフィルタ112によりフィルタリングされた位相誤差信号は、VCO制御信号としてVCO113に入力される。

【0013】

VCO113は、上記VCO制御信号に応じた周波数のクロック(VCOクロック)を出力する回路である。当該VCOクロックは、図1のように、第1の分周器114と第2の分周器115の両方に入力される。

【0014】

第1の分周器114は、入力されたVCOクロックを分周して位相比較クロックを生成する回路である。当該位相比較クロックは、上述の位相比較クロックであり、位相比較器111に入力される。

30

【0015】

本実施例では、第1の分周器114は、プログラマブルな分周器(プログラマブルカウンタ)である。第1の分周器114の分周数は、様々な値をとる事ができる。第1の分周器114の分周数をNとする場合、第1の分周器114は、入力されたクロックをN分周して出力する。Nは1以上の整数である。なお、第1の分周器114は、非プログラマブルな分周器でもよい。

【0016】

第2の分周器115は、入力されたVCOクロックを分周してPLL回路101の出力クロックを生成する回路である。当該出力クロックは、図1のように、PLL回路101の外部に出力される。

40

【0017】

本実施例では、第2の分周器115は、非プログラマブルな分周器であり、入力されたクロックを2分周して出力する2分周器である。第2の分周器115の動作モードには、分周モードと非分周モードが存在する。分周モードにおいて、第2の分周器115の分周数は2となり、第2の分周器115は、入力クロックを分周して出力する。非分周モードにおいて、第2の分周器115の分周数は1となり、第2の分周器115は、入力クロックを分周せずにそのまま出力する。なお、第2の分周器115は、入力されたクロックを

50

M分周して出力するM分周器でもよい。Mは2以上の整数である。この場合、分周モードにおける第2の分周器115の分周数はMとなる。また、第2の分周器115は、プログラマブルな分周器でもよい。

【0018】

分周制御回路116は、第1の分周器114の分周数と、第2の分周器115の分周数とを制御する回路である。分周制御回路116により実行される制御の詳細については、後述する。

【0019】

本実施例では、位相比較器111と、ループフィルタ112と、VCO113と、第1の分周器114とが、ループ回路121を構成している。ループ回路121において上述の動作が繰り返される事で、基準クロックの位相と位相比較信号の位相とが同期する事になる。これにより、VCO113が周波数ロック状態になる、即ち、VCO113の発振周波数がロックされた状態となる。また、本実施例では、第2の分周器115は、ループ回路121の後段に配置されている。これにより、VCO113の発振周波数よりも低い周波数の出力クロックが生成される。

【0020】

図2は、図1のVCO113の入出力特性を表す。図2において、横軸はVCO113の入力電圧を表し、縦軸はVCO113の発振周波数を表す。VCO113の発振周波数は、図2に示すように、VCO113の入力電圧に応じて変化する。VCO113の発振周波数領域には、図2に示すように、周波数が安定している安定発振領域と、周波数が不安定になりやすい不安定発振領域とが存在する。図2には、安定発振領域Rと、安定発振領域より高周波側の不安定発振領域R1と、安定発振領域より低周波側の不安定発振領域R2とが示されている。VCO113の安定発振領域はここでは、160～480MHzとする。

【0021】

図3は、図1の分周制御回路116の機能ブロック図である。分周制御回路116には周波数設定信号Sが入力され、分周制御回路116からは第1の分周器114用の分周数制御信号S1と第2の分周器115用の分周数制御信号S2とが出力される。周波数設定信号Sは、PLL回路101の出力クロックの周波数を設定するための信号である。

【0022】

分周制御回路116を構成する第1の信号生成部201は、周波数設定信号Sに応じた分周数制御信号S1を生成する。分周数制御信号S1は、第1の分周器114の分周数を制御するための信号である。分周制御回路116は、分周数制御信号S1を出力することで、第1の分周器114の分周数を制御する。

【0023】

分周制御回路116を構成する第2の信号生成部202は、周波数設定信号Sに応じた分周数制御信号S2を生成する。分周数制御信号S2は、第2の分周器115の分周数を制御するための信号である。分周制御回路116は、分周数制御信号S2を出力することで、第2の分周器115の分周数を制御する。

【0024】

このように、本実施例の分周制御回路116は、周波数設定信号Sに応じた分周数制御信号S1及びS2を出力する。分周制御回路116は、分周数制御信号S1と分周数制御信号S2とを出力することで、第1の分周器114の分周数と第2の分周器115の分周数とを制御する。そして、本実施例の分周制御回路116は、第1の分周器114の分周数と第2の分周器115の分周数とを制御することで、PLL回路101の出力クロックの周波数を制御することが可能である。分周制御回路116は、PLL回路101の出力クロックの周波数を、周波数設定信号Sに応じた周波数に制御する。

【0025】

以下、図1のPLL回路101の動作例について説明する。

【0026】

VCO113の安定発振領域はここでは、160～480MHzである。VCO113の後段には、2分周器である第2の分周器115が配置されている。よって、PLL回路101は、80～480MHzの周波数を設定可能である。即ち、PLL回路101は、80～480MHzの周波数の出力クロックを生成可能である。

【0027】

出力クロックの周波数は、周波数設定信号Sにより指定され、当該周波数設定信号Sに応じて分周制御回路116により設定される。以下、出力クロックの周波数の指定値を、N[MHz]と表す事にする。一方、基準クロックの周波数はここでは、1[MHz]である。このように、出力クロックの周波数の指定値はここでは、基準クロックの周波数のN倍の周波数となっている。以下、Nは1以上の整数とする。

10

【0028】

分周制御回路116は、出力クロックの周波数を160～480MHzとする場合、即ち、出力クロックの周波数をVCO113の安定発振領域内で設定する場合には、以下のように動作する。この場合、分周制御回路116は、第1の分周器114の分周数をNに設定する。また、分周制御回路116は、第2の分周器115の分周数を1に設定する、即ち、第2の分周器115を非分周モードにする。これにより、出力クロックの周波数は基準クロックの周波数のN倍の周波数に設定される、即ち、N[MHz]に設定される。

【0029】

分周制御回路116は、出力クロックの周波数を80～160MHzとする場合、すなわち、出力クロックの周波数をVCO113の安定発振領域外で設定する場合には、以下のように動作する。この場合、分周制御回路116は、第1の分周器114の分周数を $N \times 2$ に設定する。また、分周制御回路116は、第2の分周器115の分周数を2に設定する、すなわち、第2の分周器115を分周モードにする。これにより、出力クロックの周波数は基準クロックの周波数のN倍の周波数に設定される、すなわち、N[MHz]に設定される。なお、第2の分周器115がM分周器である場合には、第1の分周器114の分周数は $N \times M$ に、第2の分周器115の分周数はMに設定される。Mは2以上の整数である。

20

【0030】

以下、周波数の具体的な数値例を挙げて説明する。

【0031】

分周制御回路116は、出力クロックの周波数を200MHzに設定する場合、以下のように動作する。当該周波数は安定発振領域内の周波数であるため、分周制御回路116は、第1の分周器114の分周数を $200 \times 1 = 200$ に設定し、第2の分周器115の分周数を1に設定する。この場合、周波数ロック状態におけるVCOクロックの周波数、即ち、周波数ロック状態におけるVCO113の発振周波数は200MHzとなり、出力クロックの周波数と同じ周波数となる。

30

【0032】

分周制御回路116は、出力クロックの周波数を100MHzに設定する場合、以下のように動作する。当該周波数は安定発振領域外の周波数であるため、分周制御回路116は、第1の分周器114の分周数を $100 \times 2 = 200$ に設定し、第2の分周器115の分周数を2に設定する。この場合、周波数ロック状態におけるVCOクロックの周波数、即ち、周波数ロック状態におけるVCO113の発振周波数は200MHzとなり、出力クロックの周波数の2倍の周波数となる。

40

【0033】

以上の数値例から、本実施例では、出力クロックの周波数を安定発振領域内で設定する場合にも安定発振領域外で設定する場合にも、VCOクロックの周波数が安定発振領域内の周波数となっていることが解る。本実施例では、周波数ロック状態におけるVCOクロックの周波数が常に安定発振領域内の周波数となるようなアルゴリズムで、第1の分周器114の分周数及び第2の分周器115の分周数の制御方法が規定される。その一例が、上述した動作例である。このように、分周制御回路116は、周波数ロック状態における

50

VCOクロックの周波数がVCO113の安定発振領域外の周波数にならないよう、第1の分周器114の分周数と第2の分周器115の分周数とを制御する。よって、本実施例では、出力クロックの周波数を安定発振領域内で設定する場合にも安定発振領域外で設定する場合にも、安定したVCOクロックを生成することができる。

【0034】

以上のように、本実施例のPLL回路101は、第1の分周器114の分周数と第2の分周器115の分周数とを制御する分周制御回路116を具備する。これにより、第1の分周器114の分周数及び第2の分周器115の分周数の制御を、分周制御回路116に一元化する事が可能になる。また、分周制御回路116は、第1の分周器114の分周数と第2の分周器115の分周数とを制御する事で、出力クロックの周波数を制御する事が可能である。これにより、PLL回路101のクライアント機器は、第1の分周器114及び第2の分周器115を個別に制御するのではなく、分周制御回路116を利用する事で、出力クロックの周波数を制御できるようになる。

【0035】

また、分周制御回路116は、出力クロックの周波数を設定するための周波数設定信号Sに応じて、第1の分周器114の分周数と第2の分周器115の分周数とを制御する。従って、PLL回路101のクライアント機器は、第1の分周器114の分周数と第2の分周器115の分周数とを指定するのではなく、出力クロックの周波数を指定する事で、出力クロックの周波数を簡単に制御する事ができる。

【0036】

また、分周制御回路116は、周波数ロック状態におけるVCO113の発振周波数がVCO113の安定発振領域外の周波数にならないよう、第1の分周器114の分周数と第2の分周器115の分周数とを、出力クロックの周波数の指定値に応じて自動的に制御する。これにより、クライアント側では、出力クロックの周波数を指定する際に、VCO113の入出力特性や分周器114及び115の設定を考慮する必要がなくなる。クライアント側がこれらを考慮せずに出力クロックの周波数を指定しても、VCO113の発信周波数は自動的に安定発振領域内の周波数に設定される。クライアント側のミスにより、VCO113の発振周波数が誤って安定発振領域外の周波数に設定されるといった事態が防止される。よって、PLL回路101のクライアントは、出力クロックの周波数を簡単に指定する事ができる。

【0037】

なお、第1の分周器114は、プログラマブルな分周器でも非プログラマブルな分周器でも構わないが、プログラマブルな分周器とする方が望ましい。これにより、PLL回路101は、様々な周波数の出力クロックを生成可能になる。

【0038】

また、第2の分周器115は、プログラマブルな分周器でも非プログラマブルな分周器でも構わないが、非プログラマブルな分周器とする方が望ましい。理由は、第2の分周器115は、プログラマブルな分周器である必要はなく、非プログラマブルな分周器で十分だからである。これにより、PLL回路101のコストが削減される。

【0039】

上述の動作例では、VCO113の安定発振領域は160～480MHzであり、第2の分周器115は2分周器である。よって、PLL回路101は、80～480MHzの周波数を設定可能である。

【0040】

第2の分周器115は例えば3分周器でも構わない。この場合、PLL回路101は、53～480MHzの周波数を設定可能となる。分周制御回路116は、出力クロックの周波数を160～480MHzとする場合には、第1の分周器114の分周数をNに設定し、第2の分周器115の分周数を1に設定する。出力クロックの周波数が200MHzに設定される場合、VCO113の発振周波数は200MHzとなる。分周制御回路116は、出力クロックの周波数を53～160MHzとする場合には、第1の分周器114

10

20

30

40

50

の分周数を $N \times 3$ に設定し、第2の分周器115の分周数を3に設定する。出力クロックの周波数が100MHzに設定される場合、VCO113の発振周波数は300MHzとなる。第2の分周器115の分周数が4以上の場合も、同様に考察可能である。

【0041】

以下、第2実施例のPLL回路101について説明する。第2実施例は、第1実施例の変形例であり、第2実施例については、第1実施例との相違点を中心に説明する。

【0042】

(第2実施例)

図4は、第2実施例のPLL回路101の構成を表すブロック図である。図4のPLL回路101は、位相比較回路の例である位相比較器111と、ループフィルタの例であるループフィルタ112と、電圧制御発振回路の例であるVCO(電圧制御発振器)113と、第1の分周回路の例である第1の分周器114と、第2の分周回路の例である第2の分周器115と、分周制御回路の例である分周制御回路116とを備える。

【0043】

位相比較器111は、基準クロックの位相と位相比較クロックの位相とを比較し、これら位相の位相差に応じた位相誤差信号を出力する回路である。

【0044】

ループフィルタ112は、位相比較器111により出力された位相誤差信号をフィルタリングする回路である。ループフィルタ112によりフィルタリングされた位相誤差信号は、VCO制御信号としてVCO113に入力される。

【0045】

VCO113は、上記VCO制御信号に応じた周波数のクロック(VCOクロック)を出力する回路である。当該VCOクロックは、図4のように、第2の分周器115に入力される。

【0046】

第2の分周器115は、入力されたVCOクロックを分周してPLL回路101の出力クロックを生成する回路である。当該出力クロックは、図4のように、PLL回路101の外部に出力されると共に、第1の分周器114に入力される。

【0047】

第1の分周器114は、入力された出力クロックを分周して位相比較クロックを生成する回路である。当該位相比較クロックは、上述の位相比較クロックであり、位相比較器111に入力される。

【0048】

分周制御回路116は、第1の分周器114の分周数と、第2の分周器115の分周数とを制御する回路である。分周制御回路116により実行される制御の詳細については、後述する。

【0049】

本実施例では、位相比較器111と、ループフィルタ112と、VCO113と、第1の分周器114と、第2の分周器115が、ループ回路121を構成している。第1実施例では、第2の分周器115がループ回路121外に配置されていたのに対し、第2実施例では、第2の分周器115がループ回路121内に配置されている。ループ回路121において上述の動作が繰り返される事で、基準クロックの位相と位相比較信号の位相とが同期する事になる。これにより、VCO113が周波数ロック状態になる、即ち、VCO113の発振周波数がロックされた状態となる。また、本実施例では、第2の分周器115の出力が、PLL回路101の出力クロックとなる。これにより、VCO113の発振周波数よりも低い周波数の出力クロックが生成される。

【0050】

以下、図4のPLL回路101の動作例について説明する。

【0051】

VCO113の安定発振領域はここでは、160～480MHzである。VCO113

10

20

30

40

50

の後段には、2分周器である第2の分周器115が配置されている。よって、PLL回路101は、80～480MHzの周波数を設定可能である。即ち、PLL回路101は、80～480MHzの周波数の出力クロックを生成可能である。

【0052】

出力クロックの周波数は、周波数設定信号Sにより指定され、当該周波数設定信号Sに応じて分周制御回路116により設定される。以下、出力クロックの周波数の指定値を、N [MHz] と表す事にする。一方、基準クロックの周波数はここでは、1 [MHz] である。このように、出力クロックの周波数の指定値はここでは、基準クロックの周波数のN倍の周波数となっている。以下、Nは1以上の整数とする。

【0053】

分周制御回路116は、出力クロックの周波数を160～480MHzとする場合、即ち、出力クロックの周波数をVCO113の安定発振領域内で設定する場合には、以下のように動作する。この場合、分周制御回路116は、第1の分周器114の分周数をNに設定する。また、分周制御回路116は、第2の分周器115の分周数を1に設定する、即ち、第2の分周器115を非分周モードにする。これにより、出力クロックの周波数は基準クロックの周波数のN倍の周波数に設定される、即ち、N [MHz] に設定される。

【0054】

分周制御回路116は、出力クロックの周波数を80～160MHzとする場合、すなわち、出力クロックの周波数をVCO113の安定発振領域外で設定する場合には、以下のように動作する。この場合、分周制御回路116は、第1の分周器114の分周数をNに設定する。また、分周制御回路116は、第2の分周器115の分周数を2に設定する、すなわち、第2の分周器115を分周モードにする。これにより、出力クロックの周波数は基準クロックの周波数のN倍の周波数に設定される、すなわち、N [MHz] に設定される。なお、第2の分周器115がM分周器である場合には、第1の分周器114の分周数はNに、第2の分周器115の分周数はMに設定される。Mは2以上の整数である。

【0055】

以下、周波数の具体的な数値例を挙げて説明する。

【0056】

分周制御回路116は、出力クロックの周波数を200MHzに設定する場合、以下のように動作する。当該周波数は安定発振領域内の周波数であるため、分周制御回路116は、第1の分周器114の分周数を $200 \times 1 = 200$ に設定し、第2の分周器115の分周数を1に設定する。この場合、周波数ロック状態におけるVCOクロックの周波数、即ち、周波数ロック状態におけるVCO113の発振周波数は200MHzとなり、出力クロックの周波数と同じ周波数となる。

【0057】

分周制御回路116は、出力クロックの周波数を100MHzに設定する場合、以下のように動作する。当該周波数は安定発振領域外の周波数であるため、分周制御回路116は、第1の分周器114の分周数を $100 \times 1 = 100$ に設定し、第2の分周器115の分周数を2に設定する。この場合、周波数ロック状態におけるVCOクロックの周波数、即ち、周波数ロック状態におけるVCO113の発振周波数は200MHzとなり、出力クロックの周波数の2倍の周波数となる。

【0058】

以上の数値例から、本実施例では、出力クロックの周波数を安定発振領域内で設定する場合にも安定発振領域外で設定する場合にも、VCOクロックの周波数が安定発振領域内の周波数となっていることが解る。本実施例では、周波数ロック状態におけるVCOクロックの周波数が常に安定発振領域内の周波数となるようなアルゴリズムで、第1の分周器114の分周数及び第2の分周器115の分周数の制御方法が規定される。その一例が、上述した動作例である。このように、分周制御回路116は、周波数ロック状態におけるVCOクロックの周波数がVCO113の安定発振領域外の周波数にならないよう、第1の分周器114の分周数と第2の分周器115の分周数とを制御する。よって、本実施例

10

20

30

40

50

では、出力クロックの周波数を安定発振領域内で設定する場合にも安定発振領域外で設定する場合にも、安定したVCOクロックを生成することができる。

【0059】

なお、第1の分周器114は、プログラマブルな分周器でも非プログラマブルな分周器でも構わないが、プログラマブルな分周器とする方が望ましい。これにより、PLL回路101は、様々な周波数の出力クロックを生成可能になる。

【0060】

また、第2の分周器115は、プログラマブルな分周器でも非プログラマブルな分周器でも構わないが、非プログラマブルな分周器とする方が望ましい。理由は、第2の分周器115は、プログラマブルな分周器である必要はなく、非プログラマブルな分周器で十分だからである。これにより、PLL回路101のコストが削減される。

10

【0061】

上述の動作例では、VCO113の安定発振領域は160～480MHzであり、第2の分周器115は2分周器である。よって、PLL回路101は、80～480MHzの周波数を設定可能である。

【0062】

第2の分周器115は例えば3分周器でも構わない。この場合、PLL回路101は、53～480MHzの周波数を設定可能となる。分周制御回路116は、出力クロックの周波数を160～480MHzとする場合には、第1の分周器114の分周数をNに設定し、第2の分周器115の分周数を1に設定する。出力クロックの周波数が200MHzに設定される場合、VCO113の発振周波数は200MHzとなる。分周制御回路116は、出力クロックの周波数を53～160MHzとする場合には、第1の分周器114の分周数をNに設定し、第2の分周器115の分周数を3に設定する。出力クロックの周波数が100MHzに設定される場合、VCO113の発振周波数は300MHzとなる。第2の分周器115の分周数が4以上の場合についても、同様に考察可能である。

20

【図面の簡単な説明】

【0063】

【図1】第1実施例のPLL回路の構成を表すブロック図である。

【図2】図1のVCOの入出力特性を表す。

【図3】図1の分周制御回路の機能ブロック図である。

30

【図4】第2実施例のPLL回路の構成を表すブロック図である。

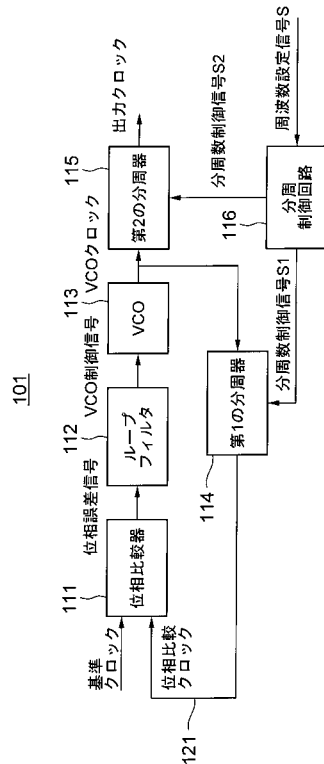
【符号の説明】

【0064】

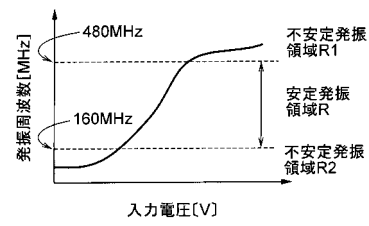
- 101 PLL回路
- 111 位相比較器
- 112 ループフィルタ
- 113 VCO
- 114 第1の分周器
- 115 第2の分周器
- 116 分周制御回路
- 121 ループ回路
- 201 第1の信号生成部
- 202 第2の信号生成部

40

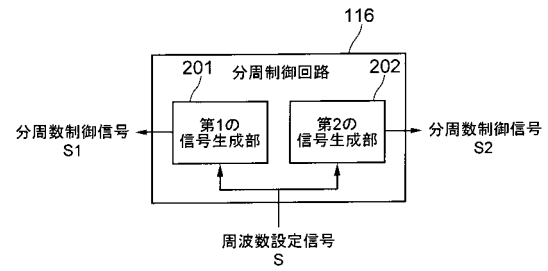
【図 1】



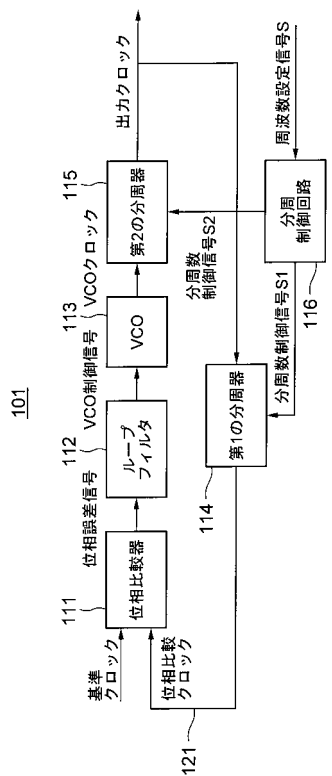
【図 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 峯 元 昭 仁

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 山 本 康 二

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5J106 BB01 BB10 CC16 CC21 CC41 CC53 DD18 KK12 RR06 RR07