

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200880020782.8

[51] Int. Cl.

G11C 16/34 (2006.01)

G11C 16/24 (2006.01)

G11C 16/10 (2006.01)

[43] 公开日 2010 年 3 月 31 日

[11] 公开号 CN 101689404A

[22] 申请日 2008.6.9

[21] 申请号 200880020782.8

[30] 优先权

[32] 2007. 6. 18 [33] US [31] 11/764,450

[86] 国际申请 PCT/US2008/066269 2008.6.9

[87] 国际公布 WO2008/157106 英 2008.12.24

[85] 进入国家阶段日期 2009.12.18

[71] 申请人 美光科技公司

地址 美国爱达荷州

[72] 发明人 弗朗姬·鲁帕尔瓦尔

[74] 专利代理机构 北京律盟知识产权代理有限责任公司
代理人 沈锦华

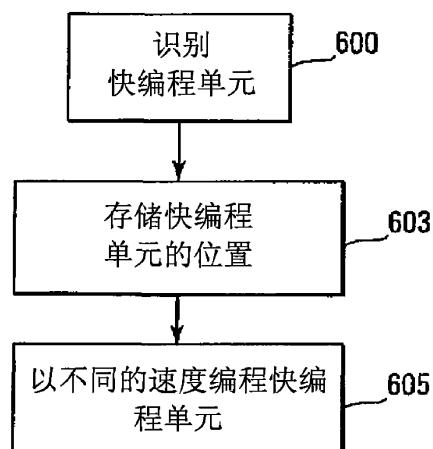
权利要求书 2 页 说明书 13 页 附图 8 页

[54] 发明名称

固态存储器中的编程速率识别及控制

[57] 摘要

适于接收及传输表示两个或多于两个位的位模式的模拟数据信号的存储器装置相对于传送指示个别位的数据信号的装置促进数据传送速率的增加。此类存储器装置的编程包含确定存储器单元的编程速率(即，相应阈值电压的移动速率)及用编程速率控制电压偏置对应的位线，所述编程速率控制电压大于位线启用电压且小于抑制电压。可调节此电压以改变编程速度。耦合到所述位线的电容器存储所述编程速率控制电压以维持适当位线偏压达编程操作的持续时间或直到期望改变所述编程速率为止。



1、一种用于固态存储器中的编程速率识别及控制的方法，所述固态存储器包括具有耦合到位线的存储器单元列的存储器单元阵列，所述方法包括：

识别所述阵列中以比所述阵列中的剩余存储器单元较快的速率编程的存储器单元；及

通过调节选定位线的偏压来致使以所述较快速率编程的所述存储器单元以与所述剩余存储器单元大致类似的编程速率达到其相应经编程状态。

2、如权利要求 1 所述的方法，且其进一步包含存储每一所识别的以所述较快速率编程的存储器单元的位置的指示。

3、如权利要求 2 所述的方法，且其进一步包含存储与所述位置的所述指示相关联的位线偏置电压的指示。

4、如权利要求 1 所述的方法，其中所述经编程状态是阈值电压分布的一部分。

5、如权利要求 4 所述的方法，其中由模拟电压表示每一阈值电压。

6、如权利要求 1 所述的方法，且其进一步包含在编程期间从每一存储器单元读取模拟阈值电压且将所述模拟阈值电压转换为所述模拟阈值电压的数字表示。

7、如权利要求 1 所述的方法，且其进一步包含：

识别所述存储器单元中的每一者的编程速率以确定较快编程存储器单元及较慢编程存储器单元；

存储每一较快编程存储器单元的位置的指示；及

通过增加耦合到所述较快编程存储器单元的选定位线偏置电压以使得所述偏置电压大于位线启用电压来改变所述较快编程存储器单元的所述编程速率。

8、如权利要求 7 所述的方法，且其进一步包含：

接收包括逻辑地址的编程命令；及

在存储器中存取所述较快编程存储器单元中的每一者的所述位置的所述所存储指示以确定所述逻辑地址是否匹配所述较快编程存储器单元的所述位置的所述指示中的任一者。

9、如权利要求 7 所述的方法，且其进一步包含存储与每一较快编程存储器单元相关联的所述编程速率的指示。

10、如权利要求 7 所述的方法，且其进一步包含存储与每一较快编程存储器单元相关联的提供预定编程速率的所述位线偏置电压的指示。

11、一种用于控制非易失性固态存储器中的存储器单元的编程速率的方法，所述非易失性固态存储器包括多个位线，每一位线均耦合到存储器单元列，所述方法包括：

针对所述存储器单元中的每一者读取第一编程脉冲之前的第一阈值电压；

向所述存储器单元中的每一者施加所述第一编程脉冲；

针对所述存储器单元中的每一者读取所述第一编程脉冲之后的第二阈值电压；

确定所述第一与第二阈值电压之间的差以找出较快编程存储器单元及较慢编程存储器单元，其中所述较快编程存储器单元与所述较慢编程存储器单元相比具有较大的所述第一与第二阈值电压之间的差；及

用大于启用电压且小于抑制电压的电压偏置耦合到所述较快编程存储器单元中的每一者的选定位线，使得所述较快编程存储器单元的所述编程速率降低。

12、如权利要求 11 所述的方法，且其进一步包括将所述第一及第二阈值电压转换为指示所述第一及第二阈值电压的数字信号。

13、如权利要求 11 所述的方法，其中偏置包括将所述电压写入到耦合到所述选定位线的电容器，使得所述电容器在编程期间保持所述选定位线上的所述电压。

14、如权利要求 11 所述的方法，且其进一步包括：

接收包括所接收存储器单元地址及具有经编程状态的数据值的编程命令；

如果所述所接收存储器单元地址等于较快编程存储器的所有存储器单元地址，则从存储器读取与所述所有存储器单元地址相关联的所有存储位线电压数据；及

响应于所述所有存储位线电压数据偏置耦合到所述所接收存储器单元地址的选定位线。

15、一种固态存储器装置，其包括：

非易失性存储器单元阵列，其具有耦合到位线的存储器单元列及耦合到字线的存储器单元行；及

用于控制及存取所述非易失性存储器单元阵列的电路，其中所述用于控制及存取的电路经配置以通过产生大于启用电压的选定位线偏压且响应于所述存储器单元中的每一者的阈值电压的改变速率来控制所述非易失性存储器单元阵列的编程速率。

16、如权利要求 15 所述的固态存储器装置，其中所述用于控制及存取的电路进一步适于从正被编程的所述存储器单元读取模拟数据信号且适于产生指示所述所读取模拟数据信号的数字阈值电压信号。

17、如权利要求 15 所述的固态存储器装置，且其进一步包含偏置耦合到每一位线的电容器，其中所述用于控制及存取的电路进一步适于在编程操作期间将所述选定位线偏压写入到所述偏压电容器。

18、如权利要求 15 所述的固态存储器装置，其中所述用于控制及存取所述非易失性存储器单元阵列的电路包括用以接收指示经编程存储器状态的数字数据信号且用以将所述数字数据信号转换为指示所述经编程存储器状态的阈值电压的模拟数据信号的电路。

19、如权利要求 15 所述的固态存储器装置，其中所述非易失性存储器单元阵列组织成 NAND 架构。

固态存储器中的编程速率识别及控制

技术领域

本发明大体上涉及半导体存储器，且特定来说，本发明涉及固态非易失性存储器装置。

背景技术

电子装置通常具有可供其采用的一些类型的大容量存储装置。一种常见实例为一硬磁盘驱动器（HDD）。HDD 能够以相对低成本进行大量存储，且当前消费者 HDD 具有超过一个太字节的容量。

HDD 通常将数据存储于旋转磁性媒体或唱片上。数据通常是以磁通反转模式的形式存储于唱片上。当向典型 HDD 写入数据时，以较高速度旋转所述唱片，同时浮动于所述唱片上方的写入头产生一连串磁性脉冲以在所述唱片上对准磁性粒子来表示所述数据。当从典型 HDD 读取数据时，当磁阻读取头浮动于高速旋转的唱片上方时，其中会因感应而发生电阻改变。在实践中，所得的数据信号是模拟信号，所述信号的波峰及波谷是所述数据模式的磁通反转所引起的结果。然后使用称作部分响应最大似然（PRML）的数字信号处理技术对所述模拟数据信号取样以确定负责产生所述数据信号的可能数据模式。

HDD 因其机械性质而具有某些缺陷。HDD 常因冲击、振动或强磁场而易发生损坏或过度读取/写入错误。另外，其在便携式电子装置中使用相对较大的电力。

大容量存储装置的另一实例是固态驱动器(SSD)。SSD 利用半导体存储器装置来存储其数据而非将数据存储于旋转媒体上，但其包含使其在其主机系统看来为典型 HDD 的接口及形式因数。存储器装置 SSD 通常为非易失性快闪存储器装置。

快闪存储器装置已发展成用于广泛的电子应用的普遍非易失性存储器源。快闪存储器装置通常使用允许高存储器密度、高可靠性及低功率消耗的单晶体管存储器单元。所述单元的阈值电压的改变（通过对电荷存储或陷获层或其它物理现象的编程）确定每一单元的数据值。快闪存储器及其它非易失性存储器的常见使用包含：个人计算机、个人数字助理（PDA）、数码相机、数字媒体播放器、数字记录器、游戏、电器、车辆、无线装置、移动电话及可拆卸存储器模块，且非易失性存储器的使用范围正继续扩大。

与 HDD 不同的是，因其固态性质，SDD 的操作一般不会受到振动、冲击或磁场等因素的影响。类似地，由于不用移动部件，SDD 具有比 HDD 较低的功率需求。然

而，与具有相同形式因数的 HDD 相比，SSD 当前具有低得多的存储容量及明显较高的每位成本。

出于上述原因，且由于所属领域的技术人员在阅读及了解本说明书之后将明了的下文所述其它原因，此项技术中需要替代的大容量存储器件选项。

发明内容

附图说明

图 1 是根据本发明实施例的存储器装置的简化框图。

图 2 是可存在于图 1 的存储器装置中的实例性 NAND 存储器阵列的一部分的示意图。

图 3 是根据本发明一个实施例的固态大容量存储器系统的框示意图。

图 4 是对概念性地显示可根据本发明实施例由读取/写入通道自存储器装置接收的数据信号的波形的描绘。

图 5 是根据本发明实施例的电子系统的框示意图。

图 6 是用于本发明存储器装置的编程速率识别及控制方法的一个实施例的流程图。

图 7 是用于本发明存储器装置的编程速率识别及控制方法的另一实施例的流程图。

图 8 是用于本发明存储器装置的快存储器单元编程识别及控制方法的实施例的流程图。

图 9 是具有经附接的偏压电容器的 NAND 存储器阵列的一部分的一个实施例的示意图。

图 10 是用于编程本发明的存储器装置的方法的另一实施例的流程图。

具体实施方式

在以下对本发明实施例的详细说明中，参照形成本发明一部分且其中以图解说明方式显示可在其中实践本发明的具体实施例的附图。充分详细地描述这些实施例以使所属领域的技术人员能够实践本发明，且应了解，也可利用其它实施例，且可做出过程、电或机械改变而不背离本发明的范围。因此，不可将以下详细说明视为限定性说明。

传统固态存储器装置以二进制信号形式传递数据。通常，接地电位表示数据位的第一逻辑电平（例如，数据值‘0’），而电源电位表示数据位的第二逻辑电平（例如，

数据值‘1’）。可指派多级单元（MLC），举例来说，四个不同阈值电压（Vt）范围，每一范围200 mV，其中每一范围对应于不同的数据状态，借此表示四个数据值或位模式。通常，每一范围之间具有0.2伏至0.4伏的静区或容限以防止Vt分布发生重叠。如果所述单元的Vt处于第一范围内，则可认为所述单元存储逻辑11状态且通常将此视为所述单元的经擦除状态。如果Vt处于第二范围内，则可认为所述单元存储逻辑10状态。如果Vt处于第三范围内，则可认为所述单元存储逻辑00状态。且如果Vt处于第四范围内，则可认为所述单元存储逻辑01状态。

当编程上文所描述的传统MLC装置时，一般首先以块擦除单元以对应于所述经擦除状态。在擦除单元块之后，必要时首先编程每一单元的最低有效位（LSB）。举例来说，如果LSB为1，则不必进行编程，但如果LSB为0，则将目标存储器单元的Vt自对应于所述11逻辑状态的Vt范围移动到对应于所述10逻辑状态的Vt范围。在编程所述LSB之后，以类似方式编程每一单元的最高有效位（MSB），从而在必要时使Vt发生偏移。当读取传统存储器装置的MLC时，一个或一个以上读取操作大体确定单元电压的Vt落入所述范围中的哪一者中。举例来说，第一读取操作可确定目标存储器单元的Vt指示所述MSB为1还是0，而第二读取操作可确定目标存储器单元的Vt指示所述LSB为1还是0。然而，在每一情形中，不论每一单元上存储有多少个位，均有单个位从目标存储器单元的读取操作返回。当在每一MLC上存储更多个位时，此多个编程及读取操作问题变得愈加棘手。因为每一此编程或读取操作均为二进制操作，即，每一操作均针对每单元编程单个信息位或返回单个信息位，因此在每一MLC上存储更多个位可导致较长的操作时间。

说明性实施例的存储器装置将数据作为Vt范围存储在存储器单元上。然而，与传统存储器装置不同，编程及读取操作能够不将数据信号用作MLC数据值的离散位，而是用作MLC数据值的完全表示，例如其完整位模式。举例来说，在两位MLC装置中，可编程目标阈值电压来表示那两个位的位模式，而非在编程单元的LSB之后再编程所述单元的MSB。即，将向存储器单元施加一连串编程及验证操作直到所述存储器单元获得其目标阈值电压，而非编程至第一位的第一阈值电压、偏移至第二位的第二阈值电压等。类似地，可将单元的阈值电压作为表示所述单元的完整数据值或位模式的单个信号来确定及传递，而非利用多次读取操作来确定所述单元上所存储的每一位。各种实施例的存储器装置不像传统存储器装置那样仅仅注意存储器单元的阈值电压处于某一额定阈值电压以上还是以下。而是，产生表示所述存储器单元跨越可能的连续阈值电压范围的实际阈值电压的电压信号。当每单元的位计数增加时，此方法的优点变得更为明显。举例来说，如果所述存储器单元存储八个信息位，则单个读取操作将会返回可表示八个信息位的单个模拟数据信号。

图1是根据本发明实施例的存储器装置101的简化框图。存储器装置101包含布置成行及列的存储器单元阵列104。虽然将主要参照NAND存储器阵列来描述各种实施例，但所述各种实施例并不限于存储器阵列104的具体架构。适于本发明实施例的

其它阵列架构的一些实例包含 NOR 阵列、AND 阵列及虚拟接地阵列。然而，一般来说，本文所描述的实施例可适于准许产生可指示每一存储器单元的阈值电压的数据信号的任何阵列架构。

提供行解码电路 108 及列解码电路 110 以对提供给存储器装置 101 的地址信号进行解码。地址信号经接收及解码以存取存储器阵列 104。存储器装置 101 还包含输入/输出 (I/O) 控制电路 112 以管理命令、地址及数据至存储器装置 101 的输入以及数据及状态信息自存储器装置 101 的输出。将地址寄存器 114 耦合在 I/O 控制电路 112 与行解码电路 108 及列解码电路 110 之间以在进行解码之前锁存所述地址信号。命令寄存器 124 耦合于 I/O 控制电路 112 与控制逻辑 116 之间以锁存传入命令。控制逻辑 116 响应于所述命令来控制对存储器阵列 104 的存取，并为外部处理器 130 产生状态信息。将控制逻辑 116 耦合到行解码电路 108 及列解码电路 110 以响应于所述地址控制行解码电路 108 及列解码电路 110。

控制逻辑 116 还耦合到取样与保持电路 118。取样与保持电路 118 锁存模拟电压电平形式的传入或传出数据。举例来说，所述取样与保持电路可含有用于对表示待写入到存储器单元的数据的传入电压信号或指示从存储器单元感测的阈值电压的传出电压信号进行取样的电容器或其它模拟存储装置。取样与保持电路 118 可进一步提供对所取样电压的放大及/或缓冲以向外部装置提供更强的数据信号。

对模拟电压信号的处理可采取类似于 CMOS 成像器技术领域中众所周知的方法的方法，其中在所述成像器的像素处响应于入射光照而产生的电荷电平存储于电容器上。然后使用具有参考电容器的差分放大器将这些电荷电平转换为电压信号以用作所述差分放大器的第二输入。然后将所述差分放大器的输出传递到模拟-数字转换 (ADC) 装置以获得表示光照强度的数字值。在本发明实施例中，可响应于使电容器经受指示存储器单元的实际或目标阈值电压（分别用于读取或编程所述存储器单元）的电压电平而将电荷存储在所述电容器上。然后可使用具有接地输入或用其它参考信号作为第二输入的差分放大器将此电荷转换为模拟电压。然后可将所述差分放大器的输出传递到 I/O 控制电路 112 以在读取操作的情况下自存储器装置输出或用于在编程所述存储器装置时的一个或一个以上验证操作期间进行比较。应注意，可选地，I/O 控制电路 112 可包含模拟-数字转换功能及数字-模拟转换 (DAC) 功能以将读取数据从模拟信号转换为数位模式且将写入数据从数位模式转换为模拟信号，使得存储器装置 101 可适于与模拟数据接口或数字数据接口进行通信。

在写入操作期间，编程存储器阵列 104 的目标存储器单元，直到表示其 V_t 电平的电压匹配取样与保持电路 118 中所保持的电平为止。作为一个实例，此可通过使用差分感测装置将所述所保持的电压电平与目标存储器单元的阈值电压进行比较来实现。与传统存储器编程极为类似的是，可向目标存储器单元施加编程脉冲以增加其阈值电压直到达到或超过期望值为止。在读取操作中，将所述目标存储器单元的 V_t 电平传递到取样与保持电路 118 以直接作为模拟信号或作为所述模拟信号的数字化表示传

送到外部处理器（图 1 中未显示），此取决于 ADC/DAC 功能是在存储器装置的外部还是内部提供。

可以各种方式确定单元的阈值电压。举例来说，可在目标存储器单元被激活的时刻对字线电压进行取样。另一选择是，可将经升压的电压施加至目标存储器单元的第一源极/漏极侧，且可将阈值电压视为其控制栅极电压与其另一源极/漏极侧处的电压之间的差。通过将所述电压耦合到电容器，将与所述电容器共享电荷以存储所取样的电压。注意，所述经取样电压无需与阈值电压相等，而仅仅指示所述电压。举例来说，在将经升压的电压施加至所述存储器单元的第一源极/漏极侧并将已知电压施加至其控制栅极的情形下，由于在所述存储器单元的第二源极/漏极侧处产生的电压指示所述存储器单元的阈值电压，因此可将所述所产生电压视为数据信号。

取样与保持电路 118 可包含快取（即，每一数据值多个存储位置），使得存储器装置 101 可在将第一数据值传递到外部处理器的同时读取下一数据值或在将第一数据值写入到存储器阵列 104 的同时接收下一数据值。将状态寄存器 122 耦合在 I/O 控制电路 112 与控制逻辑 116 之间以锁存用于输出到所述外部处理器的状态信息。

存储器装置 101 经由控制链路 132 在控制逻辑 116 处接收控制信号。所述控制信号可包含芯片启用 CE#、命令锁存启用 CLE、地址锁存启用 ALE 及写入启用 WE#。存储器装置 101 可经由多路复用输入/输出 (I/O) 总线 134 自外部处理器接收命令（命令信号形式）、地址（地址信号形式）及数据（数据信号形式）并经由 I/O 总线 134 将数据输出到所述外部处理器。

在具体实例中，经由 I/O 总线 134 的输入/输出 (I/O) 引脚[7:0]在 I/O 控制电路 112 处接收命令并将所述命令写入到命令寄存器 124 中。经由总线 134 的输入/输出 (I/O) 引脚[7:0]在 I/O 控制电路 112 处接收地址并将所述地址写入到地址寄存器 114 中。对于能够接收八个并行信号的装置经由输入/输出 (I/O) 引脚[7:0]或对于能够接收十六个并行信号的装置经由输入/输出 (I/O) 引脚[15:0]在 I/O 控制电路 112 处接收数据并将所述数据传送到取样与保持电路 118。对于能够传输八个并行信号的装置，还可经由输入/输出 (I/O) 引脚[7:0]或对于能够传输十六个并行信号的装置，还可经由输入/输出 (I/O) 引脚[15:0]来输出数据。所属领域的技术人员应了解，可提供额外的电路及信号，且已简化图 1 的存储器装置以帮助重点强调本发明的实施例。另外，尽管已根据各种信号的接收及输出的普遍惯例描述了图 1 的存储器装置，但应注意，除非本文中明确说明，否则各种实施例不受所描述的具体信号及 I/O 配置限制。举例来说，可在与接收数据信号的输入分开的输入处接收命令及地址信号，或可经由 I/O 总线 134 的单个 I/O 线串行地传输数据信号。由于所述数据信号表示位模式而非个别位，因此 8 位数据信号的串行通信可与表示个别位的八个信号的并行通信一样有效。

图 2 是可存在于图 1 的存储器阵列 104 中的实例性 NAND 存储器阵列 200 的一部分的示意图。如图 2 中所显示，存储器阵列 200 包含字线 202₁ 至 202_N 及交叉位线 204₁ 至 204_M。为便于在数字环境中进行寻址，字线 202 的数目及位线 204 的数目一般各自

为 2 的某次幂。

存储器阵列 200 包含 NAND 串 206₁ 至 206_M。每一 NAND 串包含晶体管 208₁ 至 208_N，每一晶体管位于字线 202 与位线 204 的交叉点处。在图 2 中描绘为浮动栅极晶体管的晶体管 208 表示用于存储数据的非易失性存储器单元。每一 NAND 串 206 的浮动栅极晶体管 208 自源极至漏极地串联连接于一个或一个以上源极选择栅极 210（例如，场效晶体管（FET））与一个或一个以上漏极选择栅极 212（例如，FET）之间。每一源极选择栅极 210 位于本地位线 204 与源极选择线 214 的交叉点处，而每一漏极选择栅极 212 位于本地位线 204 与漏极选择线 215 的交叉点处。

每一源极选择栅极 210 的源极连接到共用源极线 216。每一源极选择栅极 210 的漏极连接到对应 NAND 串 206 的第一浮动栅极晶体管 208 的源极。举例来说，源极选择栅极 210₁ 的漏极连接到对应 NAND 串 206₁ 的浮动栅极晶体管 208₁ 的源极。每一源极选择栅极 210 的控制栅极均连接到源极选择线 214。如果针对给定 NAND 串 206 利用多个源极选择栅极 210，则所述多个源极选择栅极可串联地耦合在共用源极线 216 与所述 NAND 串 206 的第一浮动栅极晶体管 208 之间。

每一漏极选择栅极 212 的漏极均在漏极触点处连接到对应 NAND 串的本地位线 204。举例来说，漏极选择栅极 212₁ 的漏极在漏极触点处连接到对应 NAND 串 206₁ 的本地位线 204₁。每一漏极选择栅极 212 的源极连接到对应 NAND 串 206 的最后浮动栅极晶体管 208 的漏极。举例来说，漏极选择栅极 212₁ 的源极连接到对应 NAND 串 206₁ 的浮动栅极晶体管 208_N 的漏极。如果针对给定 NAND 串 206 利用多个漏极选择栅极 212，则所述多个漏极选择栅极可串联地耦合在对应位线 204 与所述 NAND 串 206 的最后浮动栅极晶体管 208_N 之间。

浮动栅极晶体管 208 的典型构造包含源极 230 及漏极 232、浮动栅极 234 及控制栅极 236，如图 2 中所示。浮动栅极晶体管 208 的控制栅极 236 耦合到字线 202。一列浮动栅极晶体管 208 是彼等耦合到给定本地位线 204 的 NAND 串 206。一行浮动栅极晶体管 208 是共同耦合到给定字线 202 的那些晶体管。其它形式的晶体管 208 也可与本发明实施例一起使用，例如 NROM、磁性或铁电晶体管及其它能够经编程以呈现两个或多于两个阈值电压范围中的一者的晶体管。

各种实施例的存储器装置可有利地用于大容量存储装置中。对于各种实施例来说，这些大容量存储装置可具有与传统 HDD 相同的形式因数及通信总线接口，借此允许其在各种应用中取代此类驱动器。HDD 的一些常见形式因数包含通常与当前的个人计算机及较大量媒体记录器一起使用的 3.5"、2.5" 及 PCMCIA（个人计算机存储卡国际协会）形式因数，以及通常用于例如移动电话、个人数字助理（PDA）及数字媒体播放器的较小个人电器的 1.8" 及 1" 形式因数。一些常见总线接口包含通用串行总线（USB）、AT 附接接口（ATA）[也称为集成驱动电子装置或 IDE]、串行 ATA（SATA）、小型计算机系统接口（SCSI）及电机电子工程师协会（IEEE）1394 标准。尽管已列出各种形式因数及通信接口，但本发明实施例并不限于具体形式因数或通信标准。此外，

所述实施例无需符合 HDD 形式因数或通信接口。图 3 是根据本发明的一个实施例的固态大容量存储装置 300 的框示意图。

大容量存储装置 300 包含根据本发明实施例的存储器装置 301、读取/写入通道 305 及控制器 310。读取/写入通道 305 提供对自存储器装置 301 接收的数据信号的模拟-数字转换以及对自控制器 310 接收的数据信号的数字-模拟转换。控制器 310 通过总线接口 315 在大容量存储装置 300 与外部处理器（图 3 中未显示）之间提供通信。应注意，读取/写入通道 305 可服务于一个或一个以上额外存储器装置，如以虚线表示的存储器装置 301' 所描绘。可通过多位芯片启用信号或其它多路复用方案来处理对用于通信的单个存储器装置 301 的选择。

存储器装置 301 通过模拟接口 320 及数字接口 325 耦合到读取/写入通道 305。模拟接口 320 提供模拟数据信号在存储器装置 301 与读取/写入通道 305 之间的传递，而数字接口 325 提供控制信号、命令信号及地址信号自读取/写入通道 305 到存储器装置 301 的传递。数字接口 325 可进一步提供状态信号自存储器装置 301 到读取/写入通道 305 的传递。模拟接口 320 与数字接口 325 可共享如相关于图 1 的存储器装置 101 所述的信号线。虽然图 3 的实施例描绘到所述存储器装置的双模拟/数字接口，但可将读取/写入通道 305 的功能可选择地并入到相关于图 1 所论述的存储器装置 301 中，使得存储器装置 301 仅通过使用用于传递控制信号、命令信号、状态信号、地址信号及数据信号的数字接口来直接与控制器 310 通信。

读取/写入通道 305 通过例如数据接口 330 及控制接口 335 的一个或一个以上接口耦合到控制器 310。数据接口 330 提供数字数据信号在读取/写入通道 305 与控制器 310 之间的传递。控制接口 335 提供控制信号、命令信号及地址信号自控制器 310 到读取/写入通道 305 的传递。控制接口 335 可进一步提供状态信号自读取/写入通道 305 到控制器 310 的传递。还可如将控制接口 335 连接到数字接口 325 的虚线所描绘，在控制器 310 与存储器装置 301 之间直接传递状态及命令/控制信号。

虽然读取/写入通道 305 与控制器 310 在图 3 中描绘为两个不同装置，但所述二者的功能可替代地由单个集成电路装置来执行。而且，尽管将存储器装置 301 维持为单独装置将使本发明实施例更为灵活地适于不同形式因数及通信接口，但由于其也是集成电路装置，因此可将整个大容量存储装置 300 制造为单个集成电路装置。

读取/写入通道 305 是适于至少提供自数字数据串流到模拟数据串流的转换及自模拟数据串流到数字数据串流的转换的信号处理器。数字数据串流提供呈二进制电压电平形式的数据信号，即，指示具有第一二进制数据值（例如 0）的位的第一电压电平及指示具有第二二进制数据值（例如 1）的位的第二电压电平。模拟数据串流提供模拟电压形式的数据信号，所述模拟电压具有两个以上电平，其中不同的电压电平或范围对应于两个或多于两个位的不同位模式。举例来说，在适于每一存储器单元存储两个位的系统中，模拟数据串流的第一电压电平或电压电平范围可对应于位模式 11，模拟数据串流的第二电压电平或电压电平范围可对应于位模式 10，模拟数据串流的第

三电压电平或电压电平范围可对应于位模式 00，且模拟数据串流的第四电压电平或电压电平范围可对应于位模式 01。因此，根据各种实施例的一个模拟数据信号将被转换为两个或多于两个数字数据信号，且反之亦然。

在实践中，在总线接口 315 处接收控制及命令信号以供通过控制器 310 对存储器装置 301 存取。还可在总线接口 315 处接收地址及数据值，此取决于期望何种类型的存取，例如，写入、读取、格式化等。在共享总线系统中，总线接口 315 将连同各种其它装置一起耦合到总线。为引导与具体装置的通信，可在所述总线上设置指示所述总线上哪一装置将因应后续命令行动的识别值。如果所述识别值匹配大容量存储装置 300 所采取的值，则控制器 310 将继而于总线接口 315 处接纳所述后续命令。如果所述识别值不匹配，则控制器 310 将忽略后续通信。类似地，为避免总线上的冲突，共享总线上的各种装置可指示其它装置停止出站通信而其则单独地对总线采取控制。用于共享总线及避免冲突的协议已众所周知且本文中将不再加以详述。然后，控制器 310 将命令、地址及数据信号继续传递到读取/写入通道 305 以供处理。注意，自控制器 310 传递到读取/写入通道 305 的命令、地址及数据信号无需是在总线接口 315 处接收的那些信号。举例来说，总线接口 315 的通信标准可与读取/写入通道 305 或存储器装置 301 的通信标准不同。在此情况下，控制器 310 可在存取存储器装置 301 之前翻译命令及/或寻址方案。另外，控制器 310 可在一个或一个以上存储器装置 301 内提供负载均衡，以使存储器装置 301 的物理地址可针对给定逻辑地址而随时间改变。因此，控制器 310 可将所述逻辑地址从所述外部装置映射到目标存储器装置 301 的物理地址。

针对写入请求，除命令及地址信号外，控制器 310 还将数字数据信号传递到读取/写入通道 305。举例来说，对于 16 位数据字来说，控制器 310 将传递具有第一或第二二进制逻辑电平的 16 个个别信号。然后，读取/写入通道 305 将数字数据信号转换成表示数字数据信号的位模式的模拟数据信号。继续进行前述实例，读取/写入通道 305 将使用数字至模拟转换来将所述 16 个个别数字数据信号转换为具有表示期望的 16 位数据模式的电位电平的单个模拟信号。对于一个实施例，表示所述数字数据信号的位模式的模拟数据信号可指示目标存储器单元的所期望阈值电压。然而，在单晶体管存储器单元的编程中，通常的情形是：相邻存储器单元的编程将升高先前经编程的存储器单元的阈值电压。因此，对于另一实施例，读取/写入通道 305 可考虑所述类型的所预期的阈值电压改变，并调节模拟数据信号使其可指示低于最终期望的阈值电压的阈值电压。在转换来自控制器 310 的数字数据信号之后，读取/写入通道 305 将随后将写入命令及地址信号连同模拟数据信号传递到存储器装置 301 以用于编程所述个别存储器单元。编程可逐单元地进行，但通常每一操作针对一数据页来执行。对于典型存储器阵列架构来说，一数据页包含耦合到字线的所有其它存储器单元。

针对读取请求，控制器将命令及地址信号传递到读取/写入通道 305。读取/写入通道 305 将读取命令及地址信号传递到存储器装置 301。作为响应，在执行读取操作之后，存储器装置 301 将返回指示由地址信号及读取命令所界定的存储器单元的阈值电

压的模拟数据信号。存储器装置 301 可以并行或串行方式传送其模拟数据信号。

所述模拟数据信号还可不作为离散电压脉冲来传送，而是作为大致连续的模拟信号串流而传送。在此情况下，读取/写入通道 305 可采用类似于 HDD 存取时所使用的信号处理，称为 PRML 或部分响应最大似然。在传统 HDD 的 PRML 处理中，HDD 的读取头输出模拟信号串流，所述模拟信号串流表示在 HDD 唱片的读取操作期间遇到的磁通反转。周期性地对响应于读取头遇到的磁通反转而产生的此模拟信号取样以形成所述信号模式的数字表示，而非试图捕获所述信号的真实波峰及波谷。然后可分析此数字表示以确定负责产生所述模拟信号模式的可能的磁通反转模式。此相同类型的处理可与本发明实施例一起使用。通过对来自存储器装置 301 的模拟信号进行取样，PRML 处理可用来确定负责产生所述模拟信号的可能的阈值电压模式。

图 4 是对概念性地显示根据本发明实施例可由读取/写入通道 305 从存储器装置 301 接收的数据信号 450 的波形的描绘。可周期性地对数据信号 450 取样，且可从所取样的电压电平的振幅形成数据信号 450 的数字表示。对于一个实施例，可将所述取样与数据输出同步化使得取样在数据信号 450 的稳态部分期间进行。此实施例由时间 t1、t2、t3 及 t4 处由虚线所指示的取样来描绘。然而，如果经同步化的取样变得未对准，则所述数据样本的值可与所述稳态值明显不同。在替代实施例中，可增加取样速率以允许确定稳态值可能发生在何处，例如通过观察数据样本所指示的斜率改变来确定。此实施例由在时间 t5、t6、t7 及 t8 处由虚线指示的取样来描绘，其中时间 t6 与 t7 处的数据样本之间的斜率可指示稳态状况。在此实施例中，在取样速率与表示准确度之间作出折衷。较高的取样速率导致较准确的表示，但同时也增加处理时间。不论取样与数据输出同步化还是使用更频繁地取样，随后均可使用数字表示来预测何种传入电压电平可能会负责产生模拟信号模式。而又可依据传入电压电平的此所预期模式预测正被读取的所述个别存储器单元的可能数据值。

应认识到，在从存储器装置 301 读取数据值时将发生错误，因而读取/写入通道 305 可包含错误校正。错误校正通常用于存储器装置以及 HDD 中以从所预期的错误恢复。通常，存储器装置将用户数据存储在第一组位置中且将错误校正码（ECC）存储在第二组位置中。在读取操作期间，响应于用户数据的读取请求来读取用户数据及 ECC 两者。通过使用已知算法，可将从读取操作返回的用户数据与 ECC 进行比较。如果错误在所述 ECC 的限度内，则将校正所述错误。

图 5 是根据本发明实施例的电子系统的框示意图。电子系统的实例可包含：个人计算机、PDA、数码相机、数字媒体播放器、数字记录器、电子游戏、电器、车辆、无线装置、移动电话等等。

所述电子系统包含主机处理器 500，所述主机处理器可包含用以增加处理器 500 的效率的高速缓冲存储器 502。处理器 500 耦合到通信总线 504。各种其它装置可耦合到在处理器 500 控制下的通信总线 504。举例来说，所述电子系统可包含随机存取存储器（RAM）506；例如键盘、触摸板、指示装置等一个或一个以上输入装置 508；音

频控制器 510；视频控制器 512；及一个或一个以上大容量存储装置 514。至少一个大容量存储装置 514 包含：数字总线接口 515，其用于与总线 504 通信；根据本发明实施例的一个或一个以上存储器装置，其具有模拟接口以供传送表示两个或多于两个数据位的数据模式的数据信号；及信号处理器，其适于对从总线接口 515 接收的数字数据信号执行数字-模拟转换且对从其存储器装置接收的模拟数据信号执行模拟-数字转换。

以上所述存储器阵列的非易失性存储器单元可具有不同的编程速率。由于制造过程期间每一单元的构成可能稍有不同，因此一些单元的阈值电压可以与其它单元不同的速率增加。此在用相同编程脉冲偏置整个字线的单元以将数据编程到单元中时可导致问题发生。较快编程单元在结束时可被过度编程或者较慢编程单元在结束时可被不足编程。另外，增加较慢编程存储器单元的阈值电压所必须的较大多数的编程脉冲可导致编程干扰状况，所述编程干扰状况影响所述字线上的其它单元，从而增加它们的阈值电压。因此，本发明的方法控制存储器单元的编程速率使得存储器单元以较统一的速率进行编程。

图 6 图解说明用于单元编程速率检测及控制的方法的一个实施例的流程图。所述方法首先检测及识别存储器阵列 600 的快编程单元。

所述检测是通过首先使用读取操作读取每一存储器单元的模拟阈值电压来实现。然后用速率识别电压偏置所述存储器单元的字线，所述速率识别电压小于编程电压但足够高以移动所述单元的阈值电压。

本发明的速率识别电压需要为足够低以使得存储器单元不因偏置而被编程。如果单元的阈值电压因速率识别电压而移动或移动某一量，则可认为所述特定单元具有快的编程速率。举例来说，在其中“额定”初始编程电压为 16 伏的大容量半导体存储系统中，速率识别电压可能是 15 伏。

在速率识别偏置之后，再次读取每一存储器单元的模拟阈值电压以确定待编程的每一单元的偏置前的阈值电压与偏置后的阈值电压之间的差。将具有最大阈值电压改变的单元认为是快编程速率单元。在一个实施例中，将阈值电压的改变中的每一者与阈值电压增量进行比较。任何具有大于所述增量的阈值电压变化的单元均为快编程速率单元。

如先前所述，模拟阈值电压是指示每一存储器单元的阈值电压的模拟数据信号。通过模拟-数字转换过程将这些模拟数据信号转换为数字信号。所得数字数据信号是可由控制器单元对其进行操作的所述阈值电压的数字表示。

一旦识别具有较快编程速率的存储器单元 600，便存储这些单元中每一者的位置的指示 603 以供未来在编程操作期间参考。举例来说，可给每一存储器块指派存储器区段用来存储针对所述特定存储器块的快编程存储器单元位置指示表。所述位置指示可包含较快编程单元的逻辑地址。

快编程存储器单元表还可含有与每一快编程单元相关联的编程速率的指示。尽管

表中所列出的所有存储器单元均是快编程存储器单元，但那些单元中的每一者仍以不同速率编程。因此，可存储与表中的每一存储器单元位置相关联的编程速率指示。所述编程速率指示表示与所述特定单元相关联的响应于速率识别偏置的阈值电压改变量或阈值电压增量上的量。

快编程存储器单元以不同于较慢存储器单元的速率进行编程 605。通过变化偏置耦合到快编程存储器单元的位线来实现编程速率变化。典型的位线启用电压是接地电位且典型的位线抑制电压是 V_{CC} 。因此，随着位线偏压从 0 伏增加，耦合到位线的存储器单元的编程速度降低。换句话说，增加位线偏压减慢单元的阈值电压从负的经擦除阈值电压分布增加的速度。

作为操作的实例，当接收到含有地址的编程/写入命令时，控制器存取存储器中的表。如果在表中发现所述存储器地址，则认为所述特定单元是较快编程单元且以高于接地的电压偏置耦合到所述单元的位线以减慢所述单元的编程速率。所述位线偏置电压是由与所述单元相关联的编程速率确定并与所述单元一起存储在存储器表中。所述相关联编程速率越高，用以降低编程速率所必须的位线偏置电压越高。如果在表中未发现所述一个或多个单元，则认为所述单元为需要 0 伏的位线编程偏压的正常单元。

在一个实施例中，在测试每一个别大容量存储系统中，针对每一较快编程存储器单元确定与特定位线电压相关联的编程速率。可使用算法来确定用于较快编程存储器单元的所需较慢编程速率。然后，可使用与此速率相关联的位线偏置电压。将与特定编程速率相关联的位线偏置电压存储在存储器中且所述位线偏压可与将其施加到的特定存储器单元相关联。

在替代实施例中，可将标示为具有快编程速率的存储器单元标记为有缺陷。在此实施例中，代替所述有缺陷存储器单元，将使用冗余存储器列。

如先前所述，由控制器产生的编程电压是指示针对特定单元的所需阈值电压的数字电压。模拟数据信号是通过数字至模拟转换过程从这些数字信号产生的。

图 7 图解说明用于存储器单元编程速率检测及控制的方法的替代实施例的流程图。此实施例并不像在图 6 的实施例中一样执行初步的识别。

通过产生表示待编程于每一单元上的期望阈值电压的数字信号的控制器电压来起始编程操作 700。将数字信号转换为随后用于偏置相应存储器单元的字线的阈值电压的模拟表示。

然后，确定每一单元的编程速率 703。此是通过在第一编程脉冲之前及之后读取每一单元的模拟阈值电压来实现。如先前所论述，通过模拟-数字转换过程将每一读取的模拟电压转换为其数字表示。然后，控制器计算两个电压之间的差以识别哪写单元的阈值电压因第一编程脉冲移动得最多。具有由一个编程脉冲产生的最大差的单元被识别为快编程单元。如先前所述，偏置耦合到这些快编程单元的位线以控制单元的编程速度 705。

针对每一单元，编程脉冲前阈值电压与编程脉冲后阈值电压之间的差指示用以控

制所述单元的编程速率（即，阈值电压的移动速度）所必须的位线偏压。如在先前实施例中，可通过经验测试及存储与编程速率相关联的位线偏置电压表来确定必须的位线偏压。

在替代实施例中，当单元响应于试错而被编程时，可动态地确定用以控制编程速度的必须位线偏压。举例来说，可以大于 0 伏的一个电压偏置位线并向正被编程的存储器单元的字线/控制栅极施加编程脉冲。可读取所述单元的阈值电压以确定移动量及或被编程的百分比。然后将阈值电压的移动与较慢编程存储器单元进行比较以确定不同编程速率是否大致类似。如果必须，然后可响应于这些因素及所发布的另一编程脉冲改变位线偏压。重复此过程直到所述单元与较慢编程单元大致同时编程为止。

在一个实施例中，当较慢编程单元在较快编程单元的一个编程脉冲内达到其相应经编程状态时，所述存储器单元大致同时被编程。替代实施例可规定用于使不同编程速率单元大致同时达到其相应经编程状态的其它数量的编程脉冲。

图 8 的流程图图解说明用于识别及控制快编程存储器单元的编程速率的方法的实施例。代替检测编程速率（如在其它实施例中），此实施例确定何时一个单元相对于其它单元在编程上太领先的及减慢快编程单元的编程速率。

通过产生表示待编程于每一单元上的期望阈值电压的数字信号的控制器电路来起始编程操作 800。将数字信号转换为随后用于偏置相应存储器单元的字线的阈值电压的模拟表示。

然后，控制器电路确定哪些正被编程的存储器单元 803 具有比其它单元更接近于其经编程状态的阈值电压。举例来说，一个单元可以-1 伏的经擦除阈值电压开始，且将被编程到具有 1 伏的阈值电压的所期望经编程状态。另一单元可以-3 伏的经擦除阈值电压开始，且将被编程到具有 3 伏的阈值电压的所期望经编程状态。具有最小电压摆动的存储器单元将需要最少数目的编程脉冲，但仍将必须忍耐具有较大阈值电压摆动的一个或多个单元的额外编程脉冲。此可在较快编程的单元中导致编程干扰状况。

因为如在先前实例中，不同单元可别编程到不同阈值电压，因此控制器电路考虑正被编程的每一存储器单元的编程完成百分比。因此，如果一个存储器单元比其它正被编程的单元较接近于达到其经编程模拟阈值电压，则控制器电路减慢所述单元的编程直到其它单元追赶上较快编程单元 805。如在先前实施例中，编程速率控制机制是将位线偏压增加到高于接地电位。按需要调节位线电压使得较快编程单元及较慢编程单元大致同时达到其相应经编程状态的阈值电压。

在一个实施例中，但以较慢速率编程的单元在较快编程单元的一个变成脉冲内达到其相应经编程状态时，存储器单元为大致同时编程。替代实施例可规定用于使不同编程速率单元大致同时达到其相应经编程状态的其它数量的编程脉冲。

图 9 图解说明用于控制及维持用以调节耦合到其相应位线的存储器单元的编程速率所必须的特定位线偏压的电路的一个实施例的示意图。此图显示典型的位线 902 及其所耦合的存储器单元 906，如先前参照图 2 所图解说明及论述。如在先前实施例中，

位线 902 通过选择栅极漏极晶体管 903 耦合到存储器单元串 906。存储器单元串 906 的端通过选择栅极源极晶体管 904 耦合到源极线 910。这些元件的功能已在先前加以论述。

电容器 901 耦合到阵列的每一位线 902 以便在耦合到所述位线的单元的编程操作期间维持所期望的位线偏置电压。在编程操作期间，用所期望的位线电压偏置电容器 901 且然后所述电容器维持此电压达编程操作的持续时间。当针对正被编程的同一存储器单元或正被编程的不同字线上的另一单元期望改变位线偏置电压时，将另一电压写入到电容器 901 中。此电路使得控制器不必连续维持选定位线上的适当偏压。

图 10 图解说明通过调节较快编程存储器单元的编程速率来编程存储器单元的实施例。所述存储器单元由存储较快编程存储器单元的地址及所期望位线偏置电压（如先前所论述）的存储器区段构成。

存储器装置接收含有存储器单元的地址及待编程的数据值的编程/写入命令 1000。控制器电路读取存储器以确定所接收的地址是否已存储为较快编程存储器单元 1002。如果发现所接收的地址为较快编程存储器单元，则从存储器读取描述与所述地址相关联的位线偏压的电压值 1003。此是先前所发现以导致相关联存储器单元以所期望的速率编程的电压。所述电压值用于产生用于耦合到所述较快编程存储器单元的选定位线的位线偏压 1005。

用启用电压偏置较慢编程存储器单元的位线 1007。在一个实施例中，此电压是 0 伏。用抑制电压 V_{CC} 偏置剩余的未选定位线 1009。

结论

各种实施例包含适于接收及传输表示两个或多于两个位的位模式的模拟数据信号的存储器装置。可使用以下方法编程所述存储器装置：确定所述存储器单元的编程速率及调节以比其它单元较快的速率编程的那些单元的编程速率。通过将位线偏压调节到高于 0 伏，可变化阈值电压改变的速度。可将对应于所期望的编程速度的所期望的位线偏压施加到所述位线上的电容器。然后，所述电容器维持此位线偏压达编程操作的持续时间或者直到其再次改变时为止。

尽管本文已图解说明及描述具体实施例，但所属领域的技术人员将了解，任何经计算以实现相同目的的布置均可替代所示的具体实施例。所属领域的技术人员将明了本发明的众多更改。因此，此申请案打算涵盖本发明的任何更改或变型。

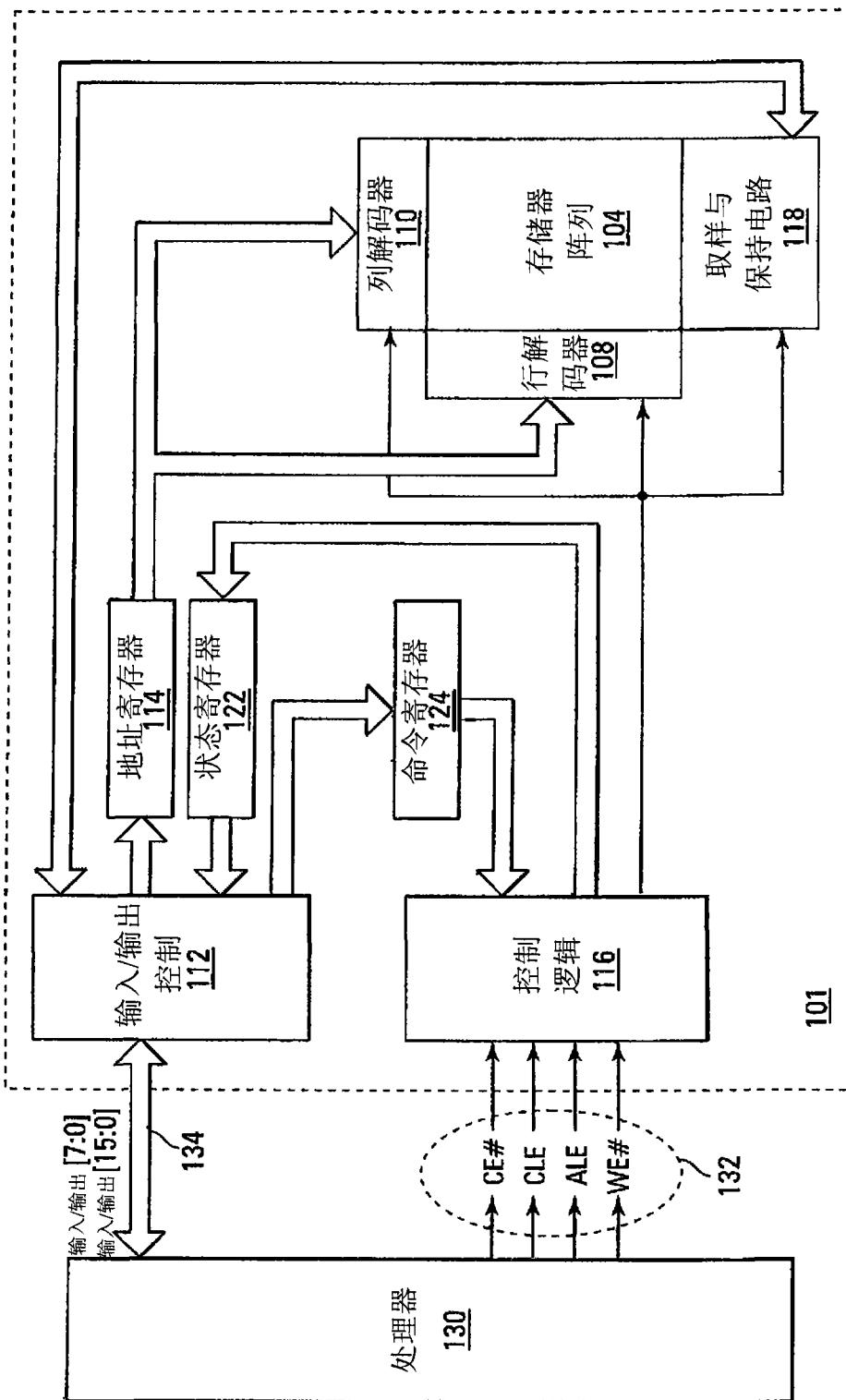


图 1

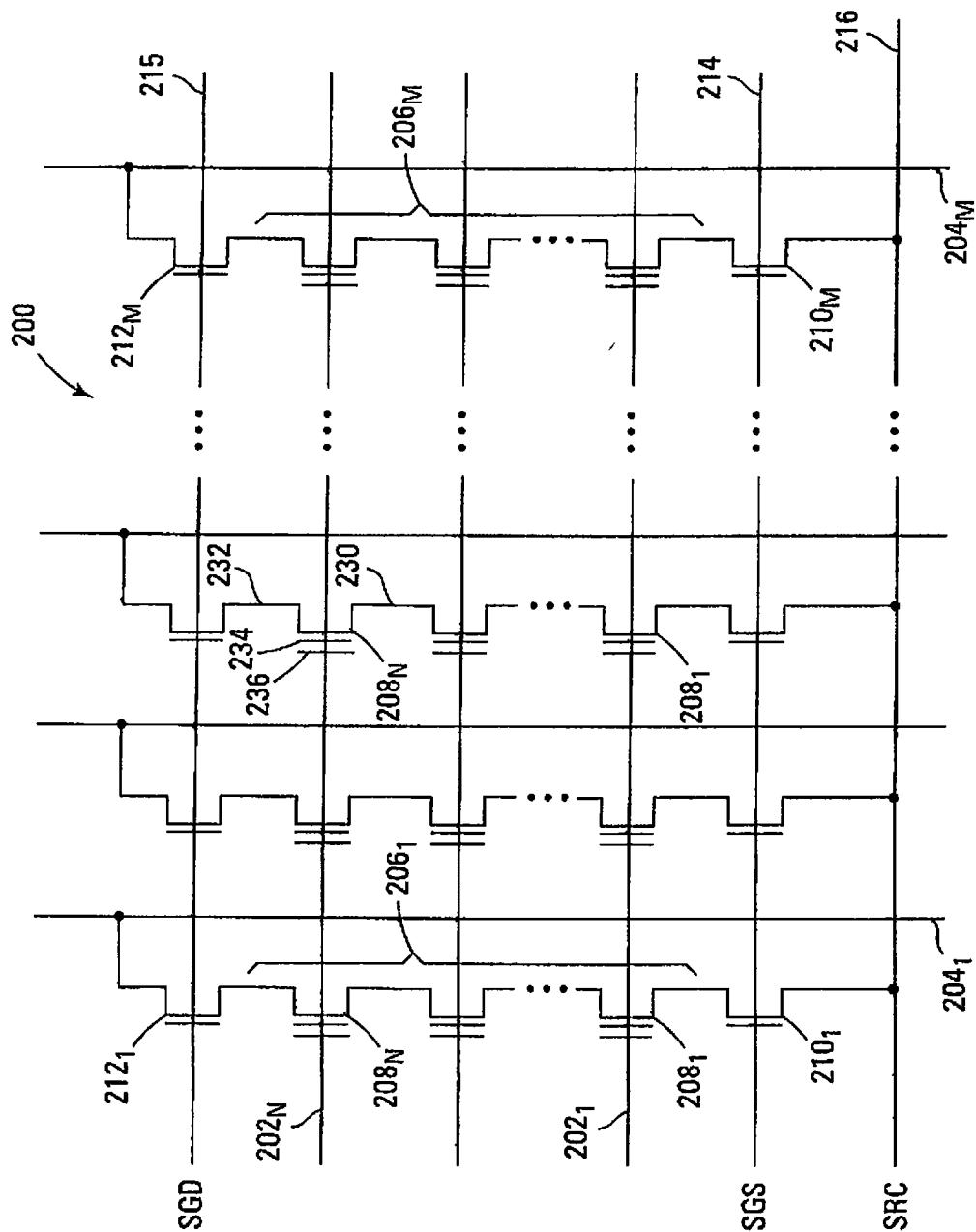


图 2

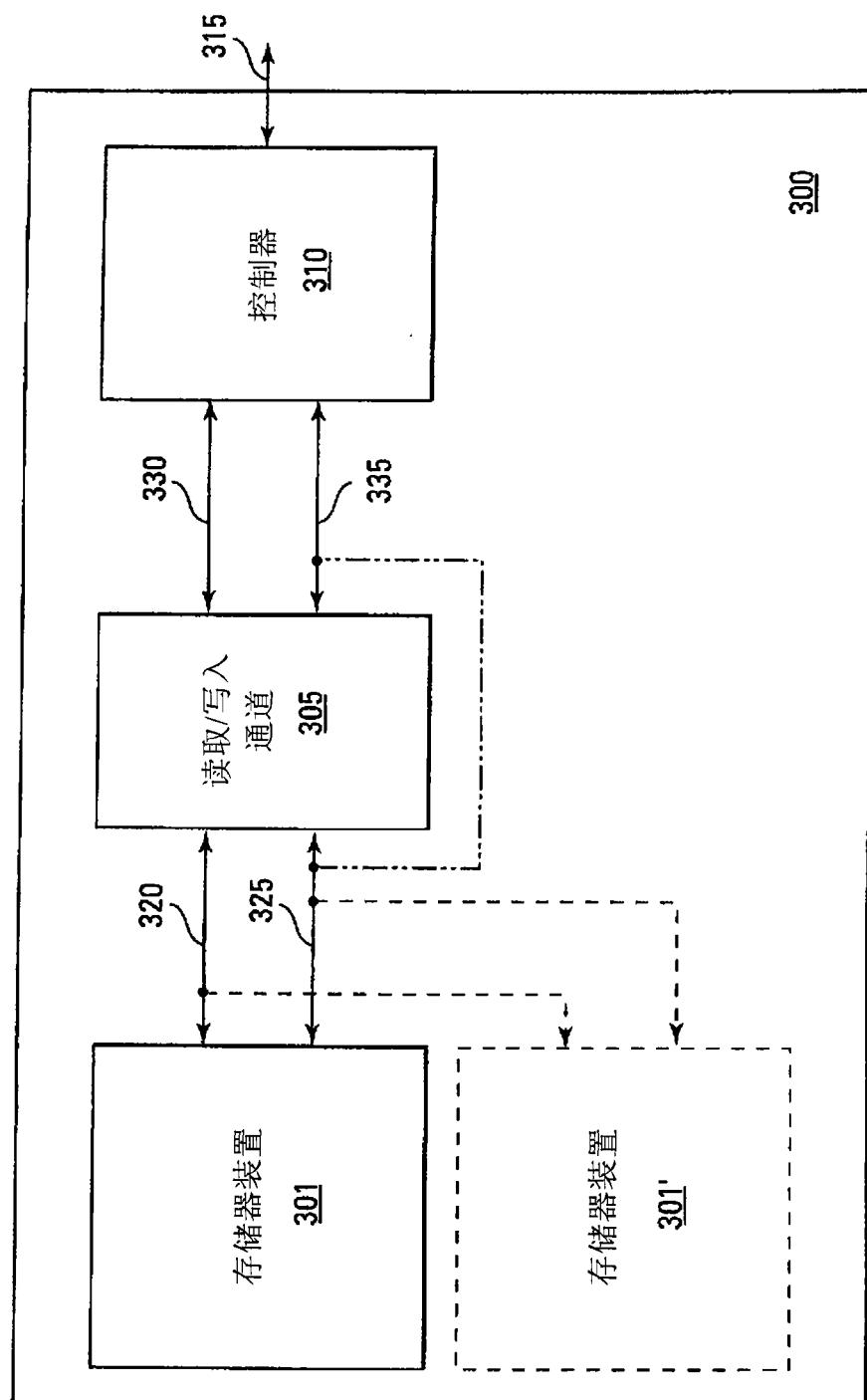


图 3

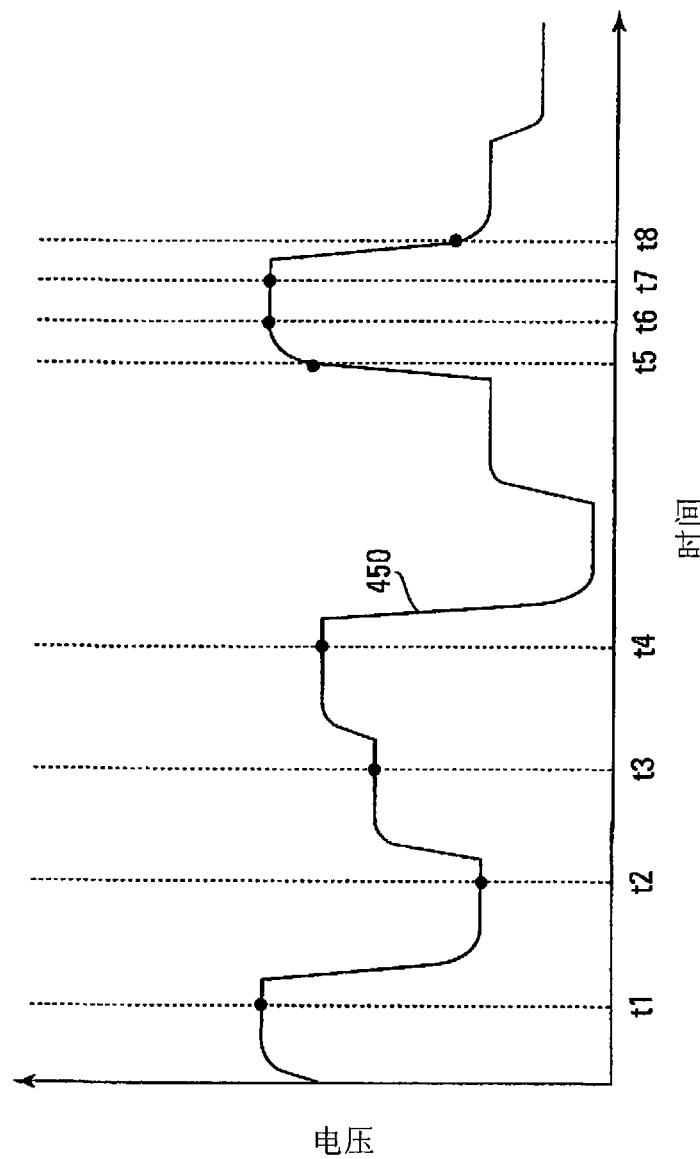


图 4

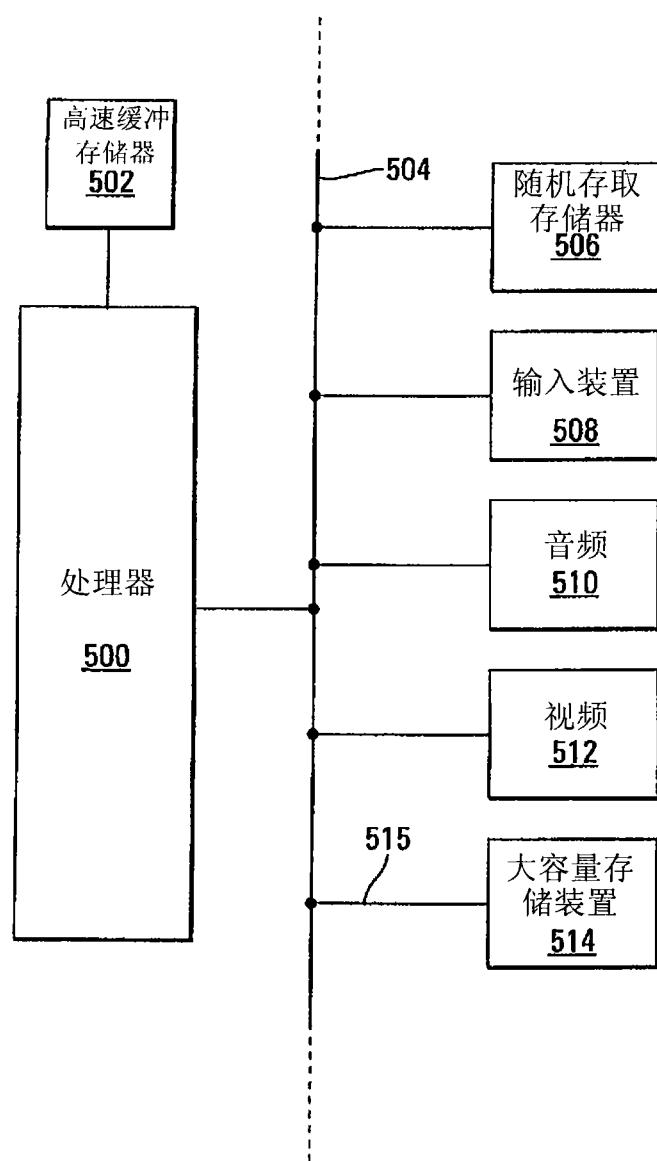
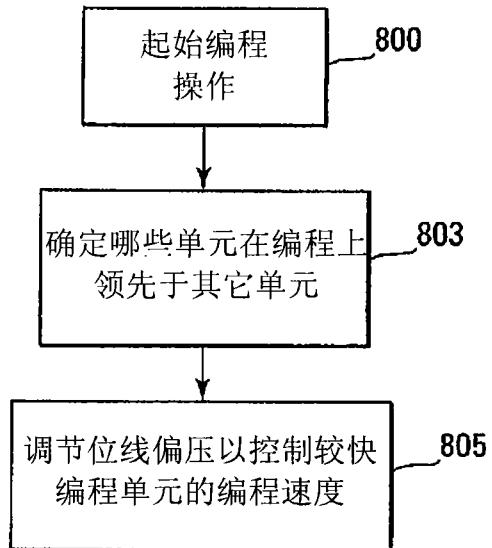
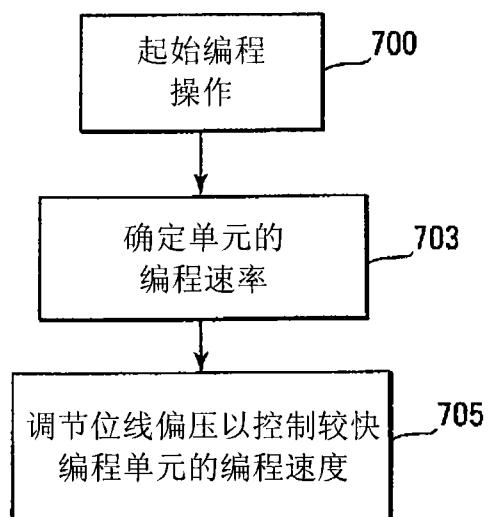
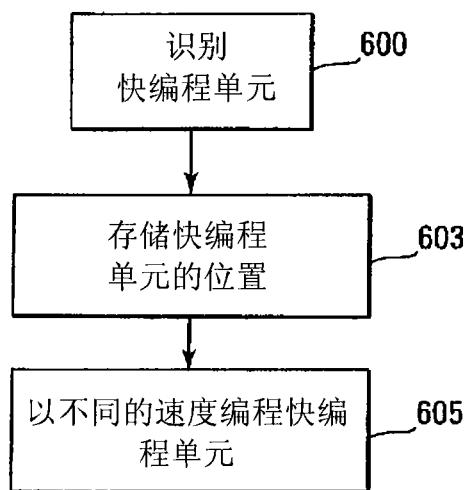


图 5



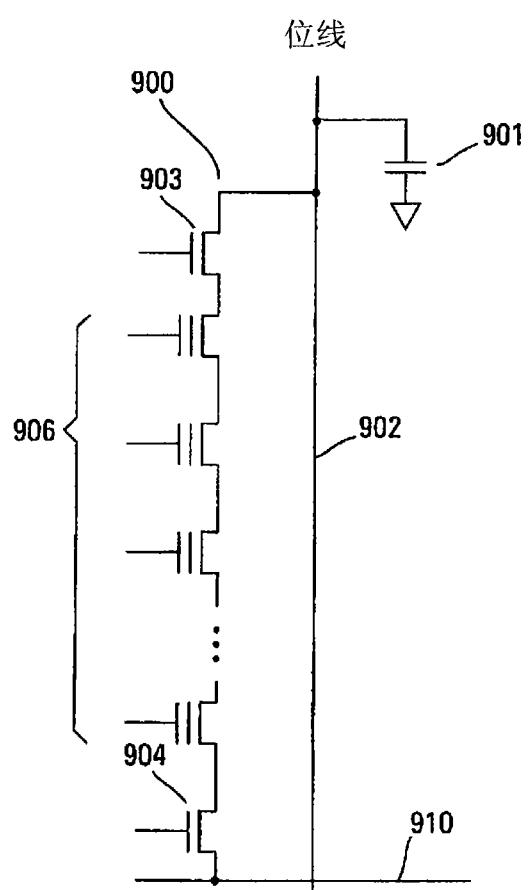


图 9

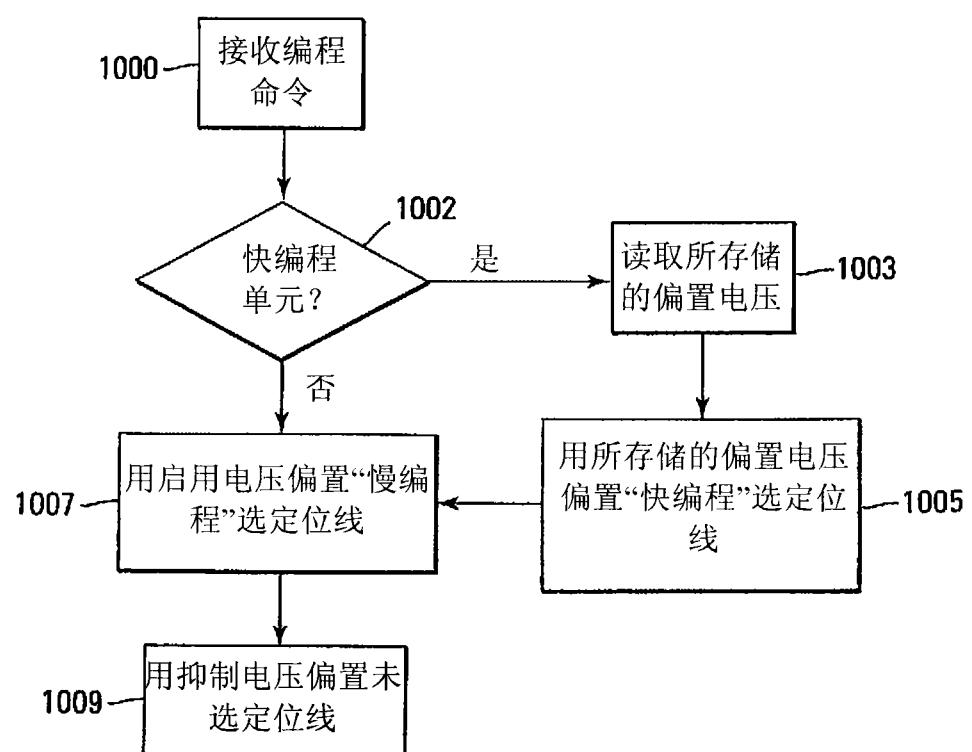


图 10