



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년03월29일  
 (11) 등록번호 10-1963562  
 (24) 등록일자 2019년03월25일

(51) 국제특허분류(Int. Cl.)  
 H01L 29/786 (2006.01) H01L 21/336 (2006.01)  
 (21) 출원번호 10-2012-0024372  
 (22) 출원일자 2012년03월09일  
 심사청구일자 2017년03월08일  
 (65) 공개번호 10-2012-0104111  
 (43) 공개일자 2012년09월20일  
 (30) 우선권주장  
 JP-P-2011-054610 2011년03월11일 일본(JP)  
 (56) 선행기술조사문헌  
 JP2008124215 A\*  
 JP2009528670 A\*  
 KR1020090119666 A\*  
 US05716871 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 가부시키가이샤 한도오파이 에네루기 켄큐쇼  
 일본국 가나가와켄 아쓰기시 하세 398  
 (72) 발명자  
 고에즈카 준이치  
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
 오노 신지  
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
 (뒷면에 계속)  
 (74) 대리인  
 장훈

전체 청구항 수 : 총 5 항

심사관 : 이흥민

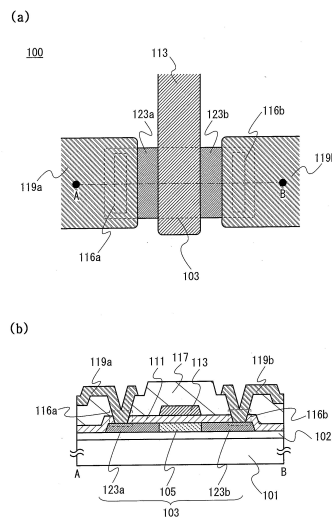
(54) 발명의 명칭 **반도체 장치 및 그 제작 방법**

**(57) 요약**

미세화에 의한 전기 특성의 변동이 생기기 어려운 반도체 장치를 제공하는 것을 과제로 한다.

제 1 영역과, 제 1 영역을 개재하여 대향하는 한 쌍의 제 2 영역을 포함하는 산화물 반도체막과, 산화물 반도체막 위에 형성되는 게이트 절연막과, 게이트 절연막 위에 형성되고 또한 제 1 영역에 중첩하는 제 1 전극을 갖고, 제 1 영역은, c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역이며, 한 쌍의 제 2 영역은, 도펀트를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역인 것을 특징으로 하는 반도체 장치이다.

**대표도 - 도1**



(72) 발명자

**사토 유이치**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**다카하시 마사히로**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**기시다 히데유키**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**명세서**

**청구범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

제 1의 c축 배향 결정부를 포함하는 산화물 반도체막을 기판 위에 형성하는 단계와;

상기 산화물 반도체막 위에 게이트 절연막을 형성하는 단계와;

상기 산화물 반도체막과 상기 게이트 절연막 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극과 중첩하는 제 1 영역을 제외한 상기 산화물 반도체막에 도펀트를 첨가함으로써, 상기 도펀트를 포함하는 상기 산화물 반도체막의 결정성을 저감시키는 단계와;

상기 도펀트를 포함하는 상기 산화물 반도체막에 제 2의 c축 배향 결정부 및 다결정부를 형성하도록 가열 처리를 행하는 단계로서, 상기 제 2의 c축 배향 결정부는 상기 다결정부 위에 위치하는, 상기 가열 처리 단계와;

상기 게이트 절연막 위에 제 1 전극 및 제 2 전극을 형성하는 단계를 포함하는, 반도체 장치 제작 방법.

**청구항 12**

제 11 항에 있어서,

상기 도펀트는 인, 비소, 안티몬, 및 붕소로 구성된 그룹으로부터 선택되는, 반도체 장치 제작 방법.

**청구항 13**

제 11 항에 있어서,

상기 도펀트를 포함하는 상기 산화물 반도체막의 도펀트 농도는  $5 \times 10^{18} \text{ cm}^{-3}$  이상  $1 \times 10^{22} \text{ cm}^{-3}$  이하인, 반도체 장치 제작 방법.

**청구항 14**

제 11 항에 있어서,

상기 제 1 영역의 결정성은 상기 가열 처리에 의해 향상되는, 반도체 장치 제작 방법.

**청구항 15**

제 11 항에 있어서,

상기 도펀트를 첨가하기 전에 상기 게이트 전극의 측면과 접하는 사이드월을 형성하는 단계를 추가로 포함하고, 상기 산화물 반도체막에서, 상기 사이드월과 중첩하지 않는 제 2 영역의 도펀트 농도는 상기 사이드월과 중첩하는 제 3 영역의 도펀트 농도보다 높은, 반도체 장치 제작 방법.

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**발명의 설명**

**기술 분야**

[0001] 개시하는 본 발명은, 산화물 반도체를 사용한 반도체 장치에 관한 것이다.

[0002] 또한, 본 명세서중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 본 명세서중의 트랜지스터는 반도체 장치이며, 상기 트랜지스터를 포함하는 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치에 포함된다.

**배경 기술**

[0003] 액정 표시 장치나 발광 표시 장치로 대표되는 플랫 패널 디스플레이 대부분에 사용되고 있는 트랜지스터는, 유리 기판 위에 형성된 비정질 실리콘, 단결정 실리콘 또는 다결정 실리콘 등의 실리콘 반도체로 구성되어 있다. 또한, 상기 실리콘 반도체를 사용한 트랜지스터는, 집적 회로(IC) 등에도 이용되고 있다.

[0004] 상기 실리콘 반도체를 대신하여, 반도체 특성을 나타내는 금속 산화물을 트랜지스터에 사용하는 기술이 주목받고 있다. 또한, 본 명세서 중에서는, 반도체 특성을 나타내는 금속 산화물을 “산화물 반도체” 라고 부르기로 한다.

[0005] 예를 들어, 산화물 반도체로서, Zn-O계의 금속 산화물, In-Ga-Zn-O계의 금속 산화물을 사용하여 트랜지스터를

제작하고, 상기 트랜지스터를 표시 장치의 화소의 스위칭 소자 등에 사용하는 기술이 개시되어 있다(특허문헌 1 및 특허문헌 2참조).

[0006] 또한, 산화물 반도체를 사용한 트랜지스터에 있어서, 소스 영역 및 드레인 영역과, 소스 전극 및 드레인 전극 사이에, 완충층으로서 질소를 포함하는 도전성이 높은 산화물 반도체를 형성함으로써, 산화물 반도체와, 소스 전극 및 드레인 전극과의 콘택트 저항을 저감하는 기술이 개시되어 있다(특허문헌 3 참조).

[0007] 또한, 산화물 반도체를 포함하는 탑 게이트 구조의 트랜지스터에 있어서, 채널 형성 영역, 소스 영역 및 드레인 영역을 셀프 얼라인으로 형성하는 기술이 개시되어 있다(비특허문헌 1 참조).

**선행기술문헌**

**특허문헌**

- [0008] (특허문헌 0001) 일본 특개2007-123861호 공보
- (특허문헌 0002) 일본 특개2007-96055호 공보
- (특허문헌 0003) 일본 특개2010-135774호 공보

**비특허문헌**

- [0009] (비특허문헌 0001) Jae Chul Park et al., "셀프 얼라인 탑 게이트 구조를 갖는 고성능 비정질 산화물 박막 트랜지스터들(High performance amorphous oxide thin film transistors with self-aligned top-gate structure)" IEDM2009, pp191-194

**발명의 내용**

**해결하려는 과제**

- [0010] 트랜지스터를 사용한 집적 회로의 집적도를 높이기 위해서는, 트랜지스터의 미세화가 필요하다.
- [0011] 일반적으로, 실리콘 반도체를 사용한 트랜지스터의 미세화에 있어서, 극단적으로 채널 길이가 단축된 트랜지스터는, 임계값 전압이 마이너스 방향으로 변동하는 등 전기 특성에 변동이 생긴다. 이 현상을 억제하는 것은, 실리콘 반도체를 사용한 트랜지스터의 미세화에 있어서의 과제중 하나이다.
- [0012] 또한, 산화물 반도체를 사용한 트랜지스터는, 실리콘을 사용한 트랜지스터와 비교하여, 실온에서 오프 전류가 작은 것이 알려져 있고, 이것은 열 여기에 의해 생기는 캐리어가 적은, 즉 캐리어 밀도가 작기 때문이라고 생각된다. 그리고, 캐리어 밀도가 작은 재료를 사용한 트랜지스터에 있어서도, 채널 길이를 짧게 함으로써 임계값 전압의 변동 등이 나타난다.
- [0013] 따라서, 본 발명의 일 형태는, 미세화에 의한 전기 특성의 변동이 생기기 어려운 반도체 장치를 제공하는 것을 과제로 한다.

**과제의 해결 수단**

- [0014] 산화물 반도체를 사용한 트랜지스터에 있어서, 상기 트랜지스터의 미세화에 의한 전기 특성의 변동을 억제하기 위해서는, 채널 형성 영역을 포함하는 산화물 반도체막에 도펀트를 포함하는 영역을 형성한다. 상세하게는, 산화물 반도체막에 도펀트를 포함하는 한 쌍의 영역 및 채널 형성 영역을 형성한다. 이렇게 함으로써, 상기 드레인 영역에서 발생하고 상기 채널 형성 영역에 가해지는 전계를 완화하기 위해서, 임계값 전압의 변동 등, 채널 길이를 짧게 함으로써 생기는 영향을 저감할 수 있다. 또한, 본 명세서에 있어서 도펀트란, 채널 형성 영역을 포함하는 산화물 반도체막에 첨가되는 원소, 불순물의 총칭이다.
- [0015] 또한, 상기 산화물 반도체막은 비단결정이며, 상세하게는, 상기 비단결정의 ab면에 수직인 방향에서 보았을 때, 삼각형, 혹은, 육각형, 또는 정삼각형, 혹은 정육각형의 원자 배열을 갖고, 또 c축으로 수직인 방향에서 보았을 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열한 결정부를 포함한다. 또한, 본 명세서에서

는, 상기 결정부를 갖는 산화물 반도체를 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)라고 부르고 있다. 또한, 상기 채널 형성 영역을 CAAC-OS로 함으로써, 가시광 또는 자외광의 조사, 및 열이나 바이어스 등이 가해짐에 의한 트랜지스터의 전기 특성의 변동을 억제하고, 반도체 장치의 신뢰성을 향상시킬 수 있다.

- [0016] 또한, 상기 도펀트를 포함하는 영역은, 다결정을 주로 한 복수의 결정부를 갖는 산화물 반도체 영역으로 구성되어 있다. 이와 같이, 상기 도펀트를 포함하는 영역에 있어서도, 복수의 결정부를 갖는 산화물 반도체 영역으로 함으로써, 트랜지스터의 전기 특성의 변동을 억제할 수 있다.
- [0017] 즉, 본 발명의 일 형태는, 제 1 영역과, 제 1 영역을 개재하여 대향하는 한 쌍의 제 2 영역을 포함하는 산화물 반도체막과, 산화물 반도체막 위에 형성된 게이트 절연막과, 게이트 절연막 위에 형성되고 또한 제 1 영역에 중첩하는 제 1 전극을 갖고, 제 1 영역은 c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역이며, 한 쌍의 제 2 영역은 도펀트를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역인 반도체 장치이다.
- [0018] 또한, 상기 도펀트를 포함하는 영역은, 복수의 결정부를 갖는 산화물 반도체 영역 위에, c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역이 형성되어 있어도 좋다.
- [0019] 상기 산화물 반도체막은 In, Ga, Sn 및 Zn으로부터 선택된 2 이상의 원소를 포함하는 산화물 반도체막으로 하는 것이 바람직하다.
- [0020] 또한, 상기 반도체 장치는 한 쌍의 제 2 영역에 전기적으로 접속된 제 2 전극 및 제 3 전극을 갖는다.
- [0021] 한 쌍의 제 2 영역은, 제 1 전극을 마스크로 하고, 게이트 절연막을 통과시켜 도펀트를 첨가함으로써, 셀프 얼라인으로 형성할 수 있다. 한 쌍의 제 2 영역은 적어도 소스 영역 및 드레인 영역으로서 기능하고, 채널 형성 영역인 제 1 영역의 양단에 도펀트를 포함하는 한 쌍의 제 2 영역을 형성함으로써, 제 1 영역에 가해지는 전계를 완화할 수 있고, 트랜지스터의 임계값 전압의 변동 등, 채널 길이를 짧게 함으로써 생기는 영향을 저감할 수 있다.
- [0022] 또한, 제 1 전극의 측면에 사이드월 절연막을 형성하여, 상기 제 1 전극을 마스크로 하고, 상기 사이드월 절연막을 통과시켜 도펀트를 첨가함으로써, 한 쌍의 제 2 영역보다 도펀트 농도가 낮은 한 쌍의 제 3 영역을 셀프 얼라인으로 형성할 수 있다.
- [0023] 즉, 한 쌍의 제 3 영역은 채널 형성 영역으로서 기능하는 제 1 영역과, 한 쌍의 제 2 영역과의 사이에 형성된다. 한 쌍의 제 3 영역보다 도펀트 농도가 높은 한 쌍의 제 2 영역은 소스 영역 및 드레인 영역으로서 기능한다. 한 쌍의 제 2 영역보다 도펀트 농도가 낮은 한 쌍의 제 3 영역은, 채널 형성 영역에 가해지는 전계를 완화하는 영역, 즉 전계 완화 영역으로서 기능한다. 이와 같이 전계 완화 영역을 형성함으로써, 트랜지스터의 임계값 전압의 변동 등, 채널 길이를 짧게 함으로써 생기는 영향을 저감할 수 있다. 또한, 한 쌍의 제 2 영역 및 한 쌍의 제 3 영역이, 복수의 결정부를 갖는 산화물 반도체 영역으로 구성되어 있다.
- [0024] 따라서, 본 발명의 다른 일 형태는, 제 1 영역과, 제 1 영역을 개재하여 대향한 한 쌍의 제 2 영역과, 제 1 영역 및 한 쌍의 제 2 영역 사이에 형성된 한 쌍의 제 3 영역을 포함하는 산화물 반도체막과, 산화물 반도체막 위에 형성된 게이트 절연막과, 게이트 절연막 위에 형성되고 또한 제 1 영역에 중첩하는 제 1 전극을 갖고, 제 1 영역은 c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역이며, 한 쌍의 제 2 영역 및 한 쌍의 제 3 영역은 도펀트를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역이며, 한 쌍의 제 2 영역의 도펀트 농도는 한 쌍의 제 3 영역의 도펀트 농도보다 높은 반도체 장치이다.
- [0025] 또한, 한 쌍의 제 2 영역 및 한 쌍의 제 3 영역은, 복수의 결정부를 갖는 산화물 반도체 영역 위에, c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역이 형성되어 있어도 좋다.
- [0026] 예를 들어, 한 쌍의 제 2 영역 및 한 쌍의 제 3 영역에 첨가되는 도펀트는 15족 원소 또는 붕소로 한다. 예를 들어, 상기 도펀트는, 인, 비소, 및 안티몬 및 붕소로부터 선택된 1개 이상의 원소로 하고, 한 쌍의 제 2 영역 및 한 쌍의 제 3 영역에 포함되는 도펀트 농도는  $5 \times 10^{18} \text{ cm}^{-3}$  이상  $1 \times 10^{22} \text{ cm}^{-3}$  이하가 바람직하다. 또한, 한 쌍의 제 2 영역의 도펀트 농도는  $5 \times 10^{20} \text{ cm}^{-3}$  이상  $1 \times 10^{22} \text{ cm}^{-3}$  이하로 하고, 한 쌍의 제 3 영역의 도펀트 농도는  $5 \times 10^{18} \text{ cm}^{-3}$  이상  $5 \times 10^{21} \text{ cm}^{-3}$  미만으로 하는 것이 더욱 바람직하다.
- [0027] 또한, 본 발명의 일 형태의 트랜지스터는 탑 게이트 구조의 트랜지스터이며, 제 2 전극 및 제 3 전극이 한 쌍의 제 2 영역의 상면에 접하는 탑 컨택트 구조라도 좋고, 한 쌍의 제 2 영역의 하면에 접하는 보텀 컨택트 구조라도

도 좋다.

[0028] 상기에 있어서, 채널 형성 영역을 포함하는 산화물 반도체막에 도펀트를 첨가할 때, 제 1 전극을 마스크로 하고, 게이트 절연막을 통과시키지 않고 도펀트를 첨가해도 좋다. 예를 들어, 게이트 절연막이 형성되는 범위를 제 1 영역 위만으로 해도 좋다.

[0029] 또한, 게이트 절연막을 산화물 절연막으로 형성하고, 사이드월 절연막을 질화물 절연막으로부터 형성할 경우, 상기 질화물 절연막 및 상기 산화물 절연막의 에칭 레이트의 차이에 의해, 상기 게이트 절연막(상기 산화물 절연막)은, 상기 사이드월 절연막(상기 질화물 절연막)을 형성할 때의 에칭 스톱퍼로서 기능하고, 상기 게이트 절연막의 하면과 접하는 산화물 반도체막에 대한 과잉 에칭을 억제할 수 있다. 결과적으로, 상기 게이트 절연막은 제 1 영역, 한 쌍의 제 2 영역 및 한 쌍의 제 3 영역 위에 잔존한 구조가 된다.

[0030] 또한, 사이드월 절연막 및 게이트 절연막을 모두 산화물 절연막으로 할 때는, 상기 산화물 절연막 및 제 1 전극의 에칭 레이트의 차이를 이용하여, 한 쌍의 제 2 영역 및 한 쌍의 제 3 영역 위에 형성되어 있는 상기 게이트 절연막을 에칭할 수 있다. 결과적으로, 상기 게이트 절연막은 제 1 영역 위에 잔존한 구조가 된다.

**발명의 효과**

[0031] 본 발명의 일 형태에 의해, 미세화에 의한 전기 특성의 변동이 생기기 어려운 반도체 장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0032] 도 1a 및 도 1b는 본 발명의 일 형태인 반도체 장치의 일례를 도시한 상면도 및 단면도.
- 도 2a 내지 도 2d는 본 발명의 일 형태인 반도체 장치의 제작 방법을 도시한 도면.
- 도 3a 내지 도 3d는 본 발명의 일 형태인 반도체 장치의 제작 방법을 도시한 도면.
- 도 4a 및 도 4b는 본 발명의 일 형태인 반도체 장치의 제작 방법을 도시한 도면.
- 도 5a 및 도 5b는 본 발명의 일 형태인 반도체 장치의 일례를 도시한 상면도 및 단면도.
- 도 6a 및 도 6b는 본 발명의 일 형태인 반도체 장치의 일례를 도시한 상면도 및 단면도.
- 도 7a 및 도 7b는 본 발명의 일 형태인 반도체 장치의 제작 방법을 도시한 도면.
- 도 8은 본 발명의 일 형태인 반도체 장치의 일례를 도시한 단면도.
- 도 9a 및 도 9b는 본 발명의 일 형태인 반도체 장치의 일례를 도시한 상면도 및 단면도.
- 도 10a 내지 도 10e는 본 발명의 일 형태인 반도체 장치의 제작 방법을 도시한 도면.
- 도 11a 및 도 11b는 본 발명의 일 형태인 반도체 장치의 일례를 도시한 상면도 및 단면도.
- 도 12a 및 도 12b는 본 발명의 일 형태인 반도체 장치의 일례를 도시한 상면도 및 단면도.
- 도 13a 내지 도 13d는 본 발명의 일 형태인 반도체 장치의 제작 방법을 도시한 도면.
- 도 14는 본 발명의 일 형태인 반도체 장치의 일례를 도시한 단면도.
- 도 15a 내지 도 15c는 본 발명의 일 형태인 반도체 장치의 일례를 도시한 단면도.
- 도 16a 내지 도 16c는 본 발명의 일 형태인 반도체 장치의 일례를 도시한 단면도.
- 도 17a 및 도 17b는 도펀트를 첨가한 후의 산화물 반도체의 구조를 도시한 도면.
- 도 18a 및 도 18b는 도펀트를 첨가한 전후에서의 산화물 반도체의 전자 상태를 도시한 도면.
- 도 19a 내지 도 19c는 도펀트를 첨가한 후의 산화물 반도체의 단면 TEM상을 도시한 도면.
- 도 20a 및 도 20b는 본 발명의 일 형태인 반도체 장치의 회로도의 일례를 도시한 도면.
- 도 21은 본 발명의 일 형태인 반도체 장치 회로도의 일례를 도시한 도면.
- 도 22a 및 도 22b는 본 발명의 일 형태인 반도체 장치의 회로도의 일례를 도시한 도면.
- 도 23a 및 도 23b는 본 발명의 일 형태인 반도체 장치의 회로도의 일례를 도시한 도면.

도 24a는 CPU의 구체예를 도시한 블록도 및 도 24b 및 도 24c는 CPU의 일부의 회로도를 도시한 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0033] 본 발명의 실시형태에 대하여, 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있음은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정해서 해석되는 것은 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 동일 기능을 갖는 부분에는, 동일한 부호를 다른 도면간에서 공통적으로 사용하고, 그 반복 설명은 생략한다.
- [0034] 또한, 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 막의 두께, 또는 영역은, 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다.
- [0035] 또한, 본 명세서에서 사용하는 제 1, 제 2, 제 3 등의 용어는, 구성 요소의 혼동을 피하기 위하여 첨부한 것이며, 수적으로 한정하는 것이 아니다. 따라서, 예를 들어, “제 1”을 “제 2” 또는 “제 3” 등으로 적절히 치환하여 설명할 수 있다.
- [0036] 본 명세서에 있어서, “막”이란 용어는, CVD법(플라즈마 CVD법 등을 포함) 또는 스퍼터링법 등에 의해, 피형성면의 전면에 형성된 것과, 상기 피형성면의 전면에 형성된 것에 대하여 반도체 장치의 제작 공정에 관한 처리를 행한 후의 것에 사용한다.
- [0037] “소스”나 “드레인”의 기능은, 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화할 경우 등에는 교체할 경우가 있다. 따라서, 본 명세서에 있어서는, “소스”나 “드레인”의 용어는, 교체하여 사용할 수 있는 것으로 한다.
- [0038] (실시형태 1)
- [0039] 본 실시예에서는, 본 발명의 일 형태인 트랜지스터의 구조 및 제작 방법에 대하여, 도 1 내지 도 8을 사용하여 설명한다.
- [0040] (트랜지스터(100)의 구조 및 특징)
- [0041] 도 1a는, 트랜지스터(100)의 상면도이다. 또한, 도 1a에 있어서, 하지 절연막(102), 게이트 절연막(111) 및 층간 절연막(117)은 편의상 도시하지 않는다.
- [0042] 도 1a로부터, 제 1 전극(113)은, 제 1 영역(105; 도시하지 않음)과 한 쌍의 제 2 영역(123a, 123b)을 포함하는 산화물 반도체막(103) 위에 형성되어 있다. 그리고, 제 2 전극(119a)은, 개구부(116a)를 개재하여 한 쌍의 제 2 영역(123a, 123b) 중 제 2 영역(123a)에, 제 3 전극(119b)은 개구부(116b)를 개재하여 제 2 영역(123b)에 각각 접하여 형성되어 있다. 또한, 제 2 전극(119a) 및 제 3 전극(119b)은, 한 쌍의 제 2 영역(123a, 123b)의 상면과 각각 접하고 있으므로, 트랜지스터(100)는 탑 게이트 구조 및 탑 콘택트 구조의 트랜지스터이다.
- [0043] 도 1b는, 트랜지스터(100)에 있어서의 A-B간의 단면도이다. 도 1b로부터, 기판(101) 위에 하지 절연막(102)이 형성되어 있고, 하지 절연막(102) 위에는, 제 1 영역(105), 및 한 쌍의 제 2 영역(123a, 123b)을 포함하는 산화물 반도체막(103)이 형성되어 있다. 한 쌍의 제 2 영역(123a, 123b)은 제 1 영역(105)을 개재하여 대향하여 형성되어 있다.
- [0044] 산화물 반도체막(103) 위에 게이트 절연막(111)이 형성되어 있다. 게이트 절연막(111) 위에는, 제 1 영역(105)과 중첩한 제 1 전극(113)이 형성되어 있다.
- [0045] 게이트 절연막(111), 및 제 1 전극(113) 위에는, 층간 절연막(117)이 형성되어 있다.
- [0046] 제 2 전극(119a) 및 제 3 전극(119b)은, 도 1b에 도시한 바와 같이, 게이트 절연막(111) 및 층간 절연막(117)에 형성된 개구부(116a, 116b)를 개재하여 한 쌍의 제 2 영역(123a, 123b)과 접하여 형성되어 있다. 또한, 게이트 절연막(111)은, 제 1 영역(105), 및 한 쌍의 제 2 영역(123a, 123b)에 접하여 형성되어 있다.
- [0047] 제 1 영역(105), 및 한 쌍의 제 2 영역(123a, 123b)을 포함하는 산화물 반도체막(103)은, In, Ga, Sn 및 Zn으로부터 선택된 2 이상의 원소를 포함하는 금속 산화물이다. 또한, 상기 금속 산화물은, 밴드갭이 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상의 것이다. 이와 같이, 밴드갭이 넓은 금속 산화물을 사용함으로써, 트랜지스터(100)의 오프 전류를 저감할 수 있다.

- [0048] 또한, 트랜지스터(100)에 있어서, 제 1 영역(105)은 채널 형성 영역으로서 기능한다.
- [0049] 제 1 영역(105)은, 앞서 기술한 CAAC-OS이다. 상기한 바와 같이, CAAC-OS란, 비단결정이며, 상기 비단결정의 ab면에 수직인 방향에서 보았을 때, 삼각형 혹은 육각형, 또는 정삼각형 혹은 정육각형의 원자 배열을 갖고, 또 c축에 수직인 방향에서 보았을 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열한 결정부를 포함하는 산화물 반도체를 말한다.
- [0050] 또한, CAAC-OS는 단결정은 아니지만, 비정질만으로 형성되어 있는 것도 아니다. 또한, CAAC-OS는 결정부를 포함하지만, 1개의 결정부와 다른 결정부의 경계를 명확하게 판별할 수 없는 경우도 있다.
- [0051] CAAC-OS를 구성하는 산소의 일부는 질소로 치환되어도 좋다. 또한, CAAC-OS를 구성하는 개개의 결정부의 c축은 일정한 방향(예를 들어, CAAC-OS가 형성되는 기판면이나 CAAC-OS의 표면이나 막면, 계면 등에 수직인 방향)에 일치해도 좋다. 또는, CAAC-OS를 구성하는 개개의 결정부의 ab면의 법선은 일정한 방향(예를 들어, CAAC-OS가 형성되는 기판면, CAAC-OS의 표면이나 막면, 계면 등에 수직인 방향)을 향해 있어도 좋다.
- [0052] CAAC-OS는, 그 조성 등에 따라, 도체이거나, 반도체이거나, 절연체이거나 한다. 또한, 그 조성 등에 따라, 가시광에 대하여 투명이거나 불투명이거나 한다.
- [0053] 또한, 제 1 영역(105)의 수소 농도는,  $5 \times 10^{18} \text{ cm}^{-3}$  미만, 바람직하게는  $1 \times 10^{18} \text{ cm}^{-3}$  이하, 보다 바람직하게는  $5 \times 10^{17} \text{ cm}^{-3}$  이하, 더 바람직하게는  $1 \times 10^{16} \text{ cm}^{-3}$  이하이다. 채널 형성 영역인 제 1 영역(105)이 CAAC-OS이며, 또 수소 농도가 저감되어 있는 트랜지스터(100)는, 광 조사의 전후 및 BT(게이트·열 바이어스)스트레스 시험 전후에 있어서, 임계값 전압의 변동이 작기 때문에 안정된 전기 특성을 갖고, 신뢰성이 높은 트랜지스터라고 할 수 있다.
- [0054] 한 쌍의 제 2 영역(123a, 123b)은 도펀트를 포함하고, 또한 복수의 결정부를 갖는 산화물 반도체 영역이다. 한 쌍의 제 2 영역(123a, 123b)은 도펀트로서, 인, 비소, 및 안티몬, 및 붕소로부터 선택된 1 이상의 원소가 첨가되어 있다.
- [0055] 한 쌍의 제 2 영역(123a, 123b)은, 도펀트를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역인 것에 의해, 가령 한 쌍의 제 2 영역(123a, 123b)이, 제 1 영역(105)과 동일하게 도펀트를 포함하지 않는 CAAC-OS일 경우(산화물 반도체막(103) 전부가 도펀트를 포함하지 않는 CAAC-OS일 경우)에 비하여 도전율이 높다. 즉, 산화물 반도체막(103)의 채널 방향에 있어서의 저항 성분은 저감할 수 있고, 트랜지스터(100)의 온 전류를 증가시킬 수 있다.
- [0056] 따라서, 한 쌍의 제 2 영역(123a, 123b)은, 도전율이 0.1S/cm 이상 1000S/cm 이하, 바람직하게는 10S/cm 이상 1000S/cm 이하로 한다. 다만, 도전율이 너무 낮으면, 트랜지스터(100)의 온 전류가 저하된다. 또한, 한 쌍의 제 2 영역(123a, 123b)의 도전율을 증대시키기 위해서 도펀트 농도를 증가시키면, 캐리어 밀도를 증가시킬 수 있지만, 도펀트 농도를 너무 증가시키면, 한 쌍의 제 2 영역(123a, 123b)의 도전성을 저하시킬 경우가 있다.
- [0057] 따라서, 한 쌍의 제 2 영역(123a, 123b)의 도펀트 농도는,  $5 \times 10^{18} \text{ cm}^{-3}$  이상  $1 \times 10^{22} \text{ cm}^{-3}$  이하인 것이 바람직하다. 또한, 트랜지스터(100)의 제작 공정에 있어서의 도펀트를 첨가하는 공정으로, 제 1 전극(113)은 마스크로서 기능하고, 제 1 영역(105)과 한 쌍의 제 2 영역(123a, 123b)은 셀프 얼라인으로 형성된다.
- [0058] 한 쌍의 제 2 영역(123a, 123b)은, 트랜지스터(100)에 있어서, 적어도 소스 영역 및 드레인 영역으로서 기능한다. 한 쌍의 제 2 영역(123a, 123b)을 채널 형성 영역의 제 1 영역(105)의 양단에 형성함으로써, 채널 형성 영역인 제 1 영역(105)에 가해지는 전계를 완화시킬 수 있다.
- [0059] 상세하게는, 한 쌍의 제 2 영역(123a, 123b)을 채널 형성 영역의 제 1 영역(105)의 양단에 형성함으로써 제 1 영역(105)에 형성되는 채널에 있어서의 밴드단의 커브를 작게 하는 효과를 나타낸다. 따라서, 트랜지스터(100)은 임계값 전압이 마이너스 방향으로 변동하는 등, 채널 길이를 짧게 함으로써 생기는 영향을 저감할 수 있다.
- [0060] 그리고, 한 쌍의 제 2 영역(123a, 123b)은 제 2 전극(119a) 및 제 3 전극(119b)과의 접촉 저항이 저감되므로, 트랜지스터(100)의 온 전류를 증가시킬 수 있다.
- [0061] (트랜지스터(100)의 제작 방법)

- [0062] 다음으로, 트랜지스터(100)의 제작 방법에 대하여, 도 2 내지 도 4를 사용하여 설명한다.
- [0063] 기판(101)은, 재질 등에 큰 제한은 없지만, 적어도, 나중의 가열 처리에 견딜 수 있을 정도의 내열성을 갖고 있을 필요가 있다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(101)으로서 사용해도 좋다. 또한, 실리콘이나 탄화실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있고, 이들 기판 위에 반도체 소자가 형성되는 것을 기판(101)으로서 사용해도 좋다.
- [0064] 또한, 기판(101)으로서, 가요성 기판을 사용해도 좋다. 가요성 기판 위에 트랜지스터를 형성할 경우, 가요성 기판 위에 직접적으로 트랜지스터를 제작해도 좋고, 다른 기판에 트랜지스터를 제작한 후, 이것을 박리하여, 가요성 기판에 전치해도 좋다. 또한, 트랜지스터를 박리하고, 가요성 기판에 전치하기 위해서는, 상기 다른 기판과 트랜지스터와의 사이에, 박리가 용이한 영역을 형성하면 좋다.
- [0065] 우선, 기판(101) 위에 하지 절연막(102)을 형성한다. 하지 절연막(102)은 하기의 재료를 사용하여 단층 구조, 또는 적층 구조로서 형성한다.
- [0066] 또한, 하지 절연막(102)의 재료로서는, 산화실리콘, 산화갈륨, 혹은 산화알루미늄 등의 산화물 절연막, 또는 질화실리콘, 혹은 질화알루미늄 등의 질화물 절연막, 또는 산화질화실리콘, 산화질화알루미늄, 혹은 질화산화실리콘으로부터 선택되는 절연막을 사용할 수 있다. 또한, 하지 절연막(102)은 나중에 형성하는 산화물 반도체막(103)과 접하는 부분에서 산소를 포함하는 것이 바람직하다. 또한, “질화산화실리콘”이란, 그 조성으로서, 산소보다 질소의 함유량이 많은 것을 말하고, “산화질화실리콘”이란, 그 조성으로서, 질소보다 산소의 함유량이 많은 것을 말한다.
- [0067] 질화알루미늄막, 질화산화알루미늄막 및 질화실리콘막은 열전도율이 높기 때문에 하지 절연막(102)에 사용함으로써, 트랜지스터(100)의 방열성을 양호하게 할 수 있다
- [0068] 또한, 트랜지스터(100)의 제작에 있어서, Li나 Na 등의 알칼리 금속은, 불순물이기 때문에 함유량을 적게 하는 것이 바람직하다. 기판(101)에 알칼리 금속 등의 불순물을 포함하는 유리 기판을 사용할 경우, 알칼리 금속의 침입 방지를 위해, 하지 절연막(102)으로서, 상기 질화물 절연막을 형성하는 것이 바람직하다.
- [0069] 하지 절연막(102)은 스퍼터링법, CVD법, 도포법 등으로 형성할 수 있다. 하지 절연막(102)의 두께에 한정은 없지만, 하지 절연막(102)의 두께는 50nm 이상으로 하는 것이 바람직하다. 이것은, 하지 절연막(102)은, 기판(101)으로부터의 불순물(예를 들어, Li나 Na 등의 알칼리 금속 등)의 확산을 방지하는 것 외에, 트랜지스터(100)의 제작 공정에서의 에칭 공정에 의해 기판(101)이 에칭되는 것을 막기 위해서 사용하기 때문이다.
- [0070] 또한, 하지 절연막(102)은, 나중에 형성하는 산화물 반도체막(103)과 접하는 부분에서 산소를 포함하는 것이 바람직하므로, 하지 절연막(102)으로서, 가열에 의해 산소가 방출되는 막을 사용해도 좋다. 또한, “가열에 의해 산소가 방출된다”란, TDS(Thermal Desorption Spectroscopy: 승온 이탈 가스 분광법) 분석에서, 산소 원자로 환산한 산소의 방출량이  $1.0 \times 10^{18} \text{ cm}^{-3}$  이상, 바람직하게는  $3.0 \times 10^{20} \text{ cm}^{-3}$  이상인 것을 말한다.
- [0071] 이하, 산소의 방출량을 TDS 분석으로 산소 원자로 환산하여 정량하는 방법에 대하여 설명한다.
- [0072] TDS 분석했을 때의 기체의 방출량은, 스펙트럼의 적분값에 비례한다. 따라서, 절연막의 스펙트럼의 적분값과, 표준 시료의 기준값을 사용함으로써, 기체의 방출량을 계산할 수 있다. 표준 시료의 기준값이란, 소정의 원자를 포함하는 시료의, 스펙트럼의 적분값에 대한 원자의 밀도의 비율이다.
- [0073] 예를 들어, 표준 시료인 소정 밀도의 수소를 포함하는 실리콘 웨이퍼의 TDS분석 결과, 및 절연막의 TDS 분석 결과로부터, 절연막의 산소 분자의 방출량( $N_{O_2}$ )은, 수식 1로 구할 수 있다. 여기서, TDS 분석으로 얻어지는 질량수 32에서 검출되는 스펙트럼의 전부가 산소 분자 유래라고 가정한다. 질량수 32의 것으로서  $CH_3OH$ 가 있지만, 존재할 가능성이 낮은 것으로 여기에서는 고려하지 않는다. 또한, 산소 원자의 동위원소인 질량수 17의 산소 원자 및 질량수 18의 산소 원자를 포함하는 산소 분자에 대해서도, 자연계에서의 존재 비율이 극미량이기 때문에 고려하지 않는다.

수학식 1

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha$$

[0074]

[0075]

$N_{H_2}$ 는, 표준 시료에서 탈리한 수소 분자를 밀도로 환산한 값이다.  $S_{H_2}$ 는 표준 시료를 TDS 분석했을 때의 스펙트럼의 적분값이다. 여기서, 표준 시료의 기준값을  $N_{H_2}/S_{H_2}$ 로 한다.  $S_{O_2}$ 는 절연막을 TDS 분석했을 때의 스펙트럼의 적분값이다.  $\alpha$ 는 TDS 분석에서의 스펙트럼 강도에 영향을 주는 계수이다. 수식 1의 상수에 관해서는, 일본 특개평6-275697호 공보를 참조할 수 있다. 또한, 상기한 산소의 방출량의 수치는, 전자 과학 주식회사 제품인 승은 이탈 분석 장치 EMD-WA1000S/W를 사용하고, 표준 시료로서  $1 \times 10^{16} \text{ cm}^{-3}$ 의 수소 원자를 포함하는 실리콘 웨이퍼를 사용하여 측정된 수치이다.

[0076]

또한, TDS 분석에 있어서, 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은, 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상기의  $\alpha$ 은 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가 함으로써, 산소 원자의 방출량에 대해서도 어림잡을 수 있다.

[0077]

또한,  $N_{O_2}$ 는 산소 분자의 방출량이다. 절연막에 있어서는, 산소 원자로 환산했을 때의 산소의 방출량은 산소 분자의 방출량의 2배가 된다.

[0078]

가열에 의해 산소가 방출되는 막의 일례로서, 산소가 과잉인 산화실리콘( $\text{SiO}_x(x>2)$ )이 있다. 산소가 과잉인 산화실리콘( $\text{SiO}_x(x>2)$ )이란, 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적당으로 포함하는 것이다. 단위 체적당의 실리콘 원자수 및 산소 원자수는, 러더포드 후방 산란법으로 측정된 값이다.

[0079]

하지 절연막(102)에 가열에 의해 산소가 방출되는 막을 사용함으로써, 나중에 형성하는 산화물 반도체막(103)에 산소가 공급되어, 하지 절연막(102) 및 산화물 반도체막(103)의 계면 준위를 저감할 수 있다. 따라서, 트랜지스터(100)의 동작에 의해 생길 수 있는 전하 등이, 하지 절연막(102) 및 산화물 반도체막(103)의 계면에 포획되는 것을 억제할 수 있고, 트랜지스터(100)를 전기 특성의 열화가 적은 트랜지스터로 할 수 있다.

[0080]

다음으로, 하지 절연막(102) 위에, 모든 영역에 있어서 CAAC-OS인 산화물 반도체막(130)을 형성한다.

[0081]

모든 영역에 있어서 CAAC-OS인 산화물 반도체막(130)을 형성하는 방법으로서의 예를 들어 이하의 2종류의 방법이 있다. (1)한가지 방법은, 산화물 반도체막을 형성하는 공정을, 기판을 가열하면서 한번 행하는 방법이고, (2)또 한가지 방법은, 산화물 반도체막을 형성하는 공정을 2번으로 나누어, 각각 산화물 반도체막을 형성한 후에 가열 처리를 행하는 방법이다.

[0082]

먼저, (1)의 방법으로 산화물 반도체막(130)을 형성할 경우에 대하여 설명한다.

[0083]

하지 절연막(102) 위에, 기판(101)을 가열하면서 산화물 반도체막(130)을 형성한다(도 2a 참조). 또한, 산화물 반도체막(130)은 스퍼터링법, 분자선 에피택시법, 원자층 퇴적법 또는 펄스 레이저 증착법으로 형성하면 좋다. 산화물 반도체막(130)의 두께로서는 10nm 이상 100nm 이하, 바람직하게는 10nm 이상 30nm 이하로 하면 좋다.

[0084]

산화물 반도체막(130)은, In, Ga, Zn 및 Sn으로부터 선택된 2종 이상을 포함하는 금속 산화물 재료를 사용하면 좋다. 예를 들어, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계의 재료나, 3원계 금속 산화물인 In-Ga-Zn-O계의 재료, In-Sn-Zn-O계의 재료, In-Al-Zn-O계의 재료, Sn-Ga-Zn-O계의 재료, Al-Ga-Zn-O계의 재료, Sn-Al-Zn-O계의 재료나, 2원계 금속 산화물인 In-Zn-O계의 재료, Sn-Zn-O계의 재료, Al-Zn-O계의 재료, Zn-Mg-O계의 재료, Sn-Mg-O계의 재료, In-Mg-O계의 재료, In-Ga-O계의 재료나, 산화인듐, 산화주석, 산화아연 등을 사용하면 좋다. 여기서, 예를 들어, In-Ga-Zn-O계의 재료란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물이란 의미이며, 그 조성비는 특별히 상관없다. 또한, In과 Ga와 Zn 이외의 원소를 포함하여도 좋다. 이 때, 산화물 반도체막의 화학량론비에 대하여, 0를 과잉으로 하면 바람직하다. 0를 과잉으로 함으로써 산화물 반도체막의 산소 결손에 의한 캐리어의 생성을 억제할 수 있다.

[0085]

산화물 반도체막(130)으로서, In-Ga-Zn-O계의 재료를 사용할 경우, In, Ga, 및 Zn을 포함하는 금속 산화물 타겟의 일례로서,  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1[\text{mol수비}]$ 의 조성비를 갖는 것이 있다. 또한,

$\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol수비]의 조성비를 갖는 타겟,  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [mol수비]의 조성비를 갖는 타겟, 또는  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=2:1:8$ [mol수비]의 조성비를 갖는 타겟을 사용할 수도 있다.

- [0086] 또한, 일례로서, 산화물 반도체막(130)으로서 In-Zn-O계의 재료를 사용할 경우, 원자수비로,  $\text{In}/\text{Zn}=0.5$  이상 50 이하, 바람직하게는  $\text{In}/\text{Zn}=1$  이상 20 이하, 더 바람직하게는  $\text{In}/\text{Zn}=1.5$  이상 15 이하로 한다. In 과 Zn의 원자수비를 전술의 범위로 함으로써, 트랜지스터(100)의 전계 효과 이동도를 향상시킬 수 있다. 여기서, 화합물의 원자수비가  $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ 일 때,  $\text{Z}>1.5\text{X}+\text{Y}$ 로 하면 바람직하다.
- [0087] 산화물 반도체막으로서, 화학식  $\text{InM}_3(\text{ZnO})_m$ ( $m>0$ )으로 표기되는 재료를 사용해도 좋다. 여기서, M은 Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서, Ga, Ga 및 Al, Ga 및 Mn 또는 Ga 및 Co 등을 사용해도 좋다.
- [0088] 또한, 기판(101)을 가열하는 온도로서는, 150℃ 이상 450℃ 이하로 하면 좋고, 바람직하게는 기판 온도가 200℃ 이상 350℃ 이하로 한다. 또한, 산화물 반도체막(130)의 형성시에, 기판(101)을 가열하는 온도를 높게 함으로써, 비정질부에 대하여 결정부가 차지하는 비율이 많은 CAAC-OS로 할 수 있다.
- [0089] 다음으로, (2)의 방법으로 산화물 반도체막(130)을 형성할 경우에 대하여 설명한다.
- [0090] 기판(101)을 기판 온도는 200℃ 이상 400℃ 이하로 유지하면서, 하지 절연막(102) 위에 첫번째층의 산화물 반도체막을 형성하고, 질소, 산소, 희가스, 또는 건조 공기의 분위기 하에서, 550℃ 이상 기판 변형점 미만의 가열 처리를 행한다. 상기 가열 처리에 의해, 첫번째층의 산화물 반도체막의 표면을 포함하는 영역에 c축 배향한 결정(판상 결정을 포함)이 형성된다. 그리고, 두번째층의 산화물 반도체막을 첫번째층의 산화물 반도체막보다도 두껍게 형성한다. 그 후, 다시 550℃ 이상 기판 변형점 이하의 가열 처리를 행하고, 표면을 포함하는 영역에, 상기 c축 배향한 결정(판상 결정을 포함)이 형성된 첫번째층의 산화물 반도체막을 결정 성장의 종으로 하고, 두번째층의 산화물 반도체막을 윗쪽에 결정 성장시킨다. 또한, 첫번째층의 산화물 반도체막 및 두번째층의 산화물 반도체막은, 상기한 산화물 반도체막(130)에 적용할 수 있는 금속 산화물 재료를 사용하면 좋다. 또한, 첫번째층의 산화물 반도체막은 1nm 이상 10nm 이하에서 형성하는 것이 바람직하다.
- [0091] 스퍼터링법을 사용하여, 방법(1), 방법(2)의 어느 하나로 산화물 반도체막(130)을 형성할 때, 가능한 한 산화물 반도체막(130)에 포함되는 수소 농도를 저감시키는 것이 바람직하다. 수소 농도를 저감시키기 위해서는, 스퍼터링 장치의 처리실내에 공급하는 분위기 가스로서, 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도의 희가스(대표적으로는 아르곤), 산소, 및 희가스와 산소의 혼합 가스를 적절히 사용한다. 또한, 상기 처리실의 배기는, 물의 배기 능력이 높은 클라이오 펌프 및 수소의 배기 능력이 높은 스퍼터 이온 펌프를 조합하여 사용하면 좋다.
- [0092] 상기와 같이 함으로써, 수소의 혼입이 저감된 산화물 반도체막(130)을 형성할 수 있다. 또한, 상기 스퍼터링 장치를 사용해도, 산화물 반도체막(130)은 산소를 많이 포함하여 형성된다. 예를 들어, 2차 이온 질량 분석법(SIMS:Secondary Ion Mass Spectrometry)으로 측정되는 산화물 반도체막(130)의 질소 농도는,  $5 \times 10^{18} \text{ cm}^{-3}$  미만 이 된다.
- [0093] 또한, 하지 절연막(102) 및 산화물 반도체막(130)은, 진공하에서 연속적으로 형성하여도 좋다. 예를 들어, 기판(101)의 표면에 부착된 수소를 포함하는 불순물을, 가열 처리 또는 플라즈마 처리로 제거한 후, 대기에 노출시키지 않고 하지 절연막(102)을 형성하고, 계속해서 대기에 노출시키지 않고 산화물 반도체막(130)을 형성하여도 좋다. 이렇게 함으로써, 기판(101)의 표면에 부착된 수소를 포함하는 불순물을 저감하고, 또한, 기판(101)과 하지 절연막(102), 하지 절연막(102)과 산화물 반도체막(130)과의 계면에, 대기 성분이 부착되는 것을 억제할 수 있다. 그 결과, 전기 특성이 양호하며 신뢰성이 높은 트랜지스터(100)를 제작할 수 있다.
- [0094] 산화물 반도체막(130)을 형성시 또는 형성후에 있어서, 산화물 반도체막(130)의 산소 결손에 의해 전하가 생기는 경우가 있다. 일반적으로 산화물 반도체에 있어서의 산소 결손은, 그 산소 결손의 일부가 도너가 되고, 캐리어인 전자를 생성시킨다. 즉 트랜지스터(100)에 있어서도, 산화물 반도체막(130)의 산소 결손의 일부는 도너가 되고, 캐리어인 전자가 생김으로써, 트랜지스터(100)의 임계값 전압이 마이너스 방향으로 변동한다. 그리고, 산화물 반도체막(130)에 있어서, 상기 전자의 생성은, 산화물 반도체막(130)과 하지 절연막(102)과의 계면 근방에서 생기는 산소 결손에서 현저하다.
- [0095] 따라서, 산화물 반도체막(130)을 형성한 후에, 제 1 가열 처리를 행하고, 산화물 반도체막(131)을 형성한다(도

2b 참조).

- [0096] 제 1 가열 처리는, 산화물 반도체막(130)으로부터 수소(물, 수산기 또는 수소화물을 포함)를 방출시킴과 동시에, 하지 절연막(102)에 포함되는 산소의 일부를 방출시키고, 산화물 반도체막(130) 중, 및 하지 절연막(102)과 산화물 반도체막(130)과의 계면 근방에 산소를 확산시킨다. 즉, 제 1 가열 처리는, 하지 절연막(102)과 산화물 반도체막(130)과의 계면 준위, 및 산화물 반도체막(130)의 산소 결손을 저감시켜, 완성된 트랜지스터(100)의 산화물 반도체막(103)과 하지 절연막(102)과의 계면에서의 캐리어 포획의 영향을 작게 할 수 있다. 따라서, 제 1 가열 처리는, 트랜지스터(100)의 임계값 전압이 마이너스 방향으로 변동하는 것을 억제할 수 있다.
- [0097] 또한, 산화물 반도체막(130) 중의 산소 결손의 일부 뿐만 아니라, 산화물 반도체막(130) 중의 수소도 도너가 되어 캐리어인 전자를 생성시킨다. 제 1 가열 처리에 의해, 산화물 반도체막(130)은 막 중의 수소 농도가 저감되어, 고순도화된 산화물 반도체막(131)이 된다. 산화물 반도체막(131)의 수소 농도는,  $5 \times 10^{18} \text{ cm}^{-3}$  미만, 바람직하게는  $1 \times 10^{18} \text{ cm}^{-3}$  이하, 보다 바람직하게는  $5 \times 10^{17} \text{ cm}^{-3}$  이하, 더 바람직하게는  $1 \times 10^{16} \text{ cm}^{-3}$  이하이다. 또한, 산화물 반도체막(131) 중의 수소 농도는, 2차 이온 질량 분석법(SIMS:Secondary Ion Mass Spectrometry)으로 측정되는 것이다.
- [0098] 제 1 가열 처리에 의해, 수소 농도가 충분하게 저감되어 고순도화되고, 또한 충분한 산소를 공급받아 산소 결손에 기인하는 결함 준위가 저감된 산화물 반도체막(131)을 사용함으로써, 트랜지스터(100)의 오프 전류를 저감시킬 수 있다. 구체적으로는, 실온(25°C)에서의 오프 전류(여기에서는, 단위 채널 폭(1 $\mu\text{m}$ ) 근처의 값)는 100zA(1zA(zepto 암페어)는  $1 \times 10^{-21} \text{ A}$ ) 이하, 바람직하게는 10zA 이하가 된다. 또한, Li나 Na 등의 알칼리 금속은 불순물이기 때문에 함유량을 적게 하는 것이 바람직하고, 산화물 반도체막(131) 중에  $2 \times 10^{16} \text{ cm}^{-3}$  이하, 바람직하게는,  $1 \times 10^{15} \text{ cm}^{-3}$  이하의 농도로 하는 것이 바람직하다. 또한, 알칼리 토류금속도 불순물이기 때문에 함유량을 적게 하는 것이 바람직하다.
- [0099] 제 1 가열 처리의 온도는, 150°C 이상 기판 변형점 미만, 바람직하게는 250°C 이상 450°C 이하, 더 바람직하게는 300°C 이상 450°C 이하로 하고, 산화성 분위기 또는 불활성 분위기에서 행한다. 여기에서, 산화성 분위기는, 산소, 오존 또는 질화산소 등의 산화성 가스를 10ppm 이상 함유하는 분위기를 말한다. 또한, 불활성 분위기는, 전술한 산화성 가스가 10ppm 미만이고, 그 외, 질소 또는 희가스로 충전된 분위기를 말한다. 처리 시간은 3분 내지 24시간으로 한다. 24 시간을 초과하는 가열 처리는 생산성의 저하를 초래하므로 바람직하지 않다.
- [0100] 제 1 가열 처리에 사용하는 가열 장치에 특별한 한정은 없고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하여도 좋다. 예를 들어, 전기로나, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로젠 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 행하는 장치이다.
- [0101] 다음으로, 포토리소그래피 공정에 의해 레지스트 마스크를 산화물 반도체막(131) 위에 형성하고, 상기 레지스트 마스크를 사용하여, 산화물 반도체막(131)을 원하는 형상으로 에칭하고, 섬 형상의 산화물 반도체막(132)을 형성한다(도 2c 참조). 또한, 상기 레지스트 마스크는, 포토리소그래피 공정 외에 잉크젯법, 인쇄법 등을 적절히 사용할 수 있다. 상기 에칭은, 섬 형상의 산화물 반도체막(132)의 단부가 테이퍼 형상이 되도록 에칭하는 것이 바람직하다. 섬 형상의 산화물 반도체막(132)의 단부를 테이퍼 형상으로 함으로써, 본 공정 이후의 트랜지스터(100)의 제작에 있어서, 형성되는 막의 피복성을 향상시킬 수 있고, 상기 막의 단절을 방지할 수 있다. 테이퍼 형상은, 상기 레지스트 마스크를 후퇴시키면서 에칭함으로써 형성할 수 있다.
- [0102] 본 공정에서의 에칭 처리는, 드라이 에칭 또는 웨트 에칭으로 행할 수 있고, 이것들을 조합하여 행하여도 좋다. 웨트 에칭하는 에칭액으로서, 인산과 아세트산과 초산을 섞은 용액, 암모니아 과수(31중량% 과산화수소수:28중량% 암모니아수:물=5:2:2(체적비))등을 사용할 수 있다. 또한, IT007N(칸토 화학사 제조)를 사용해도 좋다.
- [0103] 드라이 에칭에 사용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어 염소( $\text{Cl}_2$ ), 3염화붕소( $\text{BCl}_3$ ), 4염화규소( $\text{SiCl}_4$ ), 4염화탄소( $\text{CCl}_4$ ) 등)가 바람직하다.

- [0104] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어 4불화탄소(CF<sub>4</sub>), 6불화황(SF<sub>6</sub>), 3불화질소(NF<sub>3</sub>), 트리플루오로메탄(CHF<sub>3</sub>) 등), 브롬화수소(HBr), 산소(O<sub>2</sub>), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 사용할 수 있다.
- [0105] 드라이 에칭으로서, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma:유도 결합형 플라즈마)에칭법을 사용할 수 있다. 원하는 형상으로 가공 할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관축의 전극에 인가 되는 전력량, 기관축의 전극 온도 등)을 적절히 조절한다.
- [0106] 다음으로, 산화물 반도체막(132) 위에, 게이트 절연막(111)을 형성한다. 게이트 절연막(111)은, 하지 절연막(102)에 적용할 수 있는 재료를 사용하여, 단층 구조 또는 적층 구조로서 형성한다. 또한, 게이트 절연막(111)의 두께는, 1nm 이상 300nm 이하, 보다 바람직하게는 5nm 이상 50nm 이하로 하면 좋다.
- [0107] 또한, 산화하프늄, 산화이트륨, 하프늄실리케이트(HfSi<sub>x</sub>O<sub>y</sub>(x>0, y>0)), 질소가 첨가된 하프늄실리케이트(HfSi<sub>x</sub>O<sub>y</sub>N<sub>z</sub>(x>0, y>0, z>0)), 하프늄 알루미늄네이트(HfAl<sub>x</sub>O<sub>y</sub>(x>0, y>0)), 등의 high-k 재료를 사용할 수 있다. high-k 재료는 유전율이 높기 때문에, 예를 들어, 산화실리콘막을 게이트 절연막에 사용했을 경우와 동일한 게이트 절연막 용량을 가진 채, 물리적인 게이트 절연막의 두께를 두껍게 할 수 있다. 그 때문에, 게이트 누설 전류를 저감할 수 있다. 또한, 게이트 절연막(111)으로서, 상기 high-k 재료를 단층 구조로서 사용하여도 좋고, 하지 절연막(102)에 적용할 수 있는 재료와의 적층 구조로 해도 좋다.
- [0108] 또한, 산화물 반도체막(132)과 접하는 부분에서는, 산소를 포함하는 것이 바람직하므로, 게이트 절연막(111)은, 산화물 절연막 또는 가열에 의해 산소를 방출하는 막을 사용하는 것이 바람직하다.
- [0109] 게이트 절연막(111)을 형성한 후, 제 2 가열 처리를 행하고, 섬 형상의 산화물 반도체막(140)을 형성한다(도 2d 참조). 제 2 가열 처리는, 산화물 반도체막(132)으로부터 수소(물, 수산기 또는 수소화물을 포함)를 방출시킴과 동시에, 하지 절연막(102) 및 게이트 절연막(111)에 포함되는 산소의 일부를 방출하고, 산화물 반도체막(132) 중, 하지 절연막(102)과 산화물 반도체막(132)과의 계면 근방, 및 산화물 반도체막(132)과 게이트 절연막(111)과의 계면 근방에 산소를 확산시킬 수 있다. 즉, 제 2 가열 처리는, 산화물 반도체막(132)의 산소 결손, 하지 절연막(102)과 산화물 반도체막(132)과의 계면 준위, 및 산화물 반도체막(132)과 게이트 절연막(111)과의 계면 준위를 저감시킬 수 있다.
- [0110] 제 2 가열 처리의 조건 및 장치는 제 1 가열 처리에 적용할 수 있는 조건 및 장치를 적절히 사용하면 좋다.
- [0111] 또한, 제 1 가열 처리를 겸하여 제 2 가열 처리를 행해도 좋지만, 제 1 가열 처리 및 제 2 가열 처리 양쪽 다 행함으로써, 효율적으로 상기 계면 준위, 및 상기 산소 결손을 저감할 수 있다.
- [0112] 다음으로, 게이트 절연막(111) 위에, 제 1 전극(113)에 적용할 수 있는 도전 재료를 사용하여 도전막(112)을 형성한다(도 3a 참조). 도전막(112)의 두께로서는, 하기 도전 재료의 전기 저항이나, 제작 공정에 걸리는 시간을 고려하여 적절히 정할 수 있다. 예를 들어, 10nm 이상 500nm 이하에서 형성하면 좋다.
- [0113] 제 1 전극(113)에 적용할 수 있는 도전 재료는, 알루미늄, 티타늄, 크롬, 니켈, 동, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈, 또는 텅스텐으로 이루어지는 단체 금속, 또는 이것을 주성분으로 하는 합금으로 한다. 또한, 도전막(112)은, 상기 도전 재료를 사용하여, 단층 구조 또는 적층 구조로서 형성한다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 텅스텐막 위에 티타늄막을 적층하는 2층 구조, 동-마그네슘-알루미늄 합금막 위에 동막을 적층하는 2층 구조, 티타늄막과, 그 티타늄막 위에 중첩하여 알루미늄 막을 적층하고, 또한 그 위에 티타늄막을 형성하는 3층 구조 등이 있다. 또한, 산화인듐, 산화주석 또는 산화아연을 포함하는 투명 도전 재료를 사용해도 좋다.
- [0114] 다음으로, 포토리소그래피 공정에 의해 레지스트 마스크를 도전막(112) 위에 형성하고, 상기 레지스트 마스크를 사용하여, 도전막(112)을 원하는 형상으로 에칭하고, 제 1 전극(113)을 형성한다(도 3b 참조). 제 1 전극(113)은, 적어도 게이트 전극으로서 기능하고, 게이트 배선으로서도 기능하는 구성으로 하여도 좋다. 또한, 상기 레지스트 마스크는 포토리소그래피 공정 이외에 잉크젯법, 인쇄법 등을 적절히 이용할 수 있고, 상기 에칭은 산화물 반도체막(130)을 가공할 때와 동일한 드라이 에칭 또는 웨트 에칭을 적절히 사용할 수 있다.
- [0115] 또한, 게이트 절연막(111) 및 제 1 전극(113)이 되는 도전막은 대기에 노출시키지 않고, 연속으로 형성하는 것이 바람직하다.
- [0116] 또한, 제 1 전극(113)과 게이트 절연막(111)과의 사이에, 질소를 포함하는 In-Ga-Zn-O막이나, 질소를 포함하는

In-Sn-0막이나, 질소를 포함하는 In-Ga-0막이나, 질소를 포함하는 In-Zn-0막이나, 질소를 포함하는 Sn-0막이나, 질소를 포함하는 In-0막이나, 금속 질화막(InN, ZnN 등)을 형성하는 것이 바람직하다. 이들 막은 5eV 이상, 바람직하게는 5.5eV 이상의 일함수를 갖고, 트랜지스터(100)의 전기 특성에 있어서, 임계값 전압을 플러스로 할 수 있고, 트랜지스터(100)를 소위 노멀리 오프의 트랜지스터로 할 수 있다. 예를 들어, 질소를 포함하는 In-Ga-Zn-0막을 사용할 경우, 적어도 산화물 반도체막(140)보다 높은 질소 농도, 구체적으로는 7원자% 이상의 In-Ga-Zn-0막을 사용한다.

- [0117] 다음으로, 산화물 반도체막(140)에 도펀트(150)를 첨가하는 처리를 행한다(도 3c 참조).
- [0118] 첨가하는 도펀트(150)는, 15족 원소 또는 붕소로 하고, 구체적으로는 인, 비소, 및 안티몬 및 붕소 중 어느 하나로부터 선택되는 하나 이상으로 한다. 또한, 산화물 반도체막(140)에 도펀트(150)를 첨가하는 방법으로서, 이온 도핑법 또는 이온 임플란테이션법을 사용할 수 있다.
- [0119] 이온 도핑법 또는 이온 임플란테이션법을 사용함으로써, 도펀트(150)의 첨가 깊이(첨가 영역)가 제어되기 쉬워져, 산화물 반도체막(140)에 도펀트(150)를 고정도로 첨가할 수 있다. 또한, 이온 도핑법 또는 이온 임플란테이션법에 의해 도펀트(150)를 첨가할 때에, 기판(101)을 가열하면서 행하여도 좋다.
- [0120] 또한, 산화물 반도체막(140)에 도펀트(150)를 첨가하는 처리는, 복수회 행하여도 좋다. 산화물 반도체막(140)에 도펀트(150)를 첨가하는 처리를 복수회 행할 경우, 도펀트(150)는 복수회에 모두 같은 원소라도 좋고, 1회의 처리때마다 바뀌어도 좋다.
- [0121] 산화물 반도체막(140)에 도펀트(150)를 첨가할 때, 제 1 전극(113)은 마스크로서 기능하고, 도펀트(150)는 제 1 전극(113)과 겹치는 영역의 산화물 반도체막(140)에는 첨가되지 않고, 채널 형성 영역이 되는 제 1 영역(105)이 형성된다.
- [0122] 또한, 도펀트(150)가 첨가된 영역은, 도펀트(150)의 첨가의 데미지에 의해 결정성이 저감하고, 비정질 영역이 된다. 도펀트(150)를 첨가하는 양 등을 조절 함으로써, 데미지량을 저감시켜, 완전한 비정질 영역이 되지 않도록 형성할 수도 있다. 즉, 도펀트(150)가 첨가된 영역은, 적어도 제 1 영역(105)보다도 비정질 영역의 비율이 큰 영역이 된다. 완전한 비정질 영역으로 만들지 않는 편이, 다음에 행할 제 3 가열 처리에 의한 결정화가 용이하게 이루어지기 때문에, 바람직하다.
- [0123] 다음으로, 도펀트(150)를 첨가한 후에, 제 3 가열 처리를 행한다. 제 3 가열 처리를 행함으로써 도펀트(150)가 첨가된 영역을, 도펀트를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역인 한 쌍의 제 2 영역(123a, 123b)으로 할 수 있다(도 3d 참조).
- [0124] 한 쌍의 제 2 영역(123a, 123b)은, 소스 영역 및 드레인 영역으로서 기능한다. 또한, 한 쌍의 제 2 영역(123a, 123b)인 복수의 결정부를 갖는 산화물 반도체 영역은, 제 1 영역(105)인 CAAC-OS와는 다르다. 또한, 제 3 가열 처리에 의해, 제 1 영역(105)인 CAAC-OS의 결정성이 향상되는 경우도 있다.
- [0125] 제 3 가열 처리의 온도는, 450℃ 이상 기판 변형점 온도 미만, 바람직하게는 650℃ 이상 기판 변형점 미만으로 하고, 감압 분위기하, 산화성 분위기하 또는 불활성 분위기하에서 행한다. 여기에서, 산화성 분위기는, 산소, 오존 또는 질화산소 등의 산화성 가스를 10ppm 이상 함유하는 분위기를 말한다. 또한, 불활성 분위기는, 전술한 산화성 가스가 10ppm 미만이고, 그 밖에, 질소 또는 희가스로 충전된 분위기를 말한다. 처리 시간은 1시간 내지 24시간으로 한다. 24시간을 초과하는 가열 처리는 생산성의 저하를 초래하기 때문에 바람직하지 않다.
- [0126] 제 3 가열 처리에 사용하는 가열 장치는, 제 1 가열 처리 및 제 2 가열 처리에 적용할 수 있는 장치를 사용할 수 있다.
- [0127] 이와 같이, 제 1 전극(113)을 마스크로 하고, 도펀트(150)를 산화물 반도체막(140)에 첨가하고, 그 후에 제 3 가열 처리를 행함으로써, 채널 형성 영역이 되는 제 1 영역(105)과, 소스 영역 및 드레인 영역이 되는 한 쌍의 제 2 영역(123a, 123b)을 셀프 얼라인으로 형성할 수 있다.
- [0128] 다음으로, 게이트 절연막(111), 및 제 1 전극(113) 위에 층간 절연막(117)이 되는 절연막을 형성하고, 포토리소그래피 공정에 의해, 층간 절연막(117)이 되는 절연막 위에 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 에칭하고, 개구부(116a, 116b)를 형성한다(도 4a 참조). 또한, 상기 레지스트 마스크는, 포토리소그래피 공정의 이외에 잉크젯법, 인쇄법 등을 적절히 사용할 수 있고, 상기 에칭은 산화물 반도체막(130)을 가공할 때와 동일한 드라이 에칭 또는 웨트 에칭을 적절히 사용할 수 있다.

- [0129] 층간 절연막(117)에는, 산화실리콘막, 산화질화실리콘막, 질화산화실리콘막 또는 질화실리콘막을 사용하고, 스퍼터링법, CVD법 등으로 형성하면 좋다. 이 때, 층간 절연막(117)에는, 가열에 의해 산소를 방출하기 어려운 막을 사용하는 것이 바람직하다. 이것은, 한 쌍의 제 2 영역(123a, 123b)의 도전율을 저하시키지 않기 위해서이다. 구체적으로는, CVD법에 의해, 실란 가스를 주재료로 하고, 산화질소 가스, 질소 가스, 수소 가스 및 희가스로부터 적절한 원료 가스를 혼합하여 성막하면 좋다. 또한, 기판 온도를 300℃ 이상 550℃ 이하로 하면 좋다. CVD법을 사용함으로써 가열에 의해 산소를 방출하기 어려운 막으로 할 수 있다.
- [0130] 다음으로, 개구부(116a, 116b)를 개재하여, 한 쌍의 제 2 영역(123a, 123b)과 접하도록 도전막을 형성하고, 포토리소그래피 공정에 의해 상기 도전막 위에 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 상기 도전막을 에칭하고, 제 2 전극(119a) 및 제 3 전극(119b)을 형성한다(도 4b 참조). 또한, 제 2 전극(119a) 및 제 3 전극(119b)은, 제 1 전극(113)과 동일하게 하여 형성할 수 있다.
- [0131] 제 2 전극(119a) 및 제 3 전극(119b)은, 각각, 적어도 소스 전극 및 드레인 전극으로서 기능하고, 또한 소스 배선 및 드레인 배선으로서도 기능한다.
- [0132] 이상으로부터, 트랜지스터(100)를 제작할 수 있다.
- [0133] (트랜지스터(100)의 변형예 1)
- [0134] 또한, 제 3 가열 처리를, 550℃ 이상 기판 변형점 온도 미만, 및 산화성 분위기로 행함으로써, 한 쌍의 제 2 영역(123a, 123b) 내에 도펀트(150)를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역(109a, 109b) 위에, 도펀트(150)를 포함하고 또한 c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역(107a, 107b)을 형성할 수 있다.
- [0135] 이 경우에 있어서 완성된 트랜지스터(160)의 상면도를 도 5a에 도시한다. 또한, 도 5a의 A-B간에서의 단면도를 도 5b에 도시한다.
- [0136] 트랜지스터(160)의 한 쌍의 제 2 영역(123a, 123b)은 도펀트(150)를 포함하고 또한 c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역(107a, 107b), 및 도펀트(150)를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역(109a, 109b)으로 구성된다(도 5b 참조). 또한, 산화물 반도체 영역(107a, 107b)과 산화물 반도체 영역(109a, 109b)과의 도펀트 농도는 같다.
- [0137] 또한, 제 2 전극(119a) 및 제 3 전극(119b)은 개구부(116a, 116b)를 개재하여 산화물 반도체 영역(107a, 107b)과 접해 있다. 트랜지스터(160)의 그 밖의 구성은 트랜지스터(100)와 동일하다.
- [0138] 또한, 상기한 조건으로 제 3 가열 처리를 1시간 행하면, 상기 산화물 반도체 영역(107a, 107b)은 한 쌍의 제 2 영역(123a, 123b)의 상면으로부터 한 쌍의 제 2 영역(123a, 123b)의 하면 방향에, 적어도 2nm 형성된다. 또한, 상기 조건으로 행하는 제 3 가열 처리의 시간을 길게 함으로써, 상기 산화물 반도체 영역(107a, 107b)을 두껍게 형성할 수 있다.
- [0139] 그리고, 트랜지스터(100)와 트랜지스터(160)에서는 한 쌍의 제 2 영역(123a, 123b)의 구성이 다를 뿐, 트랜지스터(100)에 관한 설명은 트랜지스터(160)에 있어서도 적용된다.
- [0140] 트랜지스터(160)에 있어서도, 제 1 영역(105)에 형성되는 채널에 있어서의 밴드단의 커브를 작게 하는 효과를 나타내고, 트랜지스터(160)는 임계값 전압이 마이너스 방향으로 변동하는 등, 채널 길이를 짧게 함으로써 생기는 영향을 저감할 수 있다. 또한, 한 쌍의 제 2 영역(123a, 123b)은, 제 2 전극(119a) 및 제 3 전극(119b)과의 접촉 저항, 및 한 쌍의 제 2 영역(123a, 123b)의 채널 방향에 있어서의 저항 성분이 저감되기 때문에, 트랜지스터(160)의 온 전류를 증가시킬 수 있다.
- [0141] 또한, 트랜지스터(160)는 한 쌍의 제 2 영역(123a, 123b)이 산화물 반도체 영역(107a, 107b) 및 산화물 반도체 영역(109a, 109b)이므로, 가령 한 쌍의 제 2 영역(123a, 123b)이 비정질의 영역일 경우에 비하여, 광 조사의 전후 및 BT(게이트·열 바이어스) 스트레스 시험 전후에서의 임계값 전압의 변동이 작다고 생각되어, 신뢰성이 높은 트랜지스터이다.
- [0142] (트랜지스터(100)의 변형예 2)
- [0143] 트랜지스터(100)의 제작 방법의 제 1 전극(113)을 형성할 때에, 게이트 절연막(111)도 동시에 에칭함으로써, 산화물 반도체막(103)의 제 1 영역(105) 위에만 게이트 절연막(121)을 형성할 수 있다.

- [0144] 이 경우에 있어서 완성된 트랜지스터(170)의 상면도를 도 6a에 도시한다. 또한, 도 6a의 A-B간에서의 단면도를 도 6b에 도시한다. 트랜지스터(170)의 상면 구조는 트랜지스터(100)와 동일하고, 탑 게이트 구조 및 탑 컨택트 구조의 트랜지스터이다.
- [0145] 그리고, 트랜지스터(100)와 트랜지스터(170)는 게이트 절연막(111)의 형상이 다를 뿐이며, 트랜지스터(100)에 관한 설명은 트랜지스터(170)에서도 적용된다.
- [0146] 트랜지스터(170)에 있어서도, 제 1 영역(105)에 형성되는 채널에 있어서의 밴드단의 커브를 작게 하는 효과를 나타내고, 트랜지스터(170)는 임계값 전압이 마이너스 방향으로 변동하는 등, 채널 길이를 짧게 함으로써 생기는 영향을 저감할 수 있다. 또한, 한 쌍의 제 2 영역(123a, 123b)은 제 2 전극(119a) 및 제 3 전극(119b)과의 접촉 저항, 및 한 쌍의 제 2 영역(123a, 123b)의 채널 방향에 있어서의 저항 성분이 저감되기 때문에, 트랜지스터(170)의 온 전류를 증가시킬 수 있다.
- [0147] 또한, 트랜지스터(170)는, 한 쌍의 제 2 영역(123a, 123b)이 복수의 결정부를 갖는 산화물 반도체 영역이기 때문에, 가령 한 쌍의 제 2 영역(123a, 123b)이 비정질 영역일 경우에 비하여, 광 조사의 전후 및 BT(게이트·열 바이어스) 스트레스 시험 전후에 있어서의 임계값 전압의 변동이 작다고 생각되어, 신뢰성이 높은 트랜지스터이다.
- [0148] 트랜지스터(170)의 제작 방법에 대하여, 도 3a 내지 도 3c, 도 7a 및 도 7b 및 도 8을 사용하여 설명한다. 트랜지스터(170)는 도전막(112)을 형성하는 공정(도 3a 참조)까지는, 트랜지스터(100)와 동일하다.
- [0149] 도전막(112)을 형성한 뒤, 도전막(112) 및 게이트 절연막(111)에 에칭 처리를 행함으로써 제 1 전극(113) 및 뒤에 형성되는 산화물 반도체막(103)의 제 1 영역(105) 위에만 중첩하는 게이트 절연막(121)을 형성할 수 있다(도 7a 참조).
- [0150] 또한, 게이트 절연막(121)은 제 1 영역(105)에만 접하고 있기 때문에, 산화물 반도체막(140)의 형상(단차)에 따라 형성되어 있지 않다. 바꿔 말하면, 게이트 절연막(121)에는 산화물 반도체막(140)의 단차를 뛰어 넘는 부분이 없다. 따라서, 완성된 트랜지스터(170)에 있어서도, 게이트 절연막(121)은 산화물 반도체막(103)의 단차를 뛰어 넘는 부분이 없으므로, 게이트 절연막(121)의 단절 등에 기인하는 누설 전류를 저감하고, 또한 게이트 절연막(121)의 내압을 높일 수 있다. 따라서, 게이트 절연막(121)을 5nm 부근까지 박막화해서 사용해도 트랜지스터(170)를 동작시킬 수 있다. 또한, 게이트 절연막(121)을 박막화함으로써, 채널 길이를 짧게 함으로써 생기는 영향을 저감할 수 있고, 또한 트랜지스터의 동작 속도를 높일 수 있다.
- [0151] 또한, 트랜지스터(170)는 게이트 절연막(121)이 단차를 뛰어 넘는 부분이 없으므로, 제 1 전극(113)과 한 쌍의 제 2 영역(123a, 123b) 간에 생기는 기생 용량이 거의 없다. 그 때문에, 트랜지스터(170)는 채널 길이를 축소했을 경우에도, 임계값 전압의 변동을 저감할 수 있다.
- [0152] 이후에는, 트랜지스터(100)와 동일한 공정을 행함으로써 트랜지스터(170)를 형성할 수 있다. 또한, 트랜지스터(170)에 있어서, 도펀트(150)를 첨가하는 처리는, 트랜지스터(100)와는 달리, 제 1 전극(113)을 마스크로 하고, 산화물 반도체막(140)의 일부가 노출된 상태에서 첨가된다(도 7b 참조).
- [0153] 트랜지스터(170)와 같이, 산화물 반도체막(140)의 일부가 노출된 상태에서 도펀트(150)를 첨가하는 경우에는, 도펀트(150)의 첨가 방법으로서, 이온 도핑법 또는 이온 임플란테이션법 이외의 방법을 사용할 수도 있다. 예를 들어, 첨가하는 원소를 포함하는 가스 분위기에서 플라즈마를 발생시켜서, 피첨가물(여기에서는, 산화물 반도체막(140))에 대하여 상기 플라즈마를 조사시키는 플라즈마 처리이다. 상기 플라즈마를 발생시키는 장치로서는, 드라이 에칭 장치나 플라즈마 CVD 장치, 고밀도 플라즈마 CVD 장치 등을 사용할 수 있다. 또한, 상기 플라즈마 처리는, 기판(101)을 가열하면서 행하여도 좋다.
- [0154] 또한, 트랜지스터(170)에 있어서도, 도펀트(150)를 첨가한 후에 행하는 제 3 가열 처리를, 550℃ 이상 기판 변형점 온도 미만, 및 산화성 분위기에서 행함으로써, 도펀트(150)를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역(109a, 109b) 위에 도펀트(150)를 포함하고 또한 c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역(107a, 107b)이 형성된 한 쌍의 제 2 영역(123a, 123b)을 형성할 수 있다(도 8 참조). 또한, 도 8에 있어서 각 부호는, 트랜지스터(100)(도 1a 및 도 1b 참조), 트랜지스터(160)(도 5a 및 도 5b 참조) 및 트랜지스터(170)(도 6a 및 도 6b 참조)의 각 부호에 대응한다.
- [0155] 이와 같이, 개시하는 발명의 일 형태에서는, 미세화에 따른 문제점을 해소할 수 있으므로, 결과적으로, 트랜지스터 사이즈를 충분히 작게 할 수 있다. 트랜지스터 사이즈를 충분히 작게 함으로써, 반도체 장치가 차지하는

면적이 작아지므로, 반도체 장치의 취득 개수가 증대한다. 따라서, 반도체 장치당 제조 비용은 억제된다. 또한, 동등의 기능을 유지한 채 반도체 장치가 소형화되기 때문에, 크기를 같게 할 경우에는, 기능이 한층 더 향상된 반도체 장치를 실현할 수 있다. 또한, 채널 길이의 축소에 따른, 동작의 고속화, 저소비 전력화 등의 효과를 얻을 수도 있다. 즉, 개시하는 발명의 일 형태에 의해, 산화물 반도체를 사용한 트랜지스터의 미세화가 달성됨으로써, 이것에 부수되는 다양한 효과를 얻을 수 있다. 또한, 본 실시형태는, 다른 실시형태 및 실시예와 적절히 조합할 수 있다.

- [0156] (실시형태 2)
- [0157] 본 실시형태에서는, 본 발명의 다른 일 형태인 트랜지스터(200)의 구조 및 제작 방법에 대하여, 도 9a 및 도 9b, 도 10a 내지 도 10e, 도 11a 및 도 11b, 도 12a 및 도 12b, 도 13a 내지 도 13d, 및 도 14를 사용하여 설명한다. 트랜지스터(200)는, 실시형태 1에서 설명한 트랜지스터(100)와 비교하여, 제 1 전극(113)의 단면에 사이드월 절연막(215)이 형성되어 있고, 산화물 반도체막(103)의 제 1 영역(105) 및 한 쌍의 제 2 영역(123a, 123b)의 사이에, 한 쌍의 제 3 영역(223a, 223b)이 형성되어 있는 것이 다르다.
- [0158] 또한, 트랜지스터(200)는, 본 발명의 다른 일 형태이므로, 실시형태 1에서 설명한 내용은, 본 실시형태에 있어서도 적용된다.
- [0159] (트랜지스터(200)의 구조 및 특징)
- [0160] 도 9a는, 트랜지스터(200)의 상면도이다. 또한, 도 9a에 있어서, 하지 절연막(102), 게이트 절연막(111) 및 층간 절연막(117)은, 편의상 도시하지 않는다.
- [0161] 도 9a보다, 제 1 전극(113)은 제 1 영역(105)(도시하지 않음), 한 쌍의 제 2 영역(123a, 123b), 및 한 쌍의 제 3 영역(223a, 223b)(도시하지 않음)을 포함하는 산화물 반도체막(103) 위에 형성되어 있다. 제 1 전극(113)의 측면에 사이드월 절연막(215)이 형성되어 있다. 그리고, 제 2 전극(119a) 및 제 3 전극(119b)은 개구부(116a, 116b)를 개재하여 한 쌍의 제 2 영역(123a, 123b) 위에 형성되어 있다. 또한, 제 2 전극(119a) 및 제 3 전극(119b)은 한 쌍의 제 2 영역(123a, 123b)의 상면과 접한다. 트랜지스터(200)는 탑 게이트 구조 및 탑 컨택트 구조의 트랜지스터이다.
- [0162] 도 9b는, 트랜지스터(200)에 있어서의 A-B간의 단면도이다. 도 9b로부터, 기판(101) 위에 하지 절연막(102)이 형성되어 있고, 하지 절연막(102) 위에는, 제 1 영역(105), 한 쌍의 제 2 영역(123a, 123b) 및 한 쌍의 제 3 영역(223a, 223b)을 포함하는 산화물 반도체막(103)이 형성되어 있다. 한 쌍의 제 2 영역(123a, 123b)은 제 1 영역(105)을 개재하여 대향하여 형성되어 있다. 한 쌍의 제 3 영역(223a, 223b)은 제 1 영역(105) 및 한 쌍의 제 2 영역(123a, 123b)의 사이에 형성되어 있다.
- [0163] 산화물 반도체막(103) 위에 게이트 절연막(111)이 형성되어 있다. 게이트 절연막(111) 위에는, 제 1 영역(105)과 중첩한 제 1 전극(113)이 형성되어 있다. 제 1 전극(113)의 양측면에는, 사이드월 절연막(215)이 접하여 형성되어 있다.
- [0164] 게이트 절연막(111), 제 1 전극(113) 및 사이드월 절연막(215) 위에는, 층간 절연막(117)이 형성되어 있다.
- [0165] 제 2 전극(119a) 및 제 3 전극(119b)은 층간 절연막(117)에 형성된 개구부(116a, 116b)를 개재하여 한 쌍의 제 2 영역(123a, 123b)과 접하여 형성된다. 또한, 게이트 절연막(111)은, 제 1 영역(105), 한 쌍의 제 2 영역(123a, 123b) 및 한 쌍의 제 3 영역(223a, 223b)에 접한다.
- [0166] 제 2 전극(119a) 및 제 3 전극(119b)의 단부는, 테이퍼 형상이어도 좋지만, 제 1 전극(113)의 단부는 수직 형상인 것이 바람직하다. 제 1 전극(113)의 단부를 수직 형상으로 하고, 제 1 전극(113) 위에 사이드월 절연막(215)이 되는 절연막을 형성하고, 이방성이 높은 에칭을 행함으로써, 사이드월 절연막(215)을 형성할 수 있기 때문이다.
- [0167] 또한, 상세한 것은 후술하겠지만, 도 9a 및 도 9b로부터, 한 쌍의 제 3 영역(223a, 223b)은 산화물 반도체막(103)이 사이드월 절연막(215)과 중첩하는 영역에 상당한다. 그리고, 사이드월 절연막(215)은 제 1 전극(113)의 측면 및 게이트 절연막(111)과 접하는 영역 이외의 적어도 일부는 만곡 형상을 갖는다.
- [0168] 산화물 반도체막(103)은 실시형태 1과 마찬가지로 In, Ga, Sn 및 Zn으로부터 선택된 2 이상의 원소를 포함하는 금속 산화물이고, 밴드갭이 넓은 금속 산화물을 사용함으로써, 트랜지스터(200)의 오프 전류를 저감할 수 있다.
- [0169] 또한, 트랜지스터(200)에 있어서, 제 1 영역(105)은 채널 형성 영역으로서 기능하고, 또한 CAAC-OS이며, 또 수

소 농도가 저감되어 있다. 그 때문에, 트랜지스터(200)는 광 조사의 전후 및 BT(게이트·열 바이어스) 스트레스 시험 전후에 있어서, 임계값 전압의 변동이 작기 때문에 안정된 전기 특성을 갖고, 신뢰성이 높은 트랜지스터라고 할 수 있다.

- [0170] 한 쌍의 제 2 영역(123a, 123b)은 실시형태 1과 동일하고, 가령 한 쌍의 제 2 영역(123a, 123b)이 제 1 영역(105)과 마찬가지로 도펀트를 포함하지 않는 CAAC-OS인 경우(산화물 반도체막(103) 전부가 도펀트를 포함하지 않는 CAAC-OS일 경우)에 비하여 도전율이 높다. 또한, 한 쌍의 제 3 영역(223a, 223b)에 있어서도, 한 쌍의 제 2 영역(123a, 123b)과 마찬가지로 도펀트를 포함하고 있어, 도전율이 높다. 즉, 산화물 반도체막(103)의 채널 방향에 있어서의 저항 성분은 저감되어, 트랜지스터(200)의 온 전류를 증가시킬 수 있다.
- [0171] 또한, 트랜지스터(200)에 있어서, 한 쌍의 제 2 영역(123a, 123b) 및 한 쌍의 제 3 영역(223a, 223b)의 도전율 및 도펀트 농도는, 실시형태 1과 동일한 범위이며, 도펀트 농도를 너무 증가시키면 도전성이 저하되고, 트랜지스터(200)의 온 전류가 저하한다.
- [0172] 따라서, 한 쌍의 제 2 영역(123a, 123b) 및 한 쌍의 제 3 영역(223a, 223b)의 도펀트 농도는  $5 \times 10^{18} \text{ cm}^{-3}$  이상  $1 \times 10^{22} \text{ cm}^{-3}$  이하인 것이 바람직하다. 또한, 한 쌍의 제 2 영역(123a, 123b)의 도펀트 농도는 한 쌍의 제 3 영역(223a, 223b)의 도펀트 농도보다 높다. 구체적으로는, 한 쌍의 제 2 영역(123a, 123b)의 도펀트 농도는  $5 \times 10^{20} \text{ cm}^{-3}$  이상  $1 \times 10^{22} \text{ cm}^{-3}$  이하로 하고, 한 쌍의 제 3 영역(223a, 223b)의 도펀트 농도는  $5 \times 10^{18} \text{ cm}^{-3}$  이상  $5 \times 10^{21} \text{ cm}^{-3}$  미만으로 하는 것이 바람직하다. 또한, 이들 도펀트 농도의 차는, 트랜지스터(200)에는 사이드월 절연막(215)이 형성되어 있으므로, 도펀트를 첨가하는 공정에서 셀프 얼라인으로 형성된다.
- [0173] 트랜지스터(200)는, 한 쌍의 제 2 영역(123a, 123b) 중, 제 2 영역(123a)과 제 1 영역(105) 사이에 한 쌍의 제 3 영역(223a, 223b) 중 제 3 영역(223a)을, 제 2 영역(123b)과 제 1 영역(105) 사이에 제 3 영역(223b)을 각각 형성함으로써, 제 1 영역(105)에 가해지는 전계를 완화시킬 수 있다. 한 쌍의 제 2 영역(123a, 123b)은 소스 영역 및 드레인 영역으로서 기능한다. 또한, 한 쌍의 제 3 영역(223a, 223b)은 전계 완화 영역으로서 기능한다.
- [0174] 구체적으로는, 한 쌍의 제 2 영역(123a, 123b) 중, 제 2 영역(123a)과 제 1 영역(105) 사이에 한 쌍의 제 3 영역(223a, 223b) 중 제 3 영역(223a)을, 제 2 영역(123b)과 제 1 영역(105) 사이에 제 3 영역(223b)을 각각 형성함으로써, 제 1 영역(105)에 형성되는 채널에 있어서의 밴드단의 커브가 거의 생기지 않는다. 따라서, 트랜지스터(200)는 임계값 전압이 마이너스 방향으로 변동하는 등, 채널 길이를 짧게 함으로써 생기는 영향을 저감할 수 있다.
- [0175] 그리고, 한 쌍의 제 2 영역(123a, 123b)은 제 2 전극(119a) 및 제 3 전극(119b)과의 접촉 저항이 저감되기 때문에, 트랜지스터(200)의 온 전류를 증가시킬 수 있다.
- [0176] (트랜지스터(200)의 제작 방법)
- [0177] 다음으로, 트랜지스터(200)의 제작 방법에 대하여, 도 2a 내지 도 2d, 도 3a 내지 도 3d, 및 도 10a 내지 도 10e를 사용하여 설명한다.
- [0178] 트랜지스터(200)의 제작 방법에 대하여, 산소가 확산되고, 또한 수소 농도가 충분히 저감된 산화물 반도체막(140), 및 게이트 절연막(111)을 형성하는 공정(도 2d에 상당하는 공정), 및 산화물 반도체막(140) 위에 제 1 전극(113)에 적용할 수 있는 도전 재료를 사용하여 도전막(112)을 형성하는 공정(도 3a에 상당하는 공정)까지는, 트랜지스터(100)와 동일하므로, 실시형태 1을 참조할 수 있다.
- [0179] 다음으로, 포토리소그래피 공정을 행하여, 도전막(112) 위에 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 에칭하고, 제 1 전극(113)을 형성한다(도 10a 참조). 상기 에칭은 상기한 바와 같이 제 1 전극(113)의 단부가 수직인 형상이 되도록, 이방성이 높은 에칭을 행하는 것이 바람직하다. 이방성이 높은 에칭 조건으로서는, 상기 레지스트 마스크에 대하여 도전막(112)의 선택비가 극단적으로 높은 것이 바람직하다.
- [0180] 다음으로, 산화물 반도체막(140)에 도펀트(150)를 첨가하는 처리(제 1 도펀트 첨가 처리)를 행한다(도 10b 참조). 또한, 제 1 도펀트 첨가 처리에 있어서, 도펀트(150)의 종류(첨가하는 원소), 및 도펀트(150)를 첨가하는 방법은, 실시형태 1과 동일하다.
- [0181] 제 1 도펀트 첨가 처리에 있어서, 제 1 전극(113)은 마스크로서 기능하고, 도펀트(150)는 게이트 절연막(111)을

통과하여 산화물 반도체막(140)에 첨가된다. 이것에 의해, 도펀트(150)가 첨가된 산화물 반도체 영역(214a, 214b)이 형성된다. 또한, 산화물 반도체막(140)의 제 1 전극(113)과 접치는 영역에는 첨가되지 않으므로, 제 1 영역(105)이 형성된다.

[0182] 다음으로, 사이드월 절연막(215)을 형성한다. 사이드월 절연막(215)은 하지 절연막(102) 및 게이트 절연막(111)에서 설명한 절연막의 어느쪽에서 형성된다.

[0183] 트랜지스터(200)은 제 1 영역(105), 한 쌍의 제 2 영역(123a, 123b) 및 한 쌍의 제 3 영역(223a, 223b) 중 어느 쪽의 영역에서도, 게이트 절연막(111)이 접하여 형성되어 있다. 이러한 구조로 하기 위해서는, 게이트 절연막(111)과 사이드월 절연막(215)을 에칭 레이트가 다른 절연막으로 하면 좋다. 이렇게 함으로써, 사이드월 절연막(215)을 형성할 때에, 게이트 절연막(111)을 에칭 스톱퍼로서 기능시킬 수 있다. 게이트 절연막(111)을 에칭 스톱퍼로서 사용함으로써, 산화물 반도체막(140)에 대한 과잉의 에칭을 억제할 수 있다. 또한, 사이드월 절연막(215)을 형성할 때의 에칭의 종점(end point)도 용이하게 검출할 수 있다. 또한, 게이트 절연막(111)을 에칭 스톱퍼로서 기능시킴으로써 사이드월 절연막(215)의 폭(도 9b의 사이드월 절연막(215)이 게이트 절연막(111)과 접해 있는 개소의 폭)의 제어가 용이해진다. 한 쌍의 제 3 영역(223a, 223b)의 범위는, 사이드월 절연막(215)의 폭에 대응하여 결정된다. 한 쌍의 제 3 영역(223a, 223b)의 범위를 크게 하면, 그만큼 채널 형성 영역인 제 1 영역(105)에 가해지는 전계를 완화할 수 있다.

[0184] 우선, 게이트 절연막(111) 및 제 1 전극(113) 위에, 사이드월 절연막(215)이 되는 절연막(114)을 형성한다(도 10c 참조). 절연막(114)은 하지 절연막(102) 또는 게이트 절연막(111)과 동일하게 형성할 수 있고, 실시형태 1에서 설명한 절화물 절연막 중 어느 하나로 하는 것이 바람직하다. 또한, 절연막(114)의 두께는 특별히 한정은 없지만, 제 1 전극(113)의 형상에 대한 피복성을 고려하여 적절히 선택하면 좋다.

[0185] 절연막(114)을 에칭함으로써 사이드월 절연막(215)을 형성한다. 상기 에칭은 이방성이 높은 에칭이며, 사이드월 절연막(215)은, 절연막(114)에 이방성이 높은 에칭 공정을 행함으로써 셀프 얼라인으로 형성할 수 있다. 여기에서, 이방성이 높은 에칭으로서, 드라이 에칭이 바람직하고, 예를 들어, 에칭 가스로서, 트리플루오로메탄(CHF<sub>3</sub>), 옥타플루오로시클로부탄(C<sub>4</sub>F<sub>8</sub>), 테트라플루오로메탄(CF<sub>4</sub>) 등의 불소를 포함하는 가스를 사용할 수 있고, 헬륨(He)이나 아르곤(Ar) 등의 희가스 또는 수소(H<sub>2</sub>)를 첨가해도 좋다. 또한, 드라이 에칭으로서, 기관에 고주파 전압을 인가하는, 반응성 이온 에칭법(RIE법)을 사용하는 것이 바람직하다.

[0186] 또한, 후에 형성되는 한 쌍의 제 3 영역(223a, 223b)의 도펀트 농도는, 사이드월 절연막(215)의 두께에 대응하므로, 한 쌍의 제 3 영역(223a, 223b)의 도펀트 농도가 상기한 값이 되도록, 사이드월 절연막(215)의 두께, 또한 제 1 전극(113)의 두께를 정하면 좋다. 또한, 여기에서의 사이드월 절연막(215)의 두께란, 사이드월 절연막(215)에 있어서, 게이트 절연막(111)과 접해 있는 면으로부터, 제 1 전극(113)과 접해 있는 면의 최정상부까지를 말한다.

[0187] 또한, 한 쌍의 제 3 영역(223a, 223b)의 범위는 사이드월 절연막(215)의 폭에 대응하여 결정되고, 사이드월 절연막(215)의 폭은, 제 1 전극(113)의 두께에도 대응하므로, 한 쌍의 제 3 영역(223a, 223b)의 범위가 원하는 범위가 되도록, 제 1 전극(113)의 두께를 정하면 좋다.

[0188] 다음으로, 산화물 반도체 영역(214a, 214b)에 도펀트(150)를 첨가하는 처리(제 2 도펀트 첨가 처리)를 행한다(도 10d 참조). 또한, 도펀트(150)의 종류(첨가하는 원소), 및 도펀트(150)를 첨가하는 방법은 실시형태 1과 동일하다.

[0189] 제 2 도펀트 첨가 처리에 있어서도, 제 1 전극(113)은 마스크로서 기능하고, 도펀트(150)는 게이트 절연막(111) 및 사이드월 절연막(215)을 통과하여, 산화물 반도체 영역(214a, 214b)에 첨가된다. 그리고, 첨가되는 도펀트(150)는 게이트 절연막(111)만을 통과하여 첨가되는 영역보다, 게이트 절연막(111) 및 사이드월 절연막(215)을 통과하여 첨가되는 영역 쪽이 적다. 따라서, 산화물 반도체 영역(214a, 214b)에 도펀트 농도차를 셀프 얼라인으로 형성할 수 있다.

[0190] 본 실시형태에 있어서도, 도펀트(150)가 첨가된 영역은 도펀트(150)의 첨가의 데미지에 의해 결정성이 저감하고, 비정질 영역이 된다. 도펀트(150)를 첨가하는 양 등을 조절함으로써, 데미지량을 저감시켜, 완전한 비정질 영역이 되지 않도록 형성할 수도 있다. 즉, 도펀트(150)가 첨가된 영역은 적어도 제 1 영역(105)보다도 비정질 영역의 비율이 큰 영역이 된다는 것이다. 완전한 비정질 영역으로 하지 않는 편이, 다음에 행할 제 3 가열 처리에 의한 결정화가 용이하게 이루어지기 때문에 바람직하다.

- [0191] 다음으로, 트랜지스터(100)의 제작 공정과 동일하게, 제 3 가열 처리를 행하고, 도펀트(150)가 첨가된 영역을, 도펀트를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역인 한 쌍의 제 2 영역(123a, 123b) 및 한 쌍의 제 3 영역(223a, 223b)으로 할 수 있다(도 10e 참조). 또한, 제 3 가열 처리의 가열 조건 및 가열 장치는 실시형태 1에서의 설명과 동일하다.
- [0192] 이와 같이, 제 1 전극(113)을 마스크로 하고, 도펀트(150)를 산화물 반도체막(140)에 첨가하고, 그 후에 제 3 가열 처리를 행함으로써, 채널 형성 영역이 되는 제 1 영역(105)과, 소스 영역 및 드레인 영역이 되는 한 쌍의 제 2 영역(123a, 123b)과, 전계 완화 영역이 되는 한 쌍의 제 3 영역(223a, 223b)을 셀프 얼라인으로 형성할 수 있다.
- [0193] 이후에는, 트랜지스터(100)의 제작 공정과 동일하게, 층간 절연막(117)을 형성하고, 게이트 절연막(111) 및 층간 절연막(117)에 개구부(116a, 116b)를 형성하고, 개구부(116a, 116b)를 개재하여 한 쌍의 제 2 영역(123a, 123b)과 접하는 제 2 전극(119a) 및 제 3 전극(119b)을 형성한다. 또한, 층간 절연막(117), 개구부(116a, 116b), 제 2 전극(119a) 및 제 3 전극(119b)을 형성하는 공정은, 실시형태 1에서의 설명과 동일하다.
- [0194] 이상에 의해, 트랜지스터(200)를 제작할 수 있다(도 9a 및 도 9b 참조).
- [0195] 또한, 상기는 제 1 도펀트 첨가 처리 및 제 2 도펀트 첨가 처리의 2회의 도펀트 첨가 처리를 행한다. 그러나, 제 1 도펀트 첨가 처리를 행하기 전에, 사이드월 절연막(215)을 형성하고, 그 후, 원하는 도펀트 농도가 되도록 도펀트 첨가 처리를 행하고, 트랜지스터(200)를 형성하여도 좋다. 또한, 상기 원하는 도펀트 농도란, 트랜지스터(200)의 한 쌍의 제 2 영역(123a, 123b) 및 한 쌍의 제 3 영역(223a, 223b)에서의 도펀트 농도이다.
- [0196] (트랜지스터(200)의 변형예 1)
- [0197] 또한, 제 3 가열 처리를 550℃ 이상 기판 변형점 온도 미만, 및 산화성 분위기에서 행함으로써, 한 쌍의 제 2 영역(123a, 123b) 내에, 도펀트(150)를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역(109a, 109b) 위에, 도펀트(150)를 포함하고 또한 c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역(107a, 107b)을 형성할 수 있고, 한 쌍의 제 3 영역(223a, 223b)에 있어서도, 도펀트(150)를 포함하고, 또한 복수의 결정부를 갖는 산화물 반도체 영역(209a, 209b) 위에 도펀트(150)를 포함하고 또한 c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역(207a, 207b)을 형성할 수 있다.
- [0198] 이 경우에 있어서 완성된 트랜지스터(260)의 상면도를 도 11a에 도시한다. 또한, 도 11a의 A-B간에서의 단면도를 도 11b에 도시한다.
- [0199] 트랜지스터(260)의 한 쌍의 제 2 영역(123a, 123b)은 도펀트(150)를 포함하고 또한 c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역(107a, 107b), 및 도펀트(150)를 포함하고, 또한 복수의 결정부를 갖는 산화물 반도체 영역(109a, 109b)으로 구성된다(도 11b 참조). 또한, 산화물 반도체 영역(107a, 107b)과 산화물 반도체 영역(109a, 109b)의 도펀트 농도는 같다.
- [0200] 또한, 트랜지스터(260)의 한 쌍의 제 3 영역(223a, 223b)은 도펀트(150)를 포함하고 또한 c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역(207a, 207b), 및 도펀트(150)를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역(209a, 209b)으로 구성된다(도 11b 참조).
- [0201] 상기한 바와 같이, 한 쌍의 제 3 영역(223a, 223b)은, 한 쌍의 제 2 영역(123a, 123b)보다 도펀트 농도가 낮기 때문에, 산화물 반도체 영역(207a, 207b) 및 산화물 반도체 영역(209a, 209b)은 산화물 반도체 영역(107a, 107b) 및 산화물 반도체 영역(109a, 109b)보다 도펀트 농도가 낮다. 또한, 산화물 반도체 영역(207a, 207b)과 산화물 반도체 영역(209a, 209b)의 도펀트 농도는 같다.
- [0202] 또한, 제 2 전극(119a) 및 제 3 전극(119b)은 개구부(116a, 116b)를 개재하여 산화물 반도체 영역(107a, 107b)과 접한다. 트랜지스터(260)의 그 밖의 구성은 트랜지스터(160)와 동일하다.
- [0203] 또한, 상기한 조건으로 제 3 가열 처리를 1시간 행하면, 상기 산화물 반도체 영역(107a, 107b)은 한 쌍의 제 2 영역(123a, 123b)의 상면으로부터 한 쌍의 제 2 영역(123a, 123b)의 하면 방향에 적어도 2nm 형성된다. 또한, 상기 조건으로 행하는 제 3 가열 처리의 시간을 길게 함으로써, 상기 산화물 반도체 영역(107a, 107b)을 두껍게 형성할 수 있다.
- [0204] 그리고, 트랜지스터(200)와 트랜지스터(260)는 한 쌍의 제 2 영역(123a, 123b) 및 한 쌍의 제 3 영역(223a, 223b)의 구성이 다를 뿐, 트랜지스터(200)에 관한 설명은 트랜지스터(260)에 있어서도 적용된다.

- [0205] 트랜지스터(260)에 있어서도, 제 1 영역(105)에 형성되는 채널에 있어서의 밴드단의 커브를 작게 하는 효과를 나타내고, 트랜지스터(260)는 임계값 전압이 마이너스 방향으로 변동하는 등, 채널 길이를 짧게 함으로써 생기는 영향을 저감할 수 있다. 또한, 제 2 전극(119a) 및 제 3 전극(119b)과 한 쌍의 제 2 영역(123a, 123b)과의 접촉 저항을 저감할 수 있고, 트랜지스터(260)의 온 전류를 증가시킬 수 있다.
- [0206] 또한, 트랜지스터(260)는, 한 쌍의 제 2 영역(123a, 123b)이 산화물 반도체 영역(107a, 107b) 및 산화물 반도체 영역(109a, 109b)이므로, 가령 한 쌍의 제 2 영역(123a, 123b)이 비정질 영역일 경우에 비하여 광 조사의 전후 및 BT(게이트·열 바이어스) 스트레스 시험 전후에 있어서의 임계값 전압의 변동이 작다고 생각되어, 신뢰성의 높은 트랜지스터이다.
- [0207] (트랜지스터(200)의 변형예 2)
- [0208] 트랜지스터(200)의 제작 방법의 제 1 전극(113)을 형성할 때, 게이트 절연막(111)도 동시에 예칭함으로써, 산화물 반도체막(103)의 제 1 영역(105) 위에만 게이트 절연막(121)을 형성할 수 있다.
- [0209] 이 경우에 있어서 완성된 트랜지스터(270)의 상면도를 도 12a에 도시한다. 또한, 도 12a의 A-B간에서의 단면도를 도 12b에 도시한다. 트랜지스터(270)의 상면 구조는 트랜지스터(200)과 동일하며, 탑 게이트 구조 및 탑 컨택트 구조의 트랜지스터이다.
- [0210] 그리고, 트랜지스터(200)과 트랜지스터(270)는, 게이트 절연막의 형상이 다를 뿐, 트랜지스터(200)에 관한 설명은 트랜지스터(270)에 있어서도 적용된다.
- [0211] 그러므로, 트랜지스터(270)에 있어서도, 제 1 영역(105)에 형성되는 채널에 있어서의 밴드단의 커브를 작게 하는 효과를 나타내고, 트랜지스터(270)는 임계값 전압이 마이너스 방향으로 변동하는 등, 채널 길이를 짧게 함으로써 생기는 영향을 저감할 수 있다. 또한, 제 2 전극(119a) 및 제 3 전극(119b)과 한 쌍의 제 2 영역(123a, 123b)과의 접촉 저항을 저감할 수 있고, 트랜지스터(270)의 온 전류를 증가시킬 수 있다.
- [0212] 또한, 트랜지스터(270)는 한 쌍의 제 2 영역(123a, 123b)이 복수의 결정부를 갖는 산화물 반도체 영역이므로, 가령 한 쌍의 제 2 영역(123a, 123b)이 비정질 영역인 경우에 비하여, 광 조사의 전후 및 BT(게이트·열 바이어스) 스트레스 시험 전후에 있어서의 임계값 전압의 변동이 작다고 생각되어, 신뢰성이 높은 트랜지스터이다.
- [0213] 트랜지스터(270)의 제작 방법에 대하여, 도 3a 내지 도 3d, 도 13a 내지 도 13d, 및 도 14를 사용하여 설명한다. 트랜지스터(270)는 도전막(112)을 형성하는 공정(도 3a 참조)까지는, 트랜지스터(100)과 동일하다.
- [0214] 도전막(112)을 형성한 후, 도전막(112) 및 게이트 절연막(111)을 예칭함으로써, 제 1 전극(113) 및 나중에 형성되는 산화물 반도체막(103)의 제 1 영역(105) 위에만 중첩하는 게이트 절연막(121)을 형성할 수 있다(도 13a 참조).
- [0215] 또한, 게이트 절연막(121)은 제 1 영역(105)에만 접하고 있으므로, 산화물 반도체막(140)의 형상(단차)에 따라 형성되지 않는다. 바꿔 말하면, 게이트 절연막(121)에는 산화물 반도체막(140)의 단차를 뛰어넘는 부분이 없다. 따라서, 완성된 트랜지스터(270)에 있어서도, 게이트 절연막(121)에 산화물 반도체막(103)의 단차를 뛰어넘는 부분이 없으므로, 게이트 절연막(121)의 단절 등에 기인하는 누설 전류를 저감하고, 또한 게이트 절연막(121)의 내압을 높일 수 있다. 따라서, 게이트 절연막(121)을 5nm 가까이까지 박막화하여 사용하여도 트랜지스터(270)를 동작시킬 수 있다. 또한, 게이트 절연막(121)을 박막화함으로써, 채널 길이를 짧게 함으로써 생기는 영향을 저감할 수 있고, 또한 트랜지스터의 동작 속도를 높일 수 있다.
- [0216] 또한, 트랜지스터(270)는 게이트 절연막(121)이 단차를 뛰어넘는 부분이 없으므로, 제 1 전극(113)과 한 쌍의 제 2 영역(123a, 123b) 및 한 쌍의 제 3영역(223a, 223b)과의 사이에 생기는 기생 용량이 거의 없다. 따라서, 트랜지스터(270)는 채널 길이를 축소한 경우에도, 임계값 전압의 변동을 저감할 수 있다.
- [0217] 다음으로, 제 1 도펀트 첨가 처리를 행한다(도 13b 참조). 상기 제 1 도펀트 첨가 처리는 트랜지스터(200)와 동일하게 행하면 좋다. 상기 제 1 도펀트 첨가 처리에 의해, 도펀트(150)가 첨가된 산화물 반도체 영역(214a, 214b)이 형성된다.
- [0218] 다음으로, 사이드월 절연막(215)이 되는 절연막(114)을 형성한다(도 13c 참조). 절연막(114)은 하지 절연막(102) 또는 게이트 절연막(111)과 동일하게 형성할 수 있고, 실시형태 1에서 설명한 산화물 절연막 또는 질화물 절연막 중 어느 하나로 한다. 또한, 절연막(114)의 두께는 특별하게 한정은 없지만, 제 1 전극(113)의 형상에 대한 피복성을 고려하여, 적절히 선택하면 좋다.

- [0219] 트랜지스터(200)와 마찬가지로, 절연막(114)을 에칭함으로써 사이드월 절연막(215)을 형성한다. 상기 에칭의 상세는 상기를 참조할 수 있다.
- [0220] 또한, 사이드월 절연막(215)의 두께는, 사이드월 절연막(215)에 있어서, 나중에 산화물 반도체막(103)이 되는 산화물 반도체막(140)과 접해 있는 면으로부터, 제 1 전극(113)과 접해 있는 면의 최정상부까지를 말한다. 그리고, 나중에 형성되는 한 쌍의 제 3 영역(223a, 223b)의 도펀트 농도는, 사이드월 절연막(215)의 두께에 대응하므로, 한 쌍의 제 2 영역(123a, 123b)의 도펀트 농도가 트랜지스터(200)에서 설명한 값이 되도록, 사이드월 절연막(215)의 두께, 또한 제 1 전극(113)의 두께를 정하면 좋다.
- [0221] 또한, 한 쌍의 제 2 영역(123a, 123b)의 범위는, 사이드월 절연막(215)의 폭(예를 들어, 도 12b의 사이드월 절연막(215)이 산화물 반도체막(103)과 접해 있는 개소의 폭)에 대응하여 결정된다. 한 쌍의 제 2 영역(123a, 123b)의 범위를 크게 하면, 그만큼 제 1 영역(105)에 가해지는 전계를 완화할 수 있다.
- [0222] 사이드월 절연막(215)의 폭은 제 1 전극(113)의 두께에도 대응하므로 한 쌍의 제 2 영역(123a, 123b)의 범위가 원하는 범위가 되도록 제 1 전극(113)의 두께를 정하면 좋다.
- [0223] 다음으로, 제 2 도펀트 첨가 처리를 행한다. 또한, 트랜지스터(270)에 있어서, 도펀트(150)를 첨가하는 처리는, 트랜지스터(200)와는 달리, 제 1 전극(113)을 마스크로 하고, 사이드월 절연막(215)을 통과하여 첨가되는 영역과, 산화물 반도체막(140)의 일부가 노출된 상태에서 첨가되는 영역이 있다(도 13d 참조).
- [0224] 트랜지스터(270)와 같이, 산화물 반도체막(140)의 일부가 노출된 상태에서 도펀트(150)를 첨가하는 경우에는, 도펀트(150)의 첨가 방법으로서, 이온 도핑법 또는 이온 임플란테이션법 이외의 방법을 사용할 수 있다. 예를 들어, 첨가하는 원소를 포함하는 가스 분위기에서 플라즈마를 발생시키고, 피침가물(여기에서는, 산화물 반도체막(140))에 대하여 상기 플라즈마를 조사시키는 플라즈마 처리이다. 상기 플라즈마를 발생시키는 장치로서는, 드라이 에칭 장치나 플라즈마 CVD 장치, 고밀도 플라즈마 CVD 장치 등을 사용할 수 있다. 또한, 상기 플라즈마 처리는, 기관(101)을 가열하면서 행하여도 좋다.
- [0225] 이후에, 트랜지스터(200)와 동일한 공정을 행함으로써 트랜지스터(270)를 제작할 수 있다(도 12a 및 도 12b 참조).
- [0226] 또한, 트랜지스터(200)과 마찬가지로 제 1 도펀트 첨가 처리를 행하기 전에, 사이드월 절연막(215)을 형성하고, 그 후, 원하는 도펀트 농도가 되도록 도펀트 첨가 처리를 행하고, 트랜지스터(270)를 형성하여도 좋다.
- [0227] 또한, 트랜지스터(270)에 있어서도, 도펀트(150)를 첨가한 뒤에 행하는 제 3 가열 처리를, 550℃ 이상 기관 변형점 온도 미만, 및 산화성 분위기에서 행함으로써, 도펀트(150)를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역(109a, 109b) 위에 도펀트(150)를 포함하고 또한 c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역(107a, 107b)이 형성된 한 쌍의 제 2 영역(123a, 123b)을 형성할 수 있다(도 14 참조). 또한, 도 14에 있어서의 각 부호는 트랜지스터(200), 트랜지스터(260) 및 트랜지스터(270)의 각 부호에 대응한다.
- [0228] 이와 같이, 개시하는 발명의 일 형태에서는, 미세화에 따른 문제점을 해소할 수 있기 때문에, 결과적으로, 트랜지스터 사이즈를 충분히 작게 하는 것이 가능해진다. 트랜지스터 사이즈를 충분히 작게 함으로써, 반도체 장치가 차지하는 면적이 작아지기 때문에, 반도체 장치의 취득 개수가 증대한다. 이로써, 반도체 장치당의 제조 비용은 억제된다. 또한, 동등의 기능을 유지한 채로 반도체 장치가 소형화되기 때문에, 크기를 같게 한 경우에는, 기능이 보다 향상된 반도체 장치를 실현할 수 있다. 또한, 채널 길이의 축소에 의한, 동작의 고속화, 저소비 전력화 등의 효과를 얻을 수도 있다. 즉, 개시하는 발명의 일 형태에 의해 산화물 반도체를 사용한 트랜지스터의 미세화가 달성됨으로써, 이것에 부수되는 다양한 효과를 얻을 수 있다. 또한, 본 실시형태는, 다른 실시형태 및 실시예와 적절히 조합할 수 있다.
- [0229] (실시형태 3)
- [0230] 본 실시형태에서는, 본 발명의 다른 일 형태인 트랜지스터의 구조 및 제작 방법에 대하여, 도 15a 내지 도 15c 및 도 16a 내지 도 16c를 사용하여 설명한다.
- [0231] 본 실시형태에서 설명하는 트랜지스터는 실시형태 1에서 설명한 트랜지스터(100)와 비교할 때, 제 2 전극(119a) 및 제 3 전극(119b)이 산화물 반도체막의 한 쌍의 제 2 영역(123a, 123b)의 하면과 접하고 있는 것이 다르다. 즉, 본 실시형태에서 나타내는 트랜지스터는 탑 게이트 구조 및 보텀 컨택트 구조의 트랜지스터이다. 또한, 상기 탑 게이트 구조 및 보텀 컨택트 구조로 한 트랜지스터의 단면도를 도 15a에 도시한다.

- [0232] 또한, 실시형태 1 및 실시형태 2에서 설명한 모든 트랜지스터에 대해서도, 탑 게이트 구조 및 보텀 콘택트 구조의 트랜지스터로 할 수 있다. 예를 들어, 트랜지스터(160) 및 트랜지스터(170)에 있어서도, 탑 게이트 구조 및 보텀 콘택트 구조로 할 수 있다. 트랜지스터(160)를 탑 게이트 구조 및 보텀 콘택트 구조로 한 트랜지스터의 단면도를 도 15b에, 트랜지스터(170)을 탑 게이트 구조 및 보텀 콘택트 구조로 한 트랜지스터의 단면도를 도 15c에 도시한다.
- [0233] 또한, 트랜지스터(200)를 탑 게이트 구조 및 보텀 콘택트 구조로 한 트랜지스터의 단면도를 도 16a에, 트랜지스터(260)를 탑 게이트 구조 및 보텀 콘택트 구조로 한 트랜지스터의 단면도를 도 16b에, 트랜지스터(270)를 탑 게이트 구조 및 보텀 콘택트 구조로 한 트랜지스터의 단면도를 도 16c에 도시한다.
- [0234] 도 15a 내지 도 15c 및 도 16a 내지 도 16c에 있어서, 각 부호는 트랜지스터(100), 트랜지스터(160) 및 트랜지스터(170), 및 트랜지스터(200), 트랜지스터(260) 및 트랜지스터(270)의 각 부호에 대응하므로, 각 부호에 관한 설명은 실시형태 1 및 실시형태 2의 설명을 적절히 참조할 수 있다. 또한, 각 부호에 관해서뿐 아니라, 실시형태 1 및 실시형태 2에서 설명한 것은, 본 실시형태에 있어서도 적용된다.
- [0235] 또한, 도 15a 내지 도 15c 및 도 16a 내지 도 16c가 도시하는 트랜지스터의 제작 방법으로서, 각각 대응하는 트랜지스터의 제작 공정의 순서를 교체하여 행하면 좋다. 예를 들어, 제 2 전극(119a) 및 제 3 전극(119b)을 형성하는 공정을, 하지 절연막(102)을 형성하는 공정의 다음에 행하고, 이후에는, 트랜지스터(100), 트랜지스터(160) 및 트랜지스터(170), 및 트랜지스터(200), 트랜지스터(260) 및 트랜지스터(270)의 제작 공정 중, 제 2 전극(119a) 및 제 3 전극(119b)을 형성하는 공정 이외의 공정을 순차적으로 행하면 좋다.
- [0236] 또한, 도 15c 및 도 16c가 도시하는 트랜지스터에 있어서, 산화물 반도체막(103)을, 도 15b 및 도 16b와 같이, 한 쌍의 제 2 영역(123a, 123b)을, 도펀트(150)를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역(109a, 109b) 위에, 도펀트(150)를 포함하고 또한 c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역(107a, 107b)을 형성하는 구성이나, 한 쌍의 제 3 영역(223a, 223b)을, 도펀트(150)를 포함하고 또한 복수의 결정부를 갖는 산화물 반도체 영역(209a, 209b) 위에, 도펀트(150)를 포함하고 또한 c축 배향한 결정부를 갖는 비단결정의 산화물 반도체 영역(207a, 207b)을 형성하는 구성으로 해도 좋다. 본 구성의 트랜지스터의 단면도는 도시하지 않는다.
- [0237] 이와 같이, 개시하는 발명의 일 형태에서는, 미세화에 따른 문제점을 해소할 수 있으므로, 결과적으로, 트랜지스터 사이즈를 충분히 작게 하는 것이 가능해진다. 트랜지스터 사이즈를 충분히 작게 함으로써 반도체 장치가 차지하는 면적이 작아지기 때문에, 반도체 장치의 취득 개수가 증대한다. 이로써, 반도체 장치당 제조 비용은 억제된다. 또한, 동등의 기능을 유지한 채로 반도체 장치가 소형화되므로, 크기를 같게 할 경우에는, 기능이 보다 향상된 반도체 장치를 실현할 수 있다. 또한, 채널 길이의 축소에 의한, 동작의 고속화, 저소비 전력화 등의 효과를 얻을 수 있다. 즉, 개시하는 발명의 일 형태에 의해 산화물 반도체를 사용한 트랜지스터의 미세화가 달성됨으로써, 이것에 부수되는 다양한 효과를 얻을 수 있다. 또한, 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.
- [0238] (실시형태 4)
- [0239] 본 실시형태에서는, 실시형태 1 내지 실시형태 3에 나타난 트랜지스터의 소스 영역 및 드레인 영역, 및 전계 완화 영역으로서 기능하는, 도펀트가 첨가된 영역에 있어서, 상기 도펀트의 결합 상태, 및 도펀트가 첨가된 영역을 구성하는 산화물 반도체의 전자 상태에 대하여, 도 17a 및 도 17b, 및 도 18a 및 도 18b를 참조하여 설명한다.
- [0240] 예를 들어, 트랜지스터(100)에 있어서, 도펀트를 포함한 영역인 한 쌍의 제 2 영역(123a, 123b)은 도펀트를 포함하지 않는 제 1 영역(105)보다 도전율이 높다.
- [0241] 이러한 도전율의 증대는 한 쌍의 제 2 영역(123a, 123b)을 구성하는 산화물 반도체에 도펀트가 첨가됨으로써, 상기 산화물 반도체중에 캐리어가 생성되기 때문이라고 예상할 수 있다.
- [0242] 따라서, 본 실시형태는 도펀트를 첨가한 구조의 산화물 반도체에 있어서, 제 1 원리 분자 동역학(First-Principles Molecular Dynamics:FPMD) 계산 및 구조 최적화 계산에 의한 상기 산화물 반도체의 결합 상태 및 전자상태에 대하여 설명한다. 또한, 상기 산화물 반도체는 In-Ga-Zn-O계의 금속 산화물로 하고, 상기 계산을 간략화하기 위해서, In-Ga-Zn-O계의 금속 산화물은 비정질이라고 가정한다(이하, a-IGZO라고 기재한다.). 또한, 도펀트는 인(P) 원자로 한다.

- [0243] 상기 계산은 1 원자의 인을 배치한(첨가한) a-IGZO에 대하여 행하였다. 구체적으로, a-IGZO는 단위셀 당 84원자이고, 조성비는 In:Ga:Zn:O=1:1:1:4(원자수비)이며, 밀도는  $5.9\text{gcm}^{-3}$ 이며, 격자 정수는  $a=b=c=1.02\text{nm}$  및  $\alpha=\beta=\gamma=90^\circ$  라고 가정하였다.
- [0244] 또한, 상기 계산을 행함에 있어, 계산 프로그램은 Accelrys사가 제조한 제 1 원리 양자 역학 프로그램인 CASTEP을 사용했다. 범함수는 GGA-PBE를, 의사 포텐셜은 Ultrasoft를 각각 사용했다. 컷 오프 에너지는 260eV(DOS 계산으로는 380eV), k점의 수는  $1\times 1\times 1$ 이다. FPMD 계산은 NVT 앙상블로 행하고 온도는 1500K로 하였다. 총 계산 시간은 0.3ps로 시간 간격은 1.0fs이다.
- [0245] 상기 계산에 있어서의 초기 구조, 및 상기 계산 후의 최종 구조를 도 17a 및 도 17b에 도시한다. 도 17a는 초기 구조를 도시한 도면이고, 도 17b는 최종 구조를 도시한 도면이다. 상기 초기 구조란, a-IGZO에 대하여, 임의의 위치에 인 원자를 배치한 것만의 구조에 상당한다. 상기 최종 구조란, 상기 계산을 행한 후, 즉, 구조 최적화후의 구조에 상당한다. 또한, 구조 최적화가 행해진 최종 구조는, 실시형태 1 내지 실시형태 3에서 설명한 트랜지스터에 있어서, 도펀트를 포함하는 산화물 반도체 영역의 구조에 상당한다.
- [0246] 도 17a와 같이 초기 구조에 있어서의 인 원자는, a-IGZO를 구성하고 있는 원소의 사이에 배치(첨가)되는 것으로 하고 있다. 또한, 도 17a 및 도 17b에 있어서, 검정 원은 산소 원자를 나타내고, 흰색 원은 금속 원자(In 원자, Zn 원자 또는 Ga 원자)를 나타내고, 회색 원은 인 원자를 나타낸다.
- [0247] 상기 계산을 행한 결과, 최종 구조에 있어서의 인 원자는 “1개의 Zn 원자와 결합”, “2개의 산소 원자와 1중 결합”, 및 “1개의 산소 원자와 이중 결합” 을 형성한다. 즉, 인 원자는 산소 원자와 결합한 상태에서 Zn 원자에 위치한다(도 17b 참조).
- [0248] 또한, 인 원자가 결합된 금속 원자가 Zn 원자인 것은, 결합 에너지의 관점에서 설명할 수 있다.
- [0249] Zn 원자와 산소 원자와의 결합 에너지는, 다른 금속 원자(In 원자 및 Ga 원자)와 산소 원자와의 결합 에너지보다 낮으므로, Zn 원자와 산소 원자와의 결합은, 다른 결합에 비하여 절단되기 쉬운 결합이라고 할 수 있다. 따라서, 구조 최적화후는, 인 원자가 주변의 산소 원자를 따라서 Zn 원자에 위치한다고 생각된다. 다만, 이 점은, 인 원자와 Zn 원자와 결합하는 가능성이 가장 높다는 것을 나타내는 것이며, 인 원자가 결합하는 금속원자는 Zn 원자에 한하지 않고, a-IGZO를 구성하는 것 외의 금속 원자인 경우도 있다.
- [0250] 다음으로, 구조 최적화 후의 구조에 있어서의 상태 밀도도를 도 18a 및 도 18b에 도시한다. 도 18a은 인 원자를 배치(첨가)하지 않은 a-IGZO에 있어서의 상태 밀도도이다. 또한, 도 18b는 인 원자를 배치(첨가)하고, 또한 구조 최적화 후의 a-IGZO(도 17b에 상당함)에 있어서의 상태 밀도도이다. 도 18b의 실선은, 인 원자를 배치(첨가)하고, 또한 구조 최적화 후의 a-IGZO의 전상태 밀도를 나타내고, 도 18b의 파선은, 상기 구조 최적화 후의 a-IGZO에 있어서의 인 원자의 부분 상태 밀도를 나타낸다. 도 18a 및 도 18b에 가로축은 에너지[eV], 세로축은 구조 최적화 후의 구조에 있어서의 상태 밀도[states/eV]를 나타낸다. 또한, 도 18a 및 도 18b에 도시한 상태 밀도도 그 어느쪽도 에너지의 원점은, 페르미 레벨과 동일하다.
- [0251] 도 18a로부터, 전상태 밀도에 있어서, 인 원자를 배치하지 않은 a-IGZO의 페르미 레벨과, 가전자대의 상단이 일치하고 있고, 밴드갭 위에 전도대가 형성되어 있다.
- [0252] 도 18b로부터, 전상태 밀도에 있어서, 인 원자를 배치하고, 또한 구조 최적화 후의 a-IGZO의 페르미 레벨은, 전도대의 범위내에 존재하므로, 상기 a-IGZO에는 캐리어가 생성되어 있다고 할 수 있다. 또한, 상기 a-IGZO의 밴드갭 내에는, 인 원자의 준위도 생겼음을 알 수 있다.
- [0253] 이상으로부터, 산화물 반도체에 도펀트가 첨가됨으로써, 상기 산화물 반도체 중에 캐리어가 생성되는 것을 이해할 수 있다.
- [0254] 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태 및 실시예에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0255] (실시형태 5)
- [0256] 본 실시형태에서는, 실시형태 1 내지 실시형태 3 중 어느 하나에 나타낸 트랜지스터를 사용한 반도체 장치의 예에 대하여 설명한다.
- [0257] 도 20a에 반도체 장치를 구성하는 기억 소자(이하, 메모리 셀이라고도 기재한다.)의 회로도의 일례를 도시한다.

메모리 셀은, 산화물 반도체 이외의 재료를 채널 형성 영역에 사용한 트랜지스터(1160)와 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터(1162)에 의하여 구성된다.

- [0258] 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터(1162)는, 앞의 실시형태를 따라서 제작할 수 있다.
- [0259] 도 20a에 도시한 바와 같이, 트랜지스터(1160)의 게이트 전극과, 트랜지스터(1162)의 소스 전극 또는 드레인 전극의 한쪽은 전기적으로 접속되어 있다. 또한, 제 1 배선(1st Line:소스선이라고도 부름)과 트랜지스터(1160)의 소스 전극은 전기적으로 접속되고, 제 2 배선(2nd Line:비트선이라고도 부름)과 트랜지스터(1160)의 드레인 전극은 전기적으로 접속되어 있다. 그리고, 제 3 배선(3rd Line:제 1 신호선이라고도 부름)과 트랜지스터(1162)의 소스 전극 또는 드레인 전극의 다른 쪽은 전기적으로 접속되고, 제 4 배선(4th Line:제 2 신호선이라고도 부름)과 트랜지스터(1162)의 게이트 전극은 전기적으로 접속되어 있다.
- [0260] 산화물 반도체 이외의 재료, 예를 들어 단결정 실리콘을 채널 형성 영역에 사용한 트랜지스터(1160)는 충분한 고속 동작이 가능하기 때문에, 트랜지스터(1160)를 사용함으로써, 기억 내용의 판독 등을 고속으로 행할 수 있다. 또한, 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터(1162)는, 트랜지스터(1160)에 비하여 오프 전류가 작다는 특징을 갖고 있다. 따라서, 트랜지스터(1162)를 오프 상태로 함으로써, 트랜지스터(1160)의 게이트 전극의 전위를 극히 장시간에 걸쳐 유지할 수 있다.
- [0261] 트랜지스터(1160)의 게이트 전극의 전위를 유지할 수 있다는 특징을 살림으로써, 다음과 같이 정보의 기록, 유지, 판독이 가능하다.
- [0262] 먼저, 정보의 기록 및 유지에 관하여 설명한다. 우선, 제 4 배선의 전위를, 트랜지스터(1162)가 온 상태가 되는 전위로 하고, 트랜지스터(1162)를 온 상태로 한다. 이로써, 제 3 배선의 전위가, 트랜지스터(1160)의 게이트 전극에 부여된다(기록). 그 후, 제 4 배선의 전위를, 트랜지스터(1162)가 오프 상태가 되는 전위로 하고, 트랜지스터(1162)를 오프 상태로 함으로써, 트랜지스터(1160)의 게이트 전극의 전위가 유지된다(유지).
- [0263] 트랜지스터(1162)의 오프 전류는 트랜지스터(1160)에 비하여 작기 때문에, 트랜지스터(1160)의 게이트 전극의 전위는 장시간에 걸쳐 유지된다. 예를 들어, 트랜지스터(1160)의 게이트 전극의 전위가 트랜지스터(1160)를 온 상태로 하는 전위라면, 트랜지스터(1160)의 온 상태가 장시간에 걸쳐 유지되게 된다. 또한, 트랜지스터(1160)의 게이트 전극의 전위가 트랜지스터(1160)를 오프 상태로 하는 전위라면, 트랜지스터(1160)의 오프 상태가 장시간에 걸쳐 유지된다.
- [0264] 다음으로, 정보의 판독에 대하여 설명한다. 상술한 바와 같이, 트랜지스터(1160)의 온 상태 또는 오프 상태가 유지된 상태에서, 제 1 배선에 소정의 전위(저전위)가 부여되면, 트랜지스터(1160)의 온 상태 또는 오프 상태에 따라, 제 2 배선의 전위는 다른 값을 취한다. 예를 들어, 트랜지스터(1160)가 온 상태인 경우에는, 제 1 배선의 전위에 대하여, 제 2 배선의 전위가 저하된다. 또한, 트랜지스터(1160)가 오프 상태인 경우에는, 제 2 배선의 전위는 변화되지 않는다.
- [0265] 이와 같이, 정보가 유지된 상태에서, 제 2 배선의 전위와 소정의 전위를 비교함으로써 정보를 판독할 수 있다.
- [0266] 다음으로, 정보의 재기록에 대하여 설명한다. 정보의 재기록은, 상기 정보의 기록 및 유지와 동일하게 행해진다. 즉, 제 4 배선의 전위를, 트랜지스터(1162)가 온 상태가 되는 전위로 하고, 트랜지스터(1162)를 온 상태로 한다. 이로써, 제 3 배선의 전위(새로운 정보에 관한 전위)가, 트랜지스터(1160)의 게이트 전극에 부여된다. 그 후, 제 4 배선의 전위를, 트랜지스터(1162)가 오프 상태가 되는 전위로 하고, 트랜지스터(1162)를 오프 상태로 함으로써, 새로운 정보가 유지된 상태가 된다.
- [0267] 이와 같이, 개시하는 발명에 관한 메모리 셀은, 다시 정보를 기록함으로써 직접적으로 정보를 재기록할 수 있다. 따라서, 플래시 메모리 등에 있어서 필요로 하는 소거 동작이 불필요하여, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 메모리 셀을 갖는 반도체 장치의 고속 동작이 실현된다.
- [0268] 또한, 도 20a의 메모리 셀을 발전시킨 메모리 셀의 회로도의 일례를 도 20b에 도시한다.
- [0269] 도 20b에 도시한 메모리 셀(1100)은, 제 1 배선 SL(소스선)과, 제 2 배선 BL(비트선)과, 제 3 배선 S1(제 1 신호선)과, 제 4 배선 S2(제 2 신호선)과, 제 5 배선 WL(워드선)과, 트랜지스터(1164)(제 1 트랜지스터)와, 트랜지스터(1161)(제 2 트랜지스터)와, 트랜지스터(1163)(제 3 트랜지스터)로 구성되어 있다. 트랜지스터(1164) 및 트랜지스터(1163)는 산화물 반도체 이외의 재료를 채널 형성 영역에 사용하고 있고, 트랜지스터(1161)는 산화물 반도체를 채널 형성 영역에 사용하고 있다.

- [0270] 여기에서, 트랜지스터(1164)의 게이트 전극과, 트랜지스터(1161)의 소스 전극 또는 드레인 전극의 한쪽은 전기적으로 접속되어 있다. 또한, 제 1 배선 SL과 트랜지스터(1164)의 소스 전극은 전기적으로 접속되고, 트랜지스터(1164)의 드레인 전극과 트랜지스터(1163)의 소스 전극은 전기적으로 접속되어 있다. 그리고, 제 2 배선 BL과 트랜지스터(1163)의 드레인 전극은 전기적으로 접속되고, 제 3 배선 S1과 트랜지스터(1161)의 소스 전극 또는 드레인 전극의 다른 쪽은 전기적으로 접속되고, 제 4 배선(S2)과 트랜지스터(1161)의 게이트 전극은 전기적으로 접속되고, 제 5 배선 WL과 트랜지스터(1163)의 게이트 전극은 전기적으로 접속되어 있다.
- [0271] 다음으로, 회로의 동작에 대하여 구체적으로 설명한다.
- [0272] 메모리 셀(1100)에 대한 기록을 행할 경우에는, 제 1 배선 SL을 0V, 제 5 배선 WL을 0V, 제 2 배선 BL을 0V, 제 4 배선 S2를 2V로 한다. 데이터 “1”을 기록할 경우에는 제 3 배선 S1을 2V, 데이터 “0”을 기록할 경우에는 제 3 배선 S1을 0V로 한다. 이때, 트랜지스터(1163)는 오프 상태, 트랜지스터(1161)는 온 상태가 된다. 또한, 기록 종료에 있어서는, 제 3 배선 S1의 전위가 변화되기 전에, 제 4 배선 S2을 0V로 하고, 트랜지스터(1161)를 오프 상태로 한다.
- [0273] 그 결과, 데이터 “1” 기록 후에는 트랜지스터(1164)의 게이트 전극에 접속되는 노드(이하, 노드 A)의 전위가 약 2V, 데이터 “0” 기록 후에는 노드 A의 전위가 약 0V가 된다. 노드 A에는, 제 3 배선 S1의 전위에 따른 전하가 축적되지만, 트랜지스터(1161)의 오프 전류는, 단결정 실리콘을 채널 형성 영역에 사용한 트랜지스터에 비하여 작고, 트랜지스터(1164)의 게이트 전극의 전위는 장시간에 걸쳐 유지된다.
- [0274] 다음으로, 메모리 셀의 판독을 행할 경우에는, 제 1 배선 SL을 0V, 제 5 배선 WL을 2V, 제 4 배선 S2를 0V, 제 3 배선 S1을 0V로 하고, 제 2 배선 BL에 접속되어 있는 판독 회로를 동작 상태로 한다. 이때, 트랜지스터(1163)는 온 상태, 트랜지스터(1161)는 오프 상태가 된다.
- [0275] 데이터 “0”, 즉 노드 A가 약 0V의 상태이면 트랜지스터(1164)는 오프 상태이므로, 제 2 배선 BL과 제 1 배선 SL간의 저항은 높은 상태가 된다. 한편, 데이터 “1”, 즉 노드 A가 약 2V의 상태이면 트랜지스터(1164)가 온 상태이므로, 제 2 배선 BL과 제 1 배선 SL간의 저항은 낮은 상태가 된다. 판독 회로는, 메모리 셀의 저항 상태의 차이로부터, 데이터 “0”, “1”을 판독할 수 있다. 또한, 기록시의 제 2 배선 BL은 0V로 하였지만, 플로팅 상태나 0V 이상의 전위에 충전되어 있어도 상관 없다. 판독시의 제 3 배선 S1은 0V로 했지만, 플로팅 상태나 0V 이상의 전위에 충전되어 있어도 상관 없다.
- [0276] 또한, 데이터 “1”과 데이터 “1”은 편의상의 정의이며, 반대여도 상관 없다. 또한, 상술한 동작 전압은 일례이다. 동작 전압은, 데이터 “0”인 경우에 트랜지스터(1164)가 오프 상태가 되고, 데이터 “1”인 경우에 트랜지스터(1164)가 온 상태가 되도록, 또한, 기록시에 트랜지스터(1161)가 온 상태, 기록시 이외에서는 오프 상태가 되도록, 또한, 판독시에 트랜지스터(1163)이 온 상태가 되도록 선택하면 좋다. 특히 2V 대신에, 주변의 논리 회로의 전원 전위 VDD를 사용해도 좋다.
- [0277] 본 실시예에서는 쉽게 이해할 수 있도록, 최소 기억 단위(1비트)의 메모리 셀에 대하여 설명하였지만, 메모리 셀의 구성은 이것에 한정되는 것은 아니다. 복수의 메모리 셀을 적당히 접속하여, 보다 고도의 반도체 장치를 구성할 수도 있다. 예를 들어, 상기 메모리 셀을 복수 사용하여, NAND형이나 NOR형의 반도체 장치를 구성할 수 있다. 배선의 구성도 도 20a나 도 20b에 한정되지 않고, 적절히 변경할 수 있다.
- [0278] 도 21에,  $m \times n$ 비트의 기억 용량을 갖는 본 발명의 일 형태에 관한 반도체 장치의 블록 회로도도 도시한다.
- [0279] 도 21에 도시한 반도체 장치는,  $m$ 개의 제 5 배선 WL(1) 내지 WL( $m$ ) 및  $m$ 개의 제 4 배선 S2(1) 내지 S2( $m$ )과,  $n$ 개의 제 2 배선 BL(1) 내지 BL( $n$ ) 및  $n$ 개의 제 3 배선 S1(1) 내지 S1( $n$ )과, 복수의 메모리 셀 (1100)(1, 1) 내지 1100( $m, n$ )이 세로  $m$ 개(행)×가로  $n$ 개(열)( $m, n$ 은 자연수)의 매트릭스상으로 배치된 메모리 셀 어레이(1110)를 갖는다. 또한, 제 2 배선 BL 및 제 3 배선 S1과 접속하는 구동 회로(1111)나, 제 4 배선 S2 및 제 5 배선 WL과 접속하는 구동 회로(1113)나, 판독 회로(1112)인 주변 회로를 갖는다. 다른 주변 회로로서, 리프래쉬 회로 등이 형성되어도 좋다.
- [0280] 각 메모리 셀의 대표로서, 메모리 셀(1100)( $i, j$ )을 생각할 수 있다. 여기에서, 메모리 셀(1100)( $i, j$ )( $i$ 는 1 이상  $m$  이하의 정수,  $j$ 는 1 이상  $n$  이하의 정수)은 제 2 배선 BL( $j$ ), 제 3 배선 S1( $j$ ), 제 5 배선 WL( $i$ ) 및 제 4 배선 S2( $i$ ), 및 제 1 배선에 각각 접속되어 있다. 제 1 배선에는 제 1 배선 전위  $V_s$ 가 부여된다. 또한, 제 2 배선 BL(1) 내지 BL( $n$ ) 및 제 3 배선 S1(1) 내지 S1( $n$ )은 제 2 배선 및 제 3 배선 구동 회로(1111) 및 판독 회로(1112)에, 제 5 배선 WL(1) 내지 WL( $m$ ) 및 제 4 배선 S2(1) 내지 S2( $m$ )은 제 4 배선 및 제 5 배선 구동 회

로(1113)에 각각 접속되어 있다.

- [0281] 도 21에 도시한 반도체 장치의 동작에 대하여 설명한다. 본 구성에서는, 행마다의 기록 및 판독을 행한다.
- [0282] 제  $i$  행의 메모리 셀(1100)( $i, 1$ ) 내지 (1100)( $i, n$ )에 기록을 행할 경우에는, 제 1 배선 전위  $V_s$ 를 0V, 제 5 배선  $WL(i)$ 을 0V, 제 2 배선  $BL(1)$  내지  $BL(n)$ 을 0V, 제 4 배선  $S2(i)$ 을 2V로 한다. 이때 트랜지스터(1161)는, 온 상태가 된다. 제 3 배선  $S1(1)$  내지  $S1(n)$ 은, 데이터 “1”을 기록하는 열은 2V, 데이터 “0”을 기록하는 열은 0V로 한다. 또한, 기록 종료에 있어서는, 제 3 배선  $S1(1)$  내지  $S1(n)$ 의 전위가 변화되기 전에, 제 4 배선  $S2(i)$ 을 0V로 하고, 트랜지스터(1161)를 오프 상태로 한다. 또한, 비선택의 제 5 배선  $WL$ 은 0V, 비선택의 제 4 배선  $S2$ 은 0V로 한다.
- [0283] 그 결과, 데이터 “1”의 기록을 행한 메모리 셀의 트랜지스터(1164)의 게이트 전극에 접속되는 노드(이하, 노드 A)의 전위는 약 2V, 데이터 “0”의 기록을 행한 메모리 셀의 노드 A의 전위는 약 0V가 된다(도 20b 및 도 21 참조). 또한, 비선택 메모리 셀의 노드 A의 전위는 바뀌지 않는다.
- [0284] 제  $i$  행의 메모리 셀(1100)( $i, 1$ ) 내지 (1100)( $i, n$ )의 판독을 행할 경우에는, 제 1 배선 전위  $V_s$ 를 0V, 제 5 배선  $WL(i)$ 을 2V, 제 4 배선  $S2(i)$ 을 0V, 제 3 배선  $S1(1)$  내지  $S1(n)$ 을 0V로 하고, 제 2 배선  $BL(1)$  내지  $BL(n)$ 에 접속되어 있는 판독 회로를 동작 상태로 한다. 판독 회로에서는, 예를 들어, 메모리 셀의 저항 상태의 차이로부터, 데이터 “0”, “1”을 판독할 수 있다. 또한, 비선택의 제 5 배선  $WL$ 은 0V, 비선택의 제 4 배선  $S2$ 은 0V로 한다. 또한, 기록시의 제 2 배선  $BL$ 은 0V로 했지만, 플로팅 상태나 0V 이상의 전위에 충전되어 있어도 상관 없다. 판독시의 제 3 배선  $S1$ 은 0V로 했지만, 플로팅 상태나 0V 이상의 전위에 충전되어 있어도 상관 없다.
- [0285] 또한, 데이터 “1”과 데이터 “0”은 편의상의 정의이며, 반대여도 상관 없다. 또한, 상술한 동작 전압은 일례이다. 동작 전압은, 데이터 “0”인 경우에 트랜지스터(1164)가 오프 상태가 되고, 데이터 “1”인 경우에 트랜지스터(1164)가 온 상태가 되도록, 또한, 기록시에 트랜지스터(1161)가 온 상태, 기록시 이외에서는 오프 상태가 되도록, 또한, 판독시에 트랜지스터(1163)가 온 상태가 되도록 선택하면 좋다. 특히 2V 대신에, 주변의 논리 회로의 전원 전위 VDD를 사용해도 좋다.
- [0286] 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태 및 실시예에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0287] (실시형태 6)
- [0288] 본 실시형태에서는, 용량 소자를 갖는 메모리 셀의 회로도의 일례를 나타낸다. 도 22a에 도시한 메모리 셀(1170)은, 제 1 배선  $SL$ , 제 2 배선  $BL$ , 제 3 배선  $S1$ , 제 4 배선  $S2$ 과, 제 5 배선  $WL$ 과, 트랜지스터(1171)(제 1 트랜지스터)와, 트랜지스터(1172)(제 2 트랜지스터)와, 용량 소자(1173)로 구성되어 있다. 트랜지스터(1171)는, 산화물 반도체 이외의 재료를 채널 형성 영역에 사용하고 있고, 트랜지스터(1172)는 채널 형성 영역에 산화물 반도체를 사용하고 있다.
- [0289] 여기에서, 트랜지스터(1171)의 게이트 전극과, 트랜지스터(1172)의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자(1173)의 한쪽의 전극은 전기적으로 접속되어 있다. 또한, 제 1 배선  $SL$ 과 트랜지스터(1171)의 소스 전극은 전기적으로 접속되고, 제 2 배선  $BL$ 과 트랜지스터(1171)의 드레인 전극은 전기적으로 접속되고, 제 3 배선  $S1$ 과 트랜지스터(1172)의 소스 전극 또는 드레인 전극의 다른 쪽은 전기적으로 접속되고, 제 4 배선  $S2$ 과 트랜지스터(1172)의 게이트 전극은 전기적으로 접속되고, 제 5 배선  $WL$ 과 용량 소자(1173)의 다른 쪽의 전극은 전기적으로 접속되어 있다.
- [0290] 다음으로, 회로의 동작에 대하여 구체적으로 설명한다.
- [0291] 메모리 셀(1170)에 대한 기록을 행할 경우에는, 제 1 배선  $SL$ 을 0V, 제 5 배선  $WL$ 을 0V, 제 2 배선  $BL$ 을 0V, 제 4 배선  $S2$ 를 2V로 한다. 데이터 “1”을 기록할 경우에는 제 3 배선  $S1$ 을 2V, 데이터 “0”을 기록할 경우에는 제 3 배선  $S1$ 을 0V로 한다. 이때, 트랜지스터(1172)는 온 상태가 된다. 또한, 기록 종료에 있어서는, 제 3 배선  $S1$ 의 전위가 변화되기 전에, 제 4 배선  $WL$ 을 0V로 하고, 트랜지스터(1172)를 오프 상태로 한다.
- [0292] 그 결과, 데이터 “1”의 기록 후에는 트랜지스터(1171)의 게이트 전극에 접속되는 노드(이하, 노드 A)의 전위가 약 2V, 데이터 “0”의 기록 후에는 노드 A의 전위가 약 0V가 된다.
- [0293] 메모리 셀(1170)의 판독을 행하는 경우에는, 제 1 배선  $SL$ 을 0V, 제 5 배선  $WL$ 을 2V, 제 4 배선  $S2$ 을 0V, 제 3

배선 S1을 0V로 하고, 제 2 배선 BL에 접속되어 있는 판독 회로를 동작 상태로 한다. 이때, 트랜지스터(1172)는 오프 상태가 된다.

- [0294] 제 5 배선 WL을 2V로 한 경우의 트랜지스터(1171)의 상태에 대하여 설명한다. 트랜지스터(1171)의 상태를 결정하는 노드 A의 전위는, 제 5 배선 WL-노드 A간의 용량 C1과, 트랜지스터(1171)의 게이트 전극-소스 전극과 드레인 전극간의 용량 C2에 의존한다.
- [0295] 또한, 판독시의 제 3 배선 S1은 0V로 했지만, 플로팅 상태나 0V 이상의 전위에 충전되어 있어도 상관없다. 데이터 “1” 과 데이터 “0” 은 편의상의 정의이며, 반대여도 상관없다.
- [0296] 기록시의 제 3 배선 S1의 전위는, 기록 후에 트랜지스터(1172)가 오프 상태가 되고, 또한, 제 5 배선 WL 전위가 0V인 경우에 트랜지스터(1171)가 오프 상태인 범위에서, 데이터 “0” , “1” 의 전위를 각각 선택하면 좋다. 판독시의 제 5 배선 WL 전위는, 데이터 “0” 인 경우에 트랜지스터(1171)가 오프 상태가 되고, 데이터 “1” 인 경우에 트랜지스터(1171)가 온 상태가 되도록 선택하면 좋다. 또한, 트랜지스터(1171)의 임계값 전압도 일레이다. 상술한 트랜지스터(1171)의 상태를 바꾸지 않는 범위라면, 어떤 임계값이라도 상관 없다.
- [0297] 또한, 제 1 게이트 전극, 및 제 2 게이트 전극을 갖는 선택 트랜지스터와, 용량 소자를 갖는 메모리 셀을 사용하는 NOR형의 반도체 기억 장치의 예에 대하여 도 22b를 사용하여 설명한다.
- [0298] 도 22b에 도시한 본 발명의 일 형태에 관한 반도체 장치는, I행(I는 2 이상의 자연수) J열(J는 자연수)에 매트릭스상으로 배열된 복수의 메모리 셀을 구비한 메모리 셀 어레이를 구비한다.
- [0299] 도 22b에 도시한 메모리 셀 어레이는, i행(i는 3 이상의 자연수) j열(j는 3 이상의 자연수)에 매트릭스상으로 배열된 복수의 메모리 셀(1180)과, i개의 워드선 WL(워드선WL<sub>1</sub> 내지 워드선WL<sub>i</sub>)과, i개의 용량선 CL(용량선CL<sub>1</sub> 내지 용량선CL<sub>i</sub>)과, i개의 게이트선 BGL(게이트선BGL<sub>1</sub> 내지 게이트선BGL<sub>i</sub>)과, j개의 비트선 BL(비트선BL<sub>1</sub> 내지 비트선BL<sub>j</sub>)과, 소스선 SL을 구비한다.
- [0300] 또한, 복수의 메모리 셀(1180)의 각각(메모리 셀(1180(M,N)))(단, N은 1 이상 j 이하의 자연수, M은 1 이상 i 이하의 자연수)라고도 함)은, 트랜지스터(1181(M,N))와, 용량 소자(1183(M,N))와, 트랜지스터(1182(M,N))를 구비한다.
- [0301] 또한, 반도체 기억 장치에 있어서, 용량 소자는 제 1 용량 전극, 제 2 용량 전극, 및 제 1 용량 전극 및 제 2 용량 전극에 중첩하는 유전체층으로 구성된다. 용량 소자는 제 1 용량 전극 및 제 2 용량 전극의 사이에 인가되는 전압에 따라 전하가 축적된다.
- [0302] 트랜지스터(1181(M,N))은 N채널형 트랜지스터이며, 소스 전극, 드레인 전극, 제 1 게이트 전극, 및 제 2 게이트 전극을 갖는다. 또한, 본 실시형태의 반도체 기억 장치에 있어서, 반드시 트랜지스터(1181)를 N채널형 트랜지스터로 하지 않아도 좋다.
- [0303] 트랜지스터(1181(M,N))의 소스 전극 및 드레인 전극의 한쪽은, 비트선 BL<sub>N</sub>에 접속되고, 트랜지스터(1181(M,N))의 제 1 게이트 전극은, 워드선 WL<sub>M</sub>에 접속되고, 트랜지스터(1181(M,N))의 제 2 게이트 전극은, 게이트선 BGL<sub>M</sub>에 접속된다. 트랜지스터(1181(M,N))의 소스 전극 및 드레인 전극의 한쪽이 비트선 BL<sub>N</sub>에 접속되는 구성으로 함으로써, 메모리 셀마다 선택적으로 데이터를 판독할 수 있다.
- [0304] 트랜지스터(1181(M,N))는, 메모리 셀(1180(M,N))에 있어서 선택 트랜지스터로서의 기능을 갖는다.
- [0305] 트랜지스터(1181(M,N))로서는, 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터를 사용할 수 있다.
- [0306] 트랜지스터(1182(M,N))는 P채널형 트랜지스터이다. 또한, 본 실시형태의 반도체 기억 장치에 있어서, 반드시 트랜지스터(1182)를 P채널형 트랜지스터로 하지 않아도 좋다.
- [0307] 트랜지스터(1182(M,N))의 소스 전극 및 드레인 전극의 한쪽은 소스선 SL에 접속되고, 트랜지스터(1182(M,N))의 소스 전극 및 드레인 전극의 다른 쪽은 비트선 BL<sub>N</sub>에 접속되고, 트랜지스터(1182(M,N))의 게이트 전극은 트랜지스터(1181(M,N))의 소스 전극 및 드레인 전극의 다른 쪽에 접속된다.
- [0308] 트랜지스터(1182(M,N))는, 메모리 셀(1180(M,N))에 있어서, 출력 트랜지스터로서의 기능을 갖는다. 트랜지스터(1182(M,N))로서는, 예를 들어 단결정 실리콘을 채널 형성 영역에 사용하는 트랜지스터를 사용할 수 있다.
- [0309] 용량 소자(1183(M,N))의 제 1 용량 전극은 용량선 CL<sub>M</sub>에 접속되고, 용량 소자(1183(M,N))의 제 2 용량 전극은 트랜지스터(1181(M,N))의 소스 전극 및 드레인 전극의 다른 쪽에 접속된다. 또한, 용량 소자(1183(M,N))는 저

장 용량으로서의 기능을 갖는다.

- [0310] 워드선 WL<sub>1</sub> 내지 워드선 WL<sub>i</sub>의 각각의 전압은 예를 들어 디코더를 사용한 구동 회로에 의해 제어된다.
- [0311] 비트선 BL<sub>1</sub> 내지 비트선 BL<sub>j</sub>의 각각의 전압은 예를 들어 디코더를 사용한 구동 회로에 의해 제어된다.
- [0312] 용량선 CL<sub>1</sub> 내지 용량선 CL<sub>i</sub>의 각각의 전압은 예를 들어 디코더를 사용한 구동 회로에 의해 제어된다.
- [0313] 게이트선 BGL<sub>1</sub> 내지 게이트선 BGL<sub>i</sub>의 각각의 전압은 예를 들어 게이트선 구동 회로를 사용하여 제어된다.
- [0314] 게이트선 구동 회로는 예를 들어 다이오드 및 제 1 용량 전극이 다이오드 의 애노드 및 게이트선 BGL에 전기적으로 접속되는 용량 소자를 구비하는 회로에 의해 구성된다.
- [0315] 트랜지스터(1181)의 제 2 게이트 전극의 전압을 조정함으로써, 트랜지스터(1181)의 임계값 전압을 조정할 수 있다. 따라서, 선택 트랜지스터로서 기능하는 트랜지스터(1181)의 임계값 전압을 조정하고, 오프 상태에 있어서의 트랜지스터(1181)의 소스 전극 및 드레인 전극 사이에 흐르는 전류를 최대한 작게 할 수 있다. 따라서, 기억 회로에 있어서의 데이터의 유지 기간을 길게 할 수 있다. 또한, 데이터의 기록 및 관독에 필요한 전압을 종래의 반도체 장치보다 낮게 할 수 있으므로, 소비 전력을 저감할 수 있다.
- [0316] 본 실시형태에 의해, 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에 접속하는 노드의 전위를 극히 장시간에 걸쳐 유지할 수 있기 때문에, 작은 소비 전력으로, 정보의 기록, 유지, 관독이 가능한 메모리 셀을 제작할 수 있다. 또한, 도 22b에 도시한 메모리 셀 어레이에 있어서, 메모리 셀(1180) 대신에, 도 22a에 도시한 메모리 셀(1170)을 사용할 수 있다. 또한, 이 때, 메모리 셀(1170)에 맞춰서 적절히 배선을 형성한다.
- [0317] 본 실시형태에 나타내는 구성, 방법 등은, 다른 실시형태 및 실시예에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0318] (실시형태 7)
- [0319] 본 실시형태에서는, 앞의 실시형태에 나타내는 트랜지스터를 사용한 반도체 장치의 예에 대하여, 도 23a 및 도 23b를 참조하여 설명한다.
- [0320] 도 23a에는, 소위 DRAM(Dynamic Random Access Memory)에 상당하는 구성의 반도체 장치의 일례를 도시한다. 도 23a에 도시한 메모리 셀 어레이(1120)는 복수의 메모리 셀(1130)이 매트릭스상으로 배열된 구성을 갖고 있다. 또한, 메모리 셀 어레이(1120)는, m개의 제 1 배선, 및 n개의 제 2 배선을 갖는다. 또한, 본 실시형태에 있어서는, 제 1 배선을 비트선 BL이라고 부르고, 제 2 배선을 워드선 WL이라고 부른다.
- [0321] 메모리 셀(1130)은 트랜지스터(1131)와 용량 소자(1132)로 구성되어 있다. 트랜지스터(1131)의 게이트 전극은 제 1 배선(워드선 WL)과 접속되어 있다. 또한, 트랜지스터(1131)의 소스 전극 또는 드레인 전극의 한쪽은 제 2 배선(비트선 BL)과 접속되어 있고, 트랜지스터(1131)의 소스 전극 또는 드레인 전극의 다른 쪽은, 용량 소자의 전극의 한쪽과 접속되어 있다. 또한, 용량 소자의 전극의 다른 쪽은 용량선 CL과 접속되고, 일정한 전위가 부여되어 있다. 트랜지스터(1131)에는, 앞의 실시형태에서 나타낸 트랜지스터가 적용된다.
- [0322] 앞의 실시형태에서 나타낸 산화물 반도체를 채널 형성 영역에 사용하는 트랜지스터는, 단결정 실리콘을 채널 형성 영역에 사용한 트랜지스터에 비하여 오프 전류가 작다는 특징을 갖는다. 따라서, 소위 DRAM으로서 인식되어 있는 도 23a에 도시한 반도체 장치에 상기 트랜지스터를 적용할 경우, 실질적인 비휘발성 메모리를 얻을 수 있다.
- [0323] 도 23b에는, 소위 SRAM(Static Random Access Memory)에 상당하는 구성의 반도체 장치의 일례를 도시한다. 도 23b에 도시한 메모리 셀 어레이(1140)는 복수의 메모리 셀(1150)이 매트릭스상으로 배열된 구성으로 할 수 있다. 또한, 메모리 셀 어레이(1140)는 제 1 배선 BL, 제 2 배선 BLB(반전 비트선) 및 제 3 배선, 전원선 Vdd, 및 접지 전위선 Vss를 갖는다.
- [0324] 메모리 셀(1150)은 제 1 트랜지스터(1151), 제 2 트랜지스터(1152), 제 3 트랜지스터(1153), 제 4 트랜지스터(1154), 제 5 트랜지스터(1155), 및 제 6 트랜지스터(1156)을 갖고 있다. 제 1 트랜지스터(1151)와 제 2 트랜지스터(1152)는, 선택 트랜지스터로서 기능한다. 또한, 제 3 트랜지스터(1153)와 제 4 트랜지스터(1154) 중 한 쪽은 n채널형 트랜지스터(여기에서는, 제 4 트랜지스터(1154))이고, 다른 쪽은 p채널형 트랜지스터(여기에서는, 제 3 트랜지스터(1153))이다. 즉, 제 3 트랜지스터(1153)와 제 4 트랜지스터(1154)에 의해 CMOS 회로가 구성되어 있다. 마찬가지로, 제 5 트랜지스터(1155)와 제 6 트랜지스터(1156)에 의해 CMOS 회로가 구성되어 있다.

- [0325] 제 1 트랜지스터(1151), 제 2 트랜지스터(1152), 제 4 트랜지스터(1154), 제 6 트랜지스터(1156)는 n채널형의 트랜지스터이며, 앞의 실시형태에어서 나타난 트랜지스터를 적용할 수 있다. 제 3 트랜지스터(1153)와 제 5 트랜지스터(1155)는 p채널형 트랜지스터이고, 산화물 반도체 이외의 재료(예를 들어, 단결정 실리콘 등)를 채널 형성 영역에 사용한다.
- [0326] 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태와 적절히 조합하여 사용할 수 있다.
- [0327] (실시형태 8)
- [0328] 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터를 적어도 일부에 사용하여 CPU(Central Processing Unit)를 구성할 수 있다.
- [0329] 도 24a는, CPU의 구체적인 구성을 도시한 블록도이다. 도 24a에 도시한 CPU는, 기판(1190) 위에, 연산 회로(ALU:Arithmetic logic unit)(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(Bus I/F)(1198), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(ROM I/F)(1189)를 갖고 있다. 기판(1190)은 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM I/F(1189)는 별도의 칩에 형성해도 좋다. 물론, 도 24a에 도시하는 CPU는, 그 구성을 간략화해서 나타난 일례에 지나지 않고, 실제의 CPU는 그 용도에 의해 다종 다양한 구성을 갖고 있다.
- [0330] Bus I/F(1198)를 개재하여 CPU에 입력된 명령은, 인스트럭션 디코더(1193)에 입력되어, 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0331] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는, 디코드된 명령에 기초하여 각종 제어를 행한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는, CPU의 프로그램 실행중에, 외부의 입출력 장치나, 주변 회로로부터의 인터럽트 요구를, 그 우선도나 마스크 상태에서부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 판독이나 기록을 행한다.
- [0332] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는, 기준 클럭 신호 CLK1에 기초하여, 내부 클럭 신호 CLK2를 생성하는 내부 클럭 생성부를 구비하고 있고, 클럭 신호 CLK2를 상기 각종 회로에 공급한다.
- [0333] 도 24a에 도시한 CPU에서는, 레지스터(1196)에, 기억 소자(메모리 셀)가 형성되어 있다. 레지스터(1196)의 기억 소자(메모리 셀)에는, 실시형태 5 내지 실시형태 7에 기재되어 있는 기억 소자(메모리 셀)를 사용할 수 있다.
- [0334] 도 24a에 도시한 CPU에 있어서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라, 레지스터(1196)에 있어서의 유지 동작의 선택을 행한다. 즉, 레지스터(1196)가 갖는 기억 소자에 있어서, 위상 반전 소자에 의한 데이터의 유지를 행할지, 용량 소자에 의한 데이터의 유지를 행할지를, 레지스터 컨트롤러(1197)가 선택한다. 위상 반전 소자에 의한 데이터의 유지가 선택되어 있을 경우, 레지스터(1196) 내의 기억 소자로 전원 전압의 공급이 행해진다. 용량 소자에 있어서의 데이터의 유지가 선택되어 있을 경우, 용량 소자에 대한 데이터의 재기록이 행해지고, 레지스터(1196) 내의 기억 소자에 대한 전원 전압의 공급을 정지할 수 있다.
- [0335] 전원 정지에 관해서는, 도 24b 또는 도 24c에 도시한 바와 같이, 기억 소자군과, 전원 전위 VDD 또는 전원 전위 VSS가 부여되어 있는 노드 사이에, 스위칭 소자를 형성함으로써 행할 수 있다. 이하에 도 24b 및 도 24c의 회로를 설명한다.
- [0336] 도 24b 및 도 24c에서는, 기억 소자로의 전원 전위의 공급을 제어하는 스위칭 소자에, 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터를 포함한 기억 회로의 구성의 일례를 도시한다.
- [0337] 도 24b에 도시한 기억 장치는, 스위칭 소자(1141)와 기억 소자(1142)를 복수 갖는 기억 소자군(1143)을 갖고 있다. 구체적으로, 각 기억 소자(1142)에는, 앞의 실시형태에 기재되어 있는 기억 소자를 사용할 수 있다. 기억 소자군(1143)이 갖는 각 기억 소자(1142)에는, 스위칭 소자(1141)를 개재하여, 하이 레벨의 전원 전위 VDD가 공급된다. 또한, 기억 소자군(1143)이 갖는 각 기억 소자(1142)에는, 신호 IN의 전위와, 로우 레벨의 전원 전위 VSS의 전위가 부여된다

- [0338] 도 24b에서는, 스위칭 소자(1141)로서, 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있고, 상기 트랜지스터는, 그 게이트 전극에 부여되는 신호 SigA에 의해 스위칭이 제어된다.
- [0339] 또한, 도 24b에서는, 스위칭 소자(1141)가 트랜지스터를 하나만 갖는 구성을 도시하고 있지만, 특별하게 한정되지 않고, 트랜지스터를 복수 갖고 있어도 좋다. 스위칭 소자(1141)가 스위칭 소자로서 기능하는 트랜지스터를 복수 갖고 있을 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0340] 또한, 도 24b에서는, 스위칭 소자(1141)에 의해, 기억 소자군(1143)이 갖는 각 기억 소자(1142)에 대한 하이 레벨의 전원 전위 VDD의 공급이 제어되어 있지만, 스위칭 소자(1141)에 의해, 로우 레벨의 전원 전위 VSS의 공급이 제어되어 있어도 좋다.
- [0341] 또한, 도 24c에는, 기억 소자군(1143)이 갖는 각 기억 소자(1142)에, 스위칭 소자(1141)를 개재하여, 로우 레벨의 전원 전위 VSS가 공급되어 있는 기억 장치의 일례를 도시한다. 스위칭 소자(1141)에 의해, 기억 소자군(1143)이 갖는 각 기억 소자(1142)로의 로우 레벨의 전원 전위VSS의 공급을 제어할 수 있다.
- [0342] 기억 소자군과, 전원 전위 VDD 또는 전원 전위 VSS가 부여되어 있는 노드간에, 스위칭 소자를 형성하고, 일시적으로 CPU의 동작을 정지하고, 전원 전압의 공급을 정지했을 경우에 있어서도 데이터를 유지할 수 있고, 소비 전력을 저감할 수 있다. 구체적으로는, 예를 들어, 퍼스널 컴퓨터의 유저가, 키보드 등의 입력 장치로의 정보의 입력을 정지하고 있는 동안에도, CPU의 동작을 정지할 수 있고, 이로써 소비 전력을 저감할 수 있다.
- [0343] 여기에서는, CPU를 예로 들어서 설명했지만, DSP(Digital Signal Processor) , 커스텀 LSI, FPGA(Field Programmable Gate Array) 등의 LSI에도 응용가능하다.
- [0344] (실시예 1)
- [0345] 본 실시예에서는, 도펀트가 첨가된 산화물 반도체막의 단면 구조에 대하여 설명한다.
- [0346] 도펀트의 피침가물인 산화물 반도체막의 제작 방법에 대하여 설명한다. 우선, 유리 기판 위에, 스퍼터링법에 의해 산화실리콘막을 300nm 형성하였다.
- [0347] 다음으로, 산화실리콘막 위에 In-Ga-Zn-O계 재료의 산화물 반도체막(이하, IGZO막)을 스퍼터링법에 의해 형성하였다. 또한, 본 실시예에서는, 조성비가  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol수비]인 타겟을 사용하고, 아르곤 유량을 30sccm으로 하고, 산소 유량을 15sccm으로 하고, 기판 온도를 400℃로 하여 두께 30nm의 IGZO막을 형성하였다. 또한, 본 조건으로 형성한 IGZO막은 실시형태 1 내지 실시형태 3에서 설명한 CAAC-OS이다.
- [0348] 다음으로, 형성한 IGZO막중의 수소를 방출시키기 위하여, 가열 온도를 450℃로 하고, 질소 분위기 하에서 1시간의 가열 처리를 행하였다.
- [0349] 다음으로, 가열한 IGZO막에 이온 임플래이션법으로 도펀트를 첨가했다. 본 실시예에서는, 도펀트를 인 이온( $31\text{P}^+$ )으로 하고, 가속 전압을 20kV로 하고, 첨가량  $1 \times 10^{16} \text{cm}^{-2}$ 로 하여 상기 IGZO막에 첨가하였다.
- [0350] 다음으로, 도펀트(인 이온)을 첨가한 IGZO막에 대하여, 가열 온도를 650℃로 하여, 1시간의 가열 처리를 행하였다. 또한, 본 실시예에서는, 도펀트를 첨가한 후에 행하는 가열 처리에 있어서, 질소 분위기하에서 행하였을 경우의 IGZO막을 시료 1로 하고, 산소 분위기하에서 행하였을 경우의 IGZO막을 시료 2로 한다.
- [0351] 투과형 전자 현미경(Transmission Electron Microscope:TEM)을 사용하여, 시료 1 및 시료 2의 단면 TEM 관찰을 행하였다. 또한, 비교예로서 도펀트를 첨가한 후에 가열 처리를 하지 않은 IGZO막에 대해서도 TEM을 사용하여 그 단면을 관찰하였다. 도 19a는 비교예의 단면 TEM상을 도시하고, 도 19b는 시료 1의 단면 TEM상을 도시하고, 도 19c는 시료 2의 단면 TEM상을 도시한다. 또한, 도 19a 내지 도19c는, 배율 800만배로 관찰한 단면 TEM상이다.
- [0352] 도 19a에는 격자상이 관찰되지 않고, 또한, 비교예의 전자선 회절 패턴(도시하지 않음)은 할로우 패턴이었다. 이것으로부터 비교예는 비정질인 것이 확인되었다.
- [0353] 도 19b에는 격자상이 확인되는 점에서, 시료 1은 결정부를 갖고 있음이 확인되었다. 또한, 시료 1의 전자선 회절 패턴(도시하지 않음)은, 전자선이 조사되는 위치에 따라 다른 회절 패턴이 있었다. 특히, 도 19b에 있어서, IGZO막의 콘트라스트가 다른 곳은, 결정 배향이 달랐다. 따라서, 시료 1은, 복수의 결정부를 갖고 있는 것

이 확인되었다.

[0354] 도 19c에는 격자상이 확인되는 점에서, 시료 2는 결정부를 갖고 있음이 확인되었다. 또한, 도 19c 및 시료 2의 전자선 회절 패턴(도시하지 않음)으로부터, IGZO막의 표면을 포함하는 영역은 c축 배향을 갖는 결정부인 것이 확인되었다. 또한, 상기 c축 배향을 갖는 결정부는 비단결정인 점에서, IGZO막의 표면을 포함하는 영역은 CAAC-OS라고 할 수 있고, IGZO막의 표면으로부터 적어도 2nm은 형성되어 있었다. 그리고, IGZO막의 표면을 포함하는 영역 이외에는, 시료 1과 마찬가지로 복수의 결정부를 갖고 있음이 확인되었다.

[0355] 이상으로부터, 산화물 반도체막에 도펀트를 첨가한 후에 행하는 가열 처리를 행함으로써, 복수의 결정부를 갖는 산화물 반도체막을 형성할 수 있음을 확인할 수 있었다. 또한, 상기 가열 처리의 분위기에 의해, 형성하는 산화물 반도체막의 표면을 포함하는 영역에, 비단결정이고 또한 c축 배향을 갖는 결정부를 포함하는 산화물 반도체(CAAC-OS)를 형성할 수 있음을 확인할 수 있었다.

**부호의 설명**

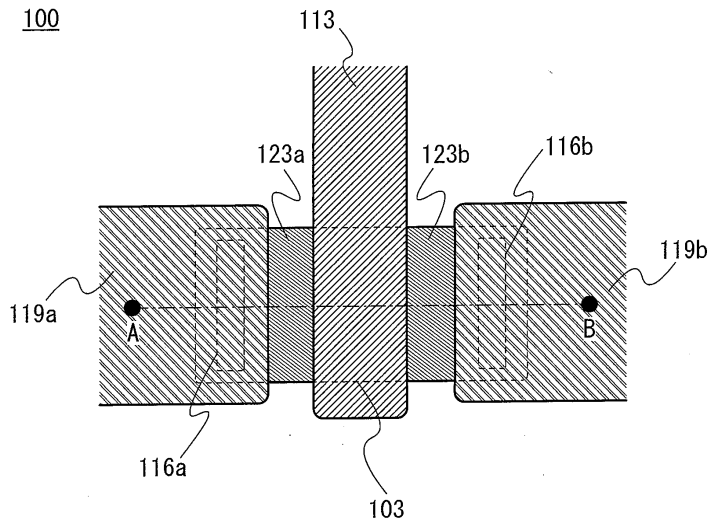
- |        |                   |                   |
|--------|-------------------|-------------------|
| [0356] | 100 : 트랜지스터       | 101 : 기판          |
|        | 102 : 하지 절연막      | 103 : 산화물 반도체막    |
|        | 105 : 제 1 영역      | 107a : 산화물 반도체 영역 |
|        | 107b : 산화물 반도체 영역 | 109a : 산화물 반도체 영역 |
|        | 109b : 산화물 반도체 영역 | 111 : 게이트 절연막     |
|        | 112 : 도전막         | 113 : 제 1 전극      |
|        | 116a : 개구부        | 116b : 개구부        |
|        | 117 : 층간 절연막      | 119a : 제 2 전극     |
|        | 119b : 제 3 전극     | 121 : 게이트 절연막     |
|        | 123a : 제 2 영역     | 123b : 제 2 영역     |
|        | 130 : 산화물 반도체막    | 131 : 산화물 반도체막    |
|        | 132 : 산화물 반도체막    | 140 : 산화물 반도체막    |
|        | 150 : 도펀트         | 160 : 트랜지스터       |
|        | 170 : 트랜지스터       | 200 : 트랜지스터       |
|        | 207a : 산화물 반도체 영역 | 207b : 산화물 반도체 영역 |
|        | 209a : 산화물 반도체 영역 | 209b : 산화물 반도체 영역 |
|        | 214a : 산화물 반도체 영역 | 214b : 산화물 반도체 영역 |
|        | 215 : 사이드월 절연막    | 223a : 제 3 영역     |
|        | 223b : 제 3 영역     | 260 : 트랜지스터       |
|        | 270 : 트랜지스터       | 1100 : 메모리 셀      |
|        | 1110 : 메모리 셀 어레이  | 1111 : 배선 구동 회로   |
|        | 1112 : 관독 회로      | 1113 : 배선 구동 회로   |
|        | 1120 : 메모리 셀 어레이  | 1130 : 메모리 셀      |
|        | 1131 : 트랜지스터      | 1132 : 용량 소자      |
|        | 1140 : 메모리 셀 어레이  | 1141 : 스위칭 소자     |
|        | 1142 : 기억 소자      | 1143 : 기억 소자군     |

1150 : 메모리 셀	1151 : 트랜지스터
1152 : 트랜지스터	1153 : 트랜지스터
1154 : 트랜지스터	1155 : 트랜지스터
1156 : 트랜지스터	1160 : 트랜지스터
1161 : 트랜지스터	1162 : 트랜지스터
1163 : 트랜지스터	1164 : 트랜지스터
1170 : 메모리 셀	1171 : 트랜지스터
1172 : 트랜지스터	1173 : 용량 소자
1180 : 메모리 셀	1181 : 트랜지스터
1182 : 트랜지스터	1183 : 용량 소자
1189 : ROM 인터페이스	1190 : 기판
1191 : ALU	1192 : ALU 컨트롤러
1193 : 인스트럭션 디코더	1194 : 인터럽트 컨트롤러
1195 : 타이밍 컨트롤러	1196 : 레지스터
1197 : 레지스터 컨트롤러	1198 : 버스 인터페이스
1199 : ROM	

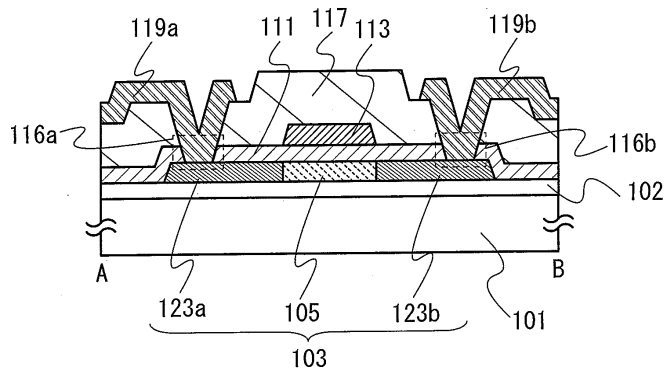
도면

도면1

(a)

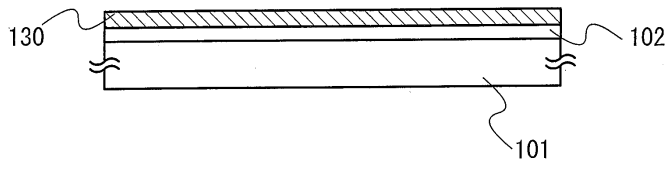


(b)

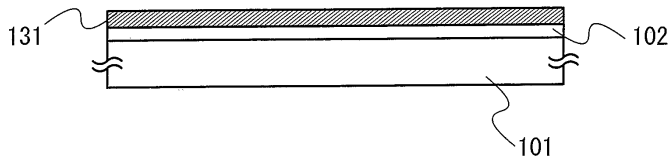


도면2

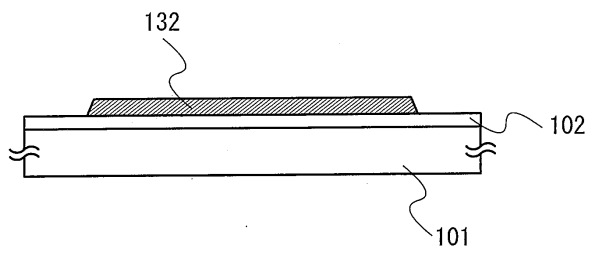
(a)



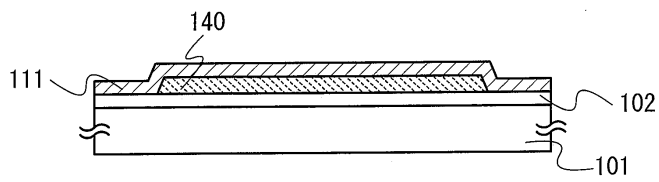
(b)



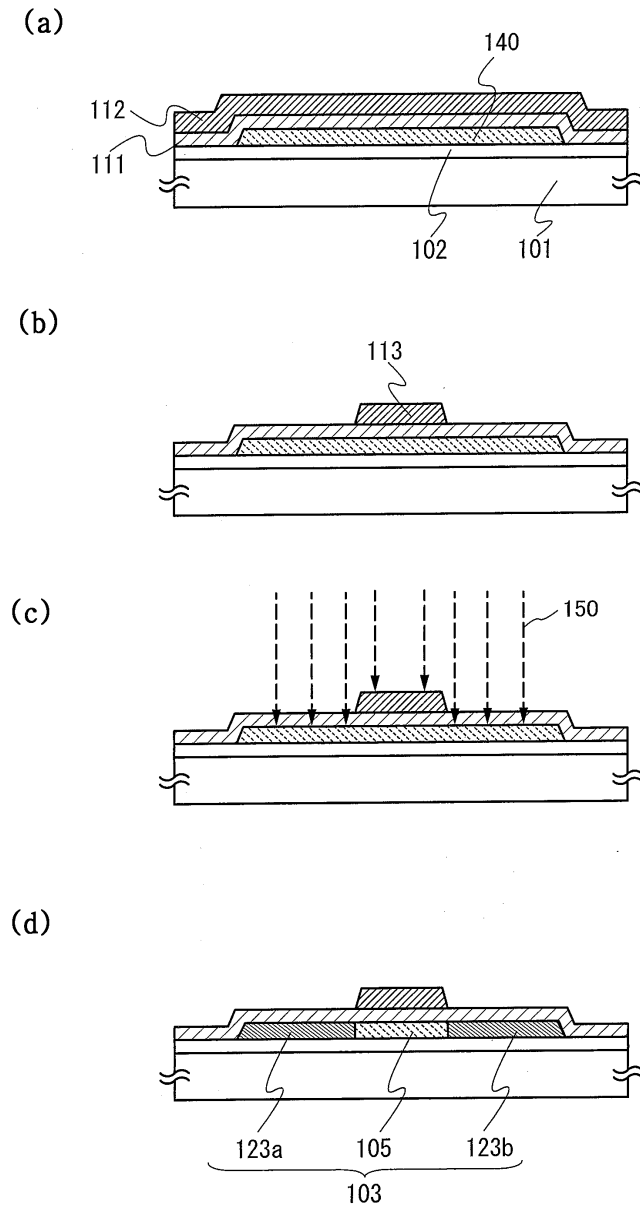
(c)



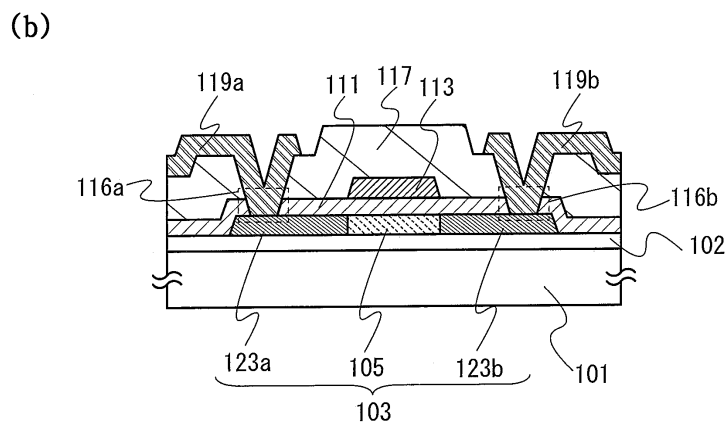
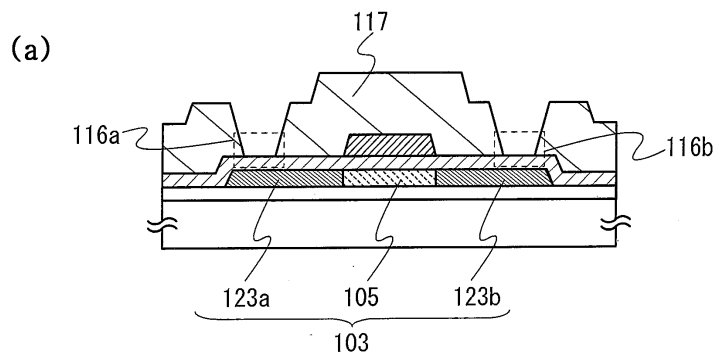
(d)



도면3

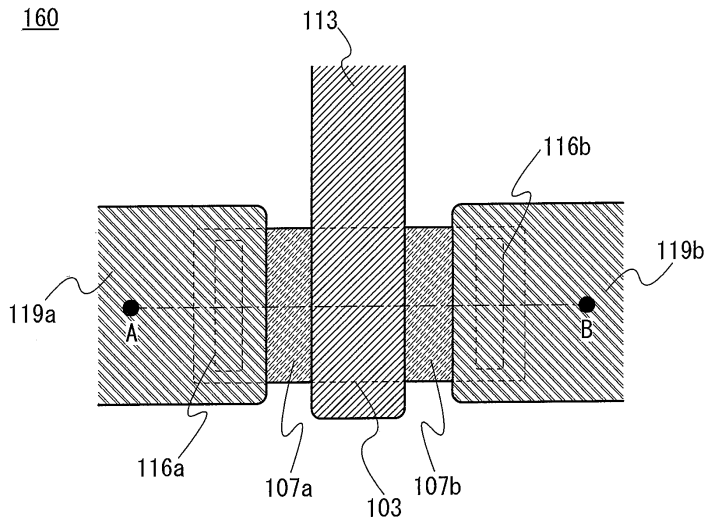


도면4

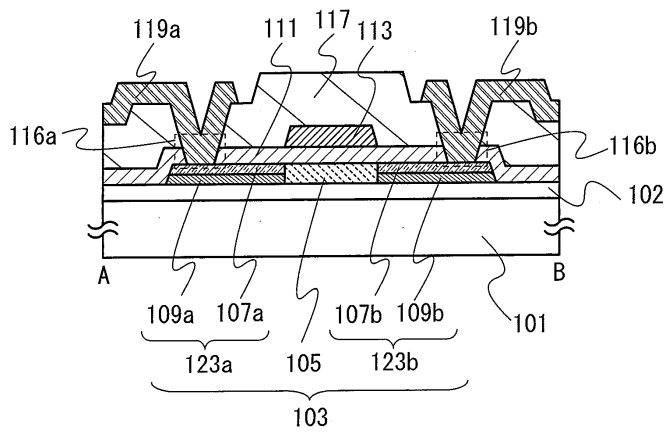


도면5

(a)

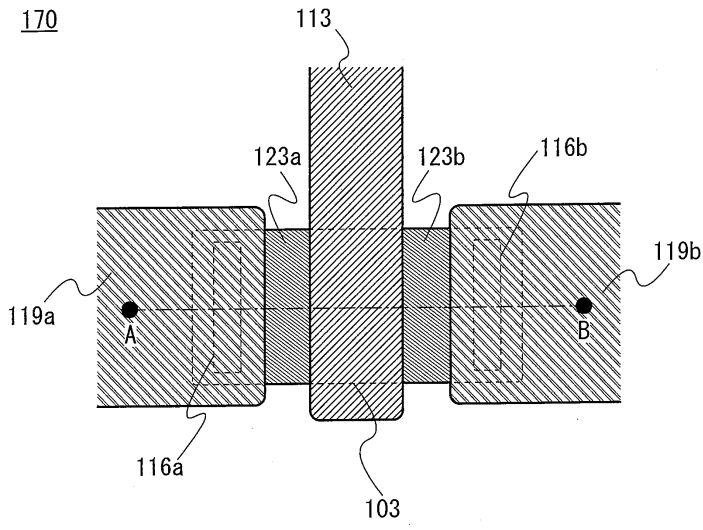


(b)

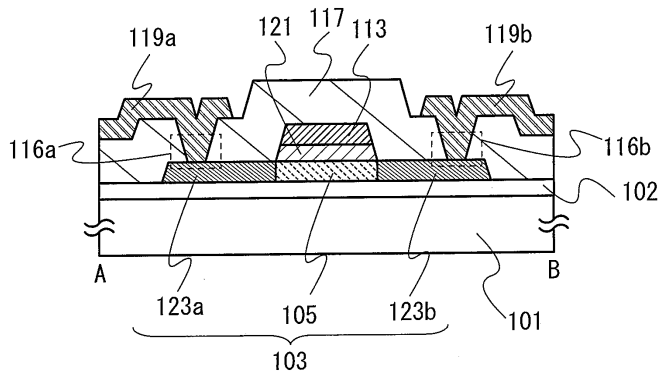


도면6

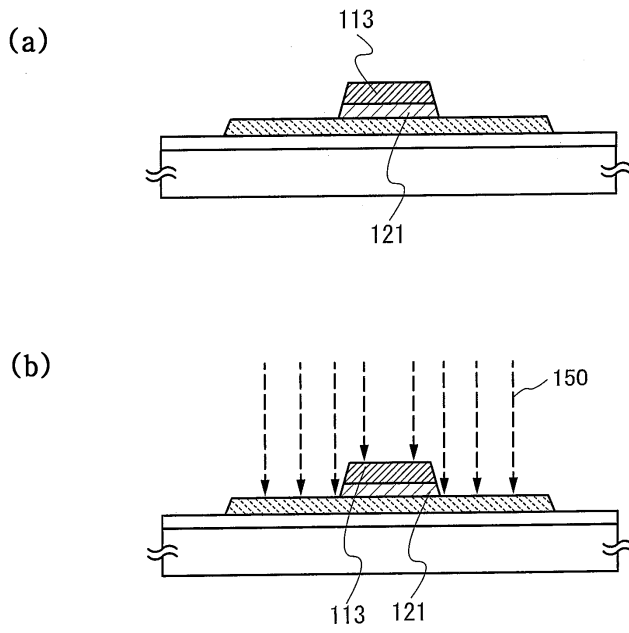
(a)



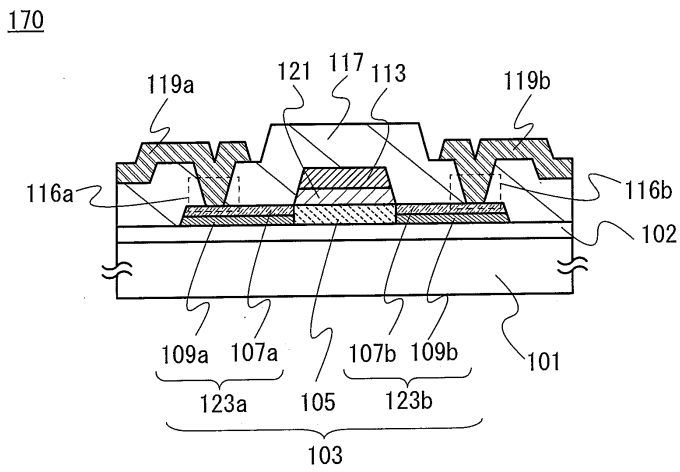
(b)



도면7

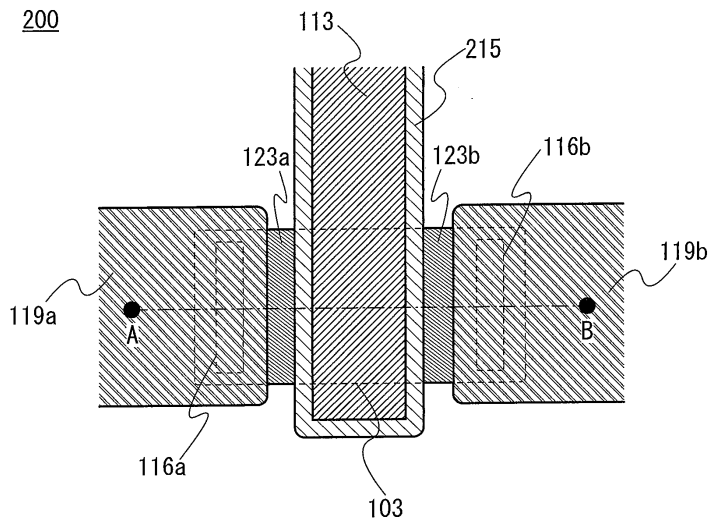


도면8

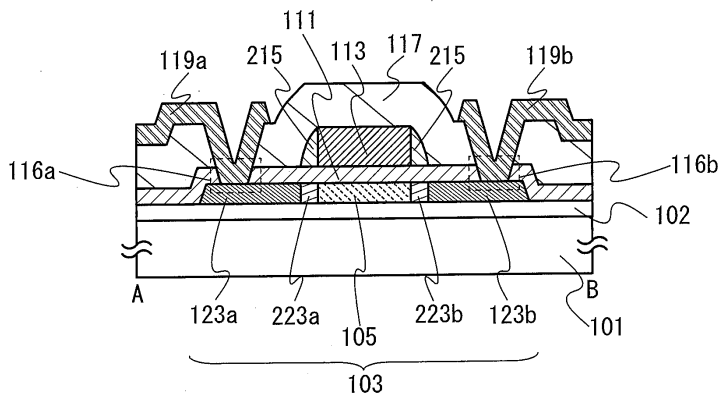


도면9

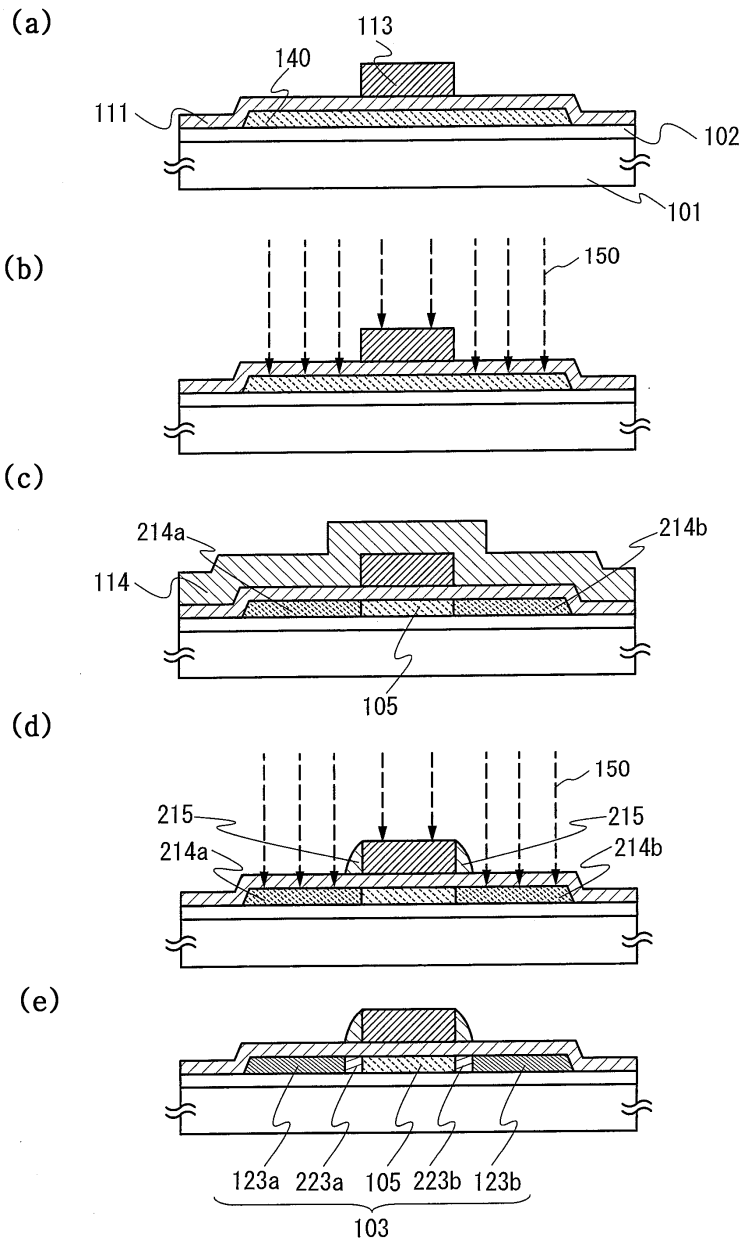
(a)



(b)

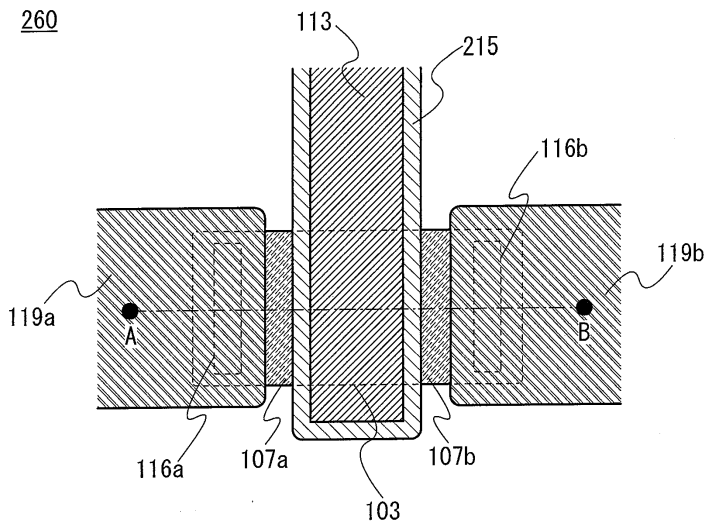


도면10

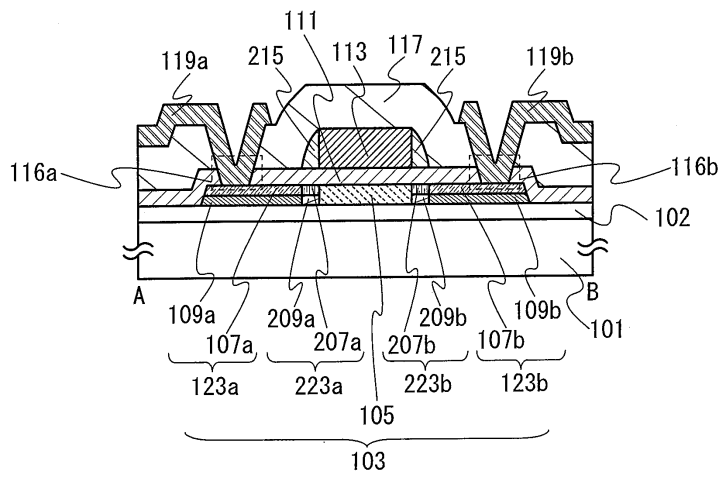


도면11

(a)

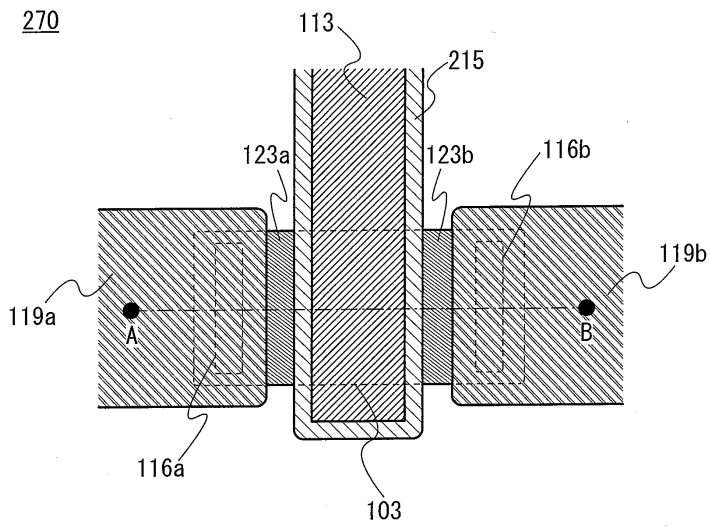


(b)

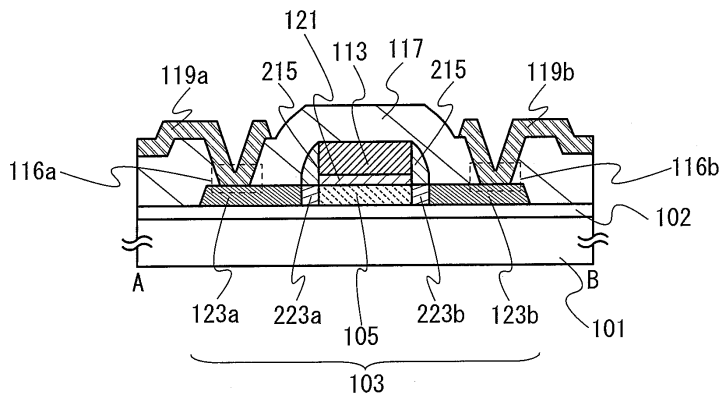


도면12

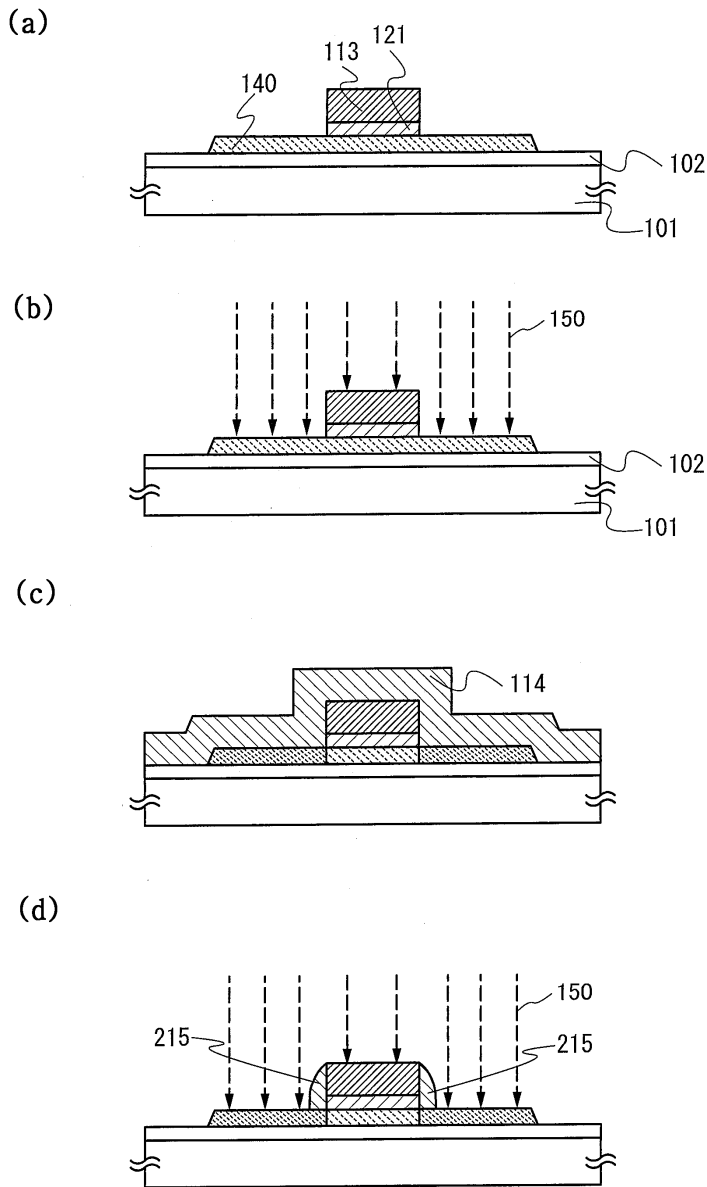
(a)



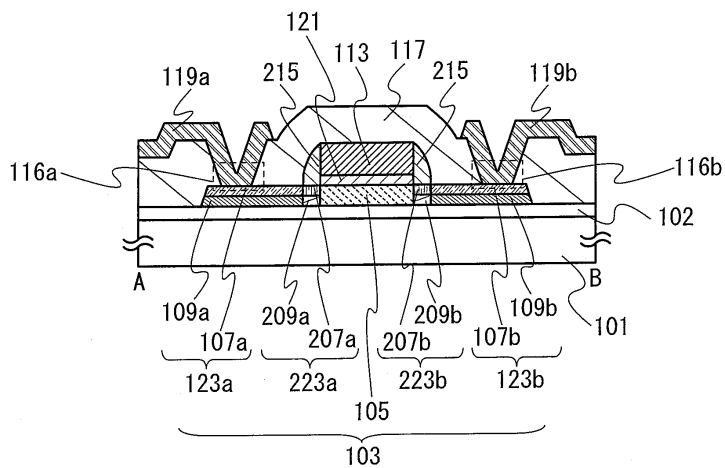
(b)



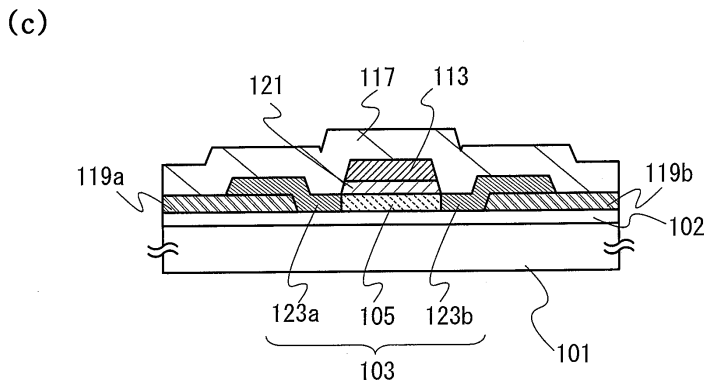
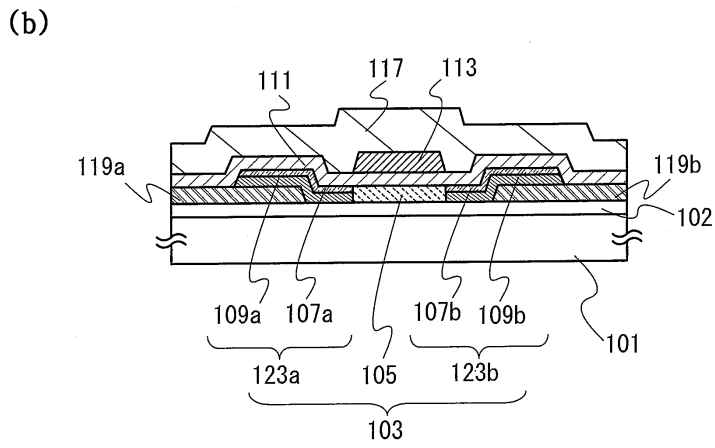
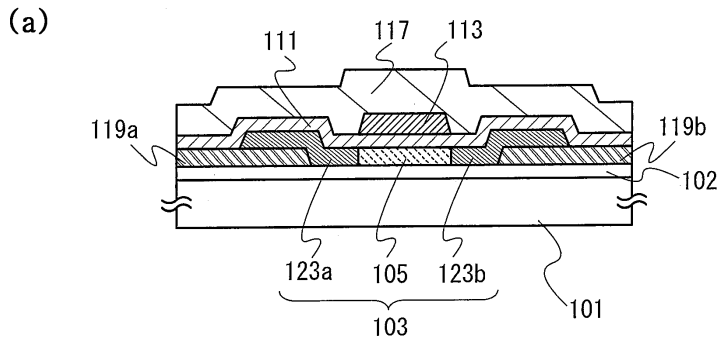
도면13



도면14

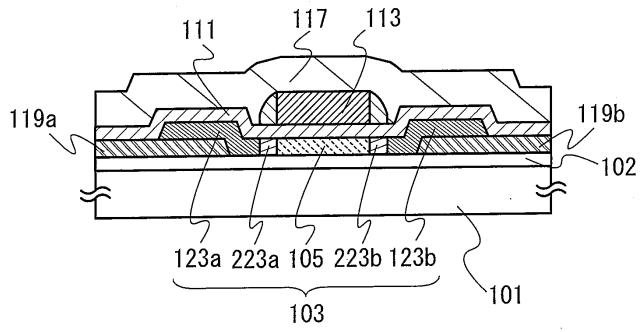


도면15

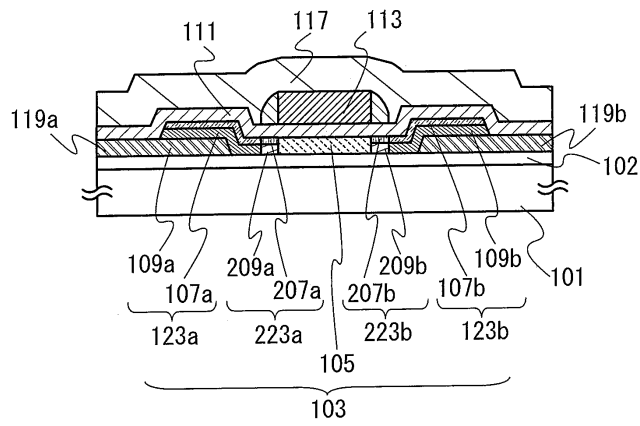


도면16

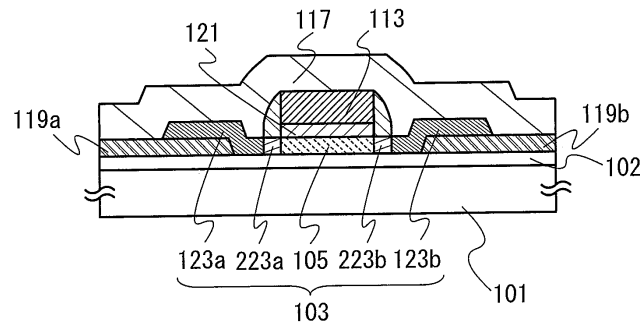
(a)



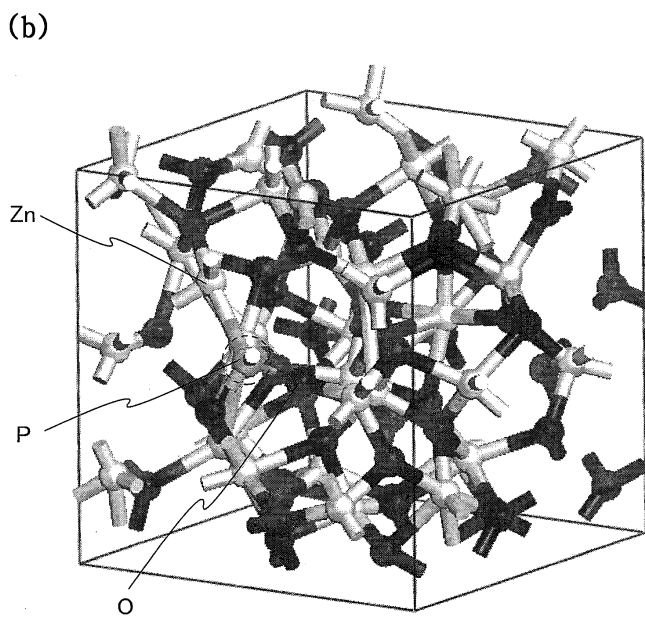
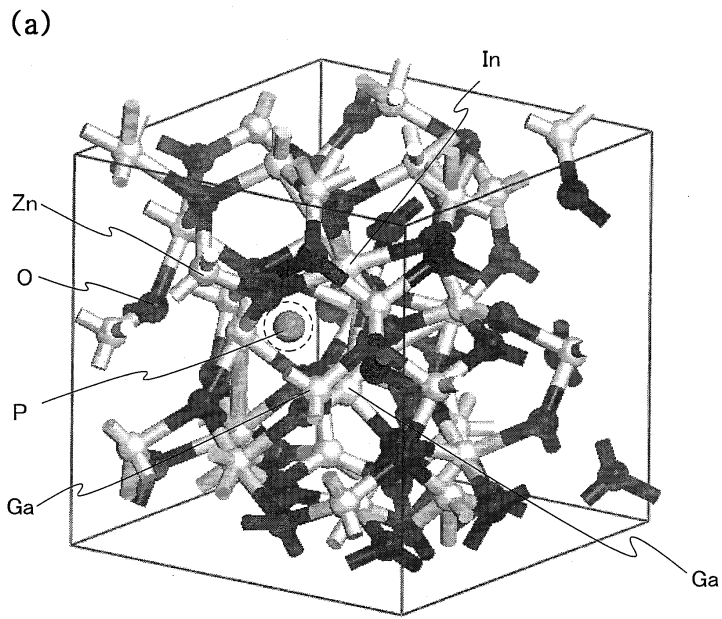
(b)



(c)

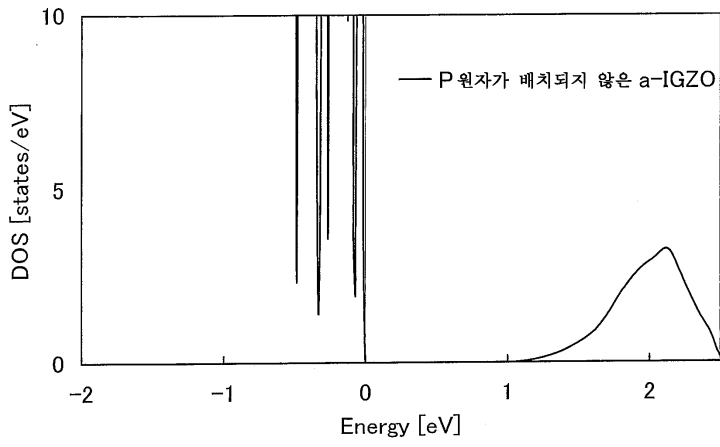


도면17

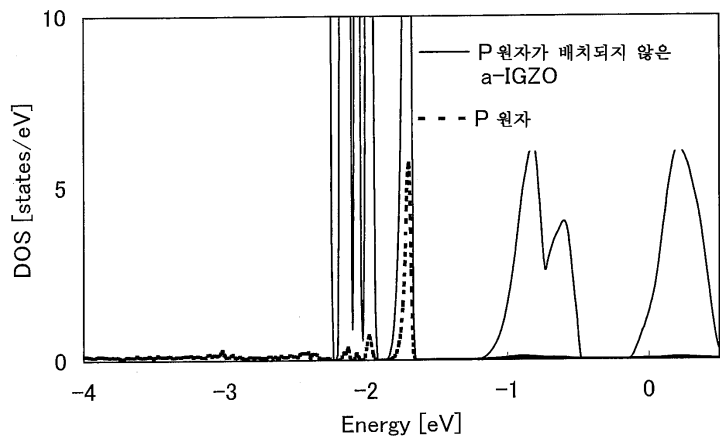


도면18

(a)

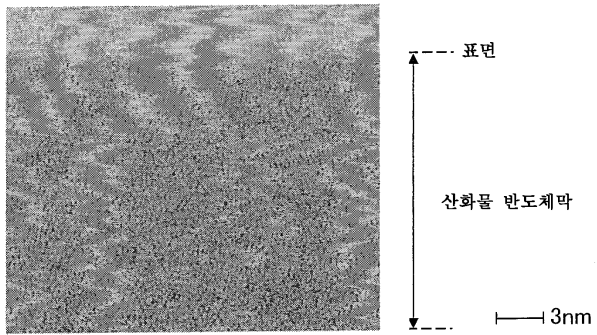


(b)

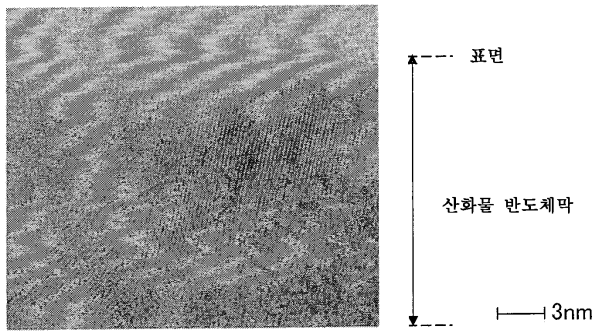


도면19

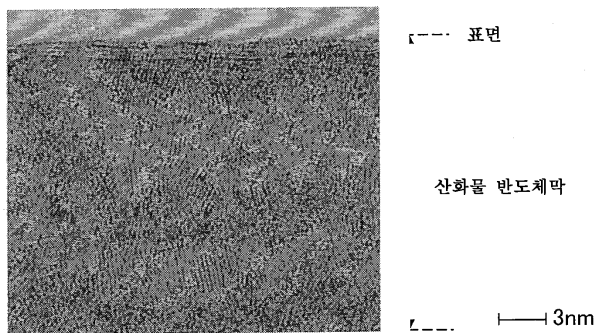
(a)



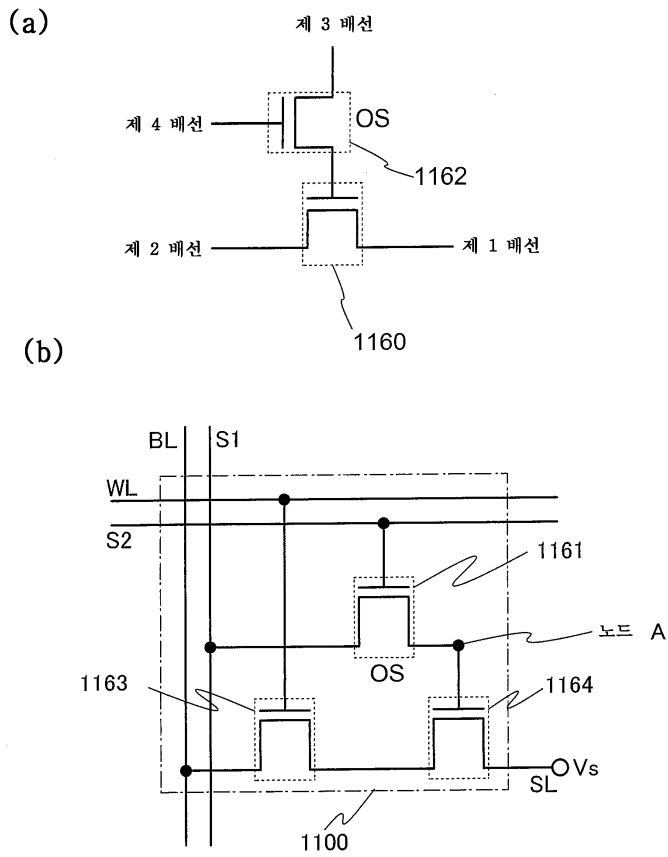
(b)



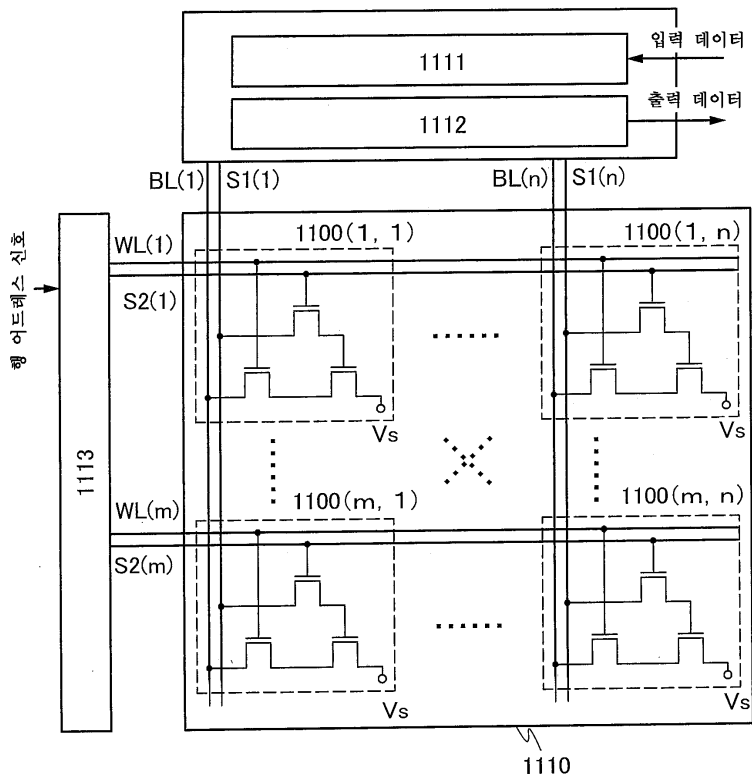
(c)



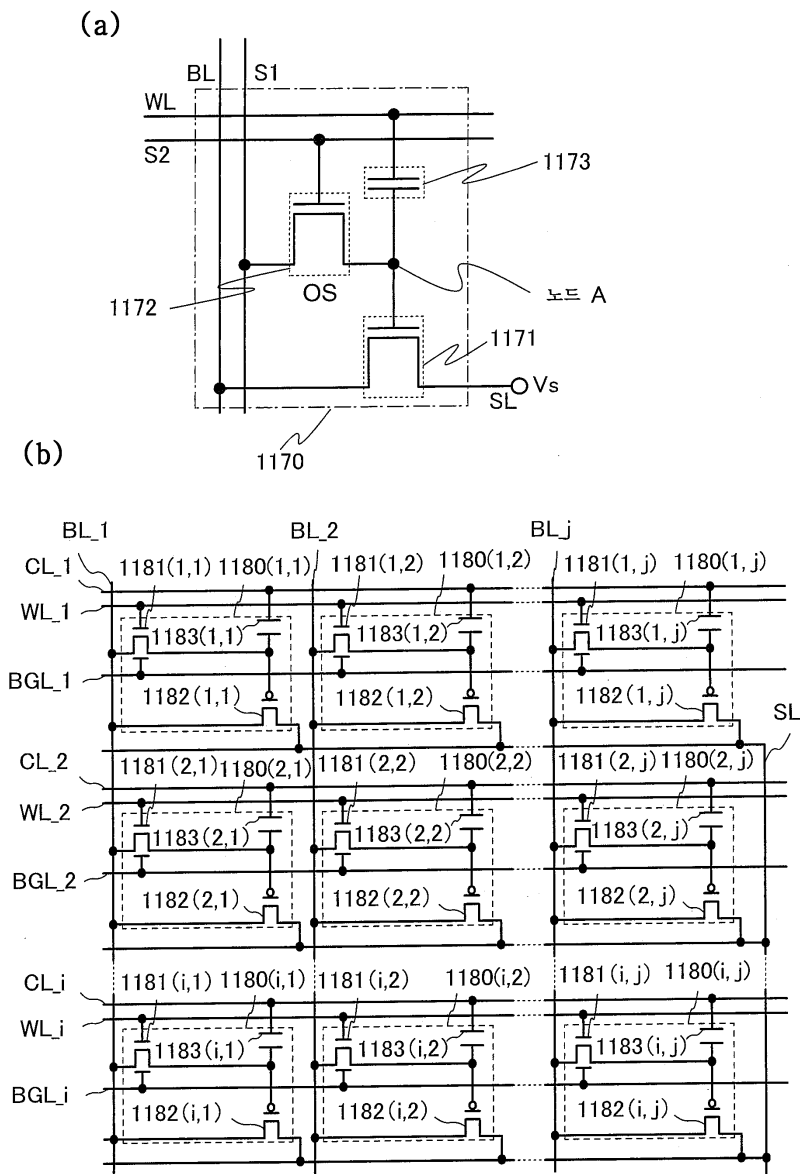
도면20



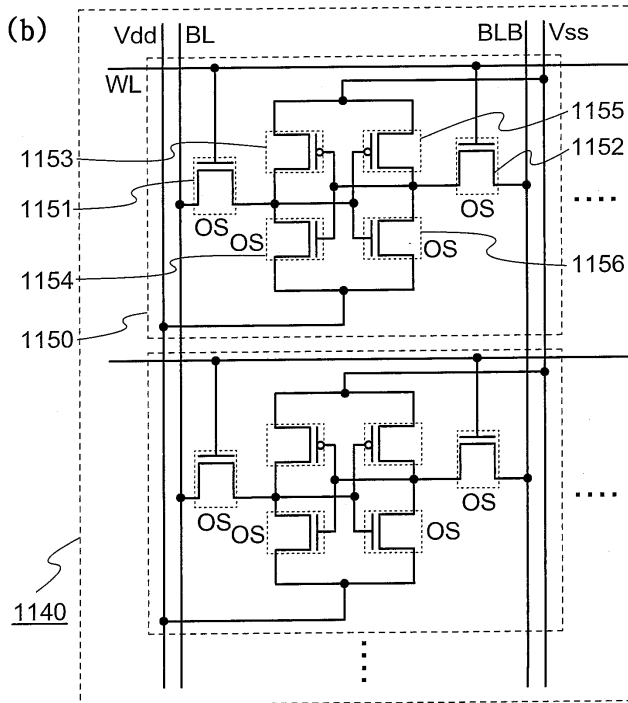
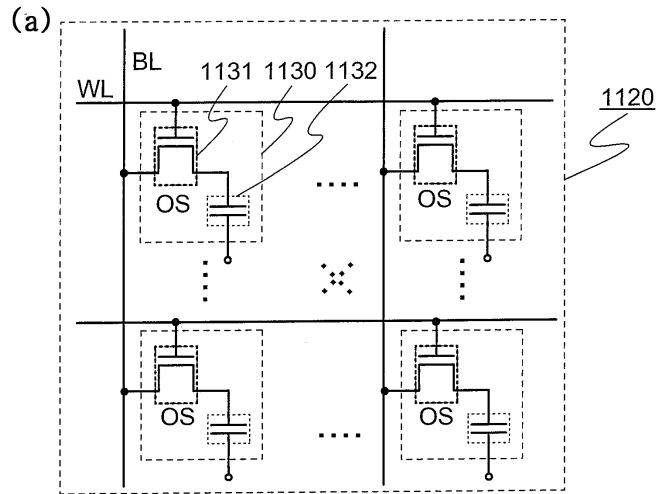
도면21



도면22



도면23



도면24

