(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 655 196**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **89 16144**

(51) Int Cl[5] : H 01 L 27/08, 23/58

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt** : 29.11.89.

(30) **Priorité** :

(43) **Date de la mise à disposition du public de la demande :** 31.05.91 Bulletin 91/22.

(56) **Liste des documents cités dans le rapport de recherche :** *Se reporter à la fin du présent fascicule.*

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *SGS-THOMSON MICROELECTRONICS (S.A.) conjointement avec* — FR et *SIEMENS AUTOMOTIVE (S.A.) Sociétés Anonymes* — FR.

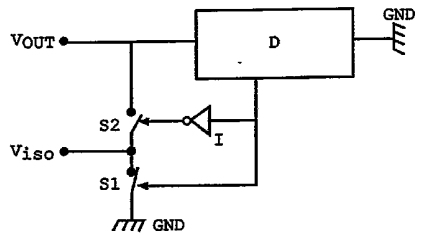
(72) **Inventeur(s) :** Pavlin Antoine, Sicard Thierry et Simon Marc.

(73) **Titulaire(s) :**

(74) **Mandataire :** De Beaumont Michel Cabinet Conseil.

(54) Circuit d'isolation dynamique de circuits intégrés.

(57) La présente invention concerne un circuit d'isolation dynamique faisant partie d'un circuit intégré monolithique comprenant des transistors latéraux et des transistors verticaux, reliée à un potentiel d'isolement (V_{iso}), ces transistors latéraux étant connectés à des tensions d'une première polarité par rapport à une tension de référence (GND), la borne de puissance connectée à la face arrière étant normalement à un potentiel (V_{out}) de la première polarité par rapport à la tension de référence. Ce circuit comprend des moyens de détection (D) du signe du potentiel de la face arrière par rapport à la tension de référence, au moins un transistor latéral (S1) pour relier le potentiel d'isolement au potentiel de référence quand le potentiel de la face arrière est de la première polarité par rapport au potentiel de référence, et au moins un transistor vertical (S2) pour relier le potentiel d'isolement au potentiel de la face arrière quand le potentiel de la face arrière est de la deuxième polarité par rapport au potentiel de référence.



FR 2 655 196 - A1

La présente invention concerne le domaine des circuits intégrés et plus particulièrement des circuits intégrés comprenant des transistors latéraux et des transistors verticaux, dans lesquels les transistors latéraux sont isolés individuellement ou en groupes par jonction.

Pour situer le problème posé, deux exemples de configurations classiques de circuits intégrés comprenant des transistors verticaux et des transistors latéraux vont être rappelés en relation avec les figures 1 et 2.

La figure 1 représente un circuit intégré formé dans un substrat 1 de type N sur la face arrière duquel est prévue une zone de surdopage N^+ 2 qui est revêtue d'une métallisation 3. Dans la partie droite de la figure est illustrée une cellule 10 de transistor MOS à canal N vertical et dans la partie gauche de la figure une partie logique, ou partie signal, 20, dans laquelle sont formés des transistors MOS à canal N et canal P latéraux.

Le transistor MOS vertical 10 comprend des régions de source 11 formées dans des régions de canal 12 surmontées par une grille isolée 13. Les régions de source 11 sont solidaires d'une métallisation de source 14 également en contact avec la région de caisson 15 dont une partie constitue la région de canal 12. De façon classique, un transistor vertical de puissance (VDMOS) est constitué d'un grand nombre de cellules en parallèle telles que la cellule 10.

La partie logique 20 comprend des transistors MOS à canal P 21 et des transistors MOS à canal N 22. Ces transistors sont formés dans un caisson de type N 23 (les transistors à canal N étant formés dans un deuxième caisson 24 disposé dans le caisson 23). L'ensemble de la partie logique est isolé par jonction au moyen de régions dopées P^+ formant d'une part une couche enterrée 25, d'autre part des puits latéraux 26 rejoignant la couche enterrée 25. La structure d'isolement 25, 26 est reliée par sa partie supérieure à des métallisations d'isolement 27 connectées à un potentiel d'isolement V_{iso}.

La figure 2 représente une autre structure classique de circuit intégré composant des composants verticaux et latéraux. Dans cette figure, des éléments analogues à ceux de la figure 1 sont désignés par de mêmes références numériques.

La partie droite de la figure 2, correspondant à une cellule d'un transistor MOS vertical à canal N, est identique à la partie droite de la figure 1.

La partie de transistors logiques est maintenant désignée par la référence 30. Elle est formée dans un caisson P^- 31 de type de conductivité opposé à celui du substrat. On y a représenté seulement un transistor à canal N 32. Le caisson P^- est bordé par un puits d'isolement de type P^+ 36 relié à une métallisation d'isolement 37 relié à un potentiel d'isolement V_{iso}. Dans cette configuration, V_{iso} est égal au potentiel de référence VSS de la partie signal.

On a en outre représenté en figure 2, un transistor bipolaire vertical 40 comprenant une région de base de type P^- 41 et une région d'émetteur de type N^+ 42. Le collecteur de ce transistor vertical correspond au drain du transistor MOS vertical et la métallisation de collecteur sera donc la métallisation de face arrière 3. On notera qu'un transistor NPN vertical pourrait également avoir été prévu dans la structure de la figure 1.

Les figures 1 et 2 ont été représentées de façon extrêmement schématiques et sont destinées uniquement à exposer le

problème lié à l'isolement des régions de transistors latéraux (partie signal ou partie logique).

Dans un mode de fonctionnement usuel d'un transistor de puissance vertical, les sources des transistors MOS verticaux (VDMOS) ou les émetteurs des transistors NPN verticaux sont reliés à la masse et les drains des VDMOS et les collecteurs des transistors NPN verticaux (face arrière) sont reliés à la haute tension positive. Les circuits logiques fonctionnent normalement entre le niveau de la masse et une tension d'alimentation positive (VCC). Pour que les caissons des transistors latéraux soient convenablement isolés, il convient alors que le potentiel d'isolement V_{iso} soit le potentiel le plus négatif du circuit, c'est-à-dire la masse. En ce cas, comme l'illustre très schématiquement la figure 3A, la borne 27 (figure 1) ou la borne 37 (figure 2) est reliée à la masse et la diode P^+N 50 entre la région d'isolement (25, 26 ; 36) et la face arrière est en inverse entre la haute tension positive V_{out} et la masse. Le circuit est alors convenablement isolé.

Toutefois, il est possible que de façon transitoire la tension V_{out} appliquée à la métallisation de face arrière 3 devienne négative, par exemple par suite d'une commutation ou de parasites. Alors, la diode d'isolement 50 illustrée en figure 3A est polarisée en direct. Il en résulte de nombreux inconvénients bien connus, à savoir :

- une circulation de courants parasites importants dans la zone logique ou de signal,
- une consommation élevée sur l'alimentation de la partie signal,
- un risque de latch-up d'éventuelles structures CMOS contenues dans le ou les caissons logiques,
- un changement éventuel d'état de certains circuits logiques tels que des points mémoires, des compteurs, etc.

Pour pallier ces inconvénients, on a proposé dans l'art antérieur de relier le potentiel d'isolement V_{iso} à la masse

non plus directement mais par l'intermédiaire d'une diode 51, comme cela est représenté en figure 3B. On bloque donc ainsi normalement la circulation de courant entre la région d'isolement et la face arrière du circuit intégré quand la tension V_{out} sur cette face arrière s'inverse. Toutefois, cette solution présente de nombreux inconvénients :

- la diode 51 n'est pas facile à intégrer ;

- l'insertion de cette diode 51 rajoute un seuil de diode (environ 0,6 volts) sur toutes les tensions d'entrée/sortie de la partie logique ; il en résulte par exemple que cette partie logique peut ne plus être compatible avec des signaux de commande de type TTL ;

- le circuit risque de ne plus fonctionner quand V_{out} est négatif, V_{iso} étant alors à un potentiel flottant ; et

- comme l'illustrent les figures 1 et 2, il existe un transistor bipolaire parasite PNP Qp1 dont le collecteur correspond à la région d'isolement 26 ou 36, dont l'émetteur correspond au caisson 15 des transistors MOS de puissance, et dont la base correspond au substrat 1 du circuit intégré. Quand V_{out} devient négatif, cet élément, disposé comme l'illustre la figure 3B en parallèle sur la diode 51, risque de se mettre en conduction et annule alors l'effet de cette diode 51.

Ainsi, un objet de la présente invention est de prévoir un circuit d'isolement intégré dans un circuit monolithique du type de ceux illustrés en figures 1 et 2 et permettant de maintenir l'isolement et le bon fonctionnement des parties logiques du circuit même quand la haute tension positive s'inverse.

Pour atteindre cet objet, la présente invention prévoit une structure intégrée, dite circuit d'isolation dynamique, permettant de connecter automatiquement les régions d'isolement ou bien à la masse quand la haute tension de face arrière du circuit intégré est positive par rapport à la masse ou bien à cette tension de face arrière quand celle-ci devient négative par rapport à la masse.

Plus particulièrement, la présente invention prévoit un circuit d'isolation dynamique faisant partie d'un circuit intégré monolithique comprenant des transistors latéraux dont les bornes sont accessibles par la face avant du circuit et des transistors verticaux dont une borne de puissance correspond à la face arrière, les transistors latéraux étant isolés, individuellement ou en groupes, par une région d'isolement reliée à un potentiel dit potentiel d'isolement, ces transistors latéraux étant connectés à des tensions d'une première polarité par rapport à une tension de référence, la borne de puissance connectée à la face arrière étant également normalement à un potentiel de la première polarité par rapport à la tension de référence. Ce circuit comprend des moyens de détection du signe du potentiel de la face arrière par rapport à la tension de référence, des premiers moyens de commutation comprenant au moins un transistor latéral pour relier le potentiel d'isolement au potentiel de référence quand le potentiel de la face arrière est de la première polarité par rapport au potentiel de référence, et des seconds moyens de commutation comprenant au moins un transistor vertical pour relier le potentiel d'isolement au potentiel de la face arrière quand le potentiel de la face arrière est de la deuxième polarité par rapport au potentiel de référence.

Selon un mode de réalisation de la présente invention, le potentiel de référence est la masse, la face arrière du circuit intégré correspond à une couche de type N^+ et la région d'isolement est de type P, la première polarité étant la polarité positive.

Selon un mode de réalisation de la présente invention, les moyens de détection du signe du potentiel de la face arrière par rapport à la masse comprennent un transistor vertical NPN dont le collecteur est relié à la face arrière, la base est polarisée à une tension positive déterminée inférieure à la tension base-émetteur à l'état passant d'un transistor NPN, et l'émetteur est relié à la tension d'alimentation positive normale des transistors latéraux par l'intermédiaire d'un élément de charge.

Selon un mode de réalisation de la présente invention, les moyens de détection du signe du potentiel de la face arrière par rapport à la masse comprennent un transistor VDMOS à canal N connecté à un transistor NMOS latéral dont l'autre borne principale est reliée à la tension d'alimentation positive normale des transistors latéraux par l'intermédiaire d'un élément de charge ; la grille du transistor VDMOS à canal N étant polarisée à la tension d'alimentation positive des transistors latéraux et la grille du transistor NMOS latéral étant polarisée à une valeur peu supérieure à sa tension de seuil.

Selon un mode de réalisation de la présente invention, les premiers moyens de commutation comprennent un transistor MOS canal N à enrichissement dont la source est reliée au potentiel de référence, dont le drain est connecté aux régions d'isolement et dont la grille est commandée par les moyens de détection de signe, le substrat dudit transistor MOS étant de préférence relié au potentiel de référence.

Selon un mode de réalisation de la présente invention, les seconds moyens de commutation comprennent un transistor bipolaire vertical NPN dont l'émetteur est connecté à la face arrière du substrat, dont le collecteur est connecté aux régions d'isolement et dont la base est commandée à travers un dispositif inverseur par les moyens de détection de signe.

Selon un mode de réalisation de la présente invention, les seconds moyens de commutation comprennent un transistor MOS vertical à canal N dont le drain est connecté à la face arrière, dont la source est connectée au potentiel d'isolement et dont la grille est commandée à travers un inverseur par les moyens de détection de signe.

Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante de modes de réalisation particuliers faite en relation avec les figures jointes parmi lesquelles :

les figures 1 à 3B, décrites précédemment, étaient destinées à illustrer l'état de la technique et le problème que la présente invention vise à résoudre ; parmi ces figures, les figures 1 et 2 représentent des structures classiques de circuits intégrés à transistors latéraux et verticaux et les figures 3A et 3B des schémas équivalents de l'isolement des caissons logiques ;

la figure 4 illustre la fonction que le circuit selon la présente invention accomplit ;

la figure 5 représente un exemple schématique de détecteur de polarité ;

la figure 6 représente un exemple plus détaillé de détecteur de polarité ;

la figure 7 représente un autre mode de réalisation de détecteur de polarité ;

la figure 8 représente les éléments principaux d'un mode de réalisation de circuit selon la présente invention ;

la figure 9 représente de façon un peu plus détaillée les éléments principaux d'un mode de réalisation de circuit selon la présente invention ; et

la figure 10 représente de façon schématique un exemple d'intégration d'un circuit selon la présente invention.

Comme le représente la figure 4, un circuit selon la présente invention comprend un détecteur de polarité D pour indiquer si le potentiel sur la face arrière d'un circuit intégré tel que celui des figures 1 et 2, comprenant des composants verticaux et latéraux, est positif ou négatif par rapport à la tension de référence du circuit, habituellement la masse, GND. Selon le résultat de la comparaison fournie par le détecteur D, la tension V_{iso} appliquée aux régions d'isolement (25, 26 ; 36) est ou bien la masse GND, connectée par l'intermédiaire d'un premier commutateur S1, ou bien la tension de face arrière V_{out} connectée par l'intermédiaire d'un second commutateur S2. Un inverseur I permet de commander de façon opposée les commutateurs S1 et S2. Ainsi, le potentiel d'isolement V_{iso} est toujours relié au

potentiel le plus négatif du circuit par l'intermédiaire d'un commutateur à faible impédance et le fonctionnement des circuits logiques continue à être satisfaisant quels que soient les parasites négatifs éventuels sur la face arrière.

Exemples de réalisation du détecteur de polarité de face arrière

Un premier mode de réalisation du détecteur D est représenté de façon schématique en figure 5. Il comprend un transistor NPN vertical Q1, par exemple du type de celui représenté à gauche de la figure 2. Toutefois, ce transistor est utilisé en considérant que le collecteur a une fonction d'émetteur et l'émetteur une fonction de collecteur. Comme le représente la figure 2, le collecteur est relié par construction à la tension de face arrière V_{out}. L'émetteur A, qui constitue la borne de sortie, est relié à la tension d'alimentation des circuits logiques, + VCC, par l'intermédiaire d'une résistance de charge R_C qui peut par exemple être un transistor MOS déplété.

Selon l'invention, la base du transistor Q1 est connectée à une source de tension V_b référencée à la masse, GND, et d'une valeur inférieure à la tension de conduction base-émetteur (VBE) d'un transistor NPN, soit une tension inférieure à 0,6 volt, par exemple 0,2 volt. Ainsi, tant que la tension V_{out} est positive, le transistor Q1 est bloqué et le point A est au potentiel VCC (par exemple 5 à 15 V). Par contre, dès que la tension V_{out} devient suffisamment négative pour que la tension entre base et émetteur (V_b - V_{out}) du transistor Q1 devienne égale à une tension de seuil de diode (VBE), le transistor Q1 devient passant et le point A suit sensiblement le potentiel V_{out}. Ainsi, on obtient sur la borne de sortie A du détecteur un signal sensiblement à la tension VCC quand V_{out} est positif et un signal sensiblement à V_{out} quand V_{out} est négatif (plus négatif que 200 mV - VBE).

La figure 6 représente un exemple de schéma plus détaillé du circuit de la figure 5. Dans cette figure, on a symbolisé avec un trait vertical supplémentaire les transistors MOS à canal N déplétés. Le circuit de fourniture de la tension V_b (par exemple 200 millivolts) comprend quatre transistors MOS en série, trois transistors MOS déplétés M1, M2, M3 et un transistor MOS enrichi M4, connectés entre la tension VCC et la masse. Les grilles des transistors M1, M2 et M4 sont interconnectées et reliées à la connexion drain/source D4 des transistors M3 et M4. La grille du transistor M3 est reliée à la connexion drain/source D2 des transistors M1 et M2.

Le transistor M1 est un montage "cascode" qui génère à la source de M1 (point D2) une tension quasi-indépendante de la tension d'alimentation VCC. La cellule (M2, M3) est un circuit de génération de tension de référence du type "lambda cell" qui génère entre D3 et D4 une différence de potentiel V_b peu dépendante de la différence de potentiel V(D2) - V(D4). Le transistor M4 est un transistor enrichi à forte transconductance, dont le drain D4 se polarise à une tension peu différente de sa tension de seuil V_{TE}. La tension au point D3 s'établit donc à la valeur $V_{TE} + V_b$.

La tension $V_b + V_{TE}$ au point D3 est appliquée à un circuit amplificateur de courant comprenant en série des transistors M5 et M6, le transistor M5 étant un transistor NMOS enrichi identique au transistor M4, et le transistor M6 étant un transistor NMOS déplété dont la grille est reliée à la source. La source du transistor M6 est reliée à la masse et le drain du transistor M5 est reliée à VCC. On obtient donc au point de connexion drain/source des transistors M5 et M6 la tension V_b que l'on veut appliquer à la base du transistor Q1 connecté, comme cela est représenté en figure 5, en série avec une résistance R_C réalisée sous forme d'un transistor MOS déplété dont la grille est reliée au drain.

Un autre exemple de réalisation du détecteur D est illustré en figure 7. Ce circuit comprend entre la tension VCC et la masse un transistor MOS déplété M11 et un transistor MOS enrichi M12. Les grilles des transistors M11 et M12 sont reliées ensemble à la connexion drain/source de ces transistors. On a donc sur cette connexion drain/source une tension proche de la tension de seuil V_{TE} d'un transistor MOS enrichi à canal N (le transistor M12). Ce circuit comprend d'autre part, entre la tension VCC et la face arrière (V_{out}), un transistor MOS à canal N déplété M13, un transistor MOS à canal N enrichi M14 et un transistor MOS à canal N enrichi de type vertical (VDMOS) M15. La connexion entre les transistors M14 et M15 est désignée par la référence B. La grille du transistor M13 est reliée à la connexion drain/source des transistors M13 et M14 et constitue la borne de sortie A du détecteur. La grille du transistor M14 est reliée à la connexion drain/source des transistors M11 et M12, c'est-à-dire qu'elle est à un potentiel proche de V_{TE}. La grille du transistor VDMOS M15 est au potentiel VCC.

Le fonctionnement de ce circuit est le suivant. Lorsque V_{out} est positif, la tension au point B est limitée à VCC moins la tension de seuil du VDMOS M15, c'est à dire VCC - VT_{VDMOS}. La tension de grille du transistor M14 étant alors inférieure à la tension source, celui-ci est bloqué et la tension au point A est égale à VCC.

Lorsque V_{out} devient négatif, le transistor M15 est passant et la tension au point B est sensiblement égale à V_{out}. Ainsi, le transistor M14 conduit un courant suffisant pour que la tension au point A chute à une tension très proche de V_{out}.

Exemple de réalisation des commutateurs

La figure 8 reprend de façon un peu plus détaillée le schéma d'ensemble de la présente invention précédemment représenté sous forme de blocs en figure 4.

Dans cette représentation, le commutateur S1 permettant d'établir la liaison entre la tension d'isolement V_{iso} et la masse GND quand V_{out} est positif est réalisé par un transistor MOS latéral, et le commutateur S2 permettant d'établir la liaison entre la tension V_{iso} et le potentiel V_{out} quand V_{out} est négatif est réalisé par un transistor NPN vertical S2. Les autres références de ce circuit sont identiques à celles précédemment utilisées en figure 4. On notera que l'inverseur I est de préférence alimenté entre VCC et le potentiel V_{iso}, c'est-à-dire GND ou V_{out} selon le signe de V_{out}. Ceci permet de mieux garantir son fonctionnement dans le cas où V_{out} est négatif.

La figure 9 reprend de façon un peu plus détaillée le circuit de la figure 8 étant donné qu'en pratique il faudra prévoir des étages amplificateurs et adaptateurs pour faire fonctionner le circuit de façon satisfaisante.

La borne A de sortie du détecteur D sur laquelle est disponible le potentiel V_{out} (quand V_{out} est négatif) ou VCC (quand V_{out} est positif) est reliée à deux inverseurs 61 et 62.

Entre la tension d'alimentation VCC et le potentiel V_{iso} sont disposés en série des transistors MOS M21 et M22. Entre la tension d'alimentation VCC et la tension V_{out} sont disposés en série un transistor MOS M23, un transistor MOS M24 et un transistor NPN Q2. La sortie de l'inverseur 61 commande les grilles des transistors M21 et M24. La sortie de l'inverseur 62 commande les grilles des transistors M22 et M23. Le point de connexion drain/source des transistors M21 et M22 commande les bases des transistors bipolaires Q2 et S2, qui sont tous les deux des transistors bipolaires NPN verticaux. Le point de connexion drain/source des transistors MOS M23 et M24 commande la grille du transistor MOS latéral S1.

Les transistors M21 et M22 constituent un premier étage d'amplificateur suiveur alors que les transistors M23, M24 et Q2 constituent un deuxième étage d'amplificateur suiveur. Ces étages sont destinés à assurer les courants de commande nécessaires et une commutation suffisamment rapide des commutateurs S1 et S2.

Quand le point A est au potentiel VCC (V_{out} positif), les transistors M22 et M23 sont passants, les transistors M21 et M24 étant bloqués. Il en résulte que les transistors NPN Q2 et S2 sont bloqués tandis que le transistor S1 est passant. Le potentiel V_{iso} est alors bien fixé à la masse, GND, par l'intermédiaire du transistor S1.

Quand le point A est au potentiel négatif V_{out}, l'état des transistors MOS M21, M22, M23, M24 s'inverse, la grille du commutateur S1 est à V_{out} et la base des transistors bipolaires Q2 et S2 est à V_{out} + VBE, c'est-à-dire que ce dernier transistor est rendu passant et que le potentiel V_{iso} est fixé au potentiel V_{out}, ce qui est le résultat recherché.

Il résulte de ce qui précède, qu'en fait, la tension V_{iso} ne sera pas strictement égale à celle de la masse ou à celle de V_{out} mais qu'elle n'en différera que d'une tension de quelques dizaines de millivolts, correspondant par exemple à la tension collecteur/émetteur à la saturation d'un transistor bipolaire ou à la chute de tension drain/source d'un transistor MOS à l'état passant.

L'homme de l'art notera que ce qui précède ne constitue qu'un exemple de réalisation de la présente invention. En ce qui concerne le transistor S1, celui-ci a été décrit précédemment comme un transistor MOS ; on pourrait également utiliser un transistor bipolaire à condition de modifier de façon appropriée son circuit de commande. De même, pour le transistor S2, on pourrait prévoir un transistor MOS vertical au lieu d'un transistor NPN vertical. Plus généralement, la présente invention peut être utilisée de la même façon avec des transistors respectivement à canal P pour les MOS latéraux et PNP pour les bipolaires verticaux.

La figure 10 représente de façon simplifiée un exemple d'intégration d'un circuit selon la présente invention, correspondant à la figure 8.

La figure 10 représente, de droite à gauche :

- un transistor NPN vertical S2 dont la base B reçoit la sortie du détecteur D,

- un caisson logique tel que le caisson 30 de la figure 2, dont les régions d'isolement sont reliées à la tension V_{iso},

- un transistor MOS à canal N latéral constituant le commutateur S1, et

- une cellule de transistor VDMOS telle que la cellule 10 des figures 1 et 2.

Comme cela a été exposé précédemment, l'émetteur du transistor NPN vertical S2 est relié au potentiel V_{iso} qui est également relié au drain du transistor S1 dont la source est reliée à la masse, prise par exemple comme connexion de source de la cellule de VDMOS 10.

On notera que, selon une caractéristique supplémentaire de la présente invention, on préfère relier la région d'isolement P^+ du transistor MOS latéral S1 à la masse et non pas à V_{iso}. En effet, en ce cas, quand V_{out} devient négatif, le transistor bipolaire NPN parasite QP2 illustré en figure 10 devient conducteur et confirme la connexion de V_{iso} à V_{out}.

REVENDICATIONS

1. Circuit d'isolation dynamique faisant partie d'un circuit intégré monolithique comprenant des transistors latéraux dont les bornes sont accessibles par la face avant du circuit et des transistors verticaux dont une borne de puissance correspond à la face arrière, les transistors latéraux étant isolés, individuellement ou en groupes, par une région d'isolement (26 ; 36) reliée à un potentiel dit potentiel d'isolement (V_{iso}), ces transistors latéraux étant connectés à des tensions d'une première polarité par rapport à une tension de référence (GND), la borne de puissance connectée à la face arrière (3) étant également normalement à un potentiel (V_{out}) de la première polarité par rapport à la tension de référence, caractérisé en ce qu'il comprend :

des moyens de détection (D) du signe du potentiel de la face arrière par rapport à la tension de référence,

des premiers moyens de commutation (S1) comprenant au moins un transistor latéral pour relier le potentiel d'isolement au potentiel de référence quand le potentiel de la face arrière est de la première polarité par rapport au potentiel de référence,

des seconds moyens de commutation (S2) comprenant au moins un transistor vertical pour relier le potentiel d'isolement au potentiel de la face arrière quand le potentiel de la face arrière est de la deuxième polarité par rapport au potentiel de référence.

2. Circuit d'isolation dynamique selon la revendication 1, caractérisé en ce que le potentiel de référence est la masse, la face arrière du circuit intégré correspond à une couche de type N^+ et la région d'isolement est de type P, la première polarité étant la polarité positive.

3. Circuit d'isolation dynamique selon la revendication 2, caractérisé en ce que les moyens (D) de détection du signe du potentiel de la face arrière par rapport à la masse comprennent un transistor vertical NPN (Q1) dont le collecteur est relié à la face arrière, la base est polarisée à une tension positive déterminée (V_b) inférieure à la tension base-émetteur à l'état passant (VBE) d'un transistor NPN, et l'émetteur est relié à la tension d'alimentation positive normale (VCC) des transistors latéraux par l'intermédiaire d'un élément de charge (R_C).

4. Circuit d'isolation dynamique selon la revendication 2, caractérisé en ce que les moyens (D) de détection du signe du potentiel de la face arrière par rapport à la masse comprennent un transistor VDMOS à canal N (M15) connecté à un transistor NMOS latéral (M14) dont l'autre borne principale est reliée à la tension d'alimentation positive normale des transistors latéraux par l'intermédiaire d'un élément de charge (M13) ; la grille du transistor VDMOS à canal N (M15) étant polarisée à la tension d'alimentation positive des transistors latéraux (VCC) et la grille du transistor NMOS latéral (M14) étant polarisée à une valeur peu supérieure à sa tension de seuil (V_T).

5. Circuit d'isolation dynamique selon la revendication 2, caractérisé en ce que les premiers moyens de commutation (S1) comprennent un transistor MOS canal N à enrichissement dont la source est reliée au potentiel de référence, dont le drain est connecté aux régions d'isolement et dont la grille est commandée par les moyens de détection de signe (D).

6. Circuit d'isolation dynamique selon la revendication 5, caractérisé en ce que le substrat dudit transistor MOS est relié au potentiel de référence (GND).

7. Circuit d'isolation dynamique selon la revendication 2, caractérisé en ce que les seconds moyens de commutation (S2) comprennent un transistor bipolaire vertical NPN dont l'émetteur est connecté à la face arrière du substrat, dont le collecteur est connecté aux régions d'isolement et dont la base est commandée à travers un dispositif inverseur par les moyens de détection de signe (D).

8. Circuit d'isolation dynamique selon la revendication 2, caractérisé en ce que les seconds moyens de commutation (S2) comprennent un transistor MOS vertical à canal N dont le drain est connecté à la face arrière, dont la source est connectée au potentiel d'isolement et dont la grille est commandée à travers un inverseur par les moyens de détection de signe (D).

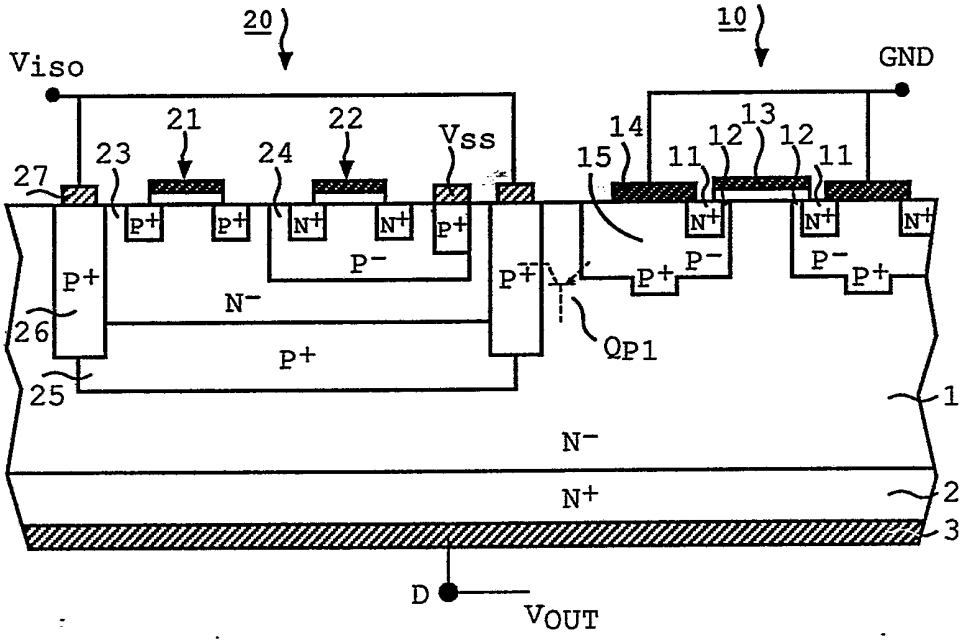


Figure 1

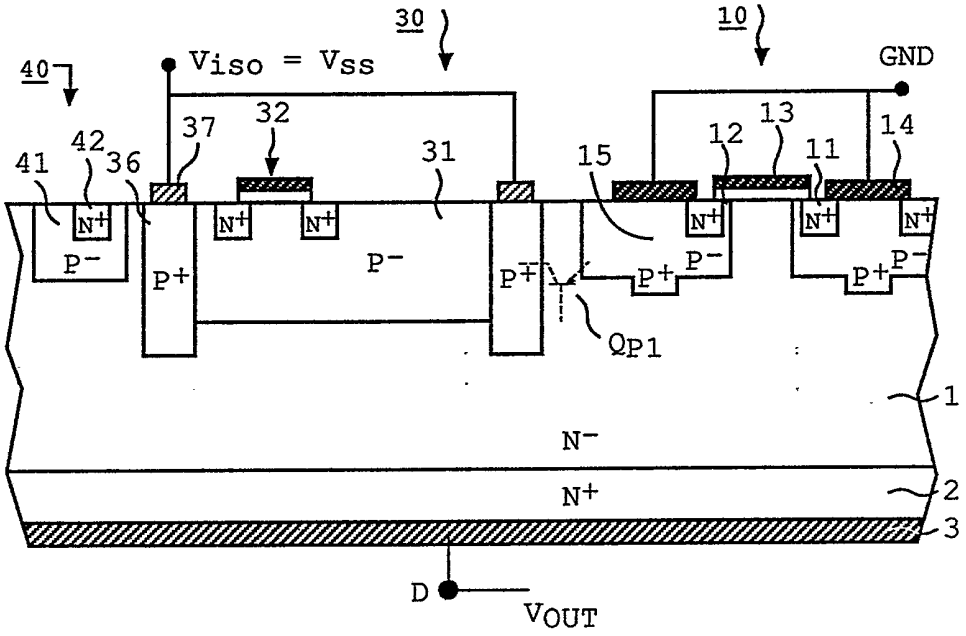


Figure 2

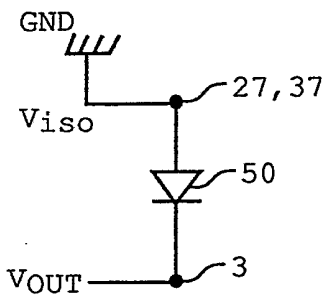


Figure 3A

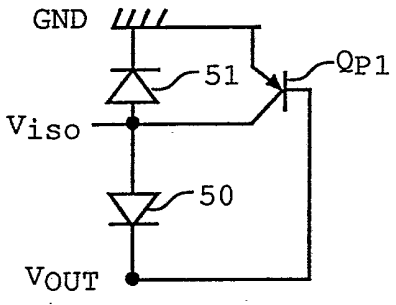


Figure 3B

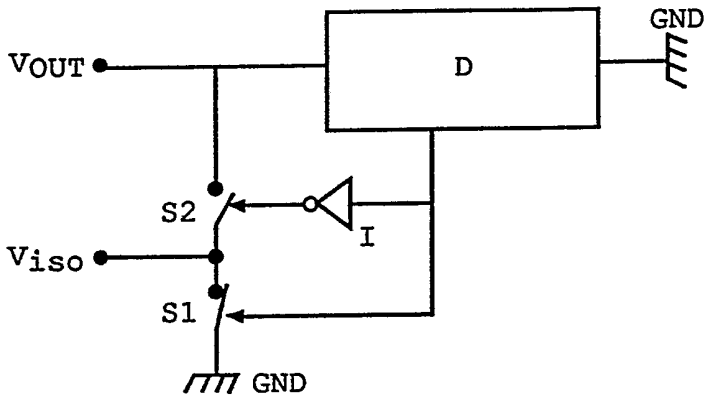


Figure 4

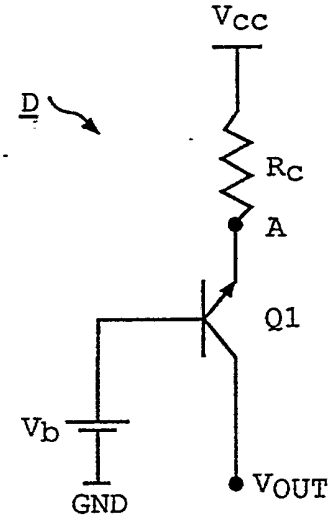


Figure 5

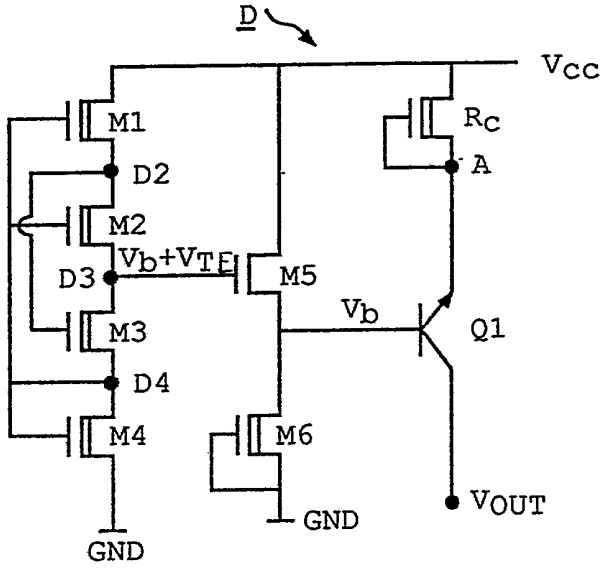


Figure 6

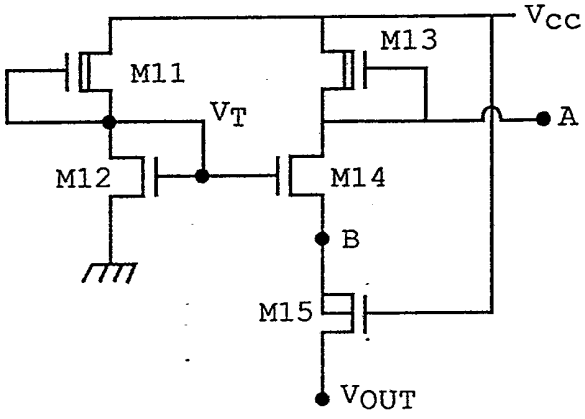


Figure 7

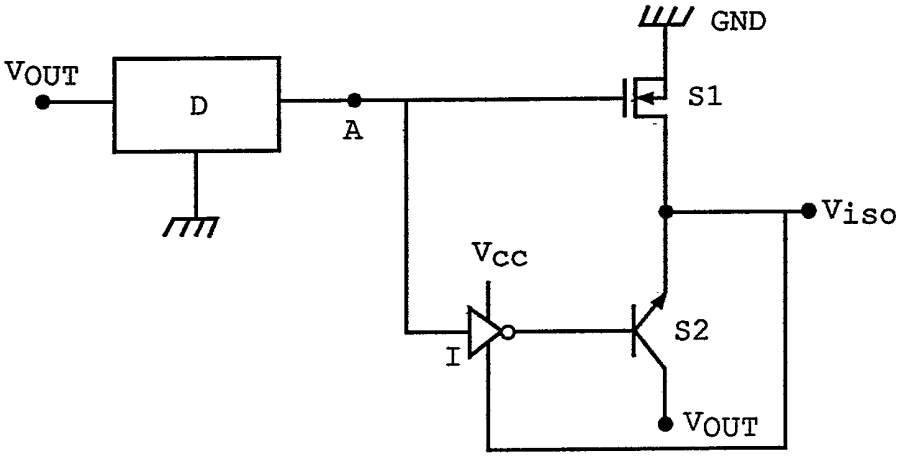


Figure 8

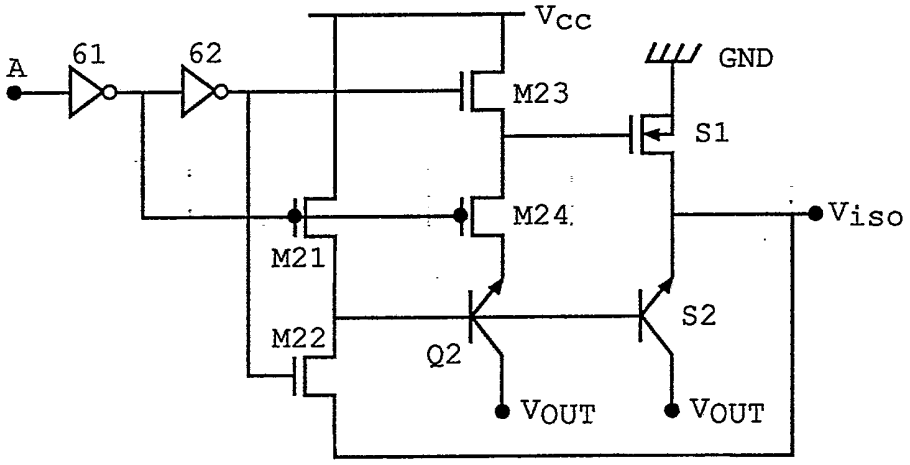


Figure 9

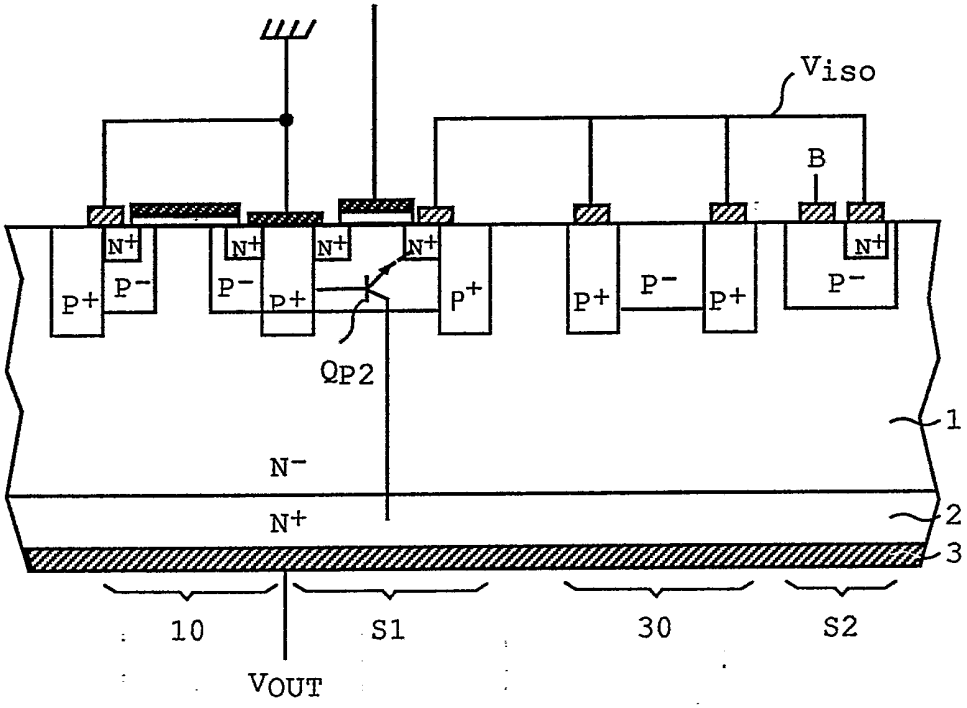


Figure 10

REPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

2655196

N° d'enregistrement national

FR 8916144
FA 438737

RAPPORT DE RECHERCHE

établi sur la base des dernières revendications déposées avant le commencement de la recherche

DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendications concernées de la demande examinée
A	DE-A-3 507 181 (IC-HAUS GmbH) * Revendication 1; pages 3-4; figures 1-2 * ---	1-3
A	US-A-4 303 958 (R.N. ALLGOOD) * Colonne 1, lignes 43-58; figures 2-3 * -----	1

DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)

H 01 L
H 03 K

Date d'achèvement de la recherche: 20-08-1990

Examinateur: FRANSEN L.J.L.

CATEGORIE DES DOCUMENTS CITES

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.
D : cité dans la demande
L : cité pour d'autres raisons
.....
& : membre de la même famille, document correspondant

EPO FORM 1503 03.82 (P0413)