(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월25일
(11) 등록번호 10-1194602
(24) 등록일자 2012년10월19일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G11C 19/28* (2006.01)
(21) 출원번호 10-2010-0092910
(22) 출원일자 2010년09월24일
심사청구일자 2010년09월24일
(65) 공개번호 10-2011-0033807
(43) 공개일자 2011년03월31일
(30) 우선권주장
200910093182.0 2009년09월25일 중국(CN)
(56) 선행기술조사문헌
KR1020070082139 A
KR1020080057601 A
KR100281336 B1
전체 청구항 수 : 총 10 항

(73) 특허권자
베이징 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 베이징 100176 비디에이 시환중로 8호
(72) 발명자
후 밍
중국 베이징 100176 비디에이 시환중로 8 호
(74) 대리인
리앤목특허법인

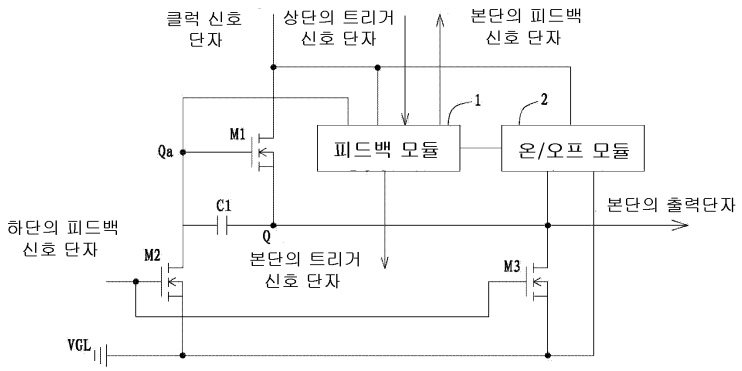
심사관 : 이성현

(54) 발명의 명칭 **쉬프트 레지스터 및 게이트 라인 구동 장치**

(57) 요 약

본 발명은 쉬프트 레지스터 및 게이트 라인 구동 장치를 개시하고, 액정 디스플레이의 기술 분야에 관한 것으로서 게이트 라인의 온 에러를 줄여 화상 품질을 개선하기 위해 얻어진 것이다. 상기 쉬프트 레지스터는 제1 박막 트랜지스터와, 제2 박막 트랜지스터와, 제3 박막 트랜지스터와, 콘덴서와, 피드백 모듈과, 온/오프 모듈을 구비한다. 상기 피드백 모듈은 상단의 피드백 모듈의 트리거 신호와 클럭 신호를 수신하고, 풀업 노드가 되는 제1 노드의 레벨을 풀업하고, 또한 상단의 쉬프트 레지스터에 피드백 신호를 출력하고, 하단의 피드백 모듈에 트리거 신호를 출력한다. 상기 온/오프 모듈은 본단의 쉬프트 레지스터가 동작하지 않을 때 본단의 쉬프트 레지스터의 출력 단자를 로우 레벨로 유지한다. 본 발명은 액정 패널에 적용할 수 있다.

대 표 도 - 도4



특허청구의 범위

청구항 1

쉬프트 레지스터로서,

게이트가 풀업 노드가 되는 제1 노드에 접속되고, 소스가 클럭 신호 단자에 접속되고, 드레인이 본단의 출력 단자에 접속되는 제1 박막 트랜지스터와,

게이트가 하단의 피드백 신호 단자에 접속되고, 소스가 상기 제1 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제2 박막 트랜지스터와,

게이트가 하단의 피드백 신호 단자에 접속되고, 소스가 풀다운 노드가 되는 제2 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되고, 상기 제2 노드가 본단의 출력 단자에 접속되는 제3 박막 트랜지스터와,

상기 제1 노드와 본단의 출력 단자 사이에 접속되는 콘덴서와,

상단의 트리거 신호 단자와 클럭 신호 단자와 상기 제1 노드 사이에 접속되고, 또한 본단의 피드백 신호 단자와 본단의 트리거 신호 단자에 접속되는 피드백 모듈과,

클럭 신호 단자, 상기 피드백 모듈과 본단의 출력 단자에 접속되고, 또한 로우 레벨 신호 단자에 접속되는 온/오프 모듈을 구비하고,

상기 피드백 모듈은 상단의 피드백 모듈의 트리거 신호와 클럭 신호를 수신하여 상기 제1 노드의 레벨을 풀업하고, 또한 상단의 쉬프트 레지스터에 피드백 신호를 출력하고, 하단의 피드백 모듈에 트리거 신호를 출력하고, 상기 온/오프 모듈은 본단의 쉬프트 레지스터가 동작하지 않을 때 본단의 쉬프트 레지스터의 출력 단자를 로우 레벨로 유지하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 2

제1항에 있어서, 상기 피드백 모듈은,

게이트가 상단의 피드백 모듈의 제1 트리거 신호 단자에 접속되고, 소스가 제5 박막 트랜지스터의 게이트에 접속되고, 드레인이 클럭 신호 단자에 접속되는 제4 박막 트랜지스터와,

게이트가 제4 박막 트랜지스터의 소스에 접속되고, 소스가 상기 제1 노드에 접속되고, 드레인이 상단의 피드백 모듈의 제2 트리거 신호 단자에 접속되는 제5 박막 트랜지스터와,

게이트가 상기 제1 노드에 접속되고, 소스가 클럭 신호 단자에 접속되고, 드레인이 본단의 피드백 노드가 되는 제3 노드에 접속되는 제6 박막 트랜지스터를 더 구비한 것을 특징으로 하는 쉬프트 레지스터.

청구항 3

제2항에 있어서, 상기 온/오프 모듈은,

게이트와 드레인이 함께 접속되어 클럭 신호 단자에 접속되고, 소스가 제2 온/오프 모듈과 제3 온/오프 모듈에 접속되는 제7 박막 트랜지스터와, 게이트가 클럭 신호 단자에 접속되고, 소스가 인터록(interlocking) 노드가 되는 제4 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제8 박막 트랜지스터와, 게이트와 소스가 함께 접속되어 클럭 신호 단자에 접속되고, 드레인이 상기 제4 노드에 접속되는 제9 박막 트랜지스터를 가지고, 후술되는 제1 온/오프 모듈, 제2 온/오프 모듈 및 제3 온/오프 모듈을 제어하는 제1단의(class-1) 온/오프 모듈과,

게이트가 클럭 신호 단자에 접속되고, 소스가 상기 제2 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제10 박막 트랜지스터와, 게이트가 상기 제4 노드에 접속되고, 소스가 상기 제2 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제11 박막 트랜지스터를 가지고, 본단의 쉬프트 레지스터가 동작하지 않을 때 본단의 출력 단자를 로우 레벨로 유지하는 제1 온/오프 모듈과,

게이트가 제7 박막 트랜지스터의 소스에 접속되고, 소스가 상기 제1 노드에 접속되고, 드레인이 상단의 피드백 모듈로 접속되는 제12 박막 트랜지스터와, 게이트가 상기 제4 노드에 접속되고, 소스가 상기 제2 노드에 접속되

고, 드레인이 상기 제1 노드에 접속되는 제13 박막 트랜지스터를 가지고, 본단의 쉬프트 레지스터가 동작하지 않을 때 상기 제1 노드를 로우 레벨로 유지하는 제2 온/오프 모듈과,

게이트가 제7 박막 트랜지스터의 소스에 접속되고, 소스가 상기 제3 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제14 박막 트랜지스터와, 게이트가 상기 제4 노드에 접속되고, 소스가 상기 제3 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제15 박막 트랜지스터를 가지고, 본단의 쉬프트 레지스터가 동작하지 않을 때 상기 제3 노드를 로우 레벨로 유지하는 제3 온/오프 모듈을 구비한 것을 특징으로 하는 쉬프트 레지스터.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 게이트가 온/오프 신호 단자에 접속되고, 소스가 상기 제1 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제16 박막 트랜지스터를 더 구비한 것을 특징으로 하는 쉬프트 레지스터.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서, 게이트가 온/오프 신호 단자에 접속되고, 소스가 리셋 신호 단자에 접속되고, 드레인이 상기 제2 노드에 접속되는 제17 박막 트랜지스터를 더 구비한 것을 특징으로 하는 쉬프트 레지스터.

청구항 6

직렬로 접속된 여러 개의 쉬프트 레지스터들을 구비한 게이트 라인 구동 장치로서,

상기 쉬프트 레지스터는,

게이트가 풀업 노드가 되는 제1 노드에 접속되고, 소스가 클럭 신호 단자에 접속되고, 드레인이 본단의 출력 단자에 접속되는 제1 박막 트랜지스터와,

게이트가 하단의 피드백 신호 단자에 접속되고, 소스가 상기 제1 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제2 박막 트랜지스터와,

게이트가 하단의 피드백 신호 단자에 접속되고, 소스가 풀다운 노드가 되는 제2 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제3 박막 트랜지스터와,

상기 제1 노드와 본단의 출력 단자 사이에 접속되는 콘덴서와,

상단의 트리거 신호 단자와 클럭 신호 단자와 상기 제1 노드 사이에 접속되고 또한 본단의 피드백 신호 단자와 본단의 트리거 신호 단자에 접속되는 피드백 모듈과,

클럭 신호 단자와 상기 피드백 모듈과 본단의 출력 단자 사이에 접속되고, 또한 로우 레벨 신호 단자에 접속되는 온/오프 모듈을 구비하고,

상기 피드백 모듈은 상단의 피드백 모듈의 트리거 신호와 클럭 신호를 수신하여 상기 제1 노드의 레벨을 풀업하고, 또한 상단의 쉬프트 레지스터에 피드백 신호를 출력하고, 하단의 피드백 모듈에 트리거 신호를 출력하고, 상기 온/오프 모듈은 본단의 쉬프트 레지스터가 동작하지 않을 때 본단의 쉬프트 레지스터의 출력 단자를 로우 레벨로 유지하는 것을 특징으로 하는 게이트 라인 구동 장치.

청구항 7

제6항에 있어서, 상기 피드백 모듈은,

게이트가 상단의 피드백 모듈의 제1 트리거 신호 단자에 접속되고, 소스가 제5 박막 트랜지스터의 게이트에 접속되고, 드레인이 클럭 신호 단자에 접속되는 제4 박막 트랜지스터와,

게이트가 제4 박막 트랜지스터의 소스에 접속되고, 소스가 상기 제1 노드에 접속되고, 드레인이 상단의 피드백 모듈의 제2 트리거 신호 단자에 접속되는 제5 박막 트랜지스터와,

게이트가 상기 제1 노드에 접속되고, 소스가 클럭 신호 단자에 접속되고, 드레인이 본단의 피드백 노드가 되는 제3 노드에 접속되는 제6 박막 트랜지스터를 더 구비한 것을 특징으로 하는 게이트 라인 구동 장치.

청구항 8

제7항에 있어서, 상기 온/오프 모듈은,

게이트와 드레인이 함께 접속되어 클럭 신호 단자에 접속되고, 소스가 제2 온/오프 모듈과 제3 온/오프 모듈에 접속되는 제7 박막 트랜지스터와, 게이트가 클럭 신호 단자에 접속되고, 소스가 인터록 노드가 되는 제4 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제8 박막 트랜지스터와, 게이트와 소스가 함께 접속되어 클럭 신호 단자에 접속되고, 드레인이 상기 제4 노드에 접속되는 제9 박막 트랜지스터를 가지고, 후속되는 제1 온/오프 모듈, 제2 온/오프 모듈 및 제3 온/오프 모듈을 제어하는 제1단의 온/오프 모듈과,

게이트가 클럭 신호 단자에 접속되고, 소스가 상기 제2 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제10 박막 트랜지스터와, 게이트가 상기 제4 노드에 접속되고, 소스가 상기 제2 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제11 박막 트랜지스터를 가지고, 본단의 쉬프트 레지스터가 동작하지 않을 때 본단의 출력 단자를 로우 레벨로 유지하는 제1 온/오프 모듈과,

게이트가 제7 박막 트랜지스터의 소스에 접속되고, 소스가 상기 제1 노드에 접속되고, 드레인이 상단의 피드백 모듈로 접속되는 제12 박막 트랜지스터와, 게이트가 상기 제4 노드에 접속되고, 소스가 상기 제2 노드에 접속되고, 드레인이 상기 제1 노드에 접속되는 제13 박막 트랜지스터를 가지고, 본단의 쉬프트 레지스터가 동작하지 않을 때 상기 제1 노드를 로우 레벨로 유지하는 제2 온/오프 모듈과,

게이트가 제7 박막 트랜지스터의 소스에 접속되고, 소스가 상기 제3 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제14 박막 트랜지스터와, 게이트가 상기 제4 노드에 접속되고, 소스가 상기 제3 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제15 박막 트랜지스터를 가지고, 본단의 쉬프트 레지스터가 동작하지 않을 때 상기 제3 노드를 로우 레벨로 유지하는 제3 온/오프 모듈을 구비한 것을 특징으로 하는 게이트 라인 구동 장치.

청구항 9

제6항 내지 제8항 중 어느 한 항에 있어서, 상기 쉬프트 레지스터는,

게이트가 온/오프 신호 단자에 접속되고, 소스가 상기 제1 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제16 박막 트랜지스터를 더 구비한 것을 특징으로 하는 게이트 라인 구동 장치.

청구항 10

제6항 내지 제8항 중 어느 한 항에 있어서, 상기 쉬프트 레지스터는,

게이트가 온/오프 신호 단자에 접속되고, 소스가 리셋 신호 단자에 접속되고, 드레인이 상기 제2 노드에 접속되는 제17 박막 트랜지스터를 더 구비한 것을 특징으로 하는 게이트 라인 구동 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 액정 디스플레이의 기술 분야에 관한 것으로서, 특히 쉬프트 레지스터(shift register) 및 게이트 라인(gate line) 구동 장치에 관한 것이다.

배 경 기 술

[0002] 액정 디스플레이의 화소 어레이(pixel array)는 교차된(interlaced) 복수행의 게이트 라인과 복수열의 데이터 라인(data line)을 구비한다. 여러 개의 쉬프트 레지스터로 이루어진 게이트 라인 구동 장치는 화소 어레이의 복수행의 게이트 라인에 온/오프 신호를 제공함으로써 복수행의 게이트 라인을 순차적으로 온으로 스위칭되도록 제어하고, 또한 대응한 행의 데이터 라인에 의해 화소 어레이 중의 화소 전극에 충전하여 화상의 각 그레이 스케일(gray scale)의 표시에 필요한 계조 전압(gray voltage)을 형성하고 또한 각 프레임의 화상을 표시한다.

[0003] 도 1에 도시한 것처럼, 종래의 게이트 라인 구동 장치는 여러 개의 쉬프트 레지스터를 구비한다. 제N단의 쉬프트 레지스터의 출력(OUTN)은 제N-1단의 쉬프트 레지스터를 오프하도록 제N-1단의 쉬프트 레지스터로 피드백할 뿐만 아니라 그와 함께 제N+1단 쉬프트 레지스터의 트리거(trigger) 신호로서 해당 제N+1단의 쉬프트 레지스터에 출력된다. 그러나 도 2에 도시한 것처럼, 그 중의 일단의 쉬프트 레지스터의 출력을 다른 일단의 쉬프트 레

지스터의 트리거 신호로 할 경우에 출력 단자에 접속된 부하가 크기 때문에 입력 단자에서 방형파(square wave)에 접근한 신호는 출력 단자에서 지연이 발생한다. 지연이 큰 경우에 연속하는 두 행의 게이트 라인은 동시에 온되는 현상이 생김과 동시에 화소 어레이가 출력 단자에 간섭하기 때문에 출력 단자 신호의 안정성 저하를 초래한다. 그로써 리드/라이트 에러(read/write error)가 쉽게 생기기 때문에 화상의 품질에 영향을 준다.

[0004] 아울러 그 중의 일단의 쉬프트 레지스터의 출력을 다른 일단의 쉬프트 레지스터의 트리거 신호로 이용할 경우에 클럭 신호(CLK, CKLB)가 이 출력과 동기하여 트리거될 필요가 있다. 이와 같이 도 3에 도시한 것처럼, 클럭 신호(CLK, CKLB) 각각의 듀티비(duty ratio)는 50%로 유지될 필요가 있다. 이 듀티비에 의해 두 행의 게이트 라인 구동 동안에 리던던시 시간이 미리 남겨지지 않아 그 중 일단의 쉬프트 레지스터가 충분히 오프된 후에 다른 일단의 쉬프트 레지스터가 온되는 것을 보장할 수 없다. 또 이로써 연속하는 두 행의 게이트 라인이 동시에 온되어 신호의 크로스토크(crosstalk)가 쉽게 발생하기 때문에 마지막에 화상의 품질에 영향을 준다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하려고 하는 기술 과제는, 게이트 라인의 온 에러를 줄여 화상의 품질을 향상시킬 수 있는 쉬프트 레지스터를 제공하는 것이다.

과제의 해결 수단

[0006] 상기 기술 과제를 해결하기 위해 본 발명은 이하와 같은 기술안을 채용한다.

[0007] 쉬프트 레지스터는,

[0008] 게이트가 풀업 노드(pull-up node)가 되는 제1 노드에 접속되고, 소스가 클럭 신호 단자에 접속되고, 드레인이 본단(本端)(present stage)의 출력 단자에 접속되는 제1 박막 트랜지스터와,

[0009] 게이트가 하단(next stage)의 피드백 신호 단자에 접속되고, 소스가 상기 제1 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제2 박막 트랜지스터와,

[0010] 게이트가 하단의 피드백 신호 단자에 접속되고, 소스가 풀다운 노드(pull-down node)가 되는 제2 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제3 박막 트랜지스터와,

[0011] 상기 제1 노드와 본단의 출력 단자 사이에 접속되는 콘덴서와,

[0012] 상단(previous stage)의 트리거 신호 단자와 클럭 신호 단자와 상기 제1 노드 사이에 접속되고, 또한 본단의 피드백 신호 단자와 본단의 트리거 신호 단자에 접속되는 피드백 모듈과,

[0013] 클럭 신호 단자와 상기 피드백 모듈과 본단의 출력 단자 사이에 접속되고, 또한 로우 레벨 신호 단자에 접속되는 온/오프 모듈,을 구비하고,

[0014] 상기 피드백 모듈은 상단의 피드백 모듈의 트리거 신호와 클럭 신호를 수신하여 상기 제1 노드의 레벨을 풀업하고, 또한 상단의 쉬프트 레지스터에 피드백 신호를 출력하고, 하단의 피드백 모듈에 트리거 신호를 출력하고, 상기 온/오프 모듈은 본단의 쉬프트 레지스터가 동작하지 않을 때 본단의 쉬프트 레지스터의 출력 단자를 로우 레벨로 유지한다.

[0015] 본 발명이 제공한 쉬프트 레지스터는, 상기 피드백 모듈에 의해 상기 쉬프트 레지스터의 중간 신호를 피드백 신호로서 상단의 쉬프트 레지스터에 출력하고, 트리거 신호로서 하단의 쉬프트 레지스터에 출력한다. 반면 이와 같이 이 중간 신호가 부하를 구동할 필요가 없기 때문에 지연이 작고 또한 이 중간 신호가 화소 어레이에 간섭되지 않아 안정성이 한층 더 높아진다. 한편 상기 쉬프트 레지스터의 출력 신호를 상기 피드백 신호와 트리거 신호로 하지 않아 출력 신호와 클럭 신호가 동기를 취할 필요가 없기 때문에 클럭 신호의 듀티비를 줄이고 또한 두 행의 게이트 라인 구동 동안에 리던던시 시간이 미리 남겨진다. 상기 양쪽에서 연속한 두 행의 게이트 라인이 동시에 온되는 현상을 더욱 확실하게 방지하기 때문에 게이트 라인의 온 에러를 줄여 화상의 품질을 향상시킬 수 있다.

[0016] 본 발명이 해결하려고 하는 다른 기술 과제는 게이트 라인의 온 에러를 줄여 화상의 품질을 향상시킬 수 있는 게이트 라인 구동 장치를 제공하는 것이다.

[0017] 상기 다른 기술 과제를 해결하기 위해 본 발명은 이하와 같은 기술안을 채용한다.

[0018] 직렬로 접속된 여러 개의 쉬프트 레지스터들을 구비한 게이트 라인 구동 장치로서,

[0019] 상기 쉬프트 레지스터는,

[0020] 게이트가 풀업 노드가 되는 제1 노드에 접속되고, 소스가 클럭 신호 단자에 접속되고, 드레인이 본단의 출력 단자에 접속되는 제1 박막 트랜지스터와,

[0021] 게이트가 하단의 피드백 신호 단자에 접속되고, 소스가 상기 제1 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되는 제2 박막 트랜지스터와,

[0022] 게이트가 하단의 피드백 신호 단자에 접속되고, 소스가 풀다운 노드가 되는 제2 노드에 접속되고, 드레인이 로우 레벨 신호 단자에 접속되고, 상기 제2 노드가 본단의 출력 단자에 접속되는 제3 박막 트랜지스터와,

[0023] 상기 제1 노드와 본단의 출력 단자 사이에 접속되는 콘덴서와,

[0024] 상단의 트리거 신호 단자와 클럭 신호 단자와 상기 제1 노드 사이에 접속되고 또한 본단의 피드백 신호 단자와 본단의 트리거 신호 단자에 접속되는 피드백 모듈과,

[0025] 클럭 신호 단자, 상기 피드백 모듈과 본단의 출력 단자에 접속되고, 또한 로우 레벨 신호 단자에 접속되는 온/오프 모듈을 구비하고,

[0026] 상기 피드백 모듈은 상단의 피드백 모듈의 트리거 신호와 클럭 신호를 수신하여 상기 제1 노드의 레벨을 풀업하고, 또한 상단의 쉬프트 레지스터에 피드백 신호를 출력하고, 하단의 피드백 모듈에 트리거 신호를 출력하고, 상기 온/오프 모듈은 본단의 쉬프트 레지스터가 동작하지 않을 때 본단의 쉬프트 레지스터의 출력 단자를 로우 레벨로 유지한다.

발명의 효과

[0027] 본 발명이 제공한 게이트 라인 구동 장치에서, 쉬프트 레지스터에는 상기 피드백 모듈에 의해 상기 쉬프트 레지스터의 중간 신호를 피드백 신호로서 상단의 쉬프트 레지스터에 출력하고, 트리거 신호로서 하단의 쉬프트 레지스터에 출력한다. 이와 같이 이 중간 신호가 부하를 구동할 필요가 없기 때문에 지연이 작고 또한 이 중간 신호가 화소 어레이에 간섭되지 않아 안정성이 한층 더 높아진다. 한편 상기 쉬프트 레지스터의 출력 신호를 상기 피드백 신호와 트리거 신호로 하지 않아 출력 신호와 클럭 신호가 동기를 취할 필요가 없기 때문에 클럭 신호의 듀티비를 줄이고 또한 두 행의 게이트 라인 구동 동안에 리던던시 시간이 미리 남겨진다. 상기 양쪽에서 연속한 두 행의 게이트 라인이 동시에 온되는 현상을 더욱 확실하게 방지하기 때문에 게이트 라인의 온 에러를 줄여 화상의 품질을 향상시킬 수 있다.

도면의 간단한 설명

[0028] 도 1은 종래 기술에 관한 게이트 라인 구동 장치의 개략도이다.

도 2는 종래 기술에 관한 게이트 라인 구동에서의 입력 단자 신호와 출력 단자 신호의 개략도이다.

도 3은 종래 기술에 관한 클럭 신호의 개략도이다.

도 4는 본 발명에 관한 쉬프트 레지스터의 개략도이다.

도 5는 본 발명에 관한 쉬프트 레지스터의 실시예의 개략도이다.

도 6은 본 발명에 관한 쉬프트 레지스터의 실시예에서의 신호의 개략도이다.

도 7은 도 4에 도시한 쉬프트 레지스터의 T1 단계에서의 동작의 개략도이다.

도 8은 도 4에 도시한 쉬프트 레지스터의 T2 단계에서의 동작의 개략도이다.

도 9는 도 4에 도시한 쉬프트 레지스터의 T3 단계에서의 동작의 개략도이다.

도 10은 도 4에 도시한 쉬프트 레지스터의 T4 단계에서의 동작의 개략도이다.

도 11은 본 발명에 관한 게이트 라인 구동 장치의 실시예의 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명은 게이트 라인의 온 에러를 줄여 화상의 품질을 개선할 수 있는 쉬프트 레지스터 및 게이트 라인 구동 장치를 제공하는 것을 목적으로 한다.

[0030] 이하는 도면과 실시예를 통해 본 발명의 기술 방안을 더욱 상세히 설명하기로 한다.

[0031] 도 4에 도시한 것처럼, 본 발명의 쉬프트 레지스터는, 세 개의 수소화 아몰퍼스(hydrogenated amorphous) 실리콘 박막 트랜지스터와, 하나의 기억 콘덴서(storage capacitor)와, 하나의 피드백 모듈과, 하나의 온/오프 모듈과, 대응하는 입력/출력 단자들을 구비한다. 해당 쉬프트 레지스터는, 그 게이트가 풀업 노드가 되는 제1 노드(Qa)에 접속되고, 그 소스가 클럭 신호 단자에 접속되고, 그 드레인이 본단의 출력 단자에 접속되고, 그 작용은, 그 게이트에 접속되는 제1 노드(Qa)가 하이 레벨이고 또한 그 소스가 하이 레벨 신호를 수신했을 때 쉬프트 레지스터에 동작을 시작하게끔 제어하는 제1 박막 트랜지스터(M1), 그 게이트가 하단의 피드백 신호 단자에 접속되고, 그 소스가 제1 노드(Qa)에 접속되고, 그 드레인이 로우 레벨 신호 단자에 접속되고, 그 작용은, 하단의 피드백 신호가 하이 레벨일 때 제1 노드(Qa)를 로우 레벨로 유지시켜 제1 박막 트랜지스터(M1)의 게이트를 로우 레벨로 유지하는 제2 박막 트랜지스터(M2), 그 게이트가 하단의 피드백 신호 단자에 접속되고, 그 소스가 풀다운 노드가 되는 제2 노드(Q)에 접속되고(그 중, 상기 제2 노드(Q)가 본단의 출력 단자에 접속됨), 그 드레인이 로우 레벨 신호 단자에 접속되고, 그 작용은, 하단의 피드백 신호가 하이 레벨일 때 제2 노드(Q)를 로우 레벨로 유지시켜 본단의 출력 단자를 로우 레벨로 유지하는 제3 박막 트랜지스터(M3), 제1 노드(Qa)와 본단의 출력 단자 사이에 접속되는 콘덴서(C1), 은 상단의 트리거 신호 단자와 클럭 신호 단자와 제1 노드(Qa) 사이에 접속되고, 또한 본단의 피드백 신호 단자와 본단의 트리거 신호 단자에 접속되는 피드백 모듈(1), 클럭 신호 단자와 피드백 모듈(1)과 본단의 출력 단자 사이에 접속되고, 또한 로우 레벨 신호 단자에 접속되는 온/오프 모듈(2)을 구비한다. 피드백 모듈(1)은 상단의 피드백 모듈의 트리거 신호와 클럭 신호를 수신하여 제1 노드(Qa)의 레벨을 풀업하고, 또한 상단의 쉬프트 레지스터에 피드백 신호를 출력하고, 하단의 피드백 모듈에 트리거 신호를 출력하는 데 사용된다. 온/오프 모듈(2)는 본단의 쉬프트 레지스터가 동작하지 않을 때, 본단의 쉬프트 레지스터의 출력 단자를 로우 레벨로 유지하는 데 사용된다.

[0032] 본 발명이 제공한 쉬프트 레지스터는, 피드백 모듈(1)에 의해 상기 쉬프트 레지스터의 중간 신호를 피드백 신호로서 상단의 쉬프트 레지스터에 출력하고, 또한 트리거 신호로서 하단의 쉬프트 레지스터에 출력할 수 있다. 이와 같이 이 중간 신호가 부하를 구동할 필요가 없기 때문에 지연이 적고 또한 이 중간 신호가 화소 어레이에 간섭되지 않아 안정성이 한층 더 높아지는 반면, 상기 쉬프트 레지스터의 출력 신호를 상기 피드백 신호와 트리거 신호로 하지 않아 출력 신호와 클럭 신호가 동기를 취할 필요가 없기 때문에 클럭 신호의 듀티비를 줄이고 또한 두 행의 게이트 라인 구동 동안에 리던던시 시간이 미리 남겨질 수 있다. 상기 양쪽에서 연속한 두 행의 게이트 라인이 동시에 턴온되는 현상을 더욱 확실하게 방지할 수 있기 때문에 게이트 라인의 온 에러를 줄여 화상의 품질을 향상시킬 수 있다.

[0033] 도 5는 본 발명의 쉬프트 레지스터 실시예의 구조 개략도이다. 본 실시예에서는, 상기 쉬프트 레지스터는 21개의 수소화 아몰퍼스 실리콘 박막 트랜지스터와, 하나의 기억 콘덴서와, 대응하는 입력 출력 단자들을 구비한다. 이 21개의 수소화 아몰퍼스 실리콘 박막 트랜지스터는 각각 제1 박막 트랜지스터(M1)와, 제2 박막 트랜지스터(M2)와, 제3 박막 트랜지스터(M3)와, 제4 박막 트랜지스터(M4)와, 제5 박막 트랜지스터(M5)와, 제6 박막 트랜지스터(M6)와, 제7 박막 트랜지스터(M7)와, 제8 박막 트랜지스터(M8)와, 제9 박막 트랜지스터(M9)와, 제10 박막 트랜지스터(M10)와, 제11 박막 트랜지스터(M11)와, 제12 박막 트랜지스터(M12)와, 제13 박막 트랜지스터(M13)와, 제14 박막 트랜지스터(M14)와, 제15 박막 트랜지스터(M15)와, 제16 박막 트랜지스터(M16)와, 제17 박막 트랜지스터(M17)와, 제18 박막 트랜지스터(M18)와, 제19 박막 트랜지스터(M19)와, 제20 박막 트랜지스터(M20)과, 제21 박막 트랜지스터(M21)이다. 기억 콘덴서는 콘덴서(C1)이다. 입력 출력 단자들은 본단의 출력 단자(output)와, 주기적으로 전환하여 사용하는 제1 클럭 신호 단자(CLK) 및 제2 클럭 신호 단자(CLKB)와, 상단의 쉬프트 레지스터의 트리거 신호를 수신하는 제1 트리거 신호 단자(Qa(n-1)) 및 제2 트리거 신호 단자(Qb(n-1))와, 하단의 피드백 신호 단자(Qb(n+1))과, 로우 레벨 신호 단자(VGL)과, 온/오프 신호 단자(SW)와, 리셋 신호 단자(AT)이다.

[0034] 구체적으로는, 제1 박막 트랜지스터(M1)는 그 게이트가 풀업 노드가 되는 제1 노드(Qa)에 접속되고, 그 소스가 제1 클럭 신호 단자(CLK)에 접속되고, 그 드레인이 본단의 출력 단자(output)에 접속된다. 제2 박막 트랜지스터(M2)는 그 게이트가 하단의 피드백 신호 단자(Qb(n+1))에 접속되고, 그 소스가 제1 노드(Qa)에 접속되고, 그 드레인이 로우 레벨 신호 단자(VGL)에 접속된다. 제3 박막 트랜지스터(M3)는 그 게이트가 하단의 피드백 신호 단

자(Qb(n+1))에 접속되고, 그 소스가 풀다운 노드가 되는 제2 노드(Q)에 접속되고(그 중, 상기 제2 노드(Q)가 본단의 출력 단자(output)에 접속됨), 그 드레인이 로우 레벨 신호 단자(VGL)에 접속된다. 제4 박막 트랜지스터(M4)는 그 게이트가 상단의 쉬프트 레지스터의 트리거 신호를 수신하는 제1 트리거 신호 단자(Qa(n-1))에 접속되고, 그 소스가 제5 박막 트랜지스터(M5)의 게이트에 접속되고, 그 드레인이 제2 클럭 신호 단자(CLKB)에 접속된다. 제5 박막 트랜지스터(M5)는 그 게이트가 제4 박막 트랜지스터(M4)의 소스에 접속되고, 그 소스가 제1 노드(Qa)에 접속되고, 그 드레인이 상단의 쉬프트 레지스터의 트리거 신호를 수신하는 제2 트리거 신호 단자(Qb(n-1))에 접속된다. 제6 박막 트랜지스터(M6)는 그 게이트가 제1 노드(Qa)에 접속되고, 그 소스가 제1 클럭 신호 단자(CLK)에 접속되고, 그 드레인이 본단의 피드백 노드가 되는 제3 노드(Qb)에 접속된다. 제7 박막 트랜지스터(M7)는 그 게이트와 드레인이 함께 접속되어 제2 클럭 신호 단자(CLKB)에 접속되고, 그 소스가 제12 박막 트랜지스터(M12)의 게이트와 제14 박막 트랜지스터(M14)의 게이트에 접속된다. 제8 박막 트랜지스터(M8)는 그 게이트가 제2 클럭 신호 단자(CLKB)에 접속되고, 그 소스가 인터록 노드(interlocking node)가 되는 제4 노드(M)에 접속되고, 그 드레인이 로우 레벨 신호 단자(VGL)에 접속된다. 제9 박막 트랜지스터(M9)는 그 게이트와 소스가 함께 접속되어 제1 클럭 신호 단자(CLK)에 접속되고, 그 드레인이 제4 노드(M)에 접속된다. 제10 박막 트랜지스터(M10)는 그 게이트가 제2 클럭 신호 단자(CLKB)에 접속되고, 그 소스가 제2 노드(Q)에 접속되고, 그 드레인이 로우 레벨 신호 단자(VGL)에 접속된다. 제11 박막 트랜지스터(M11)는 그 게이트가 제4 노드(M)에 접속되고, 그 소스가 제2 노드(Q)에 접속되고, 그 드레인이 로우 레벨 신호 단자(VGL)에 접속된다. 제12 박막 트랜지스터(M12)는 그 게이트가 제7 박막 트랜지스터(M7)의 소스에 접속되고, 그 소스가 제1 노드(Qa)에 접속되고, 그 드레인이 상단의 쉬프트 레지스터의 제2 트리거 신호 단자(Qb(n-1))에 접속된다. 제13 박막 트랜지스터(M13)는 그 게이트가 제4 노드(M)에 접속되고, 그 소스가 제2 노드(Q)에 접속되고, 그 드레인이 제1 노드(Qa)에 접속된다. 제14 박막 트랜지스터(M14)는 그 게이트가 제7 박막 트랜지스터(M7)의 소스에 접속되고, 그 소스가 제3 노드(Qb)에 접속되고, 그 드레인이 로우 레벨 신호 단자(VGL)에 접속된다. 제15 박막 트랜지스터(M15)는 그 게이트가 제4 노드(M)에 접속되고, 그 소스가 제3 노드(Qb)에 접속되고, 그 드레인이 로우 레벨 신호 단자(VGL)에 접속된다. 제16 박막 트랜지스터(M16)는 그 게이트가 온/오프 신호 단자(SW)에 접속되고, 그 소스가 제1 노드(Qa)에 접속되고, 그 드레인이 로우 레벨 신호 단자(VGL)에 접속된다. 제17 박막 트랜지스터(M17)는 그 게이트가 온/오프 신호 단자(SW)에 접속되고, 그 소스가 리셋 신호 단자(AT)에 접속되고, 그 드레인이 제2 노드(Q)에 접속된다. 제18 박막 트랜지스터(M18)는 그 게이트가 제1 노드(Qa)에 접속되고, 그 소스가 제4 노드(M)에 접속되고, 그 드레인이 로우 레벨 신호 단자(VGL)에 접속된다. 제19 박막 트랜지스터(M19)는 그 게이트가 제3 노드(Qb)에 접속되고, 그 소스가 제7 박막 트랜지스터(M7)의 소스에 접속되고, 그 드레인이 로우 레벨 신호 단자(VGL)에 접속된다. 제20 박막 트랜지스터(M20)는 그 게이트가 제3 노드(Qb)에 접속되고, 그 소스가 제4 노드(M)에 접속되고, 그 드레인이 로우 레벨 신호 단자(VGL)에 접속된다. 제21 박막 트랜지스터(M21)는 그 게이트가 상단의 쉬프트 레지스터의 제2 트리거 신호 단자(Qb(n-1))에 접속되고, 그 소스가 제7 박막 트랜지스터(M7)의 소스에 접속되고, 그 드레인이 로우 레벨 신호 단자(VGL)에 접속된다. 게다가 기억 콘덴서C1는 제1 노드(Qa)와 본단의 출력 단자(output) 사이에 접속된다.

[0035] 제4 박막 트랜지스터(M4)와 제5 박막 트랜지스터(M5)와 제6 박막 트랜지스터(M6)는 본 실시예의 피드백 모듈을 구성하고 있다. 이 피드백 모듈은 상기 쉬프트 레지스터의 중간 신호를 피드백 신호로서 상단의 쉬프트 레지스터에 출력하고, 또한 트리거 신호로서 하단의 쉬프트 레지스터에 출력한다. 이와 같이 이 중간 신호가 부하를 구동할 필요가 없기 때문에 지연이 적고 또한 이 중간 신호가 화소 어레이에 간섭되지 않아 그 안정성이 높다. 한편 상기 쉬프트 레지스터의 출력 신호를 상기 피드백 신호와 트리거 신호로 하지 않아 출력 신호와 클럭 신호가 동기를 취할 필요가 없기 때문에 클럭 신호의 듀티비를 줄이고 또한 두 행의 게이트 라인 구동 동안에 리던던시 시간이 미리 남겨진다. 상기 양쪽에서 연속한 두 행의 게이트 라인이 동시에 온되는 현상을 더욱 확실하게 방지할 수 있기 때문에 게이트 라인의 온 에러를 줄여 화상의 품질을 향상시킬 수 있다.

[0036] 또한, 상기 제10 박막 트랜지스터(M10)와 제11 박막 트랜지스터(M11)는 제1 온/오프 모듈을 구성하고 있다. 이 제1 온/오프 모듈은 본단의 쉬프트 레지스터가 동작하지 않을 때 본단의 출력 단자(output)를 로우 레벨로 유지함으로써 본단의 출력 단자(output)가 다른 간섭 신호에 의해 하이 레벨이 되고 제어된 이 행의 게이트 라인이 하이 레벨에 의해 온되어 최종적으로 게이트 라인의 온 에러가 생기는 것을 방지하는 데 사용된다. 제10 박막 트랜지스터(M10)는 제2 클럭 신호(CLKB)에 의해 본단의 출력 단자(output)를 로우 레벨로 유지하고, 제11 박막 트랜지스터(M11)는 제1 클럭 신호(CLK)에 의해 본단의 출력 단자(output)를 로우 레벨로 유지한다.

[0037] 상기 제12 박막 트랜지스터(M12)와 제13 박막 트랜지스터(M13)가 제2 온/오프 모듈을 구성하고 있다. 이 제2 온/오프 모듈은 본단의 쉬프트 레지스터가 동작하지 않을 때 풀업 노드가 되는 제1 노드(Qa)를 로우 레벨로 유지함으로써 제1 박막 트랜지스터(M1)를 온시키지 않도록 하여 본단의 출력 단자(output)를 더욱 로우 레벨로 유지

한다. 제12 박막 트랜지스터(M12)는 제2 클럭 신호(CLKB)에 의해 제1 노드(Qa)를 로우 레벨로 유지하고, 제13 박막 트랜지스터(M13)은 제1 클럭 신호(CLK)에 의해 제1 노드(Qa)를 로우 레벨로 유지한다.

[0038] 상기 제14 박막 트랜지스터(M14)와 제15 박막 트랜지스터(M15)가 제3 온/오프 모듈을 구성하고 있다. 이 제3 온/오프 모듈은 본단의 쉬프트 레지스터가 동작하지 않을 때 제3 노드(Qb)를 로우 레벨로 유지함으로써 상단의 쉬프트 레지스터와 하단의 쉬프트 레지스터에 간섭되지 않도록 제3 노드(Qb)가 상단의 쉬프트 레지스터에 출력한 피드백 신호와 하단의 쉬프트 레지스터에 출력한 트리거 신호를 로우 레벨로 한다. 제14 박막 트랜지스터(M14)는 제2 클럭 신호(CLKB)에 의해 제3 노드(Qb)를 로우 레벨로 유지하고, 제15 박막 트랜지스터(M15)는 제1 클럭 신호(CLK)에 의해 제3 노드(Qb)를 로우 레벨로 유지한다.

[0039] 상기 제7 박막 트랜지스터(M7)와 제8 박막 트랜지스터(M8)와 제9 박막 트랜지스터(M9)가 제1단의(class-1) 온/오프 모듈을 구성하고 있다. 이 제1단의 온/오프 모듈은 상기 제1 온/오프 모듈과 제2 온/오프 모듈과 제3 온/오프 모듈을 제어하는 데 사용된다. 여기에서 상기 "제어"란, 상기 각 온/오프 모듈을 온/오프하고, 및 상기 각 온/오프 모듈에서의, 제1 클럭 신호로 동작하는 박막 트랜지스터와 제2 클럭 신호로 동작하는 박막 트랜지스터를 인터록하는 것이다.

[0040] 마지막으로 상기 제1 온/오프 모듈과 제2 온/오프 모듈과 제3 온/오프 모듈과 제1단의 온/오프 모듈은 본 실시예에서의 온/오프 모듈을 구성하고 있다. 이 온/오프 모듈은 본단의 쉬프트 레지스터가 동작하지 않을 때 본단의 쉬프트 레지스터의 출력 단자를 로우 레벨로 유지한다.

[0041] 또한, 도 5에 도시한 것처럼, 본단의 쉬프트 레지스터는 게이트가 온/오프 신호 단자(SW)에 접속되고, 소스가 제1 노드(Qa)에 접속되고, 드레인이 로우 레벨 신호 단자(VGL)에 접속되는 제16 박막 트랜지스터(M16)를 더 구비한다. 이 제16 박막 트랜지스터(M16)는 특정한 경우에 온되며, 예를 들면, 인위적으로 본단의 쉬프트 레지스터를 오프로 할 경우에 온되어 제1 노드(Qa)의 레벨을 풀다운한다. 그리고 제1 박막 트랜지스터(M1)가 오프되어 최종적으로 본단의 출력 단자(output)가 로우 레벨로 유지된다.

[0042] 또한, 도 5에 도시한 것처럼, 본단의 쉬프트 레지스터는 게이트가 온/오프 신호 단자(SW)에 접속되고, 소스가 리셋 신호 단자(AT)에 접속되고, 드레인이 제2 노드(Q)(즉 본단의 출력 단자(output))에 접속되는 제17 박막 트랜지스터(M17)를 더 구비한다. 이 제17 박막 트랜지스터(M17)은 온/오프 신호(SW)로 온되어 리셋 신호(AT)를 수신한다. 이 리셋 신호(AT)는 액정 디스플레이의 화상을 클린(clean)화하도록 모든 쉬프트 레지스터를 턴오프할 수 있다.

[0043] 상기 제18 박막 트랜지스터(M18)와 제19 박막 트랜지스터(M19)와 제20 박막 트랜지스터(M20)와 제21 박막 트랜지스터(M21)는 본단의 쉬프트 레지스터의 동작을 도울 수 있다.

[0044] 실제 사용시에는 본 실시예의 상기 기술 방안은 수소화 아몰퍼스 실리콘 박막 트랜지스터에 적용할 뿐만 아니라 다른 박막 트랜지스터에도 적용한다.

[0045] 상기 실시예는 본 발명의 쉬프트 레지스터의 바람직한 실시형태에 불과하며 그것을 한정하지는 않는다.

[0046] 이하, 도 5에 도시한 쉬프트 레지스터 및 제어 시퀀스를 결합하여 본 실시예의 쉬프트 레지스터의 동작 과정을 설명하기로 한다.

[0047] 도 6은 본 실시예에 관한 신호의 개략도이다. T1, T2, T3, 및 T4의 4개의 단계로 나눌 수 있다.

[0048] T1 단계에서 Qa(n-1)=1, Qb(n-1)=1, CLK=0, CLKB=1, Qb(n+1)=0으로 한다.

[0049] 도 7에서 굵은 선 부분으로 나타낸 것처럼, Qa(n-1)=1, 즉 제1 트리거 신호 단자가 하이 레벨이므로 제4 박막 트랜지스터(M4)가 온됨과 동시에 CLKB=1, 즉 제2 클럭 신호가 하이 레벨이므로 제5 박막 트랜지스터(M5)가 온되고, 또 Qb(n-1)=1, 즉 제2 트리거 신호 단자가 하이 레벨이므로 제1 노드(Qa)가 하이 레벨로 풀업되고, 즉 Qa=1이 되고, 또한 기억 콘덴서(C1)에 의해 제1 노드(Qa)가 하이 레벨로 유지된다. 그러나, 이 때에 CLKB=1이 되기 때문에 제10 박막 트랜지스터(M10)이 온되어 본단의 출력 단자(output)를 그대로 로우 레벨로 유지시키고, 즉 OUTN=0으로 한다. 이 때에 본단의 쉬프트 레지스터는 오프 상태가 된다.

[0050] T2 단계에서는 Qa(n-1)=0, Qb(n-1)=0, CLK=1, CLKB=0, Qb(n+1)=0으로 한다.

[0051] 도 8에서 굵은 선 부분으로 나타낸 것처럼, T1 단계에서 Qa=1이므로 제1 박막 트랜지스터(M1)가 온되며, 이 때에 CLK=1이 되기 때문에 본단의 출력 단자(output)가 하이 레벨이 되고, 즉 OUTN=1이 된다. 이 때에 본단의 쉬프트 레지스터는 온 상태가 된다. 그와 동시에 제1 노드 Qa=1이 되기 때문에 제6 박막 트랜지스터(M6)가

온되고, 게다가 CLK=1이 되기 때문에 피드백 노드(Qb)가 하이 레벨, 즉 Qb=1이 된다. 이 단계에서 노드들(Qa, Qb)이 하단의 쉬프트 레지스터에 두 개의 트리거 신호들을 출력함으로써 하단의 쉬프트 레지스터가 이 두 개의 트리거 신호들에 의해 온될 수 있다. 또한 상단의 쉬프트 레지스터를 오프로 하도록 노드(Qb)를 통해 상단의 쉬프트 레지스터에 피드백 신호를 출력할 수 있다.

[0052] T3 단계에서는 Qa(n-1)=0, Qb(n-1)=0, CLK=0, CLKB=1, Qb(n+1)=1로 한다.

[0053] 도 9에서 굵은 선 부분으로 나타낸 것처럼, Qb(n+1)=1, 즉 하단의 피드백 신호 단자가 하이 레벨이므로 이 때에 제2 박막 트랜지스터(M2)와 제3 박막 트랜지스터(M3)가 온될 수 있다. 제3 박막 트랜지스터(M3)의 온에 의해 본단의 출력 단자(output)가 로우 레벨, 즉 OUTN=0이 된다. 이 때에 본단의 쉬프트 레지스터는 오프 상태가 된다. 제2 박막 트랜지스터(M2)의 온에 의해 제1 노드(Qa)가 로우 레벨이 되고, 즉 Qa=0이 된다. 이와 같이 제1 박막 트랜지스터(M1)를 그대로 오프시켜 본단의 출력 단자(output)가 로우 레벨이 되는 것을 보장한다. 그 뿐 아니라 CLKB=1이 되기 때문에 제7 박막 트랜지스터(M7)가 온되고, 제12 박막 트랜지스터(M12)와 제14 박막 트랜지스터(M14)가 온된다. 이 때에 Qb(n-1)=0이 되기 때문에 제12 박막 트랜지스터(M12)가 온된 후에도 제1 노드(Qa)를 로우 레벨로 할 수 있다. 또한 제14 박막 트랜지스터(M14)가 로우 레벨 신호 단자(VGL)에 접속되기 때문에 제14 박막 트랜지스터(M14)가 온된 후에 제3 노드(Qb)를 로우 레벨로 할 수 있다. 이와 같이 노드들(Qa, Qb)은 하단의 쉬프트 레지스터의 온과 상단의 쉬프트 레지스터의 오프를 트리거할 수 없다.

[0054] T4 단계에서는 Qa(n-1)=0, Qb(n-1)=0, CLK=1, CLKB=0, Qb(n+1)=0으로 한다.

[0055] 도 10에서 굵은 선 부분으로 나타낸 것처럼, CLK=1이므로 제9 박막 트랜지스터(M9)를 온하여 제11 박막 트랜지스터(M11), 제13 박막 트랜지스터(M13) 및 제15 박막 트랜지스터(M15)를 온시킨다. 제11 박막 트랜지스터(M11)가 로우 레벨 신호 단자(VGL)에 접속되기 때문에 본단의 출력 단자(output)를 로우 레벨로 유지하고, 즉 OUTN=0으로 유지한다. 이 때에 본단의 쉬프트 레지스터는 오프 상태가 된다. 게다가 제13 박막 트랜지스터(M13)을 온한 후에 제1 노드(Qa)를 로우 레벨로 유지하고, 제15 박막 트랜지스터(M15)를 온한 후에 제3 노드(Qb)를 로우 레벨로 유지하고, 나아가 본단의 출력 단자(output)가 로우 레벨을 안정적으로 출력하는 것을 유지한다.

[0056] 상기 설명으로부터 알 수 있듯이 본 실시예에서의 쉬프트 레지스터는 게이트 라인의 온 에러를 현저하게 줄여 화상의 품질을 개선할 수 있다.

[0057] 이에 추가하여 본 발명은 게이트 라인 구동 장치를 더 제공한다. 도 11에 도시한 것처럼, 이 게이트 라인 구동 장치는 직렬로 접속하는 여러 개의 쉬프트 레지스터를 구비한다. 도 4를 참조하면, 그 중의 쉬프트 레지스터는 세 개의 수소화 아몰퍼스 실리콘 박막 트랜지스터와, 하나의 기억 콘덴서와, 하나의 피드백 모듈과, 하나의 온/오프 모듈과, 대응하는 입/출력 단자들을 구비한다. 상기 쉬프트 레지스터는, 그 게이트가 풀업 노드가 되는 제1 노드(Qa)에 접속되고, 그 소스가 클럭 신호 단자에 접속되고, 그 드레인이 본단의 출력 단자에 접속되며, 그 작용은, 그 게이트에 접속되는 제1 노드(Qa)가 하이 레벨이 되고, 그 소스가 하이 레벨 신호를 수신했을 때 쉬프트 레지스터에 동작을 시작하게끔 제어하는 제1 박막 트랜지스터(M1), 그 게이트가 하단의 피드백 신호 단자에 접속되고, 그 소스가 제1 노드(Qa)에 접속되고, 그 드레인이 로우 레벨 신호 단자에 접속되며, 그 작용은, 하단의 피드백 신호가 하이 레벨일 때 제1 노드(Qa)를 로우 레벨로 유지하여 제1 박막 트랜지스터(M1)의 게이트를 로우 레벨로 유지하는 제2 박막 트랜지스터(M2), 그 게이트가 하단의 피드백 신호 단자에 접속되고, 그 소스가 풀다운 노드가 되는 제2 노드(Q)에 접속되고(그 중, 상기 제2 노드(Q)가 본단의 출력 단자에 접속됨), 그 드레인이 로우 레벨 신호 단자에 접속되며, 그 작용은, 하단의 피드백 신호가 하이 레벨일 때 제2 노드(Q)를 로우 레벨로 유지하여 본단의 출력 단자를 로우 레벨로 유지하는 제3 박막 트랜지스터(M3), 제1 노드(Qa)와 본단의 출력 단자 사이에 접속되는 콘덴서(C1), 상단의 트리거 신호 단자와 클럭 신호 단자와 제1 노드(Qa) 사이에 접속되고, 또한 본단의 피드백 신호 단자와 본단의 트리거 신호 단자에 접속되는 피드백 모듈(1), 클럭 신호 단자와 피드백 모듈(1)과 본단의 출력 단자 사이에 접속되고, 또한 로우 레벨 신호 단자에 접속되는 온/오프 모듈(2)을 구비한다. 피드백 모듈(1)은 상단의 피드백 모듈의 트리거 신호와 클럭 신호를 수신하여 제1 노드(Qa)의 레벨을 풀업하고, 또한 상단의 쉬프트 레지스터에 피드백 신호를 출력하고 하단의 피드백 모듈에 트리거 신호를 출력하는 데 사용된다. 온/오프 모듈(2)은 본단의 쉬프트 레지스터가 동작하지 않을 때 본단의 쉬프트 레지스터의 출력 단자를 로우 레벨로 유지하는 데 사용된다.

[0058] 본 발명이 제공한 게이트 라인 구동 장치는, 그 중의 쉬프트 레지스터에는 피드백 모듈(1)에 의해 상기 쉬프트 레지스터의 중간 신호를 피드백 신호로서 상단의 쉬프트 레지스터에 출력하고 또한 트리거 신호로서 하단의 쉬프트 레지스터에 출력할 수 있다. 이와 같이 이 중간 신호가 부하를 구동할 필요가 없기 때문에 지연이 적고 또한 이 중간 신호가 화소 어레이에 간섭되지 않아 안정성이 한층 더 높아진다. 한편 상기 쉬프트 레지스터의 출

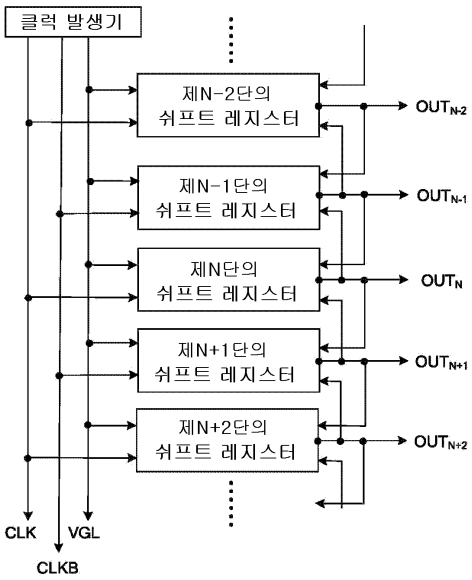
력 신호를 상기 피드백 신호와 트리거 신호로 하지 않기 때문에 출력 신호와 클럭 신호가 동기를 취할 필요가 없어 클럭 신호의 듀티비를 줄이고 또한 두 행의 게이트 라인 구동 동안에 리던던시 시간이 미리 남겨진다. 상기 양쪽에서 연속한 두 행의 게이트 라인이 동시에 온되는 현상을 더욱 확실하게 방지할 수 있기 때문에 게이트 라인의 온 에러를 줄여 화상의 품질을 향상시킬 수 있다.

[0059] 본 실시예의 상기 쉬프트 레지스터의 구성과 기능이 상술한 실시예의 쉬프트 레지스터의 구조와 기능과 같기 때문에 여기에서는 그 설명이 생략된다.

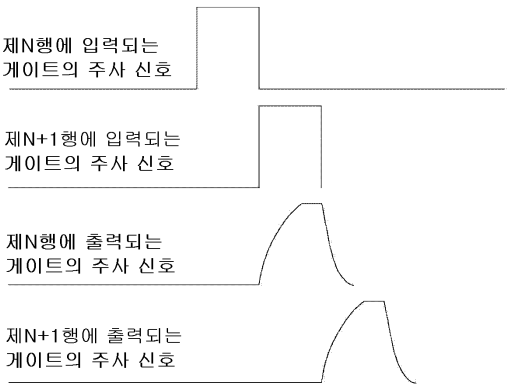
[0060] 이상은 본 발명의 구체적인 실시형태에 불과하다. 본 발명이 보호한 범위는 여기에 한정되지 않으며 당업자는 본 발명에 기재된 기술 범위 내에서 그 변경 또는 교체를 용이하게 생각해낼 수 있다. 그 변경 또는 교체는 본 발명이 보호한 범위 내에 있다. 따라서 본 발명이 보호한 범위는 청구항에 기재된 보호 범위를 기본으로 한다.

도면

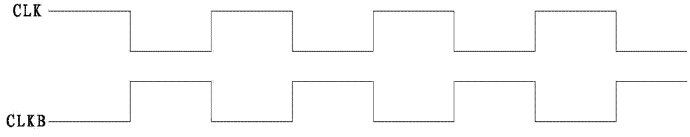
도면1



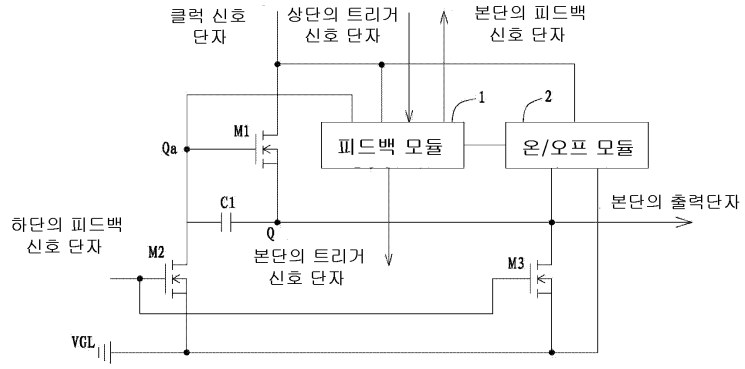
도면2



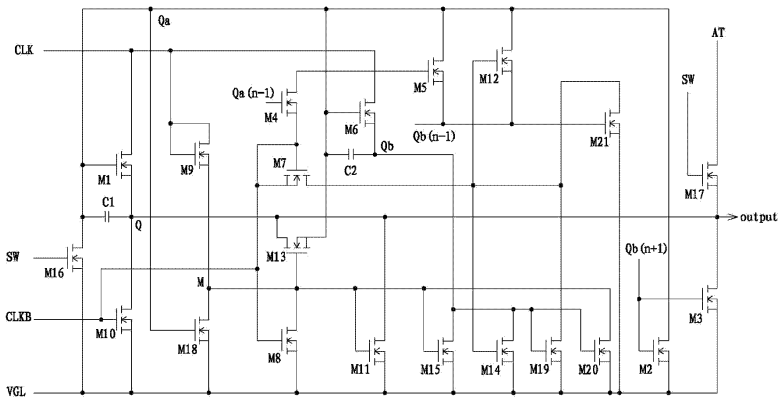
도면3



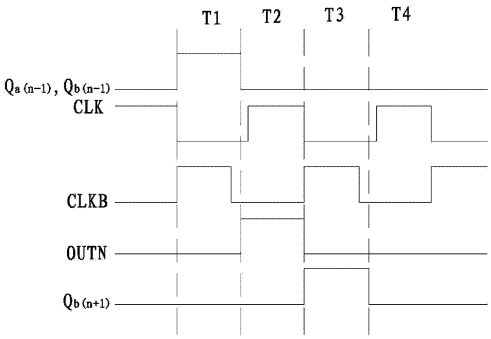
도면4


클럭 신호
단자
상단의 트리거
신호 단자
본단의 피드백
신호 단자
1
2
M1
Qa
피드백 모듈
온/오프 모듈
C1
Q
본단의 출력단자
하단의 피드백
신호 단자
M2
본단의 트리거
신호 단자
M3
VGL

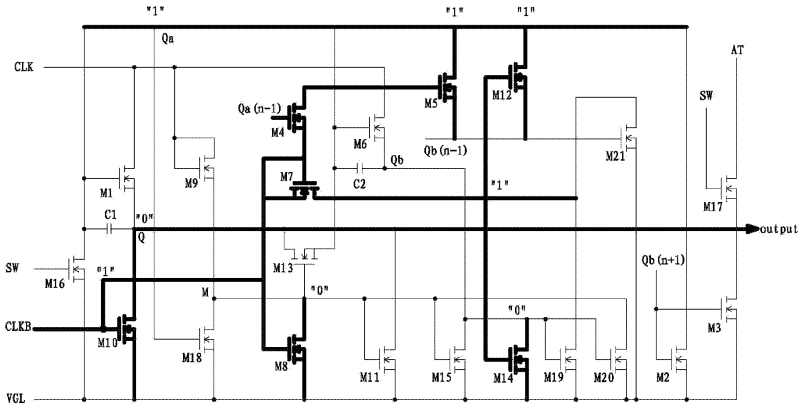
도면5


Qa
CLK
AT
SW
Qa (n-1)
M5
M12
M4
M6
Qb (n-1)
M21
Qb
M7
C2
M9
M1
M17
C1
output
Q
SW
M16
M13
Qb (n+1)
M
CLKB
M10
M3
M18
M8
M11
M15
M14
M19
M20
M2
VGL

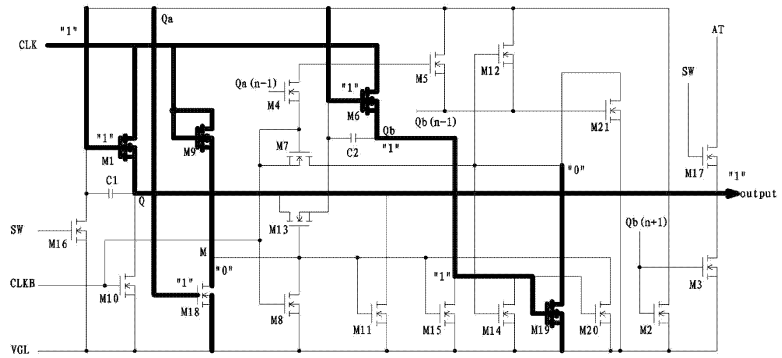
도면6


T1
T2
T3
T4
Qa (n-1), Qb (n-1)
CLK
CLKB
OUTN
Qb (n+1)

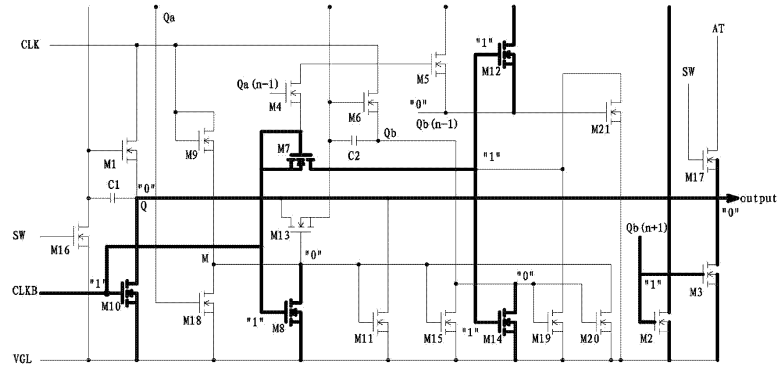
도면7


"1"
"1"
"1"
Qa
CLK
AT
SW
Qa (n-1)
M4
M5
M12
M6
Qb (n-1)
M21
M9
M7
C2
Qb
"1"
M1
M17
C1
"0"
output
Q
SW
M16
"1"
M13
Qb (n+1)
M
"0"
"0"
CLKB
M10
M18
M8
M11
M15
M14
M19
M20
M2
M3
VGL

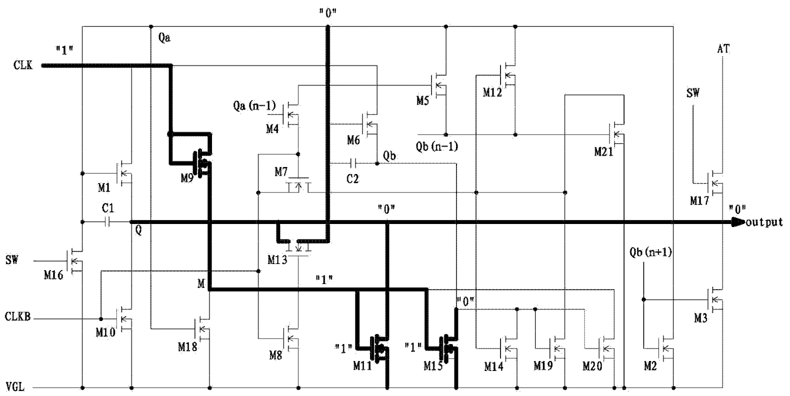
도면8


Qa
"1"
CLK
AT
SW
Qa (n-1)
M4
"1"
M5
M12
M6
Qb (n-1)
M21
Qb
M9
M7
C2
"1"
"0"
M1
M17
"1"
C1
output
Q
SW
M16
M13
Qb (n+1)
M
"0"
CLKB
"1"
"1"
M10
M18
M8
M11
M15
M14
M19
M20
M2
M3
VGL

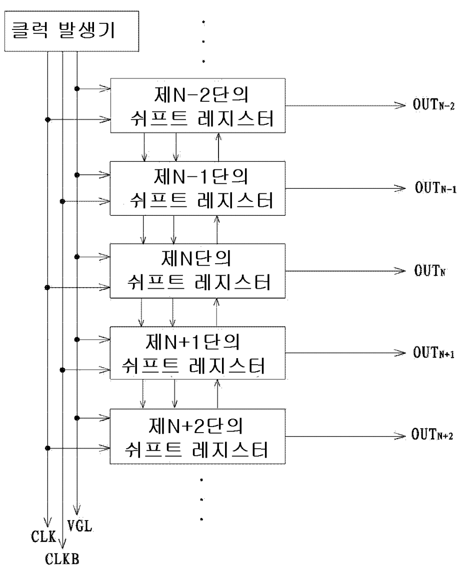
도면9


Qa
CLK
AT
"1"
SW
Qa (n-1)
M4
M5
M12
"0"
M6
Qb
Qb (n-1)
M21
M9
M7
C2
"1"
M1
M17
C1
"0"
output
"0"
Q
SW
M16
M13
Qb (n+1)
M
"0"
"0"
CLKB
"1"
"1"
"1"
M10
M18
M8
M11
M15
M14
M19
M20
M2
M3
VGL

도면10


"0"
Qa
"1"
CLK
AT
Qa (n-1)
M4
M5
M12
SW
M6
Qb (n-1)
M21
M9
M1
M7
Qb
C2
M17
C1
"0"
"0"
output
Q
SW
M16
M13
Qb (n+1)
"1"
M
"0"
CLKB
M10
M18
M3
M8
"1"
"1"
M11
M15
M14
M19
M20
M2
VGL

도면11


클럭 발생기
제N-2단의
쉬프트 레지스터
OUTN-2
제N-1단의
쉬프트 레지스터
OUTN-1
제N단의
쉬프트 레지스터
OUTN
제N+1단의
쉬프트 레지스터
OUTN+1
제N+2단의
쉬프트 레지스터
OUTN+2
CLK
VGL
CLKB