

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 1 区分
 【発行日】平成30年1月25日(2018.1.25)

【公表番号】特表2017-517736(P2017-517736A)
 【公表日】平成29年6月29日(2017.6.29)
 【年通号数】公開・登録公報2017-024
 【出願番号】特願2016-571693(P2016-571693)
 【国際特許分類】

G 0 1 K 7/01 (2006.01)

【F I】

G 0 1 K 7/01 C

【手続補正書】

【提出日】平成29年12月8日(2017.12.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

温度センサであって、

ゲートを有する第 1 のトランジスタと、

前記第 1 のトランジスタの前記ゲートに結合されたゲートを有する第 2 のトランジスタと、

前記第 1 および第 2 のトランジスタの前記ゲートにバイアスをかけること、ここにおいて、前記第 1 および第 2 のトランジスタは、サブスレッショルド領域において動作する、および前記第 2 のトランジスタのソースに結合されたレジスタを使用して、前記第 1 のトランジスタのゲート・ソース間電圧と前記第 2 のトランジスタのゲート・ソース間電圧との差に比例する電流を生成することを行うように構成されたバイアス回路と、ここにおいて、前記第 1 のトランジスタの前記ゲート・ソース間電圧と前記第 2 のトランジスタの前記ゲート・ソース間電圧との前記差は、前記レジスタの両端に印加され、前記生成された電流は、前記レジスタ中を流れる電流に比例する、

前記電流をデジタル温度示数に変換するように構成されたアナログ・デジタル変換器 (A D C) と

を備える、温度センサ。

【請求項 2】

前記 A D C は、

前記電流を周波数に変換するように構成された発振器と、

前記周波数をデジタルカウント値に変換するように構成されたカウンタと、ここにおいて、前記デジタル温度示数は、前記デジタルカウント値を備える、

を備える、請求項 1 に記載の温度センサ。

【請求項 3】

前記生成された電流は、前記レジスタ中を流れる前記電流にほぼ等しい、請求項 1 に記載の温度センサ。

【請求項 4】

前記レジスタは、前記第 2 のトランジスタの前記ソースと接地との間で結合される、請求項 1 に記載の温度センサ。

【請求項 5】

前記第 1 のトランジスタは、第 1 の電界効果トランジスタ (F E T) を備え、前記第 2 のトランジスタは、第 2 の F E T を備える、請求項 1 に記載の温度センサ。

【請求項 6】

前記バイアス回路は、前記第 1 のトランジスタの電流と前記第 2 のトランジスタの電流との比が温度範囲にわたってほぼ一定であるように、前記第 1 および第 2 のトランジスタの前記ゲートにバイアスをかけるように構成される、請求項 1 に記載の温度センサ。

【請求項 7】

前記比は、1 にほぼ等しい、請求項 6 に記載の温度センサ。

【請求項 8】

温度を感知するための方法であって、

第 1 および第 2 のトランジスタがサブスレッショルド領域において動作するように、前記第 1 のトランジスタのゲートおよび前記第 2 のトランジスタのゲートにバイアスをかけることと、

前記第 1 のトランジスタのゲート・ソース間電圧と前記第 2 のトランジスタのゲート・ソース間電圧との差に比例する電流を生成することと、

前記電流をデジタル温度示数に変換することと

を備え、

前記電流を生成することは、前記第 1 のトランジスタの前記ゲート・ソース間電圧と前記第 2 のトランジスタの前記ゲート・ソース間電圧との前記差を、レジスタの両端に印加することを備え、前記生成された電流は、前記レジスタ中を流れる電流に比例する、方法。

【請求項 9】

前記電流を前記デジタル温度示数に変換することは、

前記電流を周波数に変換することと、

前記周波数をデジタルカウント値に変換することと、ここにおいて、前記デジタル温度示数は、前記デジタルカウント値を備える、

を備える、請求項 8 に記載の方法。

【請求項 10】

前記生成された電流は、前記レジスタ中を流れる前記電流にほぼ等しい、請求項 8 に記載の方法。

【請求項 11】

前記第 1 のトランジスタは、第 1 の電界効果トランジスタ (F E T) を備え、前記第 2 のトランジスタは、第 2 の F E T を備える、請求項 8 に記載の方法。

【請求項 12】

前記第 1 のトランジスタの電流と前記第 2 のトランジスタの電流との比が温度範囲にわたってほぼ一定であるように、前記第 1 および第 2 のトランジスタの前記ゲートにバイアスをかけることをさらに備える、請求項 8 に記載の方法。

【請求項 13】

前記比は、1 にほぼ等しい、請求項 12 に記載の方法。

【請求項 14】

温度を感知するための装置であって、

第 1 および第 2 のトランジスタがサブスレッショルド領域において動作するように、前記第 1 のトランジスタのゲートおよび前記第 2 のトランジスタのゲートにバイアスをかけるための手段と、

前記第 1 のトランジスタのゲート・ソース間電圧と前記第 2 のトランジスタのゲート・ソース間電圧との差に比例する電流を生成するための手段と、

前記電流をデジタル温度示数に変換するための手段と

を備え、

前記電流を生成するための前記手段は、前記第 1 のトランジスタの前記ゲート・ソース間電圧と前記第 2 のトランジスタの前記ゲート・ソース間電圧との前記差を、レジスタの

両端に印加するための手段を備え、前記生成された電流は、前記レジスタ中を流れる電流に比例する、
装置。

【請求項 15】

前記電流を前記デジタル温度示数に変換するための前記手段は、
前記電流を周波数に変換するための手段と、
前記周波数をデジタルカウント値に変換するための手段と、ここにおいて、前記デジタル温度示数は、前記デジタルカウント値を備える、
を備える、請求項 14 に記載の装置。

【請求項 16】

前記生成された電流は、前記レジスタ中を流れる前記電流にほぼ等しい、請求項 14 に記載の装置。

【請求項 17】

前記第 1 のトランジスタは、第 1 の電界効果トランジスタ (FET) を備え、前記第 2 のトランジスタは、第 2 の FET を備える、請求項 14 に記載の装置。

【請求項 18】

前記第 1 のトランジスタの電流と前記第 2 のトランジスタの電流との比が温度範囲にわたってほぼ一定であるように、前記第 1 および第 2 のトランジスタの前記ゲートにバイアスをつけるための手段をさらに備える、請求項 14 に記載の装置。

【請求項 19】

前記比は、1 にほぼ等しい、請求項 18 に記載の装置。

【請求項 20】

前記第 1 および第 2 のトランジスタの前記ゲートに結合されたキャパシタをさらに備える、請求項 1 に記載の装置。

【請求項 21】

前記バイアス回路は、前記第 1 および第 2 のトランジスタのうちの少なくとも 1 つに各々結合された複数の電流ミラーをさらに備える、請求項 1 に記載の装置。

【請求項 22】

前記複数の電流ミラーの各々は、複数の電界効果トランジスタ (FET) を含む、請求項 21 に記載の装置。

【請求項 23】

前記複数の電流ミラーの各々内の前記複数の FET は、第 1 のゲート幅のゲート幅で構成され、

前記第 1 および第 2 のトランジスタは、前記第 1 のゲート幅よりも十分に大きい第 2 のゲート幅で構成され、

前記複数の電流ミラーの各々内の前記複数の FET がアクティブ領域において動作する一方で、前記第 1 および第 2 のトランジスタは、前記サブスレッショルド領域において動作する、

請求項 22 に記載の装置。

【請求項 24】

キャパシタを前記第 1 および第 2 のトランジスタの前記ゲートに結合することをさらに備え、前記キャパシタは、前記第 1 および第 2 のトランジスタの前記ゲートにバイアスをつけることの調整を引き起こす、請求項 8 に記載の方法。

【請求項 25】

バイアスをつけることは、前記第 1 および第 2 のトランジスタのうちの少なくとも 1 つに結合された 1 つまたは複数の電流ミラーを有する前記第 1 および第 2 のトランジスタに流れるか、またはそこから外に流れるより多くの電流のうちの 1 つをミラーすることをさらに備える、請求項 8 に記載の方法。

【請求項 26】

前記 1 つまたは複数の電流ミラーの各々は、第 1 のゲート幅のゲート幅で構成された複

数の電界効果トランジスタ（FET）を含み、

前記第１および第２のトランジスタは、前記第１のゲート幅よりも十分に大きい第２のゲート幅で構成され、

前記それぞれのゲート幅により、前記１つまたは複数の電流ミラー内の前記複数のFETをアクティブ領域において動作する一方で、前記第１および第２のトランジスタを前記サブスレッショルド領域において動作する、

請求項２５に記載の方法。

【請求項２７】

前記第１のトランジスタの前記ゲートおよび前記第２のトランジスタの前記ゲートにバイアスをつけるための前記手段を調整するための手段をさらに備え、調整するための前記手段は、前記第１および第２のトランジスタの前記ゲートに結合されたキャパシタを含む、請求項１４に記載の装置。

【請求項２８】

前記第１のトランジスタの前記ゲートおよび前記第２のトランジスタの前記ゲートにバイアスをつけるための手段のための前記手段は、前記第１および第２のトランジスタの電流を電流ミラーするための手段をさらに備える、請求項１４に記載の装置。

【請求項２９】

電流ミラーするための手段は、複数の電界効果トランジスタ（FET）を含む、請求項２８に記載の装置。

【請求項３０】

電流ミラーするための前記手段内の前記複数のFETは、第１のゲート幅のゲート幅で構成され、

前記第１および第２のトランジスタは、前記第１のゲート幅よりも十分に大きい第２のゲート幅で構成され、

前記それぞれのゲート幅により、前記複数の電流ミラー内の前記複数のFETがアクティブ領域において動作する一方で、前記第１および第２のトランジスタは、前記サブスレッショルド領域において動作する、

請求項２９に記載の装置。