

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 15 日(15.11.2012)



(10) 国際公開番号
WO 2012/153655 A1

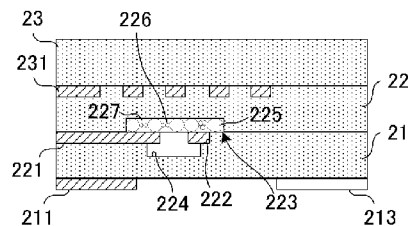
- (51) 国際特許分類:
H01T 4/10 (2006.01) H05F 3/04 (2006.01)
H01T 4/12 (2006.01)
- (21) 国際出願番号: PCT/JP2012/061342
- (22) 国際出願日: 2012 年 4 月 27 日(27.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-105101 2011 年 5 月 10 日(10.05.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (Murata Manufacturing Co., Ltd.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山本隼也 (YAMAMOTO, Junya) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社 村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所 (Kaede Patent Attorneys' Office); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: ESD PROTECTION DEVICE

(54) 発明の名称: ESD 保護デバイス

[図3D]



(57) Abstract: An input side-surface conductor, an output side-surface conductor, and a ground side-surface conductor are disposed on the side surface of a sintered body having an I/O conductor-forming layer (21), a discharge section-forming layer (22), and an inductor layer (23) layered therein. A signal input conductor (211) which conducts to the input side-surface conductor, a signal output conductor which conducts to the output side-surface conductor, and a ground conductor (213) which conducts to the ground side-surface conductor are formed in the I/O conductor-forming layer (21). Discharge conductors (221, 222) are formed in the discharge section-forming layer (22) as discharge units that conduct to the input side-surface conductor and the ground side-surface conductor. A conductor pattern (231) that configures an inductor is formed in the inductor layer (23) and conducts to the input side-surface conductor and the output side-surface conductor. As a result, an ESD protection element capable of reliably protecting electrical components connected at a latter stage from static electricity is provided.

(57) 要約: 入出力用導体形成層 (21) と、放電部形成層 (22) と、インダクタ層 (23) とが積層された焼結体の側面には、入力用側面導体、出力用側面導体およびグランド用側面導体が設けられている。入出力用導体形成層 (21) には、入力用側面導体に導通する信号入力用導体 (211)、出力用側面導体に導通する信号出力用導体、およびグランド用側面導体に導通するグランド用導体 (213) が形成されている。放電部形成層 (22) には、入力用側面導体およびグランド用側面導体それぞれに導通している放電部としての放電導体 (221, 222) が形成されている。インダクタ層 (23) には、インダクタを構成する導体パターン (231) が形成され、入力用側面導体および出力用側面導体を導通している。これにより、後段に接続される電子部品を静電気から確実に保護することができる ESD 保護素子を提供する。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : E S D保護デバイス

技術分野

[0001] 本発明は、発生した静電気から電子機器を保護するE S D保護デバイスに関する。

背景技術

[0002] 近年、携帯電話等の電子機器に用いられる電子部品は、静電気に対して脆弱な構造であり、静電気放電(E S D: Electro-Static-Discharge)によって破壊されたり、誤動作が発生したりするなどの影響を受けることがある。そこで、特許文献1には、高周波回路に適した静電気対策部品が開示されている。

[0003] 図1は特許文献1に記載の静電気対策部品の構成を模式的に示す図である。図1に示す静電気対策部品は、導体が形成されたバリスタ層100及びインダクタ層110、120が積層一体化されて構成されている。各層の導体が電氣的に接続されることにより、並列接続されたバリスタとインダクタとが機器回路の信号ラインおよびグランド間に設けられ、さらに別のインダクタが機器回路の信号ラインに直列に接続された回路が構成されることとなる。

[0004] 並列接続されたバリスタとインダクタとにより、静電気パルスをインダクタによってグランドにバイパスさせると同時にインダクタで除去しきれない高周波成分をバリスタにより吸収することができる。さらに、信号ラインに直列に接続したインダクタにより、静電気パルスの高周波成分が機器の電気回路に印加されるのを抑制し、グランド側のバリスタによる高周波成分の吸収を促進する作用を有し、機器の電気回路に印加される電圧を抑制することができる。

先行技術文献

特許文献

[0005] 特許文献1：特開2004-281893号公報

発明の概要

発明が解決しようとする課題

[0006] 特許文献1に記載の静電気対策部品は、インダクタ層110、120に形成された導体をビア導体130、131、132、133により各層の導体パターンを接続しているが、このビア導体130、131、132、133は、静電気によるサージ電流の熱により破断するおそれがある。ビア導体130、131、132、133が破断した場合、静電気対策部品の後段に接続される電子部品を静電気から確実に保護できなくなる。

[0007] そこで、本発明の目的は、後段に接続される電子部品を静電気から確実に保護することができるESD保護素子を提供することにある。

課題を解決するための手段

[0008] 本発明は、複数の絶縁体基層が積層されてなる積層体と、前記積層体の側面に設けられた第1側面導体、第2側面導体および第3側面導体と、を備えるESD保護デバイスにおいて、前記積層体は、前記第1側面導体に導通する信号入力用導体、前記第2側面導体に導通する信号出力用導体、および前記第3側面導体に導通するグランド用導体が形成された入出力用導体形成層と、前記第1側面導体および前記第3側面導体それぞれに導通する放電部が形成された放電部形成層と、前記第1側面導体および前記第2側面導体を導通するインダクタパターンが構成されているインダクタ層と、を有している。

[0009] この構成では、放電部形成層の放電部は第1側面導体および第3側面導体を介して、入出力用導体形成層の信号入力用導体およびグランド用導体に接続している。また、インダクタ層のインダクタパターンは、第1側面導体および第2側面導体を介して、入出力用導体形成層の信号入力用導体および信号出力用導体に接続している。なお、放電部形成層の放電部はバリスタであってもよいし、放電ギャップを用いたものであってもよい。

[0010] これにより、入出力用導体形成層の信号入力用導体から静電気による高電

圧が印加された場合、放電部で放電が起こり、サージがグランド側に導かれる。また、インダクタパターンにより、信号入力用導体から信号出力用導体に流れるサージの高周波成分が阻止されるため、信号出力用導体に接続される後段の電子部品に静電気が流れることを抑制できる。これにより、後段の電子部品を静電気から保護することができる。

[0011] 本発明に係る ESD 保護デバイスにおいて、前記放電部形成層の放電部は、間隔を隔てて互いに対向しあっている第 1 放電導体および第 2 放電導体を有し、前記第 1 放電導体は前記第 1 側面導体に導通し、前記第 2 放電導体は前記第 3 側面導体に導通していることが好ましい。

[0012] この構成では、信号入力用導体とグランド用導体との間に放電ギャップが設けられる構成となるため、通常動作時には信号入力用導体とグランド用導体とが接続されずに、信号がグランド側に導かれることがない。また、静電気が加わると、放電し、信号入力用導体からグランド用導体へとサージが流れ込み後段へ流れないため、後段の電子部品を保護することができる。この放電ギャップを用いる ESD 保護デバイスは小型であるため、例えばバリスタを用いた場合との対比において、ESD 保護デバイスを小型化できる。

[0013] 本発明に係る ESD 保護デバイスにおいて、前記入出力用導体形成層、前記放電部形成層およびインダクタ層の順に積層されてなることが好ましい。

[0014] この構成では、放電部形成層を入出力用導体形成層の近くに積層している。放電部形成層とインダクタ層とを逆順に積層した場合、入力用導体と放電部との間に不要なインダクタンス成分が発生し易い。放電部の前段にこのインダクタンス成分が存在するためサージに含まれる高周波成分がインダクタンス成分により遮断され、放電部の放電開始電圧を高くなり放電性能が低下する。このため、放電部形成層を入出力用導体形成層の近くに積層することで不要なインダクタンス成分を低減し、より効果的な静電気の放電を行うことができる。

[0015] 本発明に係る ESD 保護デバイスは、前記入出力用導体形成層と前記放電部形成層間の界面の前記第 1 放電導体と、第 2 放電導体の間隔を隔てて互い

に対向しあっている部分に空洞が設けられている構成でもよい。

[0016] この構成では、気中放電を発生させてESD放電特性を安定化することができる。

[0017] 本発明に係るESD保護デバイスは、前記第1放電導体と前記第2放電導体とを接続する、前記放電部形成層に設けられた補助電極をさらに備え、該補助電極は絶縁性材料コート金属粒子および半導体粒子の分散体からなる構成でもよい。

[0018] この構成では、より多くの沿面が形成されるのでESD放電特性を安定化することができ、放電特性をさらに安定化できる。

[0019] 本発明に係るESD保護デバイスにおいて、前記インダクタパターンはミアンダ状に形成されていてもよい。

[0020] この構成では、一の絶縁体層によりインダクタを構成できるため、インダクタを構成するために絶縁体層を積層する必要がなく、より少ない層間接続数によりESD保護デバイスを構成できる。また、第1、第2放電電極が側面導体に直接接続され、ビア導体を用いる必要がないので、サージに対する信頼性が高い。

[0021] 本発明に係るESD保護デバイスにおいて、前記インダクタ層は、導体パターンが形成された絶縁体層が複数積層され、前記絶縁体層に形成された前記導体パターンが絶縁体層のビア穴内に位置する下層の絶縁体層の導体パターンに直接層間接続されて形成された積層インダクタである構成でもよい。

[0022] この構成では、異なる絶縁体層に形成される導体パターンを直接層間接続（ベア接続）している。ビア導体で各層の導体パターンを層間接続する場合、導体パターンに用いる導電性ペーストとは粒径が異なったり樹脂成分が異なったりする導電性ペーストが用いられる。また、ビア導体は一般的には導体パターンとは別工程で形成されることから、ビア導体と導体パターンとは完全に材質が同一ではなく、接続部分の抵抗にばらつきが生じる。その結果、ESD保護デバイスの放電特性が変動し信頼性が損なうおそれがある。ベア接続を用いた相間を跨いだ導体パターン間の直接接続の場合、ESD保護

デバイスの放電特性が低下することを防止できる。

[0023] また、ビア導体で各層の導体パターンを接続する場合、ビア導体を形成する工程で、ビア導体となる導電性ペーストが不足するとビア導体部分が欠損し、ビア導体内に隙間が形成されてしまうが、ベア接続を採用することで、斯かる問題を回避できる。

発明の効果

[0024] 本発明によれば、ベア接続を用いることにより各層に形成された導体パターンを接続するためのビア導体が不要となるため、ビア導体の形成に起因するESD保護デバイスの放電特性の劣化を回避することができる。

図面の簡単な説明

[0025] [図1]特許文献1に記載の静電気対策部品の構成を模式的に示す図

[図2]実施形態1に係るESD保護デバイスの外観図

[図3A]焼結体を構成する各セラミック基板の概略平面図

[図3B]焼結体を構成する各セラミック基板の概略平面図

[図3C]焼結体を構成する各セラミック基板の概略平面図

[図3D]各層の短辺の略中央部における断面図

[図4A]ESD保護デバイスの等価回路を示す図

[図4B]ESD保護デバイスの等価回路を示す図

[図5]インダクタ層を構成する各セラミック基板の概略平面図

[図6]実施形態2に係るインダクタ層の側面断面図

[図7A]キャパシタ層を積層させた場合のESD保護デバイスの等価回路

[図7B]キャパシタ層を積層させた場合のESD保護デバイスの等価回路

発明を実施するための形態

[0026] 以下に説明する実施形態に係るESD保護デバイスは、携帯電話機等の電子機器に内蔵されるIC(Integrated Circuit)をサージのような静電気放電から保護するために用いられる。ESD保護デバイスは、信号ラインとグラウンド間に設けられる。例えば、帯電したユーザが電子機器に接触したときに発生する静電気が信号ラインに加わると、その静電気による電圧をグラン

ド側に導くことにより、後段のICを保護する。

[0027] (実施形態1)

図2は実施形態1に係るESD保護デバイスの外観図である。ESD保護デバイス1は、略直方体形状の焼結体(積層体)2を備えている。焼結体2は、表面に導体パターンが形成された板状の複数のセラミックグリーンシートが厚み方向に積層された後、焼結されて形成されている。セラミックグリーンシートは、絶縁体層になり焼結体2を構成する。

[0028] 焼結体2の外側には、入力用側面導体(第1側面導体)3、出力用側面導体(第2側面導体)4およびグランド用側面導体(第3側面導体)5が互いに非接触に設けられている。入力用側面導体3は、焼結体2の六面のなかで、最小面積となる一の側面と、それに隣接する四つの面の一部とをキャップ状に覆うよう設けられている。出力用側面導体4およびグランド用側面導体5は、入力用側面導体3が設けられた焼結体2の側面に対向する側面の角部にそれぞれ設けられている。

[0029] 入力用側面導体3、出力用側面導体4およびグランド用側面導体5は、それぞれ焼結体2を構成する各絶縁性基板に形成された導体パターンを導通している。すなわち、本実施形態に係るESD保護デバイス1は、各セラミック基板に形成される導体パターンを入力用側面導体3、出力用側面導体4およびグランド用側面導体5で直接導通する構成となっている。

[0030] 例えば導体パターンの接続にビア導体を用いた場合、ビア導体と導体パターンとは、粒径または樹脂成分の異なる導電性ペーストを用いるため、又は製造工程が異なるため、完全に材質が同一ではなく、ビア導体と導体パターンとの接続抵抗にばらつきが生じる。このため、ビア導体が静電気放電によって破断される場合があり、ESD保護デバイス1に対する信頼性を損なうおそれがある。導体パターンを入力用側面導体3、出力用側面導体4およびグランド用側面導体5で直接導通する構成は、ビア導体を不要とすることで、ESD保護デバイス1に対する信頼性が低下することを防止できる。

[0031] また、ビア導体を形成する一般的な工程ではビア導体部分に欠損が生じる

ことがあり、斯かる欠損が原因により積層したセラミック基板の焼結時に破断が発生することがあるが、ビア導体を不要とすることで、破断の問題を回避することができる。

[0032] 図3A、図3Bおよび図3Cは焼結体2を構成する各セラミック基板の概略平面図である。図3Dは、各層の短辺の略中央部における断面図である。図2において、焼結体2の厚み方向を上下方向とすると、図3A、図3Bおよび図3Cは焼結体2の下方向から見た状態を示している。図3Aは焼結体2の最下層となる入出力用導体形成層21、図3Bは焼結体2の中間層となる放電部形成層22、図3Cは焼結体2の示す最上層となるインダクタ層23、図3Dは焼結体2の断面図をそれぞれ示している。

[0033] 入出力用導体形成層21は、ESD保護デバイス1への信号の入出力、およびグランド用導体を形成するための層である。入出力用導体形成層21には、図3Aに示すように、長形状の信号入力用導体211、信号出力用導体212およびグランド用導体213が形成されている。

[0034] 信号入力用導体211は、信号ラインが接続され、ESD保護デバイス1へ信号を入力する入力端子となる。この信号入力用導体211は、一の長辺が入出力用導体形成層21の一の短辺に一致するよう形成されている。信号入力用導体211は入力用側面導体3と導通している。

[0035] 信号出力用導体212は、信号ラインが接続され、ESD保護デバイス1から信号を出力する出力端子となる。この信号出力用導体212は、信号入力用導体211とは逆側の短辺の一方の角部に形成されている。信号出力用導体212は、出力用側面導体4と導通している。

[0036] グランド用導体213は、ESD保護デバイス1をグランドに接続するための端子となる。グランド用導体213は、信号入力用導体211とは逆側の短辺の他方の角部に形成されている。グランド用導体213は、グランド用側面導体5と導通している。

[0037] 放電部形成層22は、静電気を放電する放電部が形成された層である。放電部形成層22には、図3Bに示すように、放電部として放電導体221、

222を例えば30 μ mのギャップを介して対向するように形成されている。放電導体221は、焼結体2に設けられる入力用側面導体3と導通している。従って、放電導体221は、入力用側面導体3を介して入出力用導体形成層21の信号入力用導体211と導通している。

[0038] また、放電導体222は、焼結体2に設けられる出力用側面導体4と導通している。従って、放電導体222は、グランド用側面導体5を介して入出力用導体形成層21のグランド用導体213と導通している。

[0039] インダクタ層23には、図3Cに示すように、ミアンダ状に導体パターン231が形成されており、斯かる導体パターン231によりインダクタが構成されている。導体パターン231の一端は入力用側面導体3と導通し、他端は出力用側面導体4と導通している。従って、導体パターン231は、入力用側面導体3および出力用側面導体4を介して、入出力用導体形成層21の信号入力用導体211および信号出力用導体212と導通している。

[0040] 放電部形成層22と入出力用導体形成層21の間には、図3Dに示すように、空洞224が設けられている。空洞224内に第1放電導体221と、第2放電導体222のギャップを隔てて対向する部分が露出している。空洞224を設けたので、気中放電を発生させてESD放電特性を安定化することができる。

[0041] 第1放電導体221と、第2放電導体222とを接続するように、放電部形成層22に補助電極223が設けられている。補助電極223は絶縁性材料コート金属粒子および半導体粒子の分散体からなる。補助電極223により、放電開始電圧を、適度な電圧に調整することができる。絶縁材料コート金属粒子225と半導体粒子226とからなる補助電極223がガラス様物質227中に分散配置されており、より多くの沿面が形成されるのでESD放電特性は安定したものになる。

[0042] 以下に、焼結体2の製造方法を説明する。Ba、AlおよびSiを主体とするBAS材を所定の組成となるように混合し、仮焼、粉碎してセラミック粉末を得る。セラミック粉末と、有機溶媒、バインダー及び可塑剤からなる

スラリーをドクターブレード法で成形してセラミックグリーンシートを得る。平均粒径 $2\ \mu\text{m}$ の Cu 粒子 80 重量%と、バインダーと、有機溶剤とを攪拌、混合し導電性ペーストを得る。

[0043] 平均粒径 $4\ \mu\text{m}$ の Cu 粒子の表面に平均粒径数 nm ～数十 nm の Al₂O₃ 粉末を付着させてなる、金属粒子を用意する。この金属粒子に平均粒径 $1\ \mu\text{m}$ の SiC 粉末、バインダー樹脂及び溶剤を混合し、補助電極用ペーストを得る。

[0044] 空洞 224 を形成する焼失性材料として、ポリエチレンテレフタレート (PET) と有機溶剤からなる樹脂ペーストを用意する。入出力用導体形成層 21 となる上記のセラミックグリーンシートを積層し、表面にインダクタ層 23 となる上記導電性ペーストを印刷する。その上に放電部形成層 22 となる上記のセラミックグリーンシートを積層し、その上に、補助電極 223 となる上記補助電極形成用ペーストを塗布する。

[0045] しかるのち、第 1、第 2 放電導体 221、222 となる上記導電性ペーストを印刷する。さらに、空洞 224 となる上記樹脂ペーストを塗布する。上面に入出力用導体形成層 21 となるセラミックグリーンシートを積層し、全体を厚み方向に圧着する。このようにして積層体を用意する。しかるのち、押し切りにより上記積層体を切断し、ESD 保護デバイス個片を得る。

[0046] 次に、入力用側面導体 3、出力用側面導体 4 およびグランド用側面導体 5 となる導電性ペーストを塗布する。次に、窒素雰囲気中で焼成し、樹脂ペーストが焼失して形成された空洞内に第 1、第 2 放電導体 221、222 の対向部分が露出した ESD 保護デバイスを得る。

[0047] なお、入出力用導体形成層 21、放電部形成層 22 および入出力用導体形成層 21 となるセラミックグリーンシートは単層と複数層のいずれであってもよい。

[0048] 図 4 A および図 4 B は ESD 保護デバイス 1 の等価回路を示す図である。ESD 保護デバイス 1 の信号入力用導体 211 には、信号を入力する信号ライン 10 が接続され、信号出力用導体 212 には信号を出力する信号ライン

1 1 が接続される。また、グランド用導体 2 1 3 はグランドに接続される。

[0049] 信号入力用導体 2 1 1 は、入力用側面導体 3、およびインダクタ L を構成するインダクタ層 2 3 の導体パターン 2 3 1、および出力用側面導体 4 を介して、信号出力用導体 2 1 2 に接続している。また、信号入力用導体 2 1 1 は、入力用側面導体 3、放電部形成層 2 2 の放電導体 2 2 1、2 2 2、およびグランド用側面導体 5 を介してグランド用導体 2 1 3 に接続されている。

[0050] 換言すれば、入力用の信号ライン 1 0 が接続される信号入力用導体 2 1 1 は、インダクタ L を介して、出力用の信号ライン 1 1 が接続される信号出力用導体 2 1 2 に接続されている。また、信号入力用導体 2 1 1 は、放電導体 2 2 1、2 2 2 を介してグランドに接続されている。

[0051] 図 4 A に示す回路において、平時に信号ライン 1 0 から信号が入力されても、放電導体 2 2 1、2 2 2 は高い抵抗を持っているため、信号が放電導体 2 2 1、2 2 2 を介してグランド側に流れることはない。この場合、信号ライン 1 0 から入力される信号は、インダクタ L を介して信号出力用導体 2 1 2 に流れ、信号ライン 1 1 から出力される。

[0052] 一方、信号ライン 1 0 に静電気が加わり、過大な電圧が信号ライン 1 0 上加わると、放電導体 2 2 1、2 2 2 間で放電が起こり、サージがグランド側に導かれる。また、インダクタ L は高周波成分を通さないため、サージの高周波成分が信号ライン 1 0 から信号ライン 1 1 へ流れるのを抑制している。これにより、ESD 保護デバイス 1 は、信号ライン 1 1 に接続される後段の IC に静電気による電圧が印加されることを防ぎ、後段の IC を静電気から保護する。

[0053] 以上説明したように、本実施形態では、ESD 保護デバイス 1 の後段に接続される IC を静電気から保護することができる。この ESD 保護デバイス 1 は、焼結体 2 を構成する各セラミック基板の導体パターンを、側面導体 3、4、5 により導通している。

[0054] これにより、発生する静電気の高電圧によりビア導体が破断し、ESD 保護デバイス 1 が機能しなくなることを防止することができる。

[0055] また、焼結体 2 において、放電部形成層 2 2 を入出力用導体形成層 2 1 の近くに積層しているが、放電部形成層 2 2 とインダクタ層 2 3 とを反対順に積層した場合、図 4 B に示すように、信号入力用導体 2 1 1 と放電導体 2 2 1 との間に不要なインダクタンス成分 L_S が発生し易い。高周波成分がインダクタンス成分 L_S により遮断され、放電導体 2 2 1, 2 2 2 による放電性能が低下する。ESD 保護デバイスが放電しないため、後段に静電気が流れてしまう。このため、放電部形成層 2 2 を入出力用導体形成層 2 1 の近くに積層することで、インダクタンス成分 L_S による静電気の放電への影響を無くし、より効果的な静電気の放電を行うことができる。

[0056] (実施形態 2)

実施形態 1 では、ミアンダ状に形成した線状の導体パターンによりインダクタ層のインダクタ L を構成しているが、実施形態 2 では、インダクタ層 2 3 を複数層から形成し、インダクタ L を積層インダクタとしている点で実施形態 1 と相違する。以下、相違点についてのみ説明する。

[0057] 図 5 は、インダクタ層を構成する各セラミック基板の概略平面図である。図 5 は、インダクタ層を下方向から見たみた各セラミック基板の下面図である。図 6 は、実施形態 2 に係るインダクタ層の側面断面図である。

[0058] インダクタ層 6 は、第 1 セラミック基板 6 1、第 2 セラミック基板 6 2、第 3 セラミック基板 6 3 および第 4 セラミック基板 6 4 が積層されて構成されている。

[0059] 図 5 (a) に示す第 1 セラミック基板 6 1 は、インダクタ層の最上層となり、線状の導体パターン 6 1 1 が第 1 セラミック基板 6 1 の一の短辺から長辺に沿って延びている。この導体パターン 6 1 1 は、第 1 セラミック基板 6 1 の各辺に平行となるよう、外側から内側中心（以下、A 点という）に向かって時計方向に巻回して形成されている。

[0060] 図 5 (b) に示す第 2 セラミック基板 6 2 は、第 1 セラミック基板 6 1 の下方に積層されている。第 2 セラミック基板 6 2 には線状の導体パターン 6 2 1 が、第 2 セラミック基板 6 2 の各辺に平行となるよう、第 1 セラミック

基板 6 1 の A 点と厚み方向に一致する位置から外側に向かって時計方向に巻回して形成されている。以下、導体パターン 6 2 1 の外側の端部の位置を B 点とする。

[0061] 図 5 (c) に示す第 3 セラミック基板 6 3 は、第 2 セラミック基板 6 2 の下方に積層されている。第 3 セラミック基板 6 3 には線状の導体パターン 6 3 1 が、第 3 セラミック基板 6 3 の各辺に平行となるよう、第 2 セラミック基板 6 2 の B 点と厚み方向に一致する位置から内側に向かって時計方向に巻回して形成されている。以下、導体パターン 6 3 1 の外側の端部の位置を C 点とする。

[0062] 図 5 (d) に示す第 4 セラミック基板 6 4 は、第 3 セラミック基板 6 3 の下方に積層されている。第 4 セラミック基板 6 4 には線状の導体パターン 6 4 1 が、第 4 セラミック基板 6 4 の各辺に平行となるよう、第 3 セラミック基板 6 3 の C 点と厚み方向に一致する位置から外側に向かって時計方向に巻回し、第 4 セラミック基板 6 4 の一の短辺まで延びて形成されている。

[0063] 第 1 セラミック基板 6 1 の導体パターン 6 1 1 は入力用側面導体 3 と導通している。また、第 4 セラミック基板 6 4 の導体パターン 6 4 1 は出力用側面導体 4 と導通している。さらに各セラミック基板 6 1, 6 2, 6 3, 6 4 の導体パターン 6 1 1, 6 2 1, 6 3 1, 6 4 1 は、各 A 点、B 点および C 点においてベア接続により接続されている。

[0064] 各セラミック基板となるセラミックグリーンシートには、貫通するビア穴が炭酸ガスレーザを照射して穿孔するなどの方法により形成され、その後、導体パターンの印刷と同時にビア穴に導電性ペーストが充填される。すなわち、導電パターンおよびビア接続部分は同じ一の工程で形成される。上記導電性ペーストを充填した後にセラミックグリーンシートを複数枚積層し圧着および焼成することにより ESD 保護デバイスを製造する。このため、異なる層間の導体パターンの接続部分の抵抗値のばらつきは、導電パターンの印刷と、ビア穴への充填とを別工程で形成した場合に比べて小さくなる。

[0065] 通常は、セラミック基板の導体パターンと異なる層間の導体パターンを電

氣的に接続するビア導体とはそれぞれ別工程で形成されるため、同一の導電性ペーストを用いても完全に同じ材質ではなくなる。また、通常は、ビア導体形成用導電性ペーストは充填性の良いものを選び、導体パターン形成用導電性ペーストは印刷性のよいものを選ぶ。このため、E S D保護デバイス1における導体パターンとビア導体との接続は、異種材質同士の接続となり、接続部分の抵抗値が変動しやすくなる。このため、E S D保護デバイス1の放電特性のばらつきが大きくなり、E S D保護デバイス1に対する信頼性が低下するおそれがある。

[0066] そこで、本実施形態2のように、導体パターンとベア接続部分とを同じ工程で形成することで、導体パターンとベア接続部分とは同じ材質となるため、接続部分の抵抗値を略均一にすることができ、E S D保護デバイス1に対する信頼性が低下することを防止することができる。

[0067] 以上、本発明に係るE S D保護デバイス1について説明したが、具体的構成などは、適宜設計変更可能であり、上述の実施形態に記載された作用及び効果は、本発明から生じる最も好適な作用及び効果を列挙したに過ぎず、本発明による作用及び効果は、上述の実施形態に記載されたものに限定されるものではない。

[0068] 例えば、E S D保護デバイス1の焼結体2に、キャパシタ層をさらに積層させるようにしてもよい。図7Aおよび図7Bはキャパシタ層を積層させた場合のE S D保護デバイス1の等価回路を示す。キャパシタ層とは、表面に形成する導体パターンによりキャパシタCが構成されるセラミック基板である。

[0069] 例えば、入出力層、放電層、インダクタ層およびキャパシタ層の順に積層させ、キャパシタCを構成する導体パターンの一端を出力用側面導体4に接続し、他端をグランド用側面導体5に接続する構成とする。この場合、図7Aに示すように、インダクタ層のインダクタLと、キャパシタ層のキャパシタCとにより、ローパスフィルタが構成される。

[0070] ローパスフィルタをE S D保護デバイス1に構成することで、高周波回路

で用いられるローパスフィルタをESD保護デバイス1内に組み込むことができる。これにより、ローパスフィルタの素子を実装する面積が不要となり、回路面積を小さくすることができる。

[0071] また、例えば、入出力層、放電層、キャパシタ層およびインダクタ層の順に積層させ、キャパシタCを構成する導体パターン的一端を入力用側面導体3に接続し、他端を出力用側面導体4に接続し、さらに、インダクタLの一端を出力用側面導体4に接続し、他端をグランド用側面導体5に接続する構成とする。この場合、図7Bに示すように、インダクタ層のインダクタLと、キャパシタ層のキャパシタCとにより、ハイパスフィルタが構成される。

[0072] ハイパスフィルタを設けることで、入出力間がキャパシタCにより直流的に遮断されるため、ESD保護デバイス1の後段に接続される回路へのサージエネルギーを十分に抑制できる。

符号の説明

- [0073] 1－ESD保護デバイス
2－焼結体（積層体）
21－入出力用導体形成層
22－放電部形成層
23－インダクタ層
3－入力用側面導体（第1側面導体）
211－信号入力用導体
212－信号出力用導体
213－グランド用導体
221, 222－放電導体（放電部、第1放電導体、第2放電導体）
223－補助電極
224－空洞
225－絶縁材料コート金属粒子
226－半導体粒子
227－ガラス様物質

4ー出力用側面導体（第2側面導体）

5ーグランド用側面導体（第3側面導体）

請求の範囲

- [請求項1] 複数の絶縁体基層が積層されてなる積層体と、
前記積層体の側面に設けられた第1側面導体、第2側面導体および第3側面導体と、
を備えるESD保護デバイスにおいて、
前記積層体は、
前記第1側面導体に導通する信号入力用導体、前記第2側面導体に導通する信号出力用導体、および前記第3側面導体に導通するグラウンド用導体が形成された入出力用導体形成層と、
前記第1側面導体および前記第3側面導体それぞれに導通する放電部が形成された放電部形成層と、
前記第1側面導体および前記第2側面導体を導通するインダクタパターンが構成されているインダクタ層と、
を有しているESD保護デバイス。
- [請求項2] 前記放電部形成層の放電部は、
間隔を隔てて互いに対向しあっている第1放電導体および第2放電導体を有し、
前記第1放電導体は前記第1側面導体に導通し、前記第2放電導体は前記第3側面導体に導通している、請求項1に記載のESD保護デバイス。
- [請求項3] 前記積層体は、前記入出力用導体形成層、前記放電部形成層およびインダクタ層の順に積層されてなる、請求項1又は2に記載のESD保護デバイス。
- [請求項4] 前記入出力用導体形成層と前記放電部形成層間の界面の前記第1放電導体と、第2放電導体の間隔を隔てて互いに対向しあっている部分に空洞が設けられている、請求項2又は3に記載のESD保護デバイス。
- [請求項5] 前記第1放電導体と前記第2放電導体とを接続する、前記放電部形

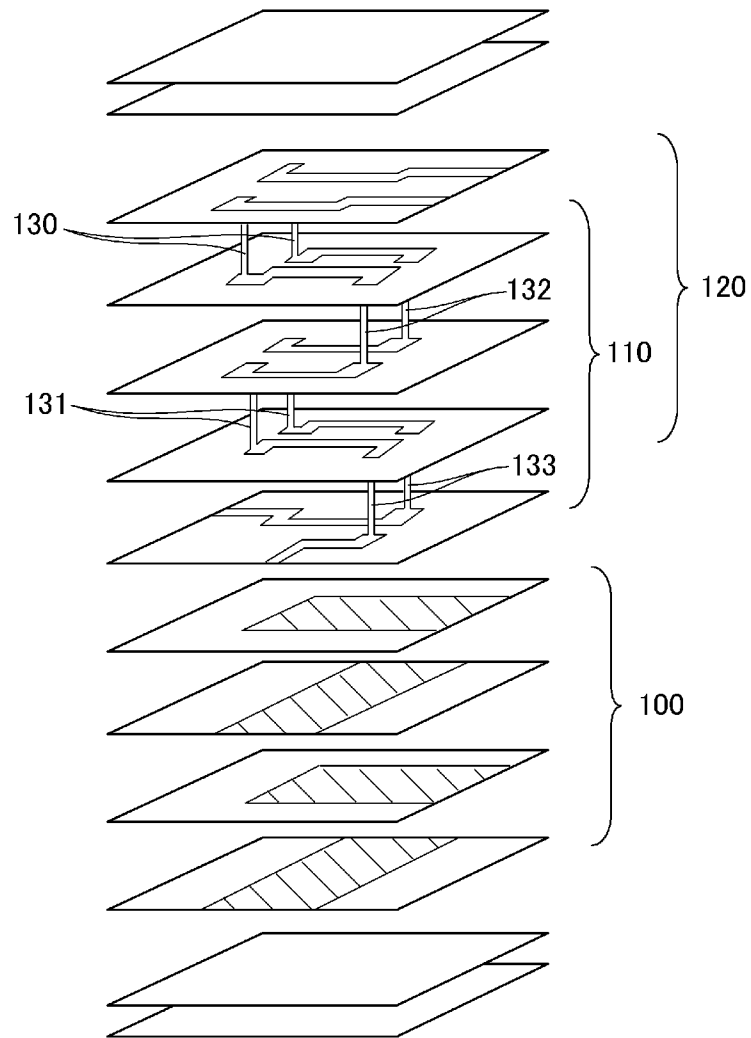
成層に設けられた補助電極をさらに備え、

該補助電極は絶縁性材料コート金属粒子および半導体粒子の分散体からなる、請求項 2 から 4 の何れか一つに記載の E S D 保護デバイス。

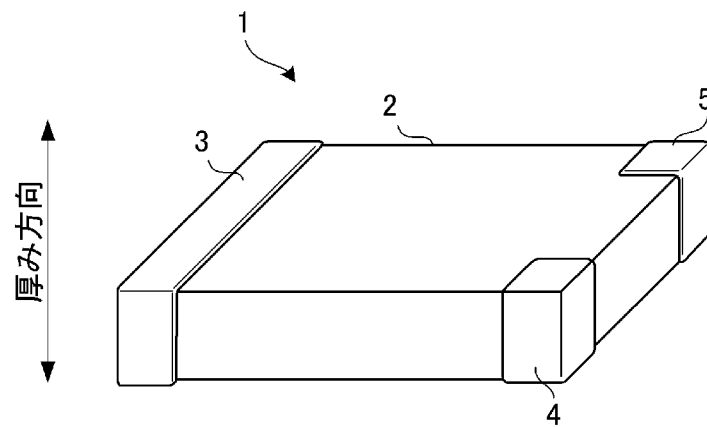
[請求項 6] 前記インダクタパターンはミアンダ状に形成されている、請求項 1 から 5 の何れか一つに記載の E S D 保護デバイス。

[請求項 7] 前記インダクタ層は、導体パターンが形成された絶縁体層が複数積層され、前記絶縁体層に形成された前記導体パターンが絶縁体層のビア穴内に位置する下層の絶縁体層の導体パターンに直接層間接続されて形成された積層インダクタである、請求項 1 から 6 の何れか一つに記載の E S D 保護デバイス。

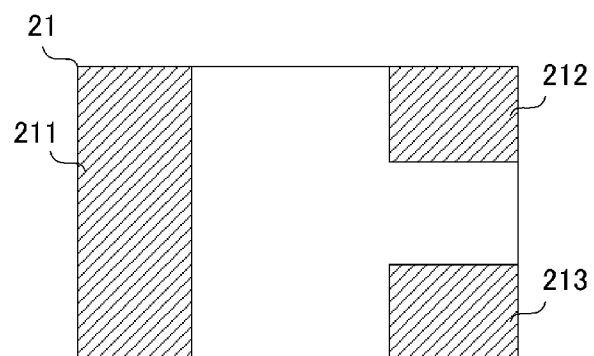
[図1]



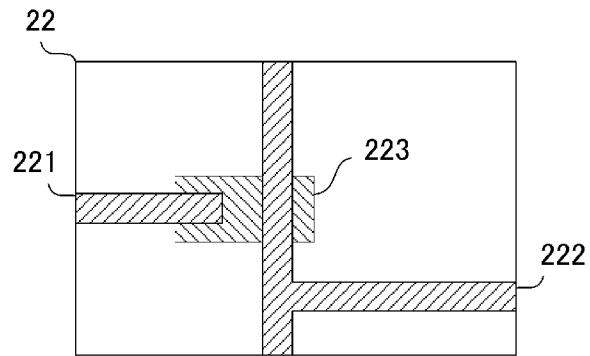
[図2]



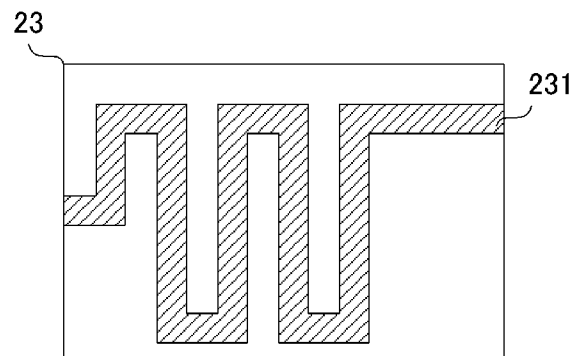
[図3A]



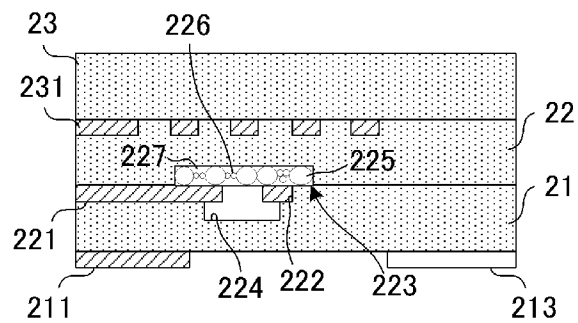
[図3B]



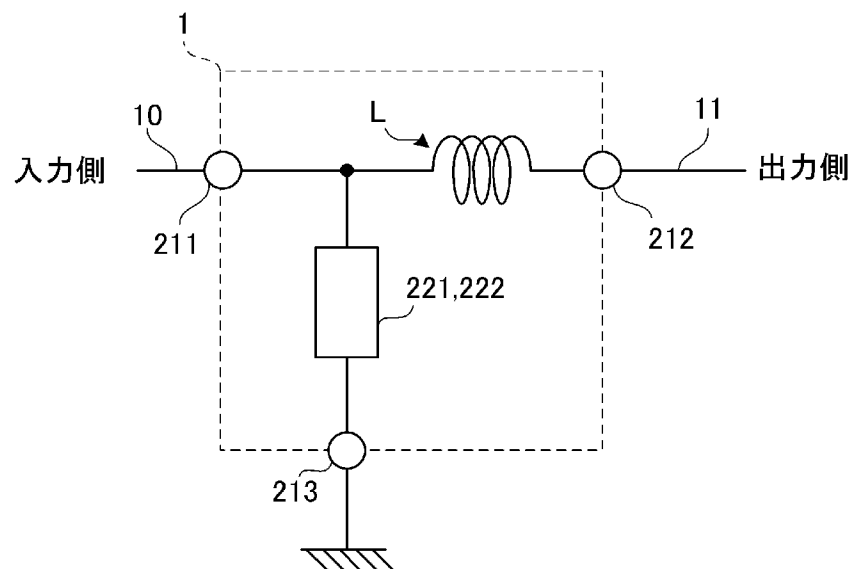
[図3C]



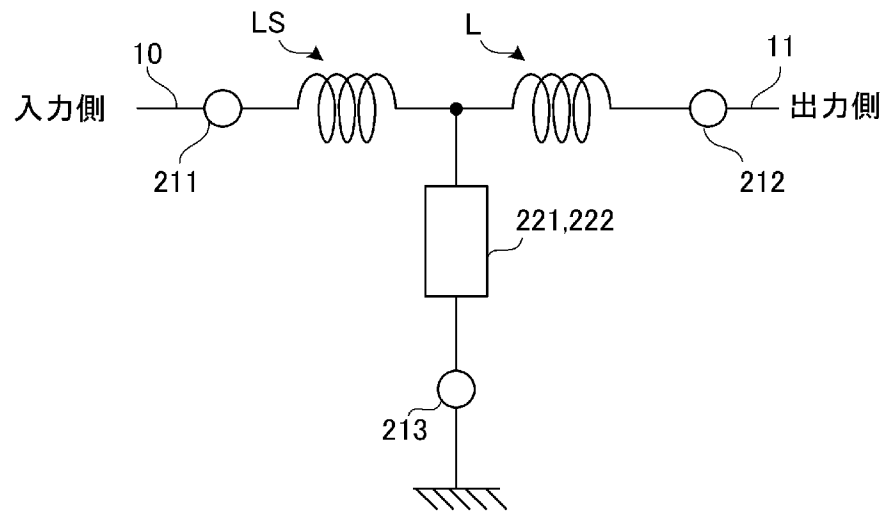
[図3D]



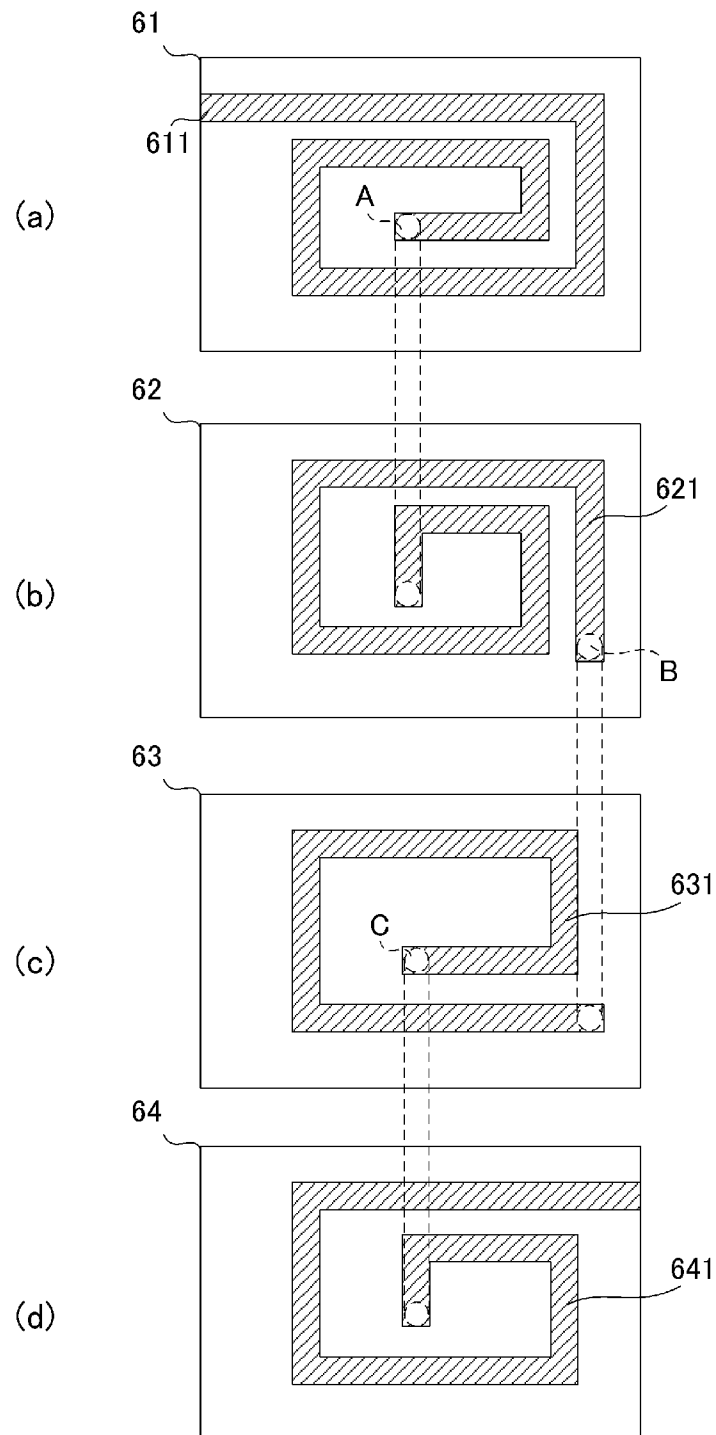
[図4A]



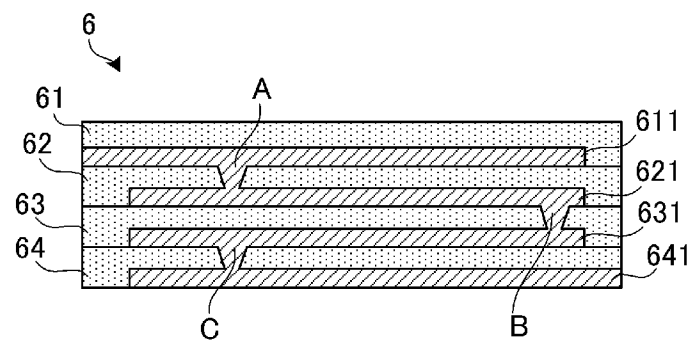
[図4B]



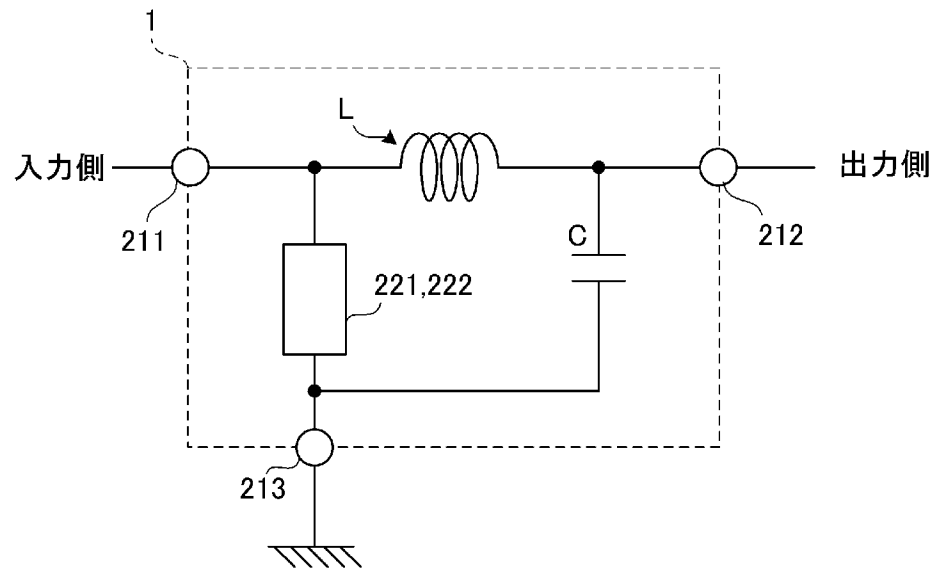
[図5]



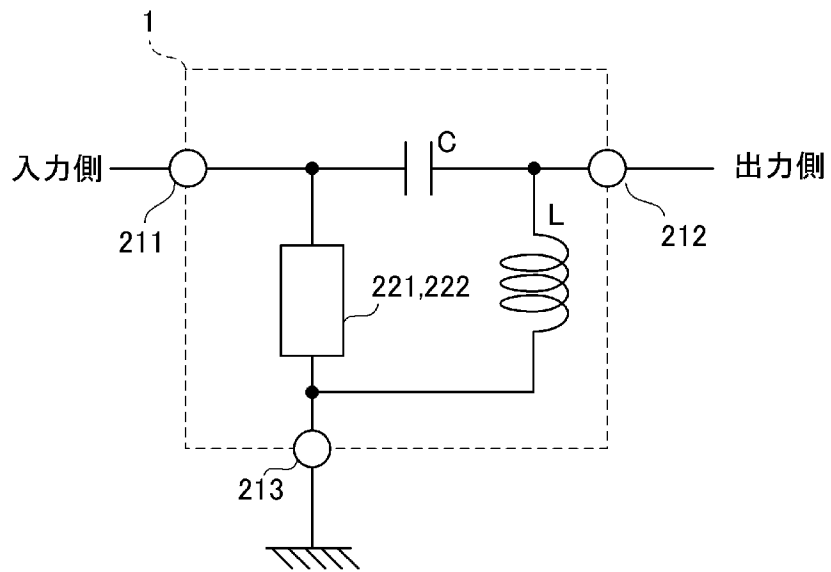
[図6]



[図7A]



[図7B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/061342

A. CLASSIFICATION OF SUBJECT MATTER

H01T4/10(2006.01)i, H01T4/12(2006.01)i, H05F3/04(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01T4/10, H01T4/12, H05F3/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-294724 A (Matsushita Electric Industrial Co., Ltd.), 26 October 2006 (26.10.2006), paragraphs [0014] to [0024]; fig. 1 to 3 (Family: none)	1-7
Y	JP 2005-260137 A (Matsushita Electric Industrial Co., Ltd.), 22 September 2005 (22.09.2005), paragraphs [0060] to [0063]; fig. 8 & US 2006/0227473 A1	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
26 July, 2012 (26.07.12)

Date of mailing of the international search report
07 August, 2012 (07.08.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/061342

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 085977/1990 (Laid-open No. 043889/1992) (TDK Corp.), 14 April 1992 (14.04.1992), entire text; all drawings (Family: none)	4
Y	JP 2003-123936 A (Matsushita Electric Industrial Co., Ltd.), 25 April 2003 (25.04.2003), entire text; all drawings (Family: none)	4
Y	WO 2009/098944 A1 (Murata Mfg. Co., Ltd.), 13 August 2009 (13.08.2009), entire text; all drawings & US 2010/0309595 A1	5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01T4/10(2006.01)i, H01T4/12(2006.01)i, H05F3/04(2006.01)n

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01T4/10, H01T4/12, H05F3/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-294724 A（松下電器産業株式会社）2006. 10. 26, 【0 0 1 4】－【0 0 2 4】, 図1－3（ファミリーなし）	1-7
Y	JP 2005-260137 A（松下電器産業株式会社）2005. 09. 22, 【0 0 6 0】－【0 0 6 3】, 図8 & US 2006/0227473 A1	1-7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 7 . 2 0 1 2

国際調査報告の発送日

0 7 . 0 8 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

段 吉享

3 X

3 8 2 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 7 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	日本国実用新案登録出願 2-085977 号(日本国実用新案登録出願公開 4-043889 号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (ティーディーケー株式会社) 1992.04.14, 全文, 全図 (ファミリーなし)	4
Y	JP 2003-123936 A (松下電器産業株式会社) 2003.04.25, 全文, 全図 (ファミリーなし)	4
Y	WO 2009/098944 A1 (株式会社村田製作所) 2009.08.13, 全文, 全図 & US 2010/0309595 A1	5