



(12) 发明专利

(10) 授权公告号 CN 101630287 B

(45) 授权公告日 2013. 08. 28

(21) 申请号 200910139646. 7

(22) 申请日 2009. 06. 30

(30) 优先权数据

12/215, 914 2008. 06. 30 US

(73) 专利权人 英特尔公司

地址 美国加利福尼亚

(72) 发明人 B·弗莱明 T·塔卡尔

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 钟胜光 王英

(51) Int. Cl.

G06F 12/00 (2006. 01)

G06F 17/00 (2006. 01)

(56) 对比文件

US 2007/0043965 A1, 2007. 02. 22, 说明书第 31-50 段, 第 66 段, 第 72 段、附图 9.

US 2006/0101174 A1, 2006. 05. 11, 全文.

CN 101036393 A, 2007. 09. 12, 全文.

审查员 蓝娟

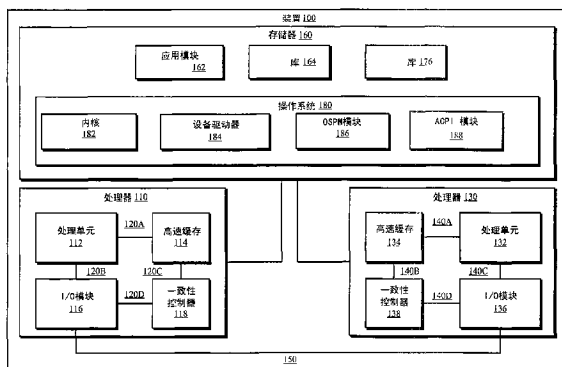
权利要求书1页 说明书7页 附图6页

(54) 发明名称

基于性能的高速缓存管理

(57) 摘要

公开了用于管理高速缓存存储器的方法和装置。在一个实施例中, 电子设备包括第一处理单元、第一高速缓存存储器、第一高速缓存控制器和功率管理模块, 其中所述功率管理模块确定用于所述高速缓存存储器的至少一个运行参数并且将用于所述高速缓存存储器的所述至少一个运行参数传递到高速缓存控制器。另外, 所述第一高速缓存控制器根据所述至少一个运行参数来管理所述高速缓存存储器, 并且所述功率管理模块在所述功率管理模块中评价来自所述高速缓存控制器的用于所述高速缓存存储器的运行数据, 并且在所述功率管理模块中基于来自所述高速缓存控制器的用于所述高速缓存存储器的所述运行数据生成用于所述高速缓存存储器的至少一个经修改的运行参数。



1. 一种用于管理电子设备中的高速缓存存储器的方法,包括:
在运行在所述电子设备上的功率管理模块中确定高速缓存命中率是否超过阈值;
响应于确定所述高速缓存命中率超过阈值,减少所述高速缓存存储器的高速缓存频率或高速缓存大小中的至少一个,并且增加访问计数器阈值以减少评价/事件频率;
响应于确定所述高速缓存命中率未超过阈值,在运行在所述电子设备上的所述功率管理模块中确定高速缓存未命中率是否超过阈值;以及
响应于确定所述高速缓存未命中率超过阈值,增加所述高速缓存存储器的高速缓存频率或所述高速缓存大小中的至少一个,并且减少访问计数器阈值以增加评价/事件频率。
2. 根据权利要求1所述的方法,还包括:
根据表来确定用于所述电子设备的工作负荷参数,或根据所述电子设备上的运行状况来实时地确定工作负荷参数。
3. 根据权利要求1所述的方法,其中,减少所述高速缓存存储器的高速缓存频率或高速缓存大小中的至少一个以及增加所述高速缓存存储器的高速缓存频率或高速缓存大小中的至少一个包括下列各项中的至少一项:
时钟门控至少一个高速缓存存储器块;或
功率门控至少一个高速缓存存储器块。
4. 根据权利要求1所述的方法,还包括评价下列各项中的至少一项:
高速缓存命中计数、高速缓存未命中计数、停止周期计数或侦听周期刷新计数。
5. 一种用于管理电子设备中的高速缓存存储器的装置,包括:
用于在运行在所述电子设备上的功率管理模块中确定高速缓存命中率是否超过阈值的模块;
用于响应于确定所述高速缓存命中率超过阈值,减少所述高速缓存存储器的高速缓存频率或高速缓存大小中的至少一个,并且增加访问计数器阈值以减少评价/事件频率的模块;
用于响应于确定所述高速缓存命中率未超过阈值,在运行在所述电子设备上的所述功率管理模块中确定高速缓存未命中率是否超过阈值的模块;以及
用于响应于确定所述高速缓存未命中率超过阈值,增加所述高速缓存存储器的高速缓存频率或所述高速缓存大小中的至少一个,并且减少访问计数器阈值以增加评价/事件频率的模块。
6. 根据权利要求5所述的装置,还包括:
用于根据表来确定用于所述电子设备的工作负荷参数的模块、或用于根据在所述电子设备上的运行状况来实时地确定工作负荷参数的模块。
7. 根据权利要求5所述的装置,其中,用于减少所述高速缓存存储器的高速缓存频率或高速缓存大小中的至少一个的模块以及用于增加所述高速缓存存储器的高速缓存频率或高速缓存大小中的至少一个的模块包括下列各项中的至少一项:
用于时钟门控至少一个高速缓存存储器块的模块;或
用于功率门控至少一个高速缓存存储器块的模块。
8. 根据权利要求5所述的装置,还包括用于评价下列各项中的至少一项的模块:
高速缓存命中计数、高速缓存未命中计数、停止周期计数和侦听周期刷新计数。

基于性能的高速缓存管理

技术领域

[0001] 本公开一般涉及电子领域。更具体地,本发明实施例涉及在电子设备中的基于性能的高速缓存管理。

背景技术

[0002] 许多电子设备包括典型地通过降低存储器访问延迟,使用高速缓存存储器来改善在该电子设备中的处理器的性能。诸如多核处理器之类的一些电子设备使用多个高速缓存存储器模块。对高速缓存存储器的熟练管理提供了在保持足够的运行参数的同时节省功率的机会。

附图说明

[0003] 下面参考附图进行详细的描述。在图中,参考数字的最左边的数字标识参考数字首次在其中出现的图。在不同的图中使用相同的参考数字指示类似的或相同的项。

[0004] 图 1 是根据实施例的电子装置的示意图。

[0005] 图 2 是根据实施例的在电子装置的处理器中的存储器配置的示意图。

[0006] 图 3 和 4 是根据实施例的说明高速缓存管理操作的流程图。

[0007] 图 5 和 6 是计算系统的实施例的示意图,该计算系统可以被用于实现本文讨论的各个实施例。

具体实施方式

[0008] 在下面的描述中,阐明了许多具体细节以便提供对各个实施例的透彻理解。然而,可以在没有这些具体细节的情况下实施本发明的各个实施例。在其它情形,未详细描述公知的方法、过程、部件和电路等,以避免模糊本发明的特定实施例。

[0009] 图 1 是根据实施例的电子装置 100 的示意图。参考图 1,电子装置 100 可以包括一个或多个处理器 110、130。处理器 110 可以包括处理单元 112、高速缓存存储器模块 114、输入-输出 (I/O) 模块 116 和一致性控制器 118。同样地,处理器 130 可以包括处理单元 132、高速缓存存储器模块 134、输入-输出 (I/O) 模块 136 和一致性控制器 138。在一个实施例中,装置 100 可以是多核处理器。

[0010] 可以通过一条或多条通信总线 120A、120B、120C、120D、120E 来耦合处理器 110 的各个部件,在本文中将这些总线一起指代为参考数字 120。可以通过一条或多条通信总线 140A、140B、140C、140D、140E 来耦合处理器 130 的各个部件,在本文中将这些总线一起指代为参考数字 140。另外,可以通过通信总线 150 来耦合处理器 110、130。电子装置 100 还包括通过通信总线 120E、140E 耦合到处理器 110、130 的存储器模块 160。在一个实施例中,通信总线 120、130 和 150 可以被实现为点对点总线。

[0011] 处理器 110、130 可以是诸如通用处理器、处理在计算机网络上传送的数据的网络处理器或包括精简指令集计算机 (RISC) 处理器或复杂指令集计算机 (CISC) 的其它类型的

处理器之类的任意处理器。处理单元 112、132 可以被实现为诸如算术逻辑单元 (ALU) 之类的任意类型的中央处理单元 (CPU)。

[0012] 存储器模块 160 可以是诸如随机存取存储器 (RAM)、动态随机存取存储器 (DRAM)、随机操作存储器 (ROM)、或它们的组合之类的任意存储器。I/O 模块 116、136 可以包括用于管理在各自的通信总线 120、130、150 和存储器模块 160 上的一个或多个输入 / 输出端口的逻辑。

[0013] 在一个实施例中, 高速缓存存储器单元 114、134 可以被体现为回写式高速缓存模块。高速缓存模块 114、134 暂时存储由相应的处理器 110、130 修改的数据值, 从而减少需把数据值写回到存储器模块 160 的总线事务的数目。在图 1 描述的实施例中, 高速缓存模块 114、134 被集成到相应的处理器 110、130 中。在替代的实施例中, 高速缓存模块 114、134 可以位于处理器 110、130 外部并且通过通信总线进行耦合。

[0014] 在一些实施例中, 一致性控制器 118、138 管理用于保持在高速缓存模块 114、118 中的高速缓存一致性的操作。例如, 当处理单元 112 修改数据值时, 在将修改后的数据值写回到存储器 160 之前, 该修改后的数据值存在于它的高速缓存模块 114 中。因此, 存储器模块 160 和其它高速缓存单元 (例如高速缓存 134) 将包含旧的数据值, 直到将在高速缓存模块 114 中的数据值写回到存储器模块 160 为止。

[0015] 一致性控制器 118、138 可以实现一种或多种技术来保持在高速缓存模块 114、138 和存储器模块 160 之间的高速缓存一致性。高速缓存一致性技术典型地使用一致性状态信息, 其指示在高速缓存单元中的特定数据值是否是无效、经修改、被共享、被独占等。存在许多的高速缓存一致性技术, 两个流行的版本包括 MESI 高速缓存一致性协议和 MOESI 高速缓存一致性协议。缩略语 MESI 代表经修改、排他、被共享和无效状态, 而缩略语 MOESI 代表经修改、被拥有、排他、被共享和无效状态。在替代的实施例中, 高速缓存控制器 118、138 可以实现总线广播技术来保持高速缓存一致性。例如, 在多总线系统中, 在每一条总线上发起的总线事务可以向系统中的其它总线广播。

[0016] 在替代的实施例中, 高速缓存控制器 118、138 可以实现基于目录的高速缓存一致性方法。在目录技术中, 主存储器子系统通过存储关于数据的额外信息来保持存储器一致性。在主存储器子系统内的额外信息可以指示: 1) 哪个或哪些处理器已经获得了数据值的副本, 以及 2) 数据值的一致性状态。例如, 额外信息可以指示多于一个的处理器共享相同的数据值。而在另一个例子中, 额外信息可以指示仅仅单个处理器具有修改特定数据值的权限。

[0017] 在替代的实施例中, 高速缓存控制器 118、138 可以实现总线互连高速缓存一致性技术, 其中一致性状态信息关联于存储在各自的高速缓存单元 114、134 中的数据值。由一致性控制器 118、138 实现的特定高速缓存一致性技术超出了本公开的范围。

[0018] 在一个实施例中, 一致性控制器 118、138 可以被实现为逻辑单元, 例如可在处理器 110、130 上执行的软件或固件。在替代的实施例中, 一致性控制器可以被实现为在处理器 110、130 上的逻辑电路。

[0019] 存储器 160 包括用于管理装置 100 的操作的操作系统 180。在操作中, 在计算机 108 上执行的一个或多个应用模块 162 和 / 或库 164 调用操作系统 180 来在计算机的处理器上执行一个或多个命令。操作系统 180 接着调用处理器 110、130 和其它系统硬件的服务

来执行所述命令。操作系统内核 182 通常能被认为是负责执行许多操作系统功能的一个或多个软件模块。

[0020] 各种设备驱动器 184 与安装在装置 100 中的硬件连接并通常控制所述硬件。例如在 **Windows®** 2000 操作系统中通过向“驱动器栈”上下传递被称为 I/O 请求分组 (IRP) 的消息, 驱动器与其它驱动器和操作系统部件 (例如, I/O 管理器或内核 182) 进行通信。那些本领域的技术人员将会理解, 可以“堆叠 (stack)”用于特定硬件设备的驱动器, 以便向下指向硬件设备或向上返回到操作系统 (或其它程序模块) 的消息在到达它们的目的地之前经过在驱动器栈中的驱动器的链。

[0021] 在一个实施例中, 内核 182 与操作系统功率管理 (OSPM) 模块 186 连接。OSPM 模块 186 包括可以被用来修改计算机系统 100 的某些部件的行为的一个或多个软件模块, 其典型地被用来根据预先配置的约束 / 功率节省设置来管理功耗。

[0022] 例如, 在一个实施例中, OSPM 模块 186 可以实现 ACPI 功率管理协议来将装置 100 或连接到装置 100 的设备在功率管理状态之间转换。高级控制和功率接口 (ACPI) 是使得硬件状态信息对计算机中的操作系统可用的规范, 所述计算机包括膝上型计算机、桌上型计算机、服务器等。关于 ACPI 的更多详细信息, 可以参见由康柏计算机公司、英特尔公司、微软公司、凤凰科技有限公司和东芝公司共同定义的“Advanced Configuration and Power Interface Specification” (2002 年 3 月 31 日的修订版 2.0a)。开发 ACPI 规范以建立能够实现具鲁棒性的操作系统控制的主板设备配置、以及设备和整个系统的功率管理的工业公共接口。

[0023] ACPI 规范定义装置 100、计算机处理器、或连接到装置 100 的各种设备可以处于的多个功率管理状态。全局系统功率状态包括 :G3 (机械关闭)、G2 (软件关闭)、G1 (休眠) 和 G0 (工作)。设备功率状态包括 :D3 (关闭)、D0 (完全开启) 和 D1 和 D2, 是依赖于设备的状态。处理器功率状态包括 :C0 (指令状态)、C1 (低延迟)、C2 和 C3, 其中 C2 和 C3 是功率节省状态。休眠状态包括 :S1 (硬件保持系统上下文环境)、S2 (CPU 和系统高速缓存上下文环境丢失)、S3 (CPU、系统高速缓存和芯片组上下文环境丢失)、S4 (仅保持平台上下文环境) 和 S5, 其中 S5 需要系统的完全重启。在 ACPI 规范中描述了关于各种功率管理状态的详细细节, 其超出了本公开的范围。

[0024] 可以理解, 在一些实施例中可以根据与 ACPI 协议不同的其它协议来实现功率配置。

[0025] 图 2 是根据实施例的在电子装置的处理器中的存储器配置的示意图。参考图 2, 处理器 210 可以对应于在图 1 中描述的处理器 110、130 中的一个处理器。在图 2 描述的实施例中, 处理器 210 包括耦合到最后一级高速缓存 (LLC) 控制器 230 的中央处理单元 (CPU) 和 L1/L2 高速缓存 220。存储器仲裁和控制模块 240 将 LLC 控制器 230 耦合到外部存储器 260。

[0026] 在图 2 描述的实施例中, 高速缓存性能监视单元 (CPMU) 232 被耦合到 LLC 控制器 230。实际中, CPMU 232 可以被实现为可在 LLC 控制器 230 上执行的逻辑指令, 或可以被简化为硬线电路。在一些实施例中, CPMU 232 和 LLC 控制器 230 与 OSPM 模块 186 协作来管理高速缓存存储器的功率状态, 使得高速缓存存储器的一部分是使用的 LLC 高速缓存 250, 高速缓存存储器的一部分是未使用的 LLC 高速缓存 252。在一个方面, CPMU 232 和 LLC 控

制器 230 与 OSPM 模块 186 协作来最小化或至少减少片外存储器访问的数目,而不牺牲第二和更高级高速缓存的有功和 / 或漏泄功率。在一些实施例中,CPMU 232 和 LLC 控制器 230 与 OSPM 模块 186 协作来动态地提供最佳的功率有效配置。

[0027] 返回参考图 1,OSPM 模块 186 具有对诸如电子设备 100 之类的电子设备的给定工作负荷的性能和资源需求的可见性。如上面说描述的,可以从电子设备动态地提取该信息或者可以在 OSPM 模块 186 用来为平台功率管理控制配置和策略的表中定义。在一些实施例中,可以结合在电子设备的运行期间动态获得的信息来使用来自表的信息,以管理 LLC 的功率和性能属性。

[0028] 图 3 和 4 是根据实施例的说明高速缓存管理操作的流程图。参考图 3,在操作 310,OSPM 模块 186 确定用于高速缓存存储器的运行参数。在一些实施例中,OSPM 模块 186 基于驱动器、服务、以及应用事件和 / 或信息来确定平台的当前运行模式。一旦 OSPM 模块 186 确定了当前运行模式,那么配置各种平台功率管理工具(例如,高速缓存时钟和功率门控、延迟需求和性能需求)。在一些实施例中,OSPM 模块 186 可以从由运行模式索引的 ACPI 表获得配置信息。在一些实施例中,表项还可以包括 LLC 配置约束。这些约束是基于给定工作负荷的已知属性,其确定最小和最大的 LLC 高速缓存大小,以及诸如频率之类的性能属性。

[0029] 在操作 315,例如通过机器特定寄存器 (MSR) 写入,OSPM 模块 186 将从表获得的运行参数传递到 LLC 控制器 230。在替代的实施例中,可以通过其它机制来传递参数,其包括但不限于输入 / 输出事务、MMIO 和 IPC 机制。在一些实施例中,CPMU 232 包括计数器,其指示 LLC 命中 (hit)、未命中 (miss)、停止周期计数 (stall cycle count) 和侦听周期刷新 (snoop cycleflush) 的数目。CPMU 232 保持上面提到的事件中的每一个的计数。将在 CPMU 的寄存器中反映该事件计数。在设置最小 / 最大高速缓存大小后,LLC 控制器 332 将使这些计数器归零(操作 320)。

[0030] 一旦建立了这些约束,OSPM 模块 186 使用 CPMU 232 来管理 LLC 的性能。(例如,基于最大大小参数)LLC 控制器 230 管理未使用的任何受影响块和功率门 SRAM 块的高速缓存一致性。

[0031] 在一些实施例中,CPMU 生成一个或多个事件,其使得 OSPM 模块 186 来执行 LLC 的性能参数和特性的评价。在评价周期期间,OSPM 模块 186 能够基于性能数据来调节 LLC 的性能状态。例如,OSPM 模块能够将高速缓存大小调节到下一个增加的大小(取决于状态提升或下降)和 / 或调节 LLC 的频率。可以由在模式改变期间建立的最小 / 最大大小参数来对所述调节进行约束。

[0032] 可以使用两种另外的机制来生成事件。一种机制是内部定时器,其可以简单地当定时器期满时生成事件。另一种机制包括访问计数器的耗尽。对 LLC 的每一个访问(例如,来自核心或侦听)减少访问计数器。当计数器到零时,可以生成事件。两种机制都提供了用于 OSPM 模块 186 来进行性能数据的当前集合的评价的手段。访问计数器是优选的方法,因为它提供更有效的基于功率和性能的评价度量。

[0033] 现在参考图 4,当生成了 CPMU 事件(操作 410)时,OSPM 模块 186 从 CPMU 收集性能数据。如上所述,性能数据可以包括 LLC 命中、未命中、停止周期计数和侦听周期刷新的数目。在操作 420,如果高速缓存命中率超过阈值,那么控制转到操作 425,并且减少性能等级或 LLC 高速缓存大小中的至少一个。当高速缓存被减小时(即,通过集合的禁用),LLC

控制器 230 管理将任何脏行 (dirty line) 同步到主存储器并且随后时钟门控被解分配的 SRAM 块。控制随后转到操作 430, 增加访问计数器的阈值以减少评价 / 事件频率。

[0034] 相反, 在操作 420, 如果命中率未超过阈值, 那么控制转到操作 435。在操作 435, 如果未命中率超过阈值, 那么控制转到操作 440, 并且增加性能等级或 LLC 高速缓存大小中的至少一个。当高速缓存被增大时, LLC 230 将移除用于给定块的任何时钟门控 (clock gating) 并打开另外的通路 / 集合。控制随后转到操作 445, 减少访问计数器阈值以增加评价 / 事件频率。在这些动作结束之后, 将通知 CPMU 232 并且复位所有性能计数器。

[0035] 在实施例中, 可以在计算系统中实现图 3-4 的操作。图 5 说明了根据本发明的实施例的计算系统 500 的框图。计算系统 500 可以包括与互连网络 (或总线) 504 通信的一个或多个中央处理单元 (CPU) 502 或处理器。处理器 502 可以是诸如通用处理器、(处理通过计算机网络 503 传送的数据的) 网络处理器、或 (包括精简指令集计算机 (RISC) 处理器或复杂指令集计算机 (CISC) 的) 其它类型的处理器之类的任意处理器。另外, 处理器 502 可以具有单核或多核设计。具有多核设计的处理器 502 可以将不同类型的处理器核心集成到同一集成电路 (IC) 管芯上。另外, 可以将具有多核设计的处理器 502 实现为对称或非对称多处理器。

[0036] 芯片组 506 还可以与互连网络 504 进行通信。芯片组 506 可以包括存储器控制中心 (MCH) 508。MCH 508 可以包括与存储器 512 通信的存储器控制器 510。存储器 512 可以存储数据和被 CPU 502 或包括在计算系统 500 中的任何其它设备执行的指令序列。在本发明的一个实施例中, 存储器 512 可以包括一个或多个易失性储存 (或存储器) 设备, 例如随机存取存储器 (RAM)、动态 RAM (DRAM)、同步 DRAM (SDRAM)、静态 RAM (SRAM) 或其它类型的存储器。也可以使用诸如硬盘之类的非易失性存储器。另外的设备可以通过互连网络 404 进行通信, 例如多个 CPU 和 / 或多个系统存储器。

[0037] MCH 508 还可以包括与图形加速器 516 通信的图形接口 514。在本发明的一个实施例中, 图形接口 514 可以经由加速图形端口 (AGP) 与图形加速器 516 进行通信。在本发明的实施例中, 显示器 (例如平板显示器) 可以通过例如信号转换器与图形接口 514 进行通信, 该信号转换器将存储在诸如视频存储器或系统存储器之类的储存设备中的图像的数字表示转换为由显示器解释和显示的显示信号。在由显示器解释和随后在显示器上显示由显示设备产生的显示信号之前, 该显示信号可以经过各种控制设备。

[0038] 集线器接口 518 可以允许 MCH 508 与输入 / 输出控制中心 (ICH) 520 进行通信。ICH 520 可以提供到与计算系统 500 进行通信的 I/O 设备的接口。ICH 520 可以通过外围设备桥 (或控制器) 524 与总线 522 进行通信, 该外围设备桥 (或控制器) 524 例如是外围组件互连 (PCI) 桥、通用串行总线 (USB) 控制器或其它类型的总线。桥 524 可以提供在 CPU 502 和外围设备之间的数据路径。可以使用其它类型的拓扑结构。另外, 多个总线可以例如通过多个桥或控制器与 ICH 520 进行通信。另外, 在本发明的各种实施例中, 与 ICH 520 通信的其它外围设备可以包括集成驱动电路 (IDE) 或小型计算机系统接口 (SCSI) 硬盘驱动器、USB 端口、键盘、鼠标、并口、串口、软盘驱动器、数字输出支持 (例如, 数字视频接口 (DVI)) 或其它类型的外围设备。

[0039] 总线 522 可以与音频设备 526、一个或多个盘驱动器 528 和网络接口设备 530 (其可以与计算机网络 503 进行通信) 进行通信。其它设备可以通过总线 522 进行通信。另外,

在本发明的一些实施例中,各种部件(例如网络接口设备 530)可以与 MCH 508 进行通信。另外,可以组合处理器 502 和 MCH508 以形成单个芯片。另外,在本发明的其它实施例中,可以将图形加速器 516 包括在 MCH 508 中。

[0040] 另外,计算系统 500 可以包括易失性和 / 或非易失性存储器(或存储装置)。例如,非易失性存储器可以包括下列中的一个或多个:只读存储器(ROM)、可编程 ROM(PROM)、可擦除 PROM(EPROM)、电 EPROM(EEPROM)、盘驱动器(例如,528)、软盘、致密盘 ROM(CD-ROM)、数字多用途盘(DVD)、闪存、磁光盘、或者能够存储电子指令和 / 或数据的其它类型的非易失性机器可读介质。

[0041] 图 6 说明了根据本发明实施例的以点对点(PtP)配置排列的计算系统 600。特别地,图 6 示出了通过多个点对点接口将处理器、存储器和输入 / 输出设备互连的系统。

[0042] 如图 6 所说明的,系统 600 可以包括几个处理器,为了清楚起见仅示出了其中的两个处理器 602 和 604。处理器 602 和 604 可以各自包括本地存储器控制中心(MCH)606 和 608,以与存储器 610 和 612 进行通信。存储器 610 和 / 或 612 可以存储诸如关于存储器 612 所讨论的那些数据之类的各种数据。

[0043] 处理器 602 和 604 可以是诸如关于图 4 的处理器 402 所讨论的那些处理器之类的任意类型的处理器。处理器 602 和 604 可以分别使用 PtP 接口电路 616 和 618 经由点对点(PtP)接口 614 来交换数据。处理器 602 和 604 均可以使用点对点接口电路 626、628、630 和 632 经由各自的 PtP 接口 622 和 624 分别与芯片组 620 交换数据。芯片组 620 还可以使用 PtP 接口电路 637 经由高性能图形接口 636 与高性能图形电路 634 交换数据。

[0044] 可以在处理器 602 和 604 内提供本发明的至少一个实施例。而本发明的其它实施例可以存在于其它电路、逻辑单元或在图 6 的系统 600 内的设备中。另外,本发明的其它实施例可以分布于遍及在图 6 中说明的几个电路、逻辑单元或设备中。

[0045] 芯片组 620 可以使用 PtP 接口电路 641 与总线 640 进行通行。总线 640 可以具有与它进行通信的一个或多个设备,例如总线桥 642 和 I/O 设备 643。总线桥 643 可以经由总线 644 与诸如键盘 / 鼠标 645、通信设备 646(例如调制解调器、网络接口设备、或可以通过计算机网络 603 通信的其它类型的通信设备)、音频 I/O 设备和 / 或数据存储设备 648 之类的其它设备进行通信。数据存储设备 648 可以存储可由处理器 602 和 / 或 604 执行的代码 649。

[0046] 在图 5 和 6 中描述的计算机系统是可以用来实现本文讨论的各种实施例的计算系统的实施例的示意图。可以意识到,可以将图 5 和 6 中描述的系统的各种部件组合到片上系统(SoC)体系结构中。

[0047] 在本发明的各个实施例中,可以将本文(例如,关于图 2 和 3)讨论的操作实现为硬件(例如,逻辑电路)、软件、固件或它们的组合,其可以被提供为计算机程序产品,例如,包括具有存储在其上的指令(或软件过程)的机器可读或计算机可读介质,该指令用于对计算机进行编程来执行本文讨论的过程。机器可读介质可以包括诸如关于图 5 和 6 所讨论的那些设备之类的任何类型的存储设备。

[0048] 另外,这样的计算机可读介质可以作为计算机程序产品被下载,其中可以经由通信链路(例如,调制解调器或者网络连接)以包含于载波或其它传输介质中的数据信号的方式从远程计算机(例如,服务器)将该程序传送到请求计算机(例如,客户端)。因此,本

文中载波将被认为包括机器可读介质。

[0049] 在说明书中提及的“一个实施例”或“实施例”意味着与该实施例关联描述的特定的特征、结构或特性可以被包括在至少一个实现中。在说明书的各个地方中出现的措词“在一个实施例中”可能指代相同的实施例也可能不总是指代相同的实施例。

[0050] 另外,在说明书和权利要求中可以使用术语“耦合”和“连接”以及它们的派生词。在本发明的一些实施例中,可以使用“连接”来表明两个或更多元件相互之间是直接物理或电连接的。“耦合”可以意味着两个或更多元件是直接物理或电连接的。然而,“耦合”还可以意味着两个或更多元件相互之间可以不是直接连接的,但是仍然可以相互协作或交互。

[0051] 因此,虽然用具体到结构特征和 / 或方法动作的语言描述了本发明的实施例,但是可以理解,不应将声明的主题限制到所描述的具体特征或动作。与之形成对比,作为实现声明的主题的示例形式公开了这些具体特征和动作。

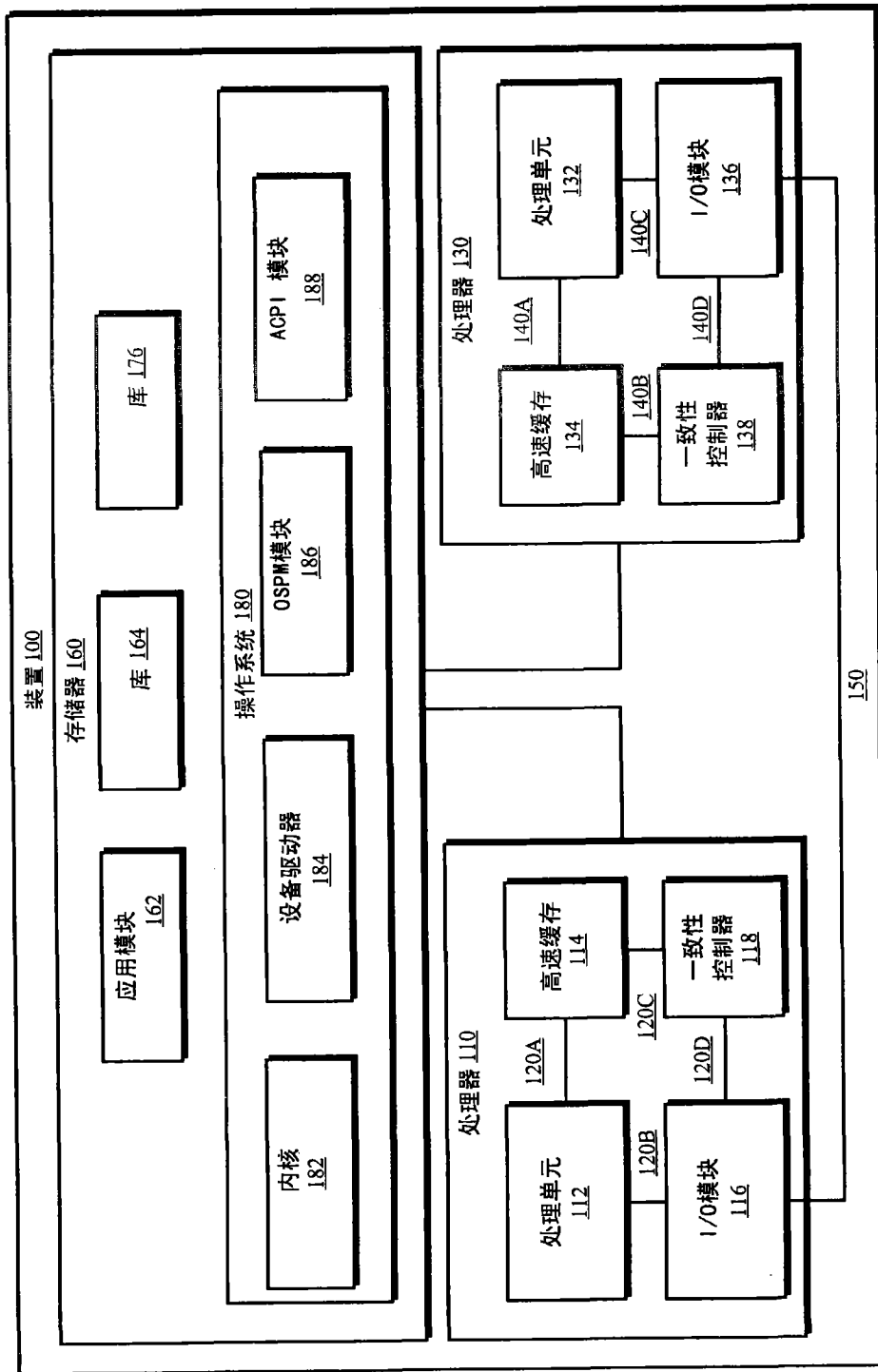


图 1

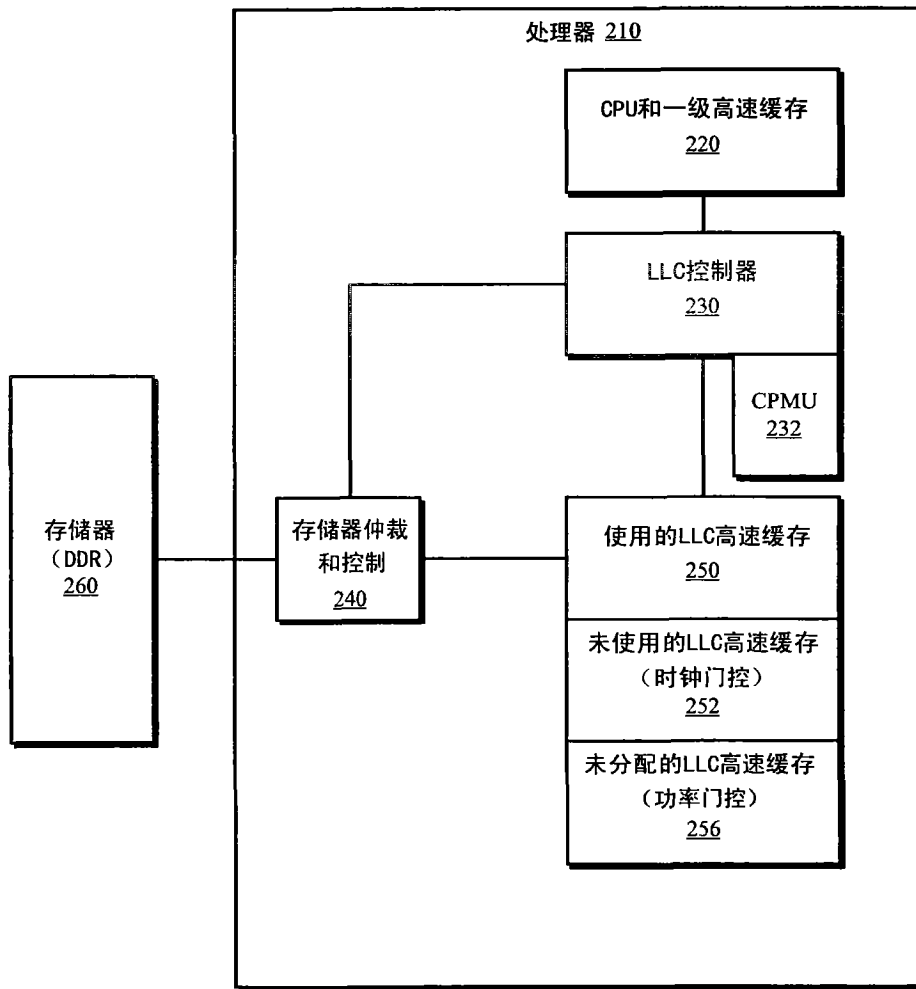


图 2

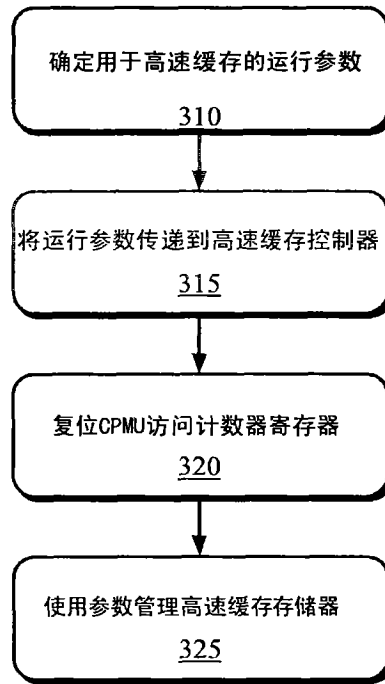


图 3

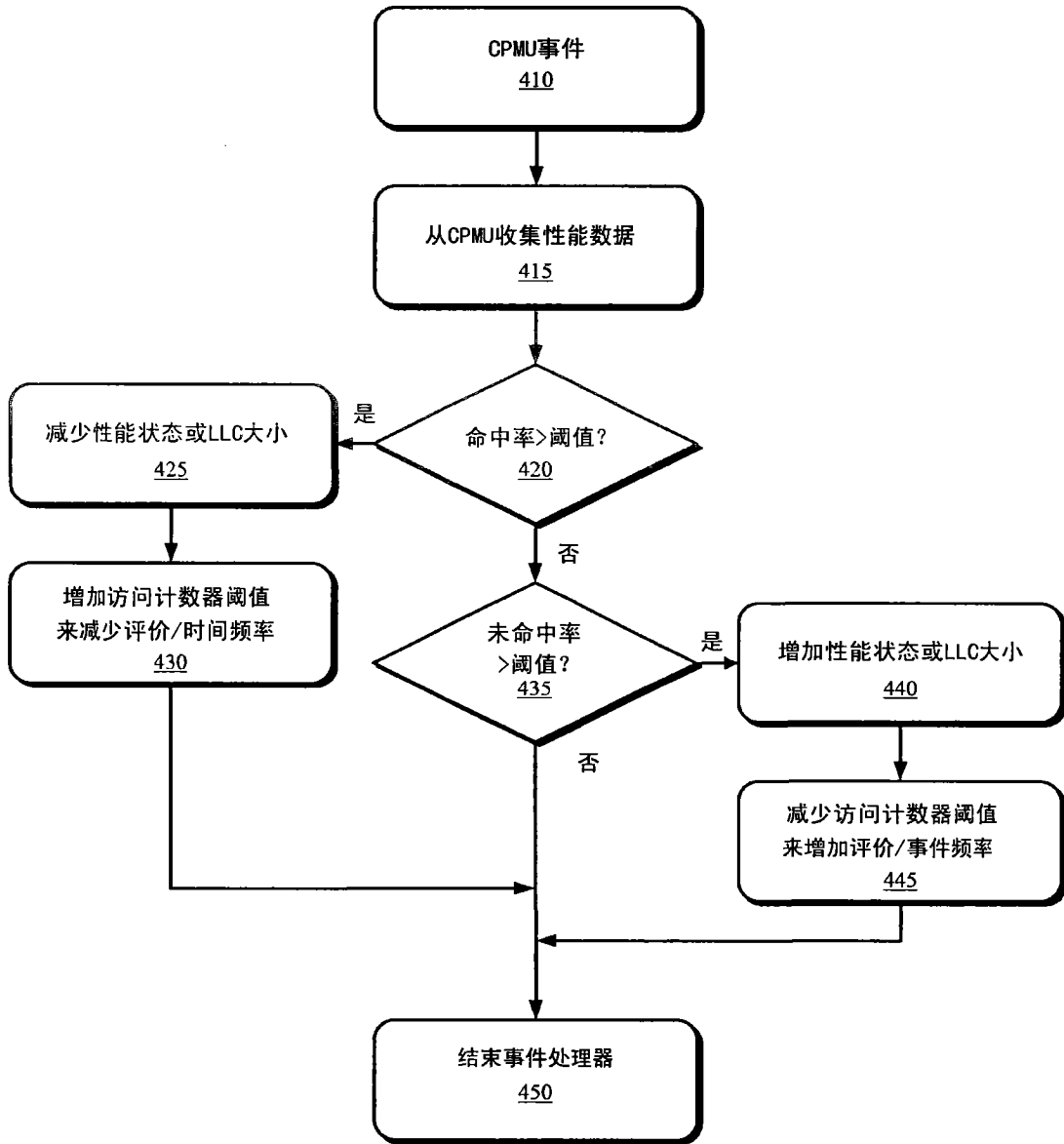


图 4

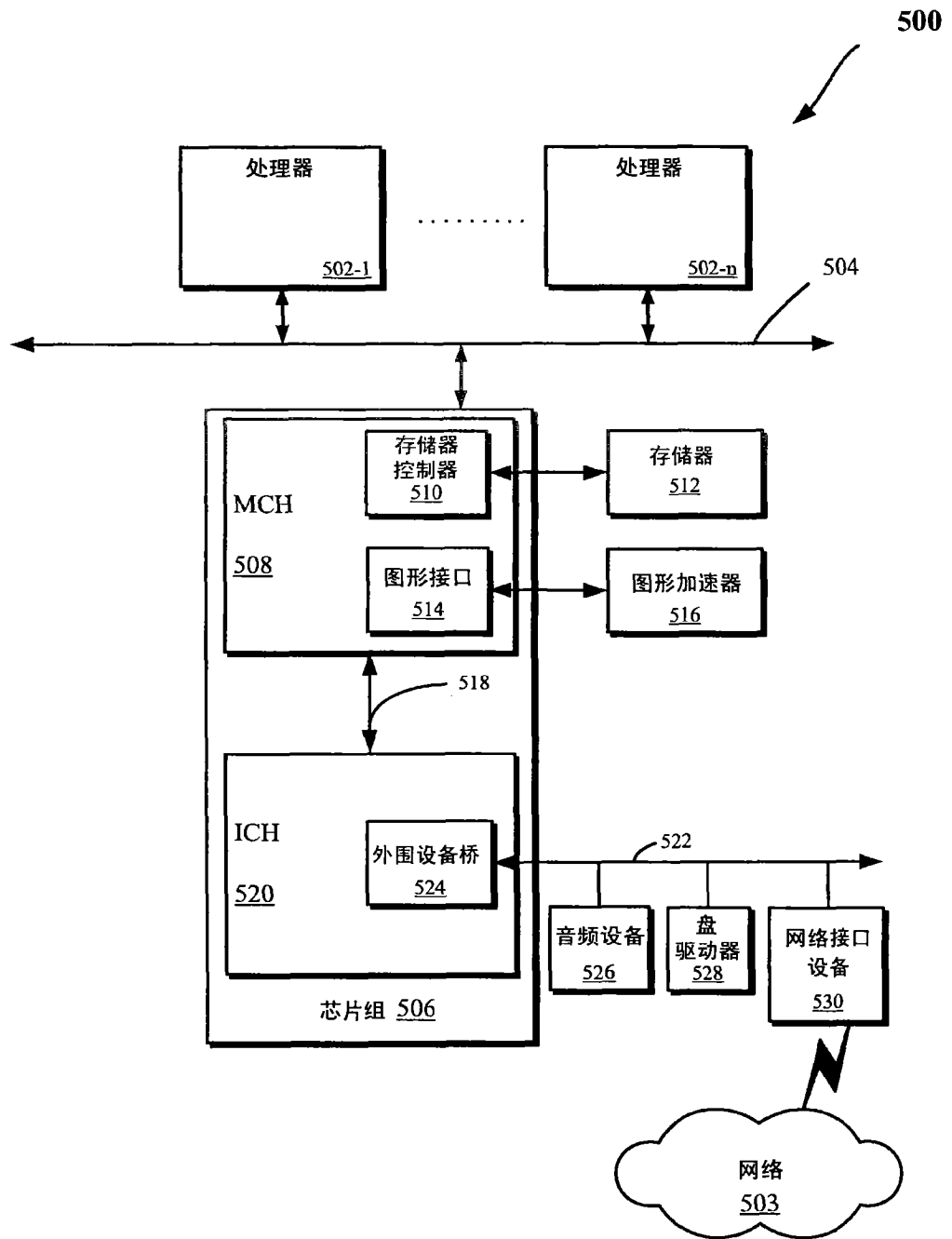


图 5

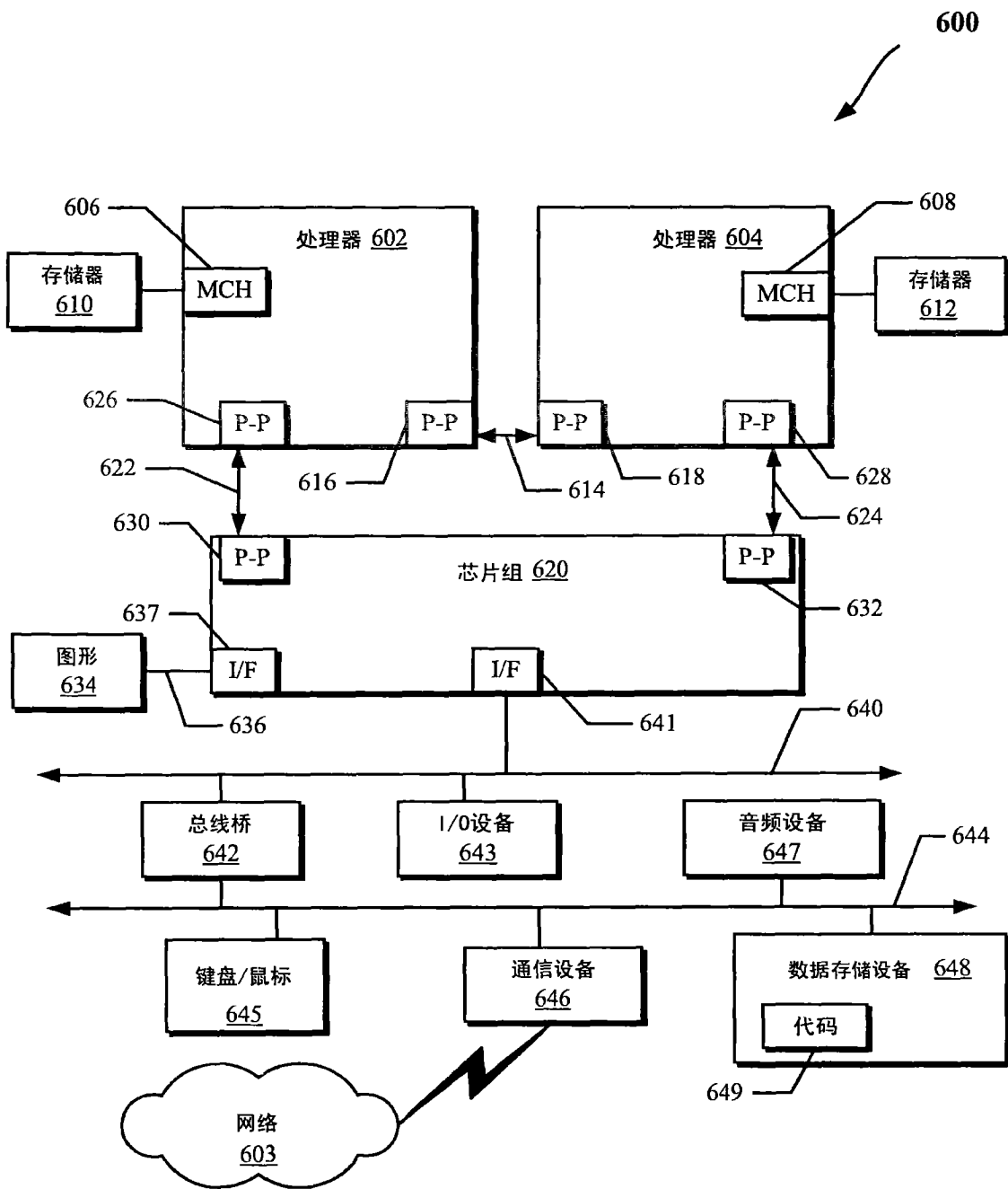


图 6