



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 697 37 573 T2** 2008.03.06

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 291 740 B1**

(21) Deutsches Aktenzeichen: **697 37 573.0**

(96) Europäisches Aktenzeichen: **02 014 725.2**

(96) Europäischer Anmeldetag: **27.10.1997**

(97) Erstveröffentlichung durch das EPA: **12.03.2003**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **04.04.2007**

(47) Veröffentlichungstag im Patentblatt: **06.03.2008**

(51) Int Cl.<sup>8</sup>: **G06F 11/18** (2006.01)  
**G06F 11/00** (2006.01)

(30) Unionspriorität:

**28639096**      **29.10.1996**      **JP**

**1365397**      **28.01.1997**      **JP**

**1622897**      **30.01.1997**      **JP**

**6606497**      **19.03.1997**      **JP**

(73) Patentinhaber:

**Hitachi, Ltd., Tokyo, JP**

(74) Vertreter:

**Strehl, Schübel-Hopf & Partner, 80538 München**

(84) Benannte Vertragsstaaten:

**DE, FR, GB**

(72) Erfinder:

**Kanekawa, Nobuyasu, Hitachi-shi, JP; Yamaguchi, Shinichiro, Mito-shi, JP; Miyazaki, Naoto, Hitachi-shi, JP; Kasuya, Naohiro, Hitachinaka-shi, JP; Kajigaya, Kazuhiko, Iruma-shi, JP; Miyazaki, Yoshihiro, Hitachi-shi, JP**

(54) Bezeichnung: **Redundantes Datenverarbeitungssystem**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**Beschreibung**

## HINTERGRUND DER ERFINDUNG

**[0001]** Die vorliegende Erfindung betrifft ein Informationsverarbeitungssystem hoher Zuverlässigkeit und Sicherheit und insbesondere eine Ausgabeschaltung, eine externe Schaltung und eine Mensch/Maschine-Schnittstellenschaltung des Informationsverarbeitungssystem.

## STAND DER TECHNIK

**[0002]** Transporteinrichtungen, wie zum Beispiel Flugzeuge und Kraftfahrzeuge, müssen kompliziert gesteuert werden, um den (Kraft-)Wirkungsgrad und die Sicherheit und die Schnelligkeit zu verbessern. Für diese Transporteinrichtungen verwendete Steuerungen wechseln zu der Form von Elektronik. Um die Wirksamkeit und Sicherheit zu verbessern, wird von einem Informationsverarbeitungssystem sehr gewünscht, daß es die Zuverlässigkeit und Ausfallsicherheit sicherstellt (und beim Auftreten eines Fehlers kein Gefahren-Ausgabesignal liefert).

**[0003]** Um die Zuverlässigkeit eines Informationsverarbeitungssystems zu verbessern, wurde zunächst ein Verfahren des Integrierens redundanter konstituierender Elemente (Module) in das System weithin verwendet. Bei diesem Verfahren ist es wichtig, eine Endausgabeschaltung zur Auswahl eines normalen Ausgabesignals aus Ausgabesignalen redundanter Module zu verwenden. Eine Mehrheitsentscheidungsschaltung, eine Selektorschaltung und dergleichen wurden als die Endausgabeschaltung verwendet.

**[0004]** Im Fall der Verwendung einer logischen OR-Schaltung als Endausgabeschaltung gilt: wenn ein Gefahren-Ausgabesignal auf einen Wert gesetzt wird, der Wahr darstellt (im allgemeinen H in der binären Logik) und ein Sicherheits-Ausgabesignal auf einen Wert gesetzt wird, der Falsch darstellt (im allgemeinen L in der binären Logik), liefert ein System ein Gefahren-Ausgabesignal nur dann, wenn alle redundanten Module die Gefahren-Ausgabesignale liefern. Wenn also nicht gerade alle redundanten Module fälschlicherweise das Gefahren-Ausgabesignal liefern, liefert das System deshalb kein falsches Gefahren-Ausgabesignal und es kann Ausfallsicherheit gewährleistet werden. Wenn insbesondere das Gefahren-Ausgabesignal durch ein alternierendes Signal dargestellt wird und das Sicherheits-Ausgabesignal durch ein anderes Signal, kann die Ausfallsicherheit wesentlich verbessert werden.

**[0005]** Ob das System ein normales Ausgabesignal auswählen kann oder nicht, hängt von der Funktionsweise einer Endausgabeschaltung ab. Deshalb verändert die Zuverlässigkeit dieser Endausgabeschal-

tung die Zuverlässigkeit des gesamten Systems. Um die Zuverlässigkeit des Systems zu verbessern, ist es deshalb wichtig, die Zuverlässigkeit der Endausgabeschaltung sicherzustellen.

**[0006]** Um die Zuverlässigkeit der Endausgabeschaltung sicherzustellen, von der die Zuverlässigkeit und Sicherheit des Systems abhängt, wurde eine normale Funktionsweise der Endausgabeschaltung durch Eingeben eines Testmusters in die Schaltung geprüft oder die Endausgabeschaltung wurde ausfallsicher konfiguriert.

**[0007]** Eine ausfallsichere logische AND-Schaltung wird durch mehrere D-Flipflops konfiguriert, wobei in jeden Taktanschluß ein alternierendes Signal eingegeben wird. Diese logische AND-Schaltung weist eine wesentlich kleinere Anzahl von Gefahren-Ausfällen auf, so daß sie sehr viel verwendet wurde.

**[0008]** Von den oben beschriebenen herkömmlichen Techniken kann das Verfahren des Eingebens eines Testmusters in eine Endausgabeschaltung leicht durchgeführt werden, um die normale Funktionsweise der Schaltung zu prüfen, wenn das System synchron arbeitende redundante Module aufweist. Dieses Verfahren muß jedoch weitere Gesichtspunkte berücksichtigen, wenn das System synchron arbeitende redundante Module aufweist.

**[0009]** In einem System mit synchron arbeitenden redundanten Modulen müssen die redundanten Module synchron die gleiche Operation durchführen, um die Synchronisation aufrechtzuerhalten. Deshalb liefern die redundanten Module immer das gleiche Ausgabesignal an die Endausgabeschaltung. Die innere Funktion für die Endausgabeschaltung besteht darin, durch Mehrheitsentscheidung oder dergleichen ein normales Ausgabesignal auch dann auszuwählen, wenn Ausgabesignale der redundanten Module nicht zusammenfallen. Wenn die redundanten Module immer das gleiche Ausgabesignal liefern, kann dementsprechend die innere Funktion für die Endausgabeschaltung nicht ausreichend geprüft werden.

**[0010]** Auch wenn der Anweisungsausführungsteil nur für die Ausgabe in jedem Modul anders betrieben wird und der andere Anweisungsausführungsteil in allen Modulen auf die gleiche Weise betrieben wird, wird die Anzahl von Schritten einer für diesen Zweck verwendeten Verzweigungsanweisung unterschiedlich. Als Ergebnis wird die Synchronisation zwischen Modulen gestört. Wenn ein Verfahren des Vergleichens von Bussignalen redundanter Module verwendet wird, ist der Anweisungsausführungsteil für die Ausgabe in jedem Modul verschieden, so daß Inkoinzidenz auftritt und ein normaler Betrieb unmöglich ist.

**[0011]** Zweitens ist es ein wesentlicher Faktor für eine hohe Zuverlässigkeit eines Systems, die Zuver-

lässigkeit einer Schnittstellenschaltung zum Eingeben von Informationen aus einem externen Gerät zu verbessern. Als solche Schnittstellenschaltung wird häufig ein Schalter oder ein Relais verwendet. Ein Kontaktwiderstand eines solchen Schalters oder Relais hängt von dem durch ihn fließenden Strom ab. Wenn der Strom klein ist, ist der Kontaktwiderstand groß. Wenn durch einen Abschlußwiderstand fließender Strom klein ist, nimmt deshalb der Kontaktwiderstand eines Eingabeschalters zu, was zu einem defekten Kontakt führen kann. In hohe Zuverlässigkeit erfordernden Anwendungsgebieten ist es notwendig, den durch einen Schalter fließenden Strom auf einen vorbestimmten Wert oder groß einzustellen, um keinen defekten Kontakt zu erhalten. Aus diesem Grund wird durch den Schalter fließender Strom zu einem Abschlußwiderstand geleitet.

**[0012]** Die oben beschriebenen herkömmlichen Techniken sind ausgezeichnet bei der Verhinderung, daß ein System eine Gefahren-Operation durchführt, die durch einen Ausfall des Typs Steckenbleiben auf 0 oder Steckenbleiben auf 1 verursacht werden kann, der der am häufigsten auftretende Ausfall einer Schnittstellenschaltung ist. Da jedoch ein Impuls-generator oder dergleichen erforderlich ist, wird das System kompliziert und teuer. Außerdem steigt die Ausfallrate des Gesamtsystems und die Benutzbarkeit des Systems wird geringer.

**[0013]** Drittens ist es für eine hohe Zuverlässigkeit eines Systems außerdem ein wesentlicher Faktor, die Zuverlässigkeit einer Schnittstellenschaltung für das manuelle Eingeben von Informationen in das System zu verbessern. Als Einrichtung zum manuellen Eingeben von Informationen wird sehr oft ein nicht-rastender Schalter verwendet. Der nicht-rastende Schalter ist ein Schalter, der seinen offen/geschlossen-Status nur ändert, wenn er betätigt wird, d.h. ein Schalter ohne mechanischen Verriegelungsmechanismus und ein sogenannter Rastschalter.

**[0014]** Abhängig von einem Anwendungsgebiet eines Systems kann eine Fehlfunktion oder falsche Manipulation des Systems zu großen Schäden führen. In einem solchen Anwendungsgebiet ist es notwendig, eine ordnungsgemäße Gegenmaßnahme bereitzustellen, damit das System beim Auftreten einer falschen Manipulation eines nicht-rastenden Schalters oder einer Fehlfunktion einer Schnittstellenschaltung eines nicht-rastenden Schalters keine gefährliche Operation durchführt.

**[0015]** Um eine falsche Manipulation eines Eingabeschalters oder dergleichen zu verhindern, wurde ein Impulssignal verwendet, um den Sicherheitszustand anzuzeigen, wie in „Fault Tolerant Computing“, Masao KOHDEN, Hrsg., MARUZEN Advanced Technology <Electronics, Information, Communications Edition> MARUZEN, (1989), S. 217, [Fig. 8-Fig. 13](#),

beschrieben wird. Wenn ein Ausfall des Typs Hängenbleiben auf 0 oder Hängenbleiben auf 1 in der Schnittstellenschaltung auftritt, erhält man keine Impulsfolge und es wird somit geurteilt, daß sich das System in einem Gefahrenzustand befindet und es wird eine Sicherheits-Operation durchgeführt, um jede Gefahr zu vermeiden.

**[0016]** Die Stromaufnahme und Wärmeerzeugung eines Abschlußwiderstands einer herkömmlichen Eingabeschaltung müssen ebenfalls berücksichtigt werden. Eine Verringerung der Stromaufnahme und Wärmeerzeugung eines Abschlußwiderstands verringert außerdem eine physische Größe des Abschlußwiderstands und macht die Schaltung kompakt. Gemäß der herkömmlichen Technik läßt man jedoch einen Strom eines bestimmten Werts oder mehr durch einen Abschlußwiderstand fließen, um keinen defekten Kontakt zu erzeugen. Es besteht deshalb eine Grenze für die Verringerung der Stromaufnahme und Wärmeerzeugung des Abschlußwiderstands.

**[0017]** Von dem obigen abgesehen haben es Entwicklungen der Mikroelektroniktechnologie ermöglicht, integral eine hochintegrierte Logikschaltung, wie zum Beispiel einen Prozessor, und einen Speicher mit großer Kapazität, wie zum Beispiel einen ferroelektrischen Speicher, auf einem einzigen Siliziumchip auszubilden. Solche Halbleiterelemente werden als Mix-Mount-LSI bezeichnet und zum Beispiel in JP-A-7-295547 beschrieben. In dieser Schrift werden eine hohe Leistungsfähigkeit und Kompaktheit durch Integration logischer Mix-Mounting-Technologie realisiert. Da eine logische Mix-Mount-LSI durch Verwendung eines sehr feinen Entwurfmaßes hergestellt wird, können sich die Verdrahtungsmuster und Zellen in der LSI über die Zeit hinweg verschlechtern oder der Inhalt eines Flipflops kann durch externe Störungen, wie zum Beispiel externe Rauschsignale und  $\alpha$ -Strahlung invertiert werden. Im Gegensatz zu einem SRAM weist ein auf einem Chip ausgebildete r DRAM während des Betriebs eine große Änderung des durch ihn fließenden Stroms auf und erzeugt einen großen Spitzenstrom. Dieser Spitzenstrom und das  $di/dt$  erzeugen Rauschsignale hoher Energiequellen. Dieser Spitzenstrom wird erzeugt, wenn eine Bitleitung verstärkt wird, so daß auch durch Kapazitätskopplung der Bitleitung und des Siliziumsubstrats Rauschsignale in dem Siliziumsubstrat erzeugt werden. Eine für DRAM wesentliche Auffrischoperation ist selbst eine Bitleitungsverstärkungsoperation, und deshalb werden wie bei einem Zugriffszyklus Rauschsignale erzeugt. Bei Verwendung von DRAM im Mix-Mount-Verfahren werden wie oben wahrscheinlich Rauschsignale erzeugt, obwohl eine große Speicherkapazität realisiert werden kann. Deshalb können Fehler in kalkulierten Daten auftreten und die Zuverlässigkeit der Daten wird herabgesetzt. Dies wird zu einem kritischen Problem, wenn eine lo-

gische Mix-Mount-LSI mit einem System verwendet wird, das hohe Zuverlässigkeit erfordert, wie zum Beispiel industrielle Geräte.

**[0018]** Ein allgemeiner Ansatz zur Lösung des obigen Problems besteht darin, durch Verwendung mehrerer logischer Mix-Mount-LSIs ein Mehrfachsystem zu konfigurieren.

**[0019]** Ein anderer verbesserter Ansatz besteht darin, Fehler kalkulierter Daten durch Vergleich von Ausgaben von zwei integrierten Prozessoren zu erkennen, wie in JP-A-2-244252, JP-A-7-171581, JP-A-7-234801 und JP-A-8-16421 offengelegt wird.

**[0020]** Bei dem Ansatz des Konfigurierens mehrerer logischer Mix-Mount-LSIs nehmen jedoch die Kosten eines Systems zu und das System wird unhandlich, wodurch die Vorteile der logischen Mix-Mount-LSI wesentlich herabgesetzt werden.

**[0021]** Bei dem Ansatz des Erkennens von Fehlern kalkulierter Daten durch Vergleich von Ausgaben zweier integrierter Prozessoren werden jedoch gleichzeitige Fehler, die durch gemeinsame Rauschsignale entstehen, die aus einer Stromquelle oder dergleichen eingeführt werden, und andere LSI-Herstellungprobleme immer noch nicht berücksichtigt.

**[0022]** In "Fail-Safe Data Processing in Railway Signaling Systems", veröffentlicht in Siemens Forschungs- und Entwicklungsberichte, vol. 7, No. 6, 1978, Seiten 374 bis 377, XP000654287, beschreibt H.-J. Lohmann das Mikrocomputersystem SIMIS, das die Abschaltung verbundener Schaltkreise sicherstellt, wenn ein Fehler auftritt. Der vorliegende Anspruch 1 wurde im Hinblick auf diese Druckschrift in der zweiteiligen Form abgefaßt.

**[0023]** Ein weiteres Beispiel einer störungssicheren Steuerschaltung ist in US 4,745,542 offenbart.

#### KURZE DARSTELLUNG DER ERFINDUNG

**[0024]** Die Aufgabe der vorliegenden Erfindung ist, ein störungssicheres System zu schaffen, das die Normalität von Zwischenprozessen und das endgültige Ausgabeergebnis des Systems schneller und effizienter sicherstellt.

**[0025]** Die Aufgabe wird durch das System des beigefügten Anspruchs 1 gelöst. Die Unteransprüche betreffen bevorzugte Modifikationen.

**[0026]** Die vorliegende Erfindung liefert ein Informationsverarbeitungssystem hoher Zuverlässigkeit.

**[0027]** Ein erstes zum Verständnis der vorliegenden Erfindung nützliches Beispiel liefert eine Einrichtung zum Untersuchen einer Endausgabeschaltung eines

Systems mit synchron arbeitenden redundanten Modulen.

**[0028]** Eine Datenausgabeschaltung enthält ein Register zum Ausgeben von Schreibdaten gemeinsam für alle Module und ein Register zum Ausgeben von Schreibdaten spezifisch nur für ein entsprechendes Modul, wobei andere Module vernachlässigt werden.

**[0029]** Wenn Daten zur Ausgabe von Schreibdaten gemeinsam für alle Module in das Register geschrieben werden, wird dann entsprechend beim normalen Betrieb von allen redundanten Modulen das gleiche Ausgabesignal geliefert. Wenn ein beliebiges der Module einen Ausfall aufweist und kein normales Ausgabesignal geliefert werden kann, wählt die Endausgabeschaltung das normale Ausgabesignal, um den normalen Betrieb fortzusetzen. Beim Prüfen der Endausgabeschaltung werden Daten in das Register geschrieben, um Schreibdaten spezifisch nur an ein entsprechendes Modul auszugeben und andere Module zu vernachlässigen. Es ist deshalb möglich, daß unter den redundanten Modulen nur das entsprechende Modul ein von anderen Modulen verschiedenes Ausgabesignal liefern kann, und es kann ein Testmuster der Funktionsprüfung in die Endausgabeschaltung eingegeben werden.

**[0030]** Bei einer herkömmlichen Technik, bei der eine logische OR-Schaltung als die Endausgabeschaltung verwendet wird, um Ausgabesignale von redundanten Modulen zu empfangen, liefert das System kein Gefahren-Ausgabesignal, wenn kein Ausfall der logischen OR-Schaltung auftritt und nicht alle redundanten Module ein Gefahren-Ausgabesignal liefern. Deshalb ist diese Technik ausgezeichnet für die Realisierung eines ausfallsicheren Systems. Bei dieser herkömmlichen Technik ist es jedoch notwendig, die Normalität von Zwischenprozessen weiter zu berücksichtigen und sich nicht nur auf den Endprozeß des Abliefern eines Ausgabesignals zu beschränken.

**[0031]** Deshalb liefert eine Ausführungsform der vorliegenden Erfindung ein ausfallsicheres System, das Normalität von Zwischenprozessen sicherstellen kann.

**[0032]** Ein Komparator führt eine Vergleichsprüfung zwischen internen Signalen redundanter Module durch, und wenn Koinzidenz zwischen den internen Signalen der redundanten Module besteht, gibt er ein Signal aus, das Wahr darstellt, während er, wenn keine Koinzidenz besteht, ein Signal ausgibt, das Falsch darstellt. Ein Ausgangssignal jedes redundanten Moduls ist ein Signal eines Gefahren-Ausgabesignals, das Wahr darstellt, oder ein Signal eines Sicherheits-Ausgabesignals, das Falsch darstellt. Ein Endausgabesignal ist eine logische AND-Verknüpfung eines Ausgabesignals aus dem Komparator und der

Ausgabesignale von den redundanten Modulen.

**[0033]** Auch wenn alle redundanten Module das Gefahren-Ausgabesignal liefern, liefert folglich das System das Gefahren-Ausgabesignal nur dann, wenn Koinzidenz zwischen internen Signalen der redundanten Module besteht, wobei die internen Signale Zwischenprozesse, bevor das Endausgabesignal erhalten wird, anzeigen. Auch wenn aufgrund von sukzessiven Fehlern in den redundanten Modulen während den Zwischenberechnungen vor der Gewinnung des Endausgabesignals ein Gefahren-Ausgabesignal geliefert wird, liefert deshalb das System nicht das Gefahren-Ausgabesignal, da das Ausgabesignal des Komparators durch Fehler während den Zwischenberechnungen falsifiziert wird. Es ist deshalb möglich, die Normalität von Zwischenprozessen sicherzustellen, ohne sich nur auf die Endausgabergebnisse zu beschränken.

**[0034]** Eine aus mehreren D-Flipflops bestehende herkömmliche logische AND-Schaltung, wobei an jeden Taktanschluß ein alternierendes Signal angelegt wird, wird als ein ausfallsicheres AND bezeichnet, da es eine sehr kleine Wahrscheinlichkeit aufweist, einen Gefahren-Ausfall zu erzeugen. Diese AND-Schaltung ist jedoch auch einem Fail-Out-Ausfallmodus (Gefahrenmodus, der ein Gefahren-Ausgabesignal liefert) zugeordnet. Es gibt nur einen Ausfallmodus als diesen Fail-Out-Ausfallmodus, bei dem ein Taktanschlußeingabesignal des D-Flipflops der letzten Stufe von den das ausfallsichere AND bildenden D-Flipflops an einem Q-Ausgabeanschluß erscheint.

**[0035]** Ein zweites zum Verständnis der vorliegenden Erfindung nützliches Beispiel verbessert deshalb die Sicherheit durch Beseitigung eines Fail-Out-Ausfallmodus.

**[0036]** Eine logische AND-Schaltung besteht aus mehreren D-Flipflops, wobei an jeden Taktanschluß ein alternierendes Signal angelegt wird, und die Frequenz eines Signals, das an den Taktanschluß des D-Flipflops der letzten Stufe angelegt wird, höher als die höchste Betriebsfrequenz einer mit der Ausgangsseite der logischen AND-Schaltung verbundenen Schaltung eingestellt wird.

**[0037]** Auch wenn in der aus D-Flipflops bestehenden logischen AND-Schaltung ein Ausfall auftritt, der einem herkömmlichen Fail-Out-Ausfallmodus entspricht, wird das Gefahren-Ausgabesignal nicht geliefert, da die mit der Ausgangsseite der logischen AND-Schaltung verbundene Schaltung nicht in Bezug auf die Frequenz des beim Auftreten des Ausfalls ausgegebenen Signals arbeitet, da die Frequenz höher als die höchste Betriebsfrequenz der Schaltung ist. Es ist deshalb möglich, den Fail-Out-Ausfallmodus der ausfallsicheren AND-Schaltung zu beseiti-

gen.

**[0038]** Gemäß einem bevorzugten Ausführungsbeispiel der Erfindung unter Verwendung synergistischer Effekte, ist das System wie im folgenden konfiguriert: Der Komparator führt eine Vergleichsprüfung zwischen internen Signalen redundanter Module durch.

**[0039]** Der Komparator gibt ein alternierendes Signal als ein Wahr darstellendes Signal aus, wenn Koinzidenz zwischen internen Signalen der redundanten Module besteht, und gibt ein nicht alternierendes Signal, das Falsch darstellt aus, wenn keine Koinzidenz besteht.

**[0040]** Ein Ausgangssignal jedes redundanten Moduls ist ein Signal eines Gefahren-Ausgabesignals, das durch Wahr dargestellt wird, d.h. ein alternierendes Signal, oder ein Signal eines Sicherheits-Ausgabesignals, das durch Falsch dargestellt wird, d.h. ein nicht alternierendes Signal.

**[0041]** Eine logische AND-Schaltung besteht aus mehreren D-Flipflops, wobei an jeden Taktanschluß ein alternierendes Signal angelegt wird, wobei ein Ausgabesignal des Komparators an den Taktanschluß des D-Flipflops der letzten Stufe angelegt wird und die Frequenz eines Ausgabesignals des Komparators höher eingestellt wird als die höchste Betriebsfrequenz einer mit der Ausgangsseite der logischen AND-Schaltung verbundenen Schaltung.

**[0042]** Folglich ist es möglich, die Normalität von Zwischenprozessen sicherzustellen, ohne sich nur auf das Endausgabergebnis zu beschränken, und außerdem ist es möglich, den Fail-Out-Ausfallmodus einer ausfallsicheren AND-Schaltung zu beseitigen.

**[0043]** Ein drittes zum Verständnis der vorliegenden Erfindung nützliches Beispiel liefert ein Informationsverarbeitungssystem mit einer Schnittstellenschaltung zum Eingeben von Informationen aus einem externen Gerät, bei dem die Stromaufnahme und Wärmeezeugung eines Abschlußwiderstands in einer Eingangsschaltung der Schnittstellenschaltung verringert werden kann.

**[0044]** Man erreicht dies durch Einfügen eines Schaltelements in Reihe mit einem Eingangsschalter und einem Abschlußwiderstand und Schließen des Schaltelements nur dann, wenn ein Eingabesignal abgetastet wird, und Öffnen des Elements während der anderen Periode.

**[0045]** Ein viertes zum Verständnis der vorliegenden Erfindung nützliches Beispiel liefert ein Informationsverarbeitungssystem mit einer Eingabeschnittstellenschaltung zum manuellen Eingeben von Informationen, bei dem eine einfache und sichere Schnitt-

stelle mit einem nicht-rastenden Schalter bereitgestellt wird, um die Systemkosten zu verringern und die Benutzbarkeit des Systems zu verbessern.

**[0046]** Eine mit dem Schalter verbundene Schnittstelle erzeugt ein Ausgangssignal, nachdem sie den ersten Status eines losgelassenen Schalters, den zweiten Status eines gedrückten Schalters und den dritten Status eines losgelassenen Schalters auffindet.

**[0047]** Ein fünftes zum Verständnis der vorliegenden Erfindung nützliches Beispiel liefert eine LSI hoher Zuverlässigkeit, die durch logische Mix-Mount-Technologie gebildet wird, wobei sich die LSI für ein Informationsverarbeitungssystem eignet, das Zuverlässigkeit erfordert, wobei eine Funktion bereitgestellt wird, die sich zur Steuerung von Multi-logik-Mix-Mount-Modulen in einem Chip eignet.

**[0048]** Eine Mikrosteuerung enthält zwei Speicher zum Speichern von Anweisungen und Daten, zwei Prozessoren zum Ausführen einer aus den Speichern gelesenen Anweisung und einen mit den Prozessoren verbundenen Buskomparator zum Vergleichen von Eingangs-/Ausgangssignalen zu und von den Prozessoren. Die Speicher, Prozessoren und der Buskomparator sind integral auf demselben Halbleitersubstrat ausgebildet.

**[0049]** Bei einer alternativen Form besitzt eine Mikrosteuerung Speicher zum Speichern von Anweisungen und Daten, mehrere Prozessoren zum Ausführen einer aus den Speichern gelesenen Anweisung und eine mit den Prozessoren verbundene Mehrheitsentscheidungsschaltung zum Auswählen eines der Ausgabesignale der Prozessoren durch Mehrheitsentscheidung. Die Speicher, Prozessoren und Mehrheitsentscheidungsschaltungen sind auf demselben Halbleitersubstrat integriert.

#### KURZE BESCHREIBUNG DER ZEICHNUNGEN

**[0050]** [Fig. 1](#) zeigt die Gesamtstruktur eines Informationsverarbeitungssystems gemäß der vorliegenden Erfindung.

**[0051]** [Fig. 2](#) zeigt die Struktur einer verallgemeinerten Informationsverarbeitungseinheit.

**[0052]** [Fig. 3](#) zeigt die Struktur (Registerabbild) einer Datenausgabeschaltung.

**[0053]** [Fig. 4](#) zeigt die Struktur (Registerabbild) einer Datenausgabeschaltung.

**[0054]** [Fig. 5](#) zeigt die Struktur einer Datenausgabeschaltung.

**[0055]** [Fig. 6](#) zeigt die Struktur (Analog) einer Da-

tenausgabeschaltung.

**[0056]** [Fig. 7](#) zeigt die Struktur einer Endausgabeschaltung, die eine Mehrheitsentscheidungsschaltung verwendet.

**[0057]** [Fig. 8](#) zeigt die Struktur einer Mehrheitsentscheidungsschaltung.

**[0058]** [Fig. 9](#) zeigt eine Wahrheitstabelle (Normal) einer Mehrheitsentscheidungsschaltung.

**[0059]** [Fig. 10](#) zeigt eine Wahrheitstabelle (Anormal) der Mehrheitsentscheidungsschaltung.

**[0060]** [Fig. 11](#) zeigt die Struktur einer Endausgabeschaltung, die eine AND-Schaltung verwendet.

**[0061]** [Fig. 12](#) zeigt eine Wahrheitstabelle (Normal) einer AND-Schaltung.

**[0062]** [Fig. 13](#) zeigt eine Wahrheitstabelle (Anormal) der AND-Schaltung.

**[0063]** [Fig. 14](#) zeigt die Struktur einer Endausgabeschaltung, die eine ausfallsichere AND-Schaltung verwendet.

**[0064]** [Fig. 15](#) zeigt einen Betrieb (Normal) der ausfallsicheren AND-Schaltung.

**[0065]** [Fig. 16](#) zeigt die Struktur einer Endausgabeschaltung, die eine Median-Selektorschaltung verwendet.

**[0066]** [Fig. 17](#) zeigt die Struktur einer Endausgabeschaltung mit einem Unterbrecherschalter, der mit der Ausgangsseite der Schaltung verbunden ist.

**[0067]** [Fig. 18](#) zeigt die Struktur einer Informationsverarbeitungseinheit, wobei zwischen den Modulen ein Komparator vorgesehen ist.

**[0068]** [Fig. 19](#) zeigt die Struktur einer Informationsverarbeitungseinheit, wobei zwischen den Modulen ein Komparator vorgesehen ist.

**[0069]** [Fig. 20](#) zeigt die Struktur einer AND-Schaltung.

**[0070]** [Fig. 21](#) zeigt die Struktur einer ausfallsicheren AND-Schaltung.

**[0071]** [Fig. 22](#) zeigt einen normalen Betrieb einer ausfallsicheren AND-Schaltung.

**[0072]** [Fig. 23](#) zeigt einen anormalen Betrieb der ausfallsicheren AND-Schaltung.

**[0073]** [Fig. 24](#) zeigt die Frequenzgangkurve einer

Filterschaltung.

[0074] [Fig. 25](#) zeigt eine Gegenmaßnahme für einen Ausfall einer ausfallsicheren AND-Schaltung.

[0075] [Fig. 26](#) zeigt die Struktur einer ausfallsicheren AND-Schaltung.

[0076] [Fig. 27](#) zeigt die Frequenzgangkurve einer Filterschaltung.

[0077] [Fig. 28](#) zeigt die Struktur einer Informationsverarbeitungseinheit.

[0078] [Fig. 29](#) zeigt die Struktur einer ausfallsicheren AND-Schaltung.

[0079] [Fig. 30](#) zeigt die Frequenzgangkurve einer Ausgangstreiberschaltung.

[0080] [Fig. 31](#) zeigt die Struktur einer Eingabeschnittstelleneinheit.

[0081] [Fig. 32](#) zeigt die Struktur einer Eingabeschnittstelleneinheit.

[0082] [Fig. 33](#) zeigt die Struktur einer Eingabeschnittstelleneinheit.

[0083] [Fig. 34](#) zeigt die Struktur einer Eingabeschnittstelleneinheit.

[0084] [Fig. 35](#) zeigt die Struktur einer Eingabeschnittstelleneinheit.

[0085] [Fig. 36](#) ist ein Flußdiagramm der Funktionsweise einer Eingabeschnittstelleneinheit.

[0086] [Fig. 37](#) ist ein Flußdiagramm der Funktionsweise einer Eingabeschnittstelleneinheit.

[0087] [Fig. 38](#) ist ein Flußdiagramm der Funktionsweise einer Eingabeschnittstelleneinheit.

[0088] [Fig. 39](#) ist ein Flußdiagramm der Funktionsweise einer Eingabeschnittstelleneinheit.

[0089] [Fig. 40](#) ist ein Flußdiagramm der Funktionsweise einer Eingabeschnittstelleneinheit.

[0090] [Fig. 41](#) zeigt die Funktionsweise einer Eingabeschnittstelleneinheit.

[0091] [Fig. 42](#) zeigt die Funktionsweise einer Eingabeschnittstelleneinheit.

[0092] [Fig. 43](#) zeigt die Beziehung zwischen Peripherieschaltungen und einer Eingabeschnittstelleneinheit.

[0093] [Fig. 44](#) zeigt die Struktur einer Eingabeschnittstelle.

[0094] [Fig. 45](#) zeigt die Struktur einer Eingabeschnittstelle.

[0095] [Fig. 46](#) zeigt die Funktionsweise einer Benutzerschnittstelleneinheit.

[0096] [Fig. 47](#) zeigt die Struktur einer Benutzerschnittstelleneinheit.

[0097] [Fig. 48](#) zeigt den Statusübergang eines Schalters.

[0098] [Fig. 49](#) zeigt den Ausfall eines Schalters.

[0099] [Fig. 50](#) zeigt die Funktionsweise eines anderen Schalters.

[0100] [Fig. 51](#) zeigt eine Gegenmaßnahme zur Unterdrückung des Prellens.

[0101] [Fig. 52](#) zeigt den Statusübergang eines Schalters.

[0102] [Fig. 53](#) zeigt die Funktionsweise eines Schalters mit einer Zeitgrenzenüberwachungsfunktion.

[0103] [Fig. 54](#) zeigt den Statusübergang eines Schalters.

[0104] [Fig. 55](#) zeigt die Funktionsweise eines Schalters mit einer Zeitgrenzenüberwachungsfunktion.

[0105] [Fig. 56](#) zeigt den Statusübergang eines Schalters.

[0106] [Fig. 57](#) zeigt die Struktur einer Benutzerschnittstelleneinheit.

[0107] [Fig. 58](#) zeigt die Struktur einer Benutzerschnittstelleneinheit.

[0108] [Fig. 59](#) zeigt die Struktur einer Benutzerschnittstelleneinheit.

[0109] [Fig. 60](#) zeigt die Struktur einer Benutzerschnittstelleneinheit.

[0110] [Fig. 61](#) zeigt die Funktionsweise eines Schalters.

[0111] [Fig. 62](#) zeigt, wie ein Schalter benutzt wird.

[0112] [Fig. 63](#) ist ein Flußdiagramm der Funktionsweise eines ausfallsicheren Systems.

- [0113] [Fig. 64](#) zeigt ein Layout eines Chips.
- [0114] [Fig. 65](#) ist eine Querschnittsansicht eines Chips.
- [0115] [Fig. 66](#) zeigt die interne Schaltung des Chips.
- [0116] [Fig. 67](#) zeigt die Struktur eines Buskomparators.
- [0117] [Fig. 68](#) zeigt das Layout eines Chips.
- [0118] [Fig. 69](#) zeigt die interne Schaltung des Chips.

#### AUSFÜHRLICHE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

- [0119] Es werden nun Ausführungsformen der Erfindung anhand der beigefügten Zeichnungen beschrieben.
- [0120] [Fig. 1](#) zeigt die Gesamtstruktur eines Informationsverarbeitungssystems gemäß der vorliegenden Erfindung. Dieses Informationsverarbeitungssystem besteht aus einer Eingabeschneittstelleneinheit (Eingabe-I/F) **170** zum Empfangen von Informationen von externen Geräten, einer Benutzerschnittstelleneinheit (Benutzer-I/F) **180**, mit der ein Benutzer Informationen eingeben kann, und einer Informationsverarbeitungseinheit **110** zur Durchführung eines vorbestimmten Prozesses, wie zum Beispiel zum Verarbeiten von Steuerinformationen externer Geräte gemäß der Informationseingabe aus der Eingabeschneittstelleneinheit **170** durch externe Geräte.
- [0121] Die Benutzerschnittstelleneinheit **180** besteht aus einer Fronteinheit **181** und einer Schalterinformationsverarbeitungseinheit **182**. Die Fronteinheit **181** ist mit Schaltern ausgestattet, mit denen der Benutzer Informationen eingeben kann, und mit Lampen zum Anzeigen des Drückens jedes Schalters durch einen Benutzer. Die Schalterinformationseinheit **182** erkennt ein Drücken jedes Schalters und gibt notwendige Informationen aus.
- [0122] Die Informationsverarbeitungseinheit **110** besteht aus Modulen **120** und **130**, einer Synchronisierungsschaltung **160**, einer Komparatorschaltung (CMP) **140** und einer Endausgabeschaltung **150**. Die Informationsverarbeitungseinheit **110** transferiert Informationen, die von der Eingabeschneittstelleneinheit **170** durch ein externes Gerät eingegeben werden, zu den zwei Modulen **120** und **130** mit derselben Zeitsteuerung, wobei die beiden Module **120** und **130** vorbestimmte Prozesse durchführen. Die verarbeiteten Ergebnisse werden in die Komparatorschaltung (CPM) **110** und in die Endausgabeschaltung **150** eingegeben, um ein Endausgabesignal zu bestimmen.
- [0123] Die beiden Module **120** und **130** bestehen aus CPUs **121** und **131**, RAMs **122** und **132**, Schnittstellenschaltungen (I/Fs) **124** und **134**, Dateneingabeschaltungen (DIs) **125** und **135** und Datenausgabeschaltungen (DOs) **126** und **136**. Die beiden Module **120** und **130** führen dieselbe Operation durch. Die Funktionsweise des Moduls wird anhand des Beispiels des einen Moduls **120** von den beiden Modulen beschrieben. Aus einem externen Gerät zugeführte Daten werden über die Dateneingabeschaltung **125** in das Modul **120** eingegeben. Die eingegebenen Daten werden von der CPU **121** gemäß den in dem ROM **125** gespeicherten Programmen verarbeitet. Die von der CPU **121** verarbeiteten Daten werden über die Datenausgabeschaltung (DO) **126** in die Endausgabeschaltung **150** eingegeben.
- [0124] Bei diesem Beispiel werden zwar zwei Module verwendet, die Anzahl von Modulen kann jedoch auch vergrößert werden.
- [0125] Die ausführliche Beschreibung der in [Fig. 1](#) gezeigten Informationsverarbeitungseinheit **110** erfolgt später anhand von [Fig. 18](#) und anderer, noch folgender Zeichnungen. Im folgenden wird das Inspizieren der Endausgabeschaltung **150** einer verallgemeinerten Informationsverarbeitungseinheit **110** beschrieben.
- [0126] [Fig. 2](#) zeigt die Grundstruktur einer verallgemeinerten Informationsverarbeitungseinheit **110**. Diese Informationsverarbeitungseinheit **110** besteht aus einem Takt **2**, mehreren Modulen **11** bis **1n** und einer Endausgabeschaltung **4**. Die Module **11** bis **1n** sind jeweils mit Datenausgabeschaltungen **21** bis **2n** ausgestattet.
- [0127] Die Module **11** bis **1n** verarbeiten Daten synchron mit dem Takt **2** und geben über die Datenausgabeschaltungen **21** bis **2n** Daten an die Endausgabeschaltung **4** aus. Die Module **11** bis **1n** in [Fig. 2](#) weisen dieselbe Struktur wie die in [Fig. 1](#) gezeigten Module **120** und **130** auf, und die Datenausgabeschaltungen **21** bis **2n** der Module **11** bis **1n** weisen dieselbe Struktur wie die Datenausgabeschaltungen **126** und **136** von [Fig. 1](#) auf. Die Endausgabeschaltung **4** von [Fig. 2](#) hat dieselbe Struktur wie die Endausgabeschaltung **150** von [Fig. 1](#). Der Takt **2** dient zum synchronen Betreiben mehrerer Module **21** bis **2n** und führt dieselbe Funktion wie die Synchronisierungsschaltung **160** von [Fig. 1](#) durch.
- [0128] Wenn ein beliebiges der redundanten Module **11** bis **1n** wegen eines Ausfalls kein normales Ausgabesignal erzeugen kann, kann die Endausgabeschaltung **4** ein normales Ausgabesignal wählen, um den normalen Betrieb fortzusetzen. Beispiele für die Endausgabeschaltung **4** zum Auswählen eines normalen Ausgabesignals sind, wie später beschrieben werden wird, eine Mehrheitsentscheidungsschaltung

**41**, eine AND-Schaltung **42** und eine Median-Selektorschaltung **43**.

**[0129]** [Fig. 3](#) zeigt die Struktur einer Datenausgabeschaltung **2i** eines Moduls **1i** (wobei *i* eine Modulnummer ist) in Form eines Adressenabbilds. Die Datenausgabeschaltung **2i** besitzt Register OUTall, OUT1, ..., OUTn. Wenn Daten in das Register OUTall geschrieben werden, in das gemeinsam alle Module **11** bis **1n** Daten schreiben, oder in das Register OUTi, in das nur das entsprechende Modul **1i** Daten schreibt, liefert die Datenausgabeschaltung **2i** ein Ausgabesignal **3i**, das den geschriebenen Daten entspricht. Wenn zum Beispiel (siehe [Fig. 4](#)) Daten in das Register OUTall oder in das Register OUT1 des ersten Moduls **11** geschrieben werden, liefert die Datenausgabeschaltung **21** ein Ausgabesignal **31**, das den geschriebenen Daten entspricht.

**[0130]** Mit der in [Fig. 2](#) bis [Fig. 4](#) gezeigten Struktur können die redundanten Module **11** bis **1n** synchron dieselbe Anweisung ausführen und verschiedene Ausgabesignale **31** bis **3n** liefern, so daß ein Testmuster für die Betriebsbestätigung der Endausgabeschaltung **4** zugeführt werden kann. Wenn zum Beispiel die Module **11** bis **1n** Daten in die Register OUTi schreiben, liefert nur das Modul **1i** ein Ausgabesignal **3i**, das den geschriebenen Daten entspricht. Wenn die Module **11** bis **1n** verschiedene Daten in die Register OUTi bis OUTn schreiben, liefern die Module **11** bis **1n** verschiedene Ausgabesignale **31** bis **3n**. Beim normalen Betrieb schreiben die Module **11** bis **1n** Daten in die Register OUTall und die Module **11** bis **1n** liefern Ausgabesignale **31** bis **3n**, die den geschriebenen Daten entsprechen.

**[0131]** [Fig. 5](#) und [Fig. 6](#) zeigen die Struktur in Blockform der Datenausgabeschaltung **2i** des Moduls **1i** (siehe [Fig. 6](#)). Ein Adressendecodierer **2i-1** decodiert ein Signal auf einem Adreßbus **1i-1** und gibt ein Signal an ein logisches OR **2i-2** nur dann aus, wenn die Adresse dem Register OUTall oder OUTi entspricht, so daß das logische OR **2i-2** „H“ ausgibt. Ein logisches AND **2i-3** wird zwischen einem Ausgang des logischen OR **2i-2** und einem R/W#-Signal erhalten und ein Zwischenspeichersignal **2i-4** wird nur dann auf „H“ gesetzt, wenn ein Schreibzugriff durchgeführt wird und die Adresse dem Register OUTall oder OUTi entspricht. Ein Signal auf einem Datenbus **1i-2** wird als Reaktion auf ein Zwischenspeichersignal **2i-5** durch einen Zwischenspeicher **2i-5** zwischengespeichert. In der in [Fig. 5](#) gezeigten Struktur werden die von dem Zwischenspeicher **2i-5** zwischengespeicherten Daten direkt als ein Ausgabesignal **3i** geliefert. In der in [Fig. 6](#) gezeigten Struktur werden die durch den Zwischenspeicher **2i-5** zwischengespeicherten Daten durch einen Digital/Analog-Umsetzer **2i-6** in ein Analogsignal umgesetzt und als das Ausgabesignal **3i** geliefert. Wenn die Datenausgabeschaltung **2i** von dem Typ ist, der ein digita-

les Signal ausgibt (siehe [Fig. 5](#)), wird eine Mehrheitsentscheidungsschaltung **41** oder eine AND-Schaltung **42**, die später noch beschrieben werden, als die Endausgabeschaltung **4** verwendet. Wenn die Datenausgabeschaltung **2i** von dem Typ ist, der ein Analogsignal ausgibt (siehe [Fig. 6](#)), wird eine später beschriebene Median-Selektorschaltung **43** als die Endausgabeschaltung **4** verwendet.

**[0132]** [Fig. 7](#) zeigt eine Struktur einer Mehrheitsentscheidungsschaltung **41**, die als die Endausgabeschaltung **4** verwendet wird. Die interne Struktur einer Mehrheitsentscheidungsschaltung **41** mit drei Eingängen ist in [Fig. 8](#) gezeigt, und [Fig. 9](#) zeigt die Wahrheitstabelle während eines normalen Betriebs dieser Schaltung. [Fig. 10](#) zeigt ein Beispiel für die Wahrheitstabelle, wenn ein Ausgabesignal eines logischen OR **411**, das die Mehrheitsentscheidungsschaltung **41** bildet, einen 0-fest-Ausfall (Hängenbleiben auf 0) aufweist. Wie in [Fig. 10](#) gezeigt, ist im Fall des 0-fest-Ausfalls eines Ausgabesignals des logischen OR **411** eine Eingangs-Ausgangsbeziehung, die vom normalen Betrieb verschieden ist, nur das Eingangsmuster von Fall **8**. Um diesen Ausfall aufzufinden, reicht es deshalb aus, wenn die redundanten Module **11** bis **13** die Ausgabesignale **31** bis **33** liefern, die dem Eingangsmuster von Fall **8** entsprechen. Mit der in [Fig. 2](#) bis [Fig. 6](#) gezeigten Struktur können die Module **11** bis **13**, da sie unabhängig gewünschte Ausgabesignale **31** bis **33** liefern können, die Ausgabesignale **31** bis **33** aller Muster liefern, ohne nur auf Fall **8** beschränkt zu sein. Folglich können Ausfälle aller Betriebsarten der Mehrheitsentscheidungsschaltung **41** aufgefunden werden, ohne sich nur auf den 0-fest-Ausfall des Ausgabesignals des logischen OR **411**, der oben als Beispiel angegeben wurde, zu beschränken.

**[0133]** Bei herkömmlichen Techniken, die die vorliegende Erfindung nicht verwenden, werden, wenn die redundanten Module **11** bis **13** alle normal sind, im allgemeinen die Eingabesignale nur der Fälle **1** und **2** der in [Fig. 9](#) gezeigten Wahrheitstabelle zugeführt. Deshalb kann ein Ausfall der Mehrheitsentscheidungsschaltung **41** nicht aufgefunden werden und der Ausfall bleibt latent. Bei einem solchen latenten Ausfall kann ein Ausfall in einem beliebigen der redundanten Module **11** bis **13** nicht behoben werden. Zum Beispiel kann man, sogar wenn der 0-fest-Ausfall eines Ausgabesignals des logischen OR **411** auftritt, Ausgabesignale erhalten, die nicht vom normalen Betrieb verschieden sind, wenn alle redundanten Module **11** bis **13** normal sind. Wenn jedoch ein Ausgabesignal **33** des Moduls **13** anstelle eines normalen „H“ aus bestimmten Gründen nur „L“ annimmt, nimmt das Ausgabesignal **3** der Mehrheitsentscheidungsschaltung **41** ebenfalls anstelle von „H“ „L“ an und es kann kein normaler Betrieb durchgeführt werden.

**[0134]** [Fig. 11](#) zeigt eine Struktur einer AND-Schal-

tung **42**, die als die Endausgabeschaltung **4** verwendet wird. Bei dieser Struktur werden die Ausgabesignale **31** und **32** der redundanten Module **11** und **12** der AND-Schaltung **42** zugeführt, die ein Ausgabesignal **3** liefert. In diesem Fall nimmt das Ausgabesignal **3** „H“ nur dann an, wenn beide Ausgabesignale **31** und **32** der Module **11** und **12** „H“ annehmen. Das Ausgabesignal **3** nimmt nämlich „L“ an, wenn eines der Ausgabesignale **31** und **32** der Module **11** und **12** „L“ annimmt. Wenn als ein Sicherheits-Ausgabesignal ein L-Ausgabesignal verwendet wird, kann folglich ein ausfallsicheres System realisiert werden.

[0135] **Fig. 12** zeigt eine Wahrheitstabelle der AND-Schaltung **42** im normalen Betrieb. Eine Wahrheitstabelle während eines Ausfalls, wenn das Ausgabesignal **32** direkt als das Ausgabesignal **3** geliefert wird, ist in **Fig. 13** gezeigt. Dieser Ausfallmodus resultiert aus einem Kurzschluß innerer Verdrahtungsmuster der AND-Schaltung **42**. Dieser Ausfall kann ebenfalls nur dann aufgefunden werden, wenn das Eingangsmuster Fall **3** oder **4** ist. Um diesen Ausfall aufzufinden reicht es deshalb aus, wenn die redundanten Module **11** und **12** die Ausgabesignale **31** und **32** liefern, die dem Eingangsmuster von Fall **3** oder **4** entsprechen. Mit der in **Fig. 2** bis **Fig. 6** gezeigten Struktur können die Module **11** und **12**, da sie unabhängig gewünschte Ausgabesignale **31** und **32** liefern können, Ausgabesignale **31** und **32** aller Muster liefern, ohne nur auf Fall **3** oder **4** beschränkt zu sein. Folglich können Ausfälle aller Betriebsarten der AND-Schaltung **42** aufgefunden werden, ohne daß man nur auf den Ausfall beschränkt ist, daß das Ausgabesignal **32** direkt als das Ausgabesignal **3** geliefert wird, was oben als Beispiel angegeben wurde.

[0136] Ausfallsicherheit kann außerdem durch Verwendung einer aus Flipflops hergestellten Schaltung als die AND-Schaltung **42** realisiert werden, wie in **Fig. 14** gezeigt. Wie in **Fig. 15** gezeigt, liefert diese Schaltung ein alternierendes Signal als das Ausgabesignal **3** nur dann, wenn beide Ausgabesignale **31** und **32** alternierende Signale sind. Wenn nämlich das alternierende Signal wahr gemacht wird und die anderen Signale falsch gemacht werden, stellt diese Schaltung dieselbe Funktionsweise wie das logische AND bereit. Eine Möglichkeit des falschen Ausgebens eines alternierenden Signals aufgrund eines Ausfalls dieser Schaltung ist sehr gering, so daß diese Schaltung als ausfallsicheres AND bezeichnet wird.

[0137] **Fig. 16** zeigt ein Beispiel für eine Median-Selektorschaltung **43** als die Endausgabeschaltung **4**. Die Median-Selektorschaltung **43** wählt einen Median von Eingangsanalogwerten und gibt ihn aus. Wenn alle Module **11** bis in normal sind, werden theoretisch die Ausgabesignale **31** bis **3n** mit demselben Wert geliefert. Deshalb ist es möglich, zu bestätigen, daß die Median-Selektorschaltung **43** die folgende

Funktion aufweist: „Auswählen und Ausgeben eines Median von Eingangsanalogwerten“. In der Praxis weisen die digitalen Werte der Ausgabesignale **31** bis **3n**, auch wenn diese digitalen Werte dieselben sind, eine Variation auf, die durch Umsetzungsfehler von Digital/Analog-Umsetzern verursacht wird, und die Median-Selektorschaltung **43** wählt einen Median von Werten mit einer solchen Variation und gibt diesen aus. Es kann scheinbar bestätigt werden, daß die Median-Selektorschaltung **43** die folgende Funktion aufweist: „Auswählen und Ausgeben eines Median von Eingangsanalogwerten“. Diese Variation kann jedoch aufgrund von Quantisierungsfehlern von Analog/Digital-Umsetzern, die das Ausgabesignal **3** rückkoppelten, nur schwer unterschieden werden. Bei der oben beschriebenen Struktur kann ein beliebiges der Ausgabesignale **31** bis **3n** einen verschiedenen Wert annehmen, so daß die obige Funktion der Median-Selektorschaltung **43** realisiert werden kann.

[0138] **Fig. 17** zeigt die Struktur der Endausgabeschaltung **4**, die mit einem Unterbrecherschalter **6** zum Unterbrechen des Ausgabesignals **3** der Schaltung **4** ausgestattet ist. Mit dieser Struktur wird, wenn ein anormaler Zustand der Endausgabeschaltung aufgefunden wird, der Unterbrecherschalter **6** geöffnet, um das Ausgabesignal zu schließen und ein falsches Ausgabesignal zu unterdrücken.

[0139] Als nächstes wird die Struktur der Sicherstellung der Normalität von Zwischenprozessen, die von jedem Modul ausgeführt werden sollen, beschrieben.

[0140] Da die Module **11** und **12** synchron mit dem Takt **2** dieselbe Operation durchführen können, können wie in **Fig. 11** gezeigt die Module **11** und **12** eine durch Ausfälle in einer früheren Stufe verursachte Fehlfunktion durch eine Vergleichsprüfung durch eine in **Fig. 18** gezeigte Komparatorschaltung **5** auffinden. Die Komparatorschaltung **5** vergleicht Signale auf den Datenbussen **127** und **137** zum Transfer von Daten der Module **11** und **12**, auf den Adreßbussen **126** und **138** zum Transfer von Adressensignalen und auf den Steuerbussen **129** und **139** zum Transfer von Steuersignalen. In diesem Fall kann die Fehlerauffindungsrate verbessert werden, wenn als die Komparatorschaltung **5** ein selbstprüfender Komparator verwendet wird, da das Verfehlen einer Auffindung einer Fehlfunktion, das durch einen Ausfall des Komparators selbst verursacht werden kann, vermieden werden kann. Der selbstprüfende Komparator wird in der bereits von den Erfindern registrierten JP-A-8-17158 beschrieben. Die Fehlerauffindungsrate kann weiter verbessert werden, wenn die Module **11** und **12** synchron mit einem dazwischengeschobenen Halbtakt betrieben werden, und zwar wegen einer kleineren Wahrscheinlichkeit der Erzeugung desselben Fehlers, wie in der bereits von den Erfindern registrierten JP-A-8-171581 beschrieben wird. Eine Vergleichsprüfung von Signalen auf den Bussen in

den Modulen 11 bis in (siehe [Fig. 17](#)) ist ebenfalls auf jede in [Fig. 2](#) bis [Fig. 10](#) gezeigte Struktur anwendbar, ohne Einschränkung nur auf die in [Fig. 11](#) gezeigte Struktur. Die in [Fig. 17](#) gezeigte Komparator-schaltung 5 weist eine Struktur auf, die der in [Fig. 1](#) gezeigten Komparatorschaltung 140 ähnlich ist.

[0141] [Fig. 19](#) zeigt eine weitere Struktur, die durch Verbessern der in [Fig. 18](#) gezeigten Struktur erhalten wird, bei der ein Ausgabesignal 33 der Komparatorschaltung 5 zusätzlich zu den Ausgabesignalen 31 und 32 der Module 11 und 12 in die AND-Schaltung 42 eingegeben wird. Diese Struktur ist der Struktur ähnlich, daß die Endausgabeschaltung 150 der in [Fig. 1](#) gezeigten Informationsverarbeitungsschaltung 110 durch die AND-Schaltung 42 ersetzt wird. Bei dieser Struktur liefert die AND-Schaltung 42 ein Ausgabesignal 3 nur dann, wenn die Ausgabesignale 31 und 32 der Module 11 und 12 geliefert werden und Signale auf den Datenbussen 127 und 137, auf den Adreßbussen 128 und 138 und auf den Steuerbussen 129 und 139 miteinander koinzident sind. Anders ausgedrückt wird das Ausgabesignal 3 nicht nur dann geliefert, wenn die Ausgabesignale 31 und 32 der Module 11 und 12 geliefert werden, sondern auch wenn die Zwischenprozeßergebnisse bis zu dem Endausgabesignal miteinander koinzident werden. Auf diese Weise kann die Sicherheit und Ausfallsicherheit verbessert werden, da die Vergleichsprüfung der Ausgabesignale in mehreren Stufen ausgeführt wird und Fehler in einer frühen Stufe aufgefunden werden können, da eine Inkoinzidenz während Zwischenprozessen aufgefunden werden kann.

[0142] Wenn die aus Flipflops hergestellte Schaltung, wie zum Beispiel in [Fig. 20](#) gezeigt, als die AND-Schaltung verwendet wird, ist es möglich, Ausfallsicherheit der AND-Schaltung selbst zu realisieren.

[0143] Als nächstes wird die Struktur beschrieben, die eine Verbesserung der Ausfallsicherheit ermöglicht.

[0144] [Fig. 21](#) zeigt eine Struktur, die einen Fail-Out-Ausfallmodus einer ausfallsicheren AND-Schaltung beseitigen kann. Bei diesem Beispiel wird ein Signal mit einer Frequenz  $f_3$ , die höher als die höchste Betriebsfrequenz  $f_c$  einer Filterschaltung in der letzten Stufe der ausfallsicheren AND-Schaltung ist, in einen Taktanschluß eines Flipflops FF1 in der letzten Stufe der die ausfallsichere AND-Schaltung bildenden Flipflops eingegeben.

[0145] Wie in [Fig. 22](#) gezeigt, liefert diese Schaltung im normalen Zustand ein alternierendes Signal als ein Ausgabesignal 3 nur dann, wenn alle alternierenden Signale  $f_1$ ,  $f_2$  und  $f_3$  angegeben werden. Diese Funktionsweise ist dieselbe wie eine allgemeine ausfallsichere AND-Schaltung.

[0146] Ein eindeutiger Fail-Out-Ausfallmodus der ausfallsicheren AND-Schaltung ist ein Modus, bei dem ein Takteingabesignal eines Flipflops selbst als ein Q-Ausgabesignal ausgegeben wird. Wenn in dem Flipflop der letzten Stufe ein solcher Ausfallmodus auftritt, wird wie in [Fig. 23](#) gezeigt ein alternierendes Signal als das Ausgabesignal 3 geliefert, wenn ein alternierendes Signal in das Flipflop der letzten Stufe eingegeben wird, ungeachtet der Zustände der anderen Eingabesignale. In diesem Fall beträgt die Frequenz des Ausgabesignals 3  $f_3$ , also mehr als die höchste Betriebsfrequenz  $f_c$  der Filterschaltung 7 in der letzten Stufe der ausfallsicheren AND-Schaltung. Da die Filterschaltung 7 nicht mit einer höheren Frequenz als die höchste Betriebsfrequenz  $f_c$  arbeiten kann, wird deshalb, wie in [Fig. 24](#) gezeigt, jedes beliebige Ausgabesignal von einem Ausgangsanschluß 30 der Filterschaltung 7 geliefert. Auch wenn ein Ausfall auftritt, bei dem ein Takteingabesignal des Flipflops der letzten Stufe selbst als das Q-Ausgabesignal geliefert wird, wird folglich nicht fälschlicherweise ein Gefahren-Ausgabesignal geliefert, so daß Ausfallsicherheit sichergestellt ist.

[0147] [Fig. 25](#) zeigt die erhaltenen Ausgabesignale 3, wenn ein Ausfall auftritt und ein CLK-Eingabesignal selbst jedes die ausfallsichere AND-Schaltung bildenden Flipflops als das Q-Ausgabesignal ausgegeben wird, und zeigt entsprechende Gegenmaßnahmen zum Stoppen der Ausgabesignale 3. Wie aus [Fig. 25](#) ersichtlich ist, kann durch Überwachen des Ausgabesignals 3 ein Ausfall aufgefunden werden. Bei der in [Fig. 11](#) gezeigten Struktur kann effizient ein Testmuster eingegeben werden, so daß eine Latenz eines Ausfalls vermieden werden kann. Die Anzahl von Gegenmaßnahmen zum Stoppen des Ausgabesignals 3 während eines Ausfalls nimmt in dem Flipflop der späteren Stufe in der Reihenfolge von FF1, FF2 und FF3 weiter ab. Insbesondere besteht in dem FF3 der letzten Stufe in einer von dieser Struktur verschiedenen Struktur keine Gegenmaßnahme zum Stoppen des Ausgabesignals 3 während eines Ausfalls, mit der Ausnahme, daß das  $f_3$ -Eingabesignal gestoppt wird. Wenn ein Ausfall auftritt, bei dem aus bestimmten Gründen ein von FF3 verschiedenes Flipflop dauernd  $f_3$  ausgibt, wird nämlich ohne diese Struktur dauernd das Ausgabesignal 3 geliefert. Aufgrund eines Ausfalls von FF3 und eines Ausfalls einer  $f_s$ -Erzeugungsschaltung, d.h. wegen eines Doppelausfalls, liefert das System womöglich ein Gefahren-Ausgabesignal und tritt in den Fail-Out-Zustand ein. Im Fall von FF1 und FF2 tritt das Fail-Out dagegen nur dann auf, wenn ein Vierfachausfall oder ein Dreifachausfall auftritt. In einem System, bei dem sich ein Fail-Out auf das Leben von Menschen auswirken kann, ist es entscheidend, strikte Sicherheit sicherzustellen und auch bei Mehrfachausfall ein Fail-Out zu vermeiden. Mit dieser Struktur kann ein Ausgabesignal gestoppt und ein Fail-Out vermieden werden, auch wenn ein Doppelausfall besteht, der

bisher zu einem Fail-Out geführt hat.

**[0148]** [Fig. 26](#) zeigt ein Struktur, die die nachteiligen Effekte eines Ausfallmodus verhindern kann, bei der die Takteingabesignale aller Flipflops der ausfallsicheren AND-Schaltung aus Q-Ausgabesignalen geliefert werden. Bei dieser Struktur werden alle Eingangsfrequenzen  $f_1$ ,  $f_2$  und  $f_3$  des Taktanschlusses der die ausfallsichere AND-Schaltung bildenden Flipflops höher als die höchste Betriebsfrequenz  $f_c$  der Filterschaltung **7** in der letzten Stufe der ausfallsicheren AND-Schaltung eingestellt. Auch wenn ein Ausfallmodus auftritt, bei dem eines der die ausfallsichere AND-Schaltung bildenden Flipflops sein Takteingabesignal als das Q-Ausgabesignal liefert, wird bei dieser Struktur keine Ausgabesignal **30** geliefert, da das Ausgabesignal **3** eine Frequenz aufweist, die höher als die höchste Betriebsfrequenz  $f_c$  der Filterschaltung **7** der letzten Stufe ist, und die Filterschaltung **7** kann nicht arbeiten. Mit dieser Struktur ist es deshalb möglich, die nachteiligen Effekte eines Ausfallmodus zu beseitigen, bei dem die Takteingabesignale aller die ausfallsichere AND-Schaltung bildenden Flipflops als die Q-Ausgabesignale geliefert werden.

**[0149]** Wenn alle Eingangsfrequenzen  $f_1$ ,  $f_2$  und  $f_3$  wesentlich höher als die höchste Betriebsfrequenz der Filterschaltung **7** sind, weist ein Ausgabesignal der ausfallsicheren AND-Schaltung sogar unter einem normalen Betrieb ohne jeden Ausfall eine Frequenz auf, die höher als die höchste Betriebsfrequenz  $f_c$  ist. In diesem Zusammenhang kann man, wenn  $f_1$  und  $f_2$  zum Beispiel zu  $f_c < f_1 < 2f_c$  und  $f_c < f_2 < 2f_c$  gesetzt werden, Ausgabesignale in der Größenordnung von  $f_1/2$  und  $f_2/2$  erhalten, wie in [Fig. 22](#) dargestellt, und das Ausgabesignal **3** hat unter einem normalen Betrieb eine Frequenz, die niedriger als die höchste Betriebsfrequenz  $f_c$  der Filterschaltung **7** ist, und das Ausgabesignal **3** unter einem anormalen Betrieb weist eine Frequenz auf, die höher als die höchste Betriebsfrequenz  $f_c$  der Filterschaltung ist, wie in [Fig. 27](#) gezeigt. Mit dieser Struktur können deshalb die nachteiligen Effekte eines Ausfallmodus, bei dem Takteingabesignale aller die ausfallsichere AND-Schaltung bildenden Flipflops als Q-Ausgabesignale geliefert werden, beseitigt werden.

**[0150]** Wenn die Filterschaltung **7** in der letzten Stufe der ausfallsicheren AND-Schaltung die Dämpfungsfrequenzgangkurve aufweist, die im Hochfrequenzband scharf ist, ist es wie oben beschrieben mit der in [Fig. 26](#) gezeigten Struktur möglich, die nachteiligen Effekte eines Ausfallmodus zu beseitigen, bei dem die Takteingabesignale aller die ausfallsichere AND-Schaltung bildenden Flipflops als Q-Ausgabesignale geliefert werden. Obwohl es möglich ist, die nachteiligen Effekte eines Ausfallmodus zu beseitigen, bei dem die Takteingabesignale aller die ausfallsichere AND-Schaltung bildenden Flipflops als

Q-Ausgabesignale geliefert werden, ist es im Gegensatz dazu mit der in [Fig. 20](#) gezeigten Struktur nicht notwendig, daß die Filterschaltung **7** in der letzten Stufe der ausfallsicheren AND-Schaltung die Dämpfungsfrequenzgangkurve aufweist, die in der hohen Frequenz scharf ist, und außerdem ist es nicht notwendig, die Filterschaltung zu verwenden, da die ausfallsichere AND-Schaltung durch Verwendung der Frequenzgangkurven allgemeiner Schaltungen realisiert werden kann.

**[0151]** Bei der Realisierung der mit [Fig. 21](#) bis [Fig. 27](#) dargestellten Operationen wird eine Frequenz notwendig, die höher als die höchste Betriebsfrequenz  $f_c$  der Filterschaltung **7** ist. Ein Signal einer solchen hohen Frequenz kann auf die folgende Weise erzeugt werden.

- (a) Verwendung eines Existenznachrichtsignals jedes redundanten Moduls.
- (b) Verwendung eines Taktsignals.
- (c) Verwendung eines aus JP-A-7-234801 bekannten Selbstprüfungskomparators.

**[0152]** Von diesen wird ein Verfahren (c) beschrieben.

**[0153]** Der Einfachheit halber wurde für die in [Fig. 21](#) bis [Fig. 27](#) gezeigten Strukturen eine ausfallsichere AND-Schaltung mit drei Eingängen beschrieben. Es ist offensichtlich, daß eine allgemeine ausfallsichere AND-Schaltung mit  $N$  Eingängen verwendet werden kann.

**[0154]** [Fig. 28](#) zeigt eine andere Struktur, die ein ausfallsicheres System bereitstellen kann, das Normalität von Zwischenprozessen sicherstellt und den Fail-Out-Ausfallmodus einer ausfallsicheren AND-Schaltung durch Verwendung synergistischer Effekte beseitigt. Diese Struktur ist im Prinzip die gleiche wie die in [Fig. 19](#) gezeigte Struktur. In der in [Fig. 28](#) gezeigten Struktur wird anstelle einer allgemeinen Komparatorschaltung eine selbstprüfende Komparatorschaltung **5'** verwendet, und anstelle einer allgemeinen AND-Schaltung wird eine ausfallsichere AND-Schaltung verwendet. Diese ausfallsichere AND-Schaltung besteht aus in [Fig. 29](#) gezeigten Flipflops, in das Flipflop FF3 in der letzten Stufe wird ein Ausgabesignal **33** der selbstprüfenden Komparatorschaltung **5'** eingegeben und ein Ausgabesignal der ausfallsicheren AND-Schaltung wird einer Ausgangstreiberschaltung **30** zugeführt, die ein Ausgabesignal **30** liefert.

**[0155]** Diese Struktur realisiert Ausfallsicherheit durch Abliefern eines alternierenden Signals als das Ausgabesignal **3** nur dann, wenn alle Ausgabesignale **31**, **32** und **33** ein alternierendes Signal liefern.

**[0156]** Um diese Struktur zu realisieren, muß die selbstprüfende Komparatorschaltung **5'** ebenfalls ein

alternierendes Signal als Ausgangssignal **33** liefern, wenn die Signale auf den Datenbussen **127** und **137**, auf Adreßbussen **128** und **138** und auf den Steuerbussen **129** und **139** der Module **11** und **12** koinzident sind. Wie bereits beschrieben erfüllt die in der von den Erfindern registrierten JP-8-17158 beschriebene selbstprüfende Komparatorschaltung die obigen Bedingungen, da sie als das Ausgangssignal **33** nur dann ein alternierendes Signal liefert, wenn zu vergleichende Signale miteinander koinzident sind und sich die Komparatorschaltung selbst in einem normalen Zustand befindet.

**[0157]** Man betrachte nun die Frequenzbeziehung von Eingabesignalen und einem Ausgangssignal der ausfallsicheren AND-Schaltung in einem normalen Zustand. Da das Ausgangssignal **33** der selbstprüfenden Komparatorschaltung **5'** in jedem Buszyklus invertiert, weist es die gleiche Frequenz wie der Buszyklus auf (im allgemeinen etwa mehrere MHz bis zu mehreren hundert MHz). Die Ausgangssignale **31** und **32** der Module **11** und **12** invertieren bei einem Zugriff auf die Ausgabeschnittstellen **21** bis **2n** durch Software, so daß sie wesentlich niedriger (etwa mehrere hundert Hz bis mehrere kHz) als das Ausgangssignal **33** der selbstprüfenden Komparatorschaltung **5** liegen. Das Ausgangssignal der ausfallsicheren AND-Schaltung invertiert, nachdem sowohl das Ausgangssignal **33** der selbstprüfenden Komparatorschaltung **5** als auch die Ausgangssignale **31** und **32** der Module **11** und **12** zyklisch angestiegen sind. Deshalb weist das Ausgangssignal der ausfallsicheren AND-Schaltung die Hälfte der Frequenz der Ausgangssignale **31** und **32** der Module **11** und **12** auf. Wie in [Fig. 30](#) gezeigt, beträgt die höchste Betriebsfrequenz  $f_c$  der mit dem Ausgangssignal der ausfallsicheren AND-Schaltung verbundenen Ausgangstreiber-schaltung **71** im allgemeinen etwa 100 Hz bis mehrere kHz, wenn sie durch Verwendung allgemeiner Leistungselemente aufgebaut wird.

**[0158]** Man betrachte als nächstes das Auftreten eines Ausfalls des oben beschriebenen Modus. Wenn ein Ausfall auftritt, wird das Ausgangssignal **33** selbst der selbstprüfenden Komparatorschaltung **5** als das Ausgangssignal **3** der ausfallsicheren AND-Schaltung geliefert. Wie in [Fig. 30](#) gezeigt, hat das Ausgangssignal **30** der ausfallsicheren AND-Schaltung deshalb einen großen Abstand von der Bandbreite der Ausgangstreiber-schaltung **71**. Auch wenn ein Ausfall des Fail-Out-Modus auftritt, kann Ausfallsicherheit sichergestellt werden, da kein Signal als das Ausgangssignal **30** erscheint.

**[0159]** Als nächstes wird die in [Fig. 1](#) gezeigte Eingabeschnittstelleneinheit **170** beschrieben.

**[0160]** [Fig. 31](#) zeigt die Grundstruktur der Eingabeschnittstelleneinheit **170**. Die Funktion der Eingabeschnittstelleneinheit ist ein Auffinden eines Offen/Ge-

schlossen eines Eingangsschalters (Kontakts) **3101**, wie zum Beispiel eines Relais oder anderer Arten von Schaltern. Eine Stromversorgungsspannung wird über den Eingangsschalter **3101** und ein Schaltelement **3102** an eine Abtastschaltung **3104** angelegt. Da die Eingangsimpedanz der Abtastschaltung im allgemeinen groß ist, fließt der größte Teil des Stroms  $i$ , der durch den Eingangsschalter **3101** und das Schaltelement **3102** fließt, durch einen Abschlußwiderstand **3103**. Anders ausgedrückt bestimmt der Wert des Abschlußwiderstands **3103** den durch den Eingangsschalter **3101** und das Schaltelement **3102** fließenden Strom  $i$ . Die Abtastschaltung **3104** tastet als Reaktion auf ein Abtaststeuersignal **3105** eine angelegte Spannung ab, um ein Offen/Geschlossen des Eingangsschalters **3101** zu finden. Wenn der Eingangsschalter **3101** geschlossen ist (On-Zustand), wird die Stromversorgungsspannung an den Eingang der Abtastschaltung **3104** angelegt und ein H-Pegel wird als ein abgetasteter Wert **3106** ausgegeben. Wenn der Eingangsschalter **3101** geöffnet ist (Off-Zustand), wird die Stromversorgungsspannung nicht an den Eingang der Abtastschaltung **3104** angelegt und ein L-Pegel wird als der abgetastete Wert **3106** ausgegeben. Das Schaltelement **3102** öffnet und schließt sich als Reaktion auf das Abtaststeuersignal **3105**. Es ist geschlossen (eingeschaltet), wenn das Abtaststeuersignal **3105** empfangen wird, und geöffnet (ausgeschaltet), wenn das Abtaststeuersignal **3105** nicht empfangen wird. Das heißt, das Schaltelement **3102** ist nur in dem Fall geschlossen (eingeschaltet), wenn die Abtastschaltung **4** eine Abtastoperation durchführt, um Strom fließen zu lassen, und während der anderen Periode geöffnet (ausgeschaltet), um keinen Strom fließen zu lassen. Mit dieser Struktur kann die Stromaufnahme des Abschlußwiderstands **3103** verringert werden.

**[0161]** Das Schaltelement **3102** kann an dem Punkt A, B, C oder D (siehe [Fig. 31](#)) mit den gleichen vorteilhaften Effekten wie oben verbunden sein. Das Schaltelement **3102** kann ein Relais, ein Halbleiterrelais oder ein Halbleiterelement wie zum Beispiel ein Transistor, sein.

**[0162]** [Fig. 32](#) zeigt die Struktur der Abtastschaltung **3104**. Wie gezeigt, besteht die Abtastschaltung **3104** aus einem aus einem D-Flipflop hergestellten Zwischenspeicher. Obwohl es in dieser Struktur nicht gezeigt ist, kann, um eine hohe Widerstandsfähigkeit gegenüber Rauschsignalen bereitzustellen, die Abtastschaltung elektrisch durch Verbinden von Fotokopplern mit der Eingangsseite des D-Flipflops isoliert werden.

**[0163]** [Fig. 33](#) zeigt die Struktur bei Berücksichtigung einer Verzögerung des Schaltelements **3102**. Aufgrund einer Verzögerung des Schaltelements **3102** dauert es etwas, bis sich das Schaltelement **3102** schließt, nachdem das Abtaststeuersignal **3105**

eingeschaltet wird. Deshalb ist ein Verzögerungselement **3112** vorgesehen, um das Abtaststeuersignal **3105** um die Zeitverzögerung des Verzögerungselements **3112** zu verzögern, und das verzögerte Abtaststeuersignal **3105'** wird der Abtastschaltung **3104** zugeführt.

[0164] [Fig. 35](#) zeigt eine andere Struktur, bei der eine Informationsverarbeitungseinheit **3111** das Abtaststeuersignal **3105** und das verzögerte Abtaststeuersignal **3105'** erzeugt. Gemäß der in [Fig. 36](#) gezeigten Sequenz erzeugt die Informationsverarbeitungseinheit **3111** das Abtaststeuersignal **3105** und das verzögerte Abtaststeuersignal **3105'**. Als erstes wird im Schritt **3601** das Abtaststeuersignal **3105** eingeschaltet, um das Schaltelement **3102** zu schließen. Im Schritt **3602** dauert ein Standby-Zustand für die Verzögerungszeit des Schaltelements **3102** an. Im Schritt **3603** wird das Abtaststeuersignal **3105'** eingeschaltet, um die Stromversorgungsspannung abzutasten. Das Abtaststeuersignal **3105'** kann sofort nach der Abtastoperation ausgeschaltet werden, nachdem es eingeschaltet wurde. Im Schritt **3604** wird das Abtaststeuersignal **3105** sofort nach der Abtastoperation ausgeschaltet, um das Schaltelement **3102** zu öffnen und den Strom  $i$  zu stoppen, um dadurch die Stromaufnahme des Abschlußwiderstands **3103** zu verringern. [Fig. 37](#) zeigt eine Änderung des Stroms  $i$  während der obigen Schritte, während der Eingangsschalter **3101** geschlossen ist. [Fig. 38](#) zeigt eine Änderung des Stroms, während der Eingangsschalter **3101** offen ist.

[0165] Mit dieser Struktur fließt der Strom  $i$  nur während einer sehr kurzen Zeit in einem Steuerrahmen, wie in [Fig. 39](#) gezeigt, so daß die Stromaufnahme des Abschlußwiderstands **3103** wesentlich verringert werden kann. Wenn zum Beispiel angenommen wird, daß der Steuerrahmen **10** ms beträgt, die Flußzeit des Stroms  $i$  **0,1** ms beträgt und das Abtasten einmal pro Rahmen durchgeführt wird, dann beträgt das Tastverhältnis eines Fließens des Stroms  $i$  **1%**. Die Stromaufnahme des Abschlußwiderstands **3103** wird deshalb um **1/100** verringert. Es ist deshalb möglich, einen Widerstand mit kleiner Leistungskapazität als Abschlußwiderstand **3103** zu verwenden, so daß das System kompakt wird. Da die Wärmeentwicklung in dem System gering wird, ist kein Raum für Ventilationslöcher oder dergleichen zur Wärmeableitung notwendig und das System kann kompakter gebaut werden.

[0166] [Fig. 40](#) zeigt eine andere Struktur, bei der Ausfallsicherheit durch Verwenden eines alternierenden Signals realisiert wird, um einen Festhängausfall der Eingabeschnittstelleneinheit zu finden. In dieser Struktur wird eine Abtastoperation nicht nur während des On-Zustands des Schaltelements, sondern auch während des Off-Zustands durchgeführt. Wenn der abgetastete Wert **3106** H ist, während das Schaltele-

ment **3102** geschlossen ist, und wenn der abgetastete Wert **3106** L ist, während es offen ist, dann wird erkannt, daß der Eingangsschalter **3101** geschlossen war. Wenn der abgetastete Wert **3106** L ist, während das Schaltelement **3102** geschlossen ist, und wenn der abgetastete Wert **3106** L ist, während es offen ist, dann wird erkannt, daß der Eingangsschalter **3101** offen war. Wenn der abgetastete Wert **3106** H ist, während das Schaltelement **3102** geschlossen ist, und wenn der abgetastete Wert **3106** H ist, während es offen ist, dann wird erkannt, daß ein Hängen-auf-1-Ausfall der Eingabeschnittstellenschaltung aufgetreten ist. Im Schritt **4000** wird zunächst eine Abtastoperation durchgeführt, während das Schaltelement offen ist. Im Schritt **4001** wird das Abtaststeuersignal **3105** eingeschaltet, um das Schaltelement **3102** zu schließen. Im Schritt **4002** wird ein Standby-Zustand für die Verzögerungszeit des Schaltelements **3102** fortgesetzt. Im Schritt **4003** wird das Abtaststeuersignal **3105'** eingeschaltet, um eine Abtastoperation durchzuführen. Das Abtaststeuersignal **3105'** kann sofort nach der Abtastoperation ausgeschaltet werden, nachdem es eingeschaltet wurde. Im Schritt **4004** wird das Abtaststeuersignal **3105** sofort nach der Abtastoperation ausgeschaltet, um das Schaltelement **3102** zu öffnen und den Strom  $i$  zu stoppen, um dadurch die Stromaufnahme des Abschlußwiderstands **3103** zu verringern. [Fig. 41](#) zeigt eine Änderung des Stroms  $i$  während der obigen Schritte, während der Eingangsschalter **3101** geschlossen ist.

[0167] Bei dieser Struktur fließt der Strom  $i$  nur während einer sehr kurzen Zeit in einem Steuerrahmen (siehe [Fig. 42](#)), so daß die Stromaufnahme des Abschlußwiderstands **3103** wesentlich verringert werden kann.

[0168] Bei den obigen Strukturen wird ein Eingangsschalter verwendet. In einem praktischen Steuersystem (siehe [Fig. 43](#)) werden mehrere Eingangsschalter **3101** verwendet. Wenn die Schaltelemente **3102** in gleicher Zahl wie die Anzahl von Eingangsschaltern vorgesehen sind, werden in diesem Fall die Effekte, daß das Steuersystem durch die Verringerung der Stromaufnahme kompakter und kosteneffektiver wird, vermindert. In dieser Verbindung (siehe [Fig. 44](#) und [Fig. 45](#)) ist ein einziges Schaltelement **3102** mit einer gemeinsamen Leitung der mehreren Eingangsschalter **3101** verbunden, um die Effekte, daß das Steuersystem kompakter und kosteneffektiver wird, beizubehalten.

[0169] Als nächstes wird die in [Fig. 1](#) gezeigte Benutzerschnittstelleneinheit **180** beschrieben.

[0170] [Fig. 47](#) zeigt die Struktur der Benutzerschnittstelleneinheit. Ein nicht-rastender Schalter **4701** ist vom Schließertyp, dessen Kontakte beim Drücken des Schalters geschlossen und beim Los-

lassen geöffnet werden. Wenn der nicht-rastende Schalter **4701** losgelassen wird, wird an die Eingangsleitung **4711** der Schalterinformationsverarbeitungseinheit **182** ein Low-Pegel angelegt, während, wenn der nicht-rastende Schalter **4701** gedrückt wird, ein High-Pegel angelegt wird. Deshalb kann die Schalterinformationsverarbeitungseinheit **182** den Status des nicht-rastenden Schalters **4701** aus dem Pegel der Eingangsleitung **4711** auffinden. Die Schalterinformationsverarbeitungseinheit **182** besitzt eine Schalterschnittstellenschaltung **4714**, eine Schalterschnittstellenfunktion **4710** und eine Hauptsystemverarbeitungsfunktion **4713**, die die Hauptaufgabe der Schalterinformationsverarbeitungseinheit **182** ist. Die Schalterinformationsverarbeitungseinheit **182** liefert ein Ausgabesignal an eine Ausgangsleitung **4715**. Die Schalterschnittstellenschaltung **4714** wird praktisch durch Hardware realisiert, während die Schalterschnittstellenfunktion **4710** und die Hauptsystemverarbeitungsfunktion **4713** durch Software realisiert werden. Die Schalterschnittstellenfunktion **4710** prüft das Eingabesignal der Eingangsleitung **4711** und gibt ein Signal, das anzeigt, ob der nicht-rastende Schalter **4701** gedrückt ist oder nicht, an eine Ausgangsleitung **4717** aus. Die Hauptsystemverarbeitungsfunktion **4723** prüft ein Ausgabesignal auf der Ausgangsleitung **4712**, das aus der Schalterschnittstellenfunktion **4710** zugeführt wird, und führt den Prozeß durch, der die Hauptaufgabe der Schalterinformationsverarbeitungseinheit **182** ist.

**[0171]** Wie in [Fig. 47](#) gezeigt, ist die Ausgangsleitung **4712** der Schalterschnittstellenfunktion **4710** mit einer Anzeigeeinheit **4716** verbunden, um sie durch ein Ausgabesignal auf der Ausgangsleitung **4712** einzuschalten. Es ist deshalb möglich, einen Bediener darüber zu benachrichtigen, ob die Schalterschnittstellenfunktion **4710** erkannt hat, daß der nicht-rastende Schalter **4701** gedrückt wurde.

**[0172]** [Fig. 46](#) zeigt die Grundstruktur der Schalterschnittstellenfunktion **4710**.

**[0173]** „LOSLASSEN“ und „DRÜCKEN“ zeigen den Status des nicht-rastenden Schalters **4701** an. Wie gezeigt, erkennt die Schalterschnittstellenfunktion **4710**, daß der nicht-rastende Schalter gedrückt wurde, nur dann, wenn sich das Eingabesignal auf der Eingangsleitung **4711** sequentiell in der folgenden Reihenfolge ändert:

- (1) Ein losgelassener Status des nicht-rastenden Schalters,
- (2) Ein gedrückter Status des nicht-rastenden Schalters und
- (3) Ein losgelassener Status des nicht-rastenden Schalters,

und liefert ein Ausgabesignal an die Ausgangsleitung **4712**.

**[0174]** [Fig. 48](#) zeigt den Statusübergang der Schalterschnittstellenfunktion **4710**, die die obige Funktion realisiert. Unmittelbar nach der Initialisierung beim Einschalten einer Stromversorgung oder dergleichen nimmt die Schalterschnittstellenfunktion **4710** einen Startstatus S0 an. Abhängig von dem Signalpegel auf der Eingangsleitung **4711** nimmt die Funktion **4710** entweder einen Druck-Wartestatus **51** oder einen Loslaß-Wartestatus S4 an. Der Druck-Wartestatus S1 ist der Ursprung des Betriebs der Schalterschnittstellenfunktion **4710**. Wenn sich der nicht-rastende Schalter **4701** unmittelbar nach der Initialisierung in einem gedrückten Status befindet, nimmt die Funktion **4710** den Loslaß-Wartestatus S4 an und nimmt dann nach dem Loslassen des nicht-rastenden Schalters **4701** den Druck-Wartestatus S1 an. Wenn der nicht-rastende Schalter **4701** gedrückt wird, während die Schalterschnittstellenfunktion **4710** den Druck-Wartestatus S1 annimmt, geht der Status zu dem Loslaß-Wartestatus S2 über. Wenn der nicht-rastende Schalter **4701** während des Loslaß-Wartestatus S2 losgelassen wird, nimmt die Funktion **4710** als nächstes den Druckerkannt-Status S3 an, um die Ausgangsleitung **4712** einzuschalten (Druck erkannt) und kehrt zum Druck-Wartestatus S1 zurück. Bei dem obigen Statusübergang der Schalterschnittstellenfunktion **4710** erkennt die Schalterschnittstellenfunktion **4710** nur dann, daß der nicht-rastende Schalter **4701** gedrückt wurde, wenn der Status des nicht-rastenden Schalters **4701** in der Reihenfolge Status (1), Status (2), Status (3) übergeht.

**[0175]** Wenn ein Hängen-auf-1-Ausfall der Schalterschnittstellenschaltung **4714** des nicht-rastenden Schalters **4701** auftritt, oder wenn Kontakte des nicht-rastenden Schalters **4701** geschmolzen und geschlossen würden, wird der in [Fig. 49](#) gezeigte Status (2) fortgesetzt und der Statusübergang vom Status (1) zum Status (2) und zum Status (3) findet nicht statt. Es wird deshalb nicht erkannt, daß der nicht-rastende Schalter **4701** durch einen Ausfall gedrückt wurde.

**[0176]** [Fig. 50](#) zeigt die Struktur, bei der eine Umschaltfunktion zu der Schalterschnittstellenfunktion **4710** hinzugefügt wird. Nämlich wird jedesmal, wenn die Statusübergänge in der Reihenfolge Status (1), Status (2) und Status (3) auftreten, die Ausgangsleitung **4712** ein- und ausgeschaltet. Deshalb kann eine Umschaltfunktion realisiert werden, die das Ein- und Ausschalten der Ausgangsleitung **4712** jedesmal realisiert, wenn der nicht-rastende Schalter **4701** gedrückt wird.

**[0177]** [Fig. 51](#) zeigt eine Gegenmaßnahme zur Beseitigung von Pnelleffekten, die zu der Schalterschnittstellenfunktion **4710** hinzugefügt wird. In den in [Fig. 47](#) und [Fig. 48](#) gezeigten Beispielen wird jedesmal, wenn der nicht-rastende Schalter **4701**

wiederholt, die Ausgangsleitung ein- und auszuscha-  
alten, aufgrund des Prellens des nicht-rastenden  
Schalters **4701** erkennt, daß der Status in der Rei-  
henfolge von Status (1) zu Status (2) und zu Status  
(3) übergegangen ist. Wenn in diesem Beispiel Sta-  
tus (1) zu Status (3) eine vorbestimmte Zeit T1 oder  
länger fortgesetzt wird, und wenn die Statusübergän-  
ge in der Reihenfolge Status (1), Status (2) und Sta-  
tus (3) stattfinden, dann erkennt die Schalterschnitt-  
stellenfunktion **4710**, daß der nicht-rastende Schalter  
**4701** gedrückt wurde.

[0178] **Fig. 52** zeigt den Statusübergang der Schal-  
terschnittstellenfunktion **4710**, die die obige Funktion  
realisiert. Unmittelbar nach der Initialisierung beim  
Einschalten einer Stromversorgung oder dergleichen  
nimmt die Schalterschnittstellenfunktion **4710** einen  
Startstatus S0 an und dann einen Dauerloslaß-War-  
tezustand S4. Nachdem der nicht-rastende Schalter  
**4701** eine vorbestimmte Zeit T1 oder länger dauernd  
losgelassen wurde, tritt ein Dauerdruck-Wartestatus  
S1 ein. Wenn der nicht-rastende Schalter **4701** für  
die vorbestimmte Zeit T1 oder länger dauernd ge-  
drückt wird, während die Schalterschnittstellenfunktio-  
n **4710** den Dauerdruck-Wartezustand S1 annimmt,  
geht der Status zu dem Dauerloslaß-Wartezustand  
S2 über. Wenn der nicht-rastende Schalter **4701** für  
die vorbestimmte Zeit T1 oder länger dauernd losge-  
lassen wird, während die Schalterschnittstellenfunktio-  
n **4710** den Dauerloslaß-Wartestatus S2 annimmt,  
geht der Status zu einem Druck-erkannt-Status S3  
über, um die Ausgangsleitung **4712** einzuschalten  
(Druck erkannt) und kehrt zu dem Druck-Wartestatus  
S1 zurück. Bei dem obigen Statusübergang der  
Schalterschnittstellenfunktion **4710** erkennt die  
Schalterschnittstellenfunktion **4710** nur dann, daß  
der nicht-rastende Schalter **4701** gedrückt wurde,  
wenn der Status des nicht-rastenden Schalters **4701**  
in der Reihenfolge Status (1), Status (2) und Status  
(3) übergeht.

[0179] Mit der obigen Struktur kann man eine fal-  
sche Erkennung des Drückens des nicht-rastenden  
Schalters **1701** verhindern, die ansonsten durch Prel-  
len verursacht werden könnte. Außerdem kann man  
eine falsche Erkennung des Drückens des nicht-ras-  
tenden Schalters **1701** verhindern, die ansonsten  
durch eine unbeabsichtigte momentane Berührung  
des nicht-rastenden Schalters **1701** verursacht wer-  
den könnte.

[0180] **Fig. 53** bis **Fig. 56** zeigen die Strukturen, bei  
denen eine Zeitgrenzenfunktion zu der Schal-  
terschnittstellenfunktion **4710** hinzugefügt wird.

[0181] Bei der in **Fig. 53** gezeigten Struktur wird  
nicht erkannt, daß der nicht-rastende Schalter **1701**  
gedrückt wurde, wenn der Statusübergang von Sta-  
tus (1), Status (2) und Status (3) nicht innerhalb einer  
vorbestimmten Zeit T2 abgeschlossen ist.

[0182] **Fig. 54** zeigt den Statusübergang der Schal-  
terschnittstellenfunktion **4710**, die die obige Funktion  
realisiert. Dieser Statusübergang stimmt im Prinzip  
mit dem in **Fig. 51** gezeigten überein. Wenn der  
nicht-rastende Schalter **4701** nicht dauernd für die  
vorbestimmte Zeit T1 oder länger innerhalb der vor-  
bestimmten Zeit T2 während des Dauerloslaß-War-  
testatus S2 losgelassen wird, dann wird eine Zeit-  
grenze überschritten und der Status kehrt zu dem  
Dauerloslaß-Wartestatus S4 zurück.

[0183] Bei der in **Fig. 55** gezeigten Struktur wird  
nicht erkannt, daß der nicht-rastende Schalter **1701**  
gedrückt wurde, wenn der Statusübergang von Sta-  
tus (1) zu Status (2) und der Statusübergang von Sta-  
tus (2) zu Status (3) nicht in vorbestimmten Zeiten T2  
und T3 abgeschlossen werden.

[0184] **Fig. 56** zeigt den Statusübergang der Schal-  
terschnittstellenfunktion **4710**, die die obige Funktion  
realisiert. Dieser Statusübergang stimmt im wesentli-  
chen mit dem in **Fig. 51** gezeigten überein. Wenn der  
nicht-rastende Schalter **4701** nicht dauernd für die  
vorbestimmte Zeit T1 oder länger innerhalb der vor-  
bestimmten Zeit T3 während des Dauerloslaß-War-  
testatus S2 losgelassen wird, dann wird eine Zeit-  
grenze überschritten und der Status kehrt zu dem  
Dauerloslaß-Wartestatus S4 zurück. Wenn der  
nicht-rastende Schalter **4701** nicht dauernd für die  
vorbestimmte Zeit T1 oder länger innerhalb der vor-  
bestimmten Zeit T2 während des Dauerdruck-War-  
testatus S1 gedrückt wird, dann wird eine Zeitgrenze  
überschritten und der Status kehrt zu einem Dauer-  
druck-Wartestatus S1' zurück, und dann zu einem  
Dauerdruck-Wartestatus S1, um auf ein dauerndes  
Drücken während T1 oder länger zu warten. Das  
heißt, das Messen der Dauerdruckzeit in dem Dauer-  
druck-Wartestatus S1 wird durch die Zeitgrenze ge-  
löscht. Wenn beim Überschreiten der Zeitgrenze ein  
Alarm ausgegeben wird, wird es möglich, über einen  
Ausfall in der Nähe des nicht-rastenden Schalters  
**4701** Meldung zu machen.

[0185] Bei den in **Fig. 53** bis **Fig. 56** gezeigten oben  
beschriebenen Strukturen ist es möglich, die Erken-  
nung eines Drückens des nicht-rastenden Schalters  
**4701** zu verhindern, die ansonsten durch einen Hän-  
gen-auf-I-Ausfall verursacht würde, der nach einer  
Dauer von einer vorbestimmten Zeit behoben wird,  
und es ist außerdem möglich, den Ausfall aufzufin-  
den. Ein Ausfall des dauernden Prellens, der durch  
Kontaktdefekte des nicht-rastenden Schalters **4701**  
verursacht wird, kann ebenfalls aufgefunden werden.

[0186] Die nahe Struktur des nicht-rastenden Schal-  
ters **4701**, wie zum Beispiel in **Fig. 47** gezeigt, wurde  
beschrieben. Die in **Fig. 57** bis **Fig. 60** gezeigten  
Strukturen können ebenfalls verwendet werden,  
während die den obigen ähnelnden Aufgaben gelöst  
werden.

[0187] Der in [Fig. 57](#) gezeigte nicht-rastende Schalter **4701** ist vom Schließertyp, dessen Kontakte beim Drücken des Schalters geschlossen und beim Loslassen geöffnet werden. Eine Eingangsleitung **4711** der Schalterinformationsverarbeitungseinheit **182** wird über einen Widerstand R auf eine Stromquelle Vcc heraufgezogen und über den nicht-rastenden Schalter **4701** mit Masse verbunden. Wenn der nicht-rastende Schalter **4701** losgelassen wird, wird bei diesem Beispiel ein High-Pegel an die Eingangsleitung **4711** der Schalterinformationsverarbeitungseinheit **182** angelegt, während beim Drücken des nicht-rastenden Schalters **4701** ein Low-Pegel angelegt wird.

[0188] Der in [Fig. 58](#) gezeigte nicht-rastende Schalter **4701** ist vom Öffnertyp, dessen Kontakte beim Loslassen des Schalters geschlossen und beim Drücken geöffnet werden, im Gegensatz zu dem in [Fig. 47](#) gezeigten. Ähnlich wie bei der in [Fig. 47](#) gezeigten Schaltungsstruktur wird ein Signal auf der Eingangsleitung **4711** der Schalterinformationsverarbeitungseinheit **182** über den nicht-rastenden Schalter **4701** an eine Stromquelle Vcc angekoppelt. Wenn der nicht-rastende Schalter **4701** losgelassen wird, wird in diesem Beispiel ein High-Pegel an die Eingangsleitung **4711** der Schalterinformationsverarbeitungseinheit **182** angelegt, während beim Drücken des nicht-rastenden Schalters **4701** ein Low-Pegel angelegt wird.

[0189] Der in [Fig. 59](#) gezeigte nicht-rastende Schalter **4701** ist vom Öffnertyp, dessen Kontakte beim Loslassen des Schalters geschlossen und beim Drücken geöffnet werden, im Gegensatz zu dem in [Fig. 47](#) gezeigten. Im Gegensatz zu der in [Fig. 47](#) gezeigten Schaltungsstruktur wird ein Signal auf der Eingangsleitung **4711** der Schalterinformationsverarbeitungseinheit **182** über einen Widerstand R auf eine Stromquelle Vcc heraufgezogen und über den nicht-rastenden Schalter **4701** mit Masse verbunden. Wenn der nicht-rastende Schalter **4701** losgelassen wird, wird in diesem Beispiel ein Low-Pegel an die Eingangsleitung **4711** der Schalterinformationsverarbeitungseinheit **182** angelegt, während beim Drücken des nicht-rastenden Schalters **4701** ein High-Pegel angelegt wird.

[0190] Bei dem in [Fig. 60](#) gezeigten nicht-rastenden Schalter **4701** ist einer der Öffnerkontakte, die beim Drücken des nicht-rastenden Schalters **4701** geöffnet und beim Loslassen geschlossen werden, mit einem S-Eingang des RS-Flipflop **4703** verbunden, und einer der Schließerkontakte, die beim Loslassen des nicht-rastenden Schalters **4701** geöffnet und beim Drücken geschlossen werden, mit einem R-Eingang des RS-Flipflops **4703** verbunden. Andere der Öffner- und Schließerkontakte sind zusammen mit einer Stromquelle Vcc verbunden. Wenn der nicht-rastende Schalter **4701** losgelassen wird, wird in diesem

Beispiel das RS-Flipflop **4703** zurückgesetzt und ein Low-Pegel wird an die Eingangsleitung **4711** der Schalterinformationsverarbeitungseinheit **182** angelegt, während beim Drücken des nicht-rastenden Schalters **4701** das RS-Flipflop gesetzt und ein High-Pegel angelegt wird.

[0191] Von diesen Beispielen kann das in [Fig. 59](#) gezeigte Beispiel auf die bereits beschriebenen Strukturen angewandt werden. Im Fall der in [Fig. 57](#) und [Fig. 58](#) gezeigten Beispiele sind jedoch wie in [Fig. 61](#) gezeigt die Polaritäten umgekehrt. Im Fall des in [Fig. 60](#) gezeigten Beispiels kann ein Prellen von dem RS-Flipflop **4703** absorbiert werden, so daß eine Gegenmaßnahme des Prellens nicht notwendig ist.

[0192] [Fig. 62](#) zeigt ein Verfahren der Verwendung eines Schalters gemäß einer Ausführungsform der Erfindung. Damit die Schalterschnittstellenfunktion **4710** der vorliegenden Erfindung ein Schalterdrücken erkennen kann, wird der links in [Fig. 62](#) gezeigte Loslaßzustand für eine vorbestimmte Zeit T1 oder länger fortgesetzt, und danach wird der nicht-rastende Schalter **4701** für die vorbestimmte Zeit T1 oder länger, wie in der Mitte von [Fig. 62](#) gezeigt, gedrückt, und dann wird der nicht-rastende Schalter **4701** losgelassen, wie rechts in [Fig. 62](#) gezeigt. Wenn eine Anzeigeeinheit **4716** vorgesehen ist (in diesem Fall ist diese Anzeigeeinheit im Inneren des nicht-rastenden Schalters **4701** angebracht), wird diese Anzeigeeinheit **4716** eingeschaltet, wenn die Schalterschnittstellenfunktion **4710** einen Schalterdruck erkennt, um dadurch einen Bediener über den Schalterdruck zu informieren. Wenn der Status nicht für die vorbestimmte Zeit T1 fortgesetzt wird oder der Status nicht innerhalb der Zeitgrenzen T2 und T3 übergeht, erkennt die Schalterschnittstellenfunktion **4710** keinen Schalterdruck, so daß die Anzeigeeinheit **4716** nicht eingeschaltet wird. In diesem Fall werden die in [Fig. 62](#) dargestellten Operationen nochmals durchgeführt.

[0193] [Fig. 63](#) zeigt eine Ausführungsform der Hauptsystemverarbeitungsfunktion **4713**. Wenn erachtet wird, daß ein Gefahren-Signal zu der Ausgangsleitung **4715** der Hauptsystemverarbeitungsfunktion **4713** gesendet werden muß, wird ein Gefahren-Ausgabesignal geliefert (Schritt **6300**), wenn erachtet wird (Schritt **6300**), daß der nicht-rastende Schalter **4701** gedrückt wurde, oder wenn nicht, wird ein Sicherheits-Ausgabesignal geliefert (Schritt **6302**). Das Gefahren-Ausgabesignal ist ein Ausgabesignal, das sicher ist, wenn es von einem normalen Prozeß ausgegeben wird, und gefährlich ist, wenn es von einem anormalen Prozeß ausgegeben wird. Das Sicherheits-Ausgabesignal ist ein Ausgabesignal, das auch dann sicher ist, wenn es fälschlicherweise ausgegeben wird. Zum Beispiel ist auf dem Gebiet der Zugsteuerung ein Bremsausgabesignal zum An-

halten eines Zugs das Sicherheits-Ausgabesignal und ein Beschleunigungsausgabesignal zum Beschleunigen eines Zugs ist das Gefahren-Ausgabesignal.

**[0194]** Die Hauptsystemverarbeitungsfunktion **4713** kann mit einer Bremsfunktion ausgestattet werden, die als die Sicherheitsseite definiert wird, zum Ansteuern einer Bremse zum Anhalten eines Zuges, und mit einer Beschleunigungsfunktion, die als die Gefahrenseite definiert ist, zum Beschleunigen des Zugs. In diesem Fall wird der Hauptsystemverarbeitungsfunktion **4713** ein Ausgabesignal der Schalterschnittstellenfunktion **4710** des nicht-rastenden Schalters **4701** zugeführt, und wenn erachtet wird, daß der nicht-rastende Schalter **4701** gedrückt wurde und die Schalterschnittstellenfunktion **4710** des nicht-rastenden Schalters **4701** ein Ausgabesignal liefert, dann wird der als die Gefahrenseite definierte Beschleunigungsprozeß durchgeführt, während, wenn die Schalterschnittstellenfunktion **4710** des nicht-rastenden Schalters **4701** kein Ausgangssignal liefert, der als die Sicherheitsseite definierte Bremsprozeß durchgeführt wird.

**[0195]** Wie oben können die Schalterschnittstellenschaltung **4714** und die Schalterschnittstellenschaltung **4710** des nicht-rastenden Schalters **4701** der vorliegenden Erfindung leicht auf ein ausfallsicheres System angewandt werden.

**[0196]** Gemäß der vorliegenden Erfindung kann man ein ausfallsicheres System mit einer einfachen Schnittstelle für einen nicht-rastenden Schalter realisieren, wobei das Gefahren-Ausgangssignal auch beim Auftreten eines Ausfalls des nicht-rastenden Schalters oder der Schalterschnittstellenschaltung unter allen Umständen vermieden wird.

**[0197]** Als letztes wird die Herstellung der in [Fig. 1](#) gezeigten Informationsverarbeitungseinheit **110** auf einer einzigen LSI beschrieben.

**[0198]** [Fig. 64](#) ist ein Schaltbild eines inneren Layouts eines Chips der in [Fig. 1](#) gezeigten Informationsverarbeitungseinheit **110**. Die Bezugszahl **6401** stellt ein p-Siliziumsubstrat eines Chips dar, auf dem Schaltungselemente, wie zum Beispiel CPUs **6410a** und **6410b** und Speicher **6411a** und **6411b** integriert sind. Die Bezugszahlen **6402a**, **6402b** und **6402** stellen tiefe n-Muldenschichten dar, die auf dem p-Siliziumsubstrat **6401** ausgebildet sind, wobei die Schaltungselemente, wie zum Beispiel CPUs **6410a** und **6410b** und Speicher **6411a** und **6411b** in diesen tiefen n-Muldenschichten integriert sind. Die Bezugszahlen **6404a**, **6404b** und **6406**, **6405a**, **6405b** und **6407** stellen Stromversorgungsleitungen zu den tiefen n-Muldenschichten und integrierten Schaltungen dar. Die Bezugszahl **6408** stellt eine Versorgungsleitung einer Vorspannung dar, die an das p-Silizium-

substrat **6401** angelegt werden soll. Die CPUs **6410a** und **6410b** sind bekannte Mikroprozessorkerne, wie zum Beispiel allgemeine CPUs. Die DRAMs **6411a** und **6411b** sind Speicher mit großer Kapazität, die sogenannte DRAM-Makrozellen, ferroelektrische Speichermakrozellen oder andere wiederbeschreibbare Speicher sein können. Die ROMs **6412a** und **6412b** speichern Programme und Daten und sind nicht notwendig, wenn die DRAMs **6411a** und **6411b** aus ferroelektrischen Speichern hergestellt werden. Die Eingabe-/Ausgabeeinheiten (IOUs) **6413a** und **6413b** sind Schaltungen zur Daten-Eingabe/Ausgabe über Bussignalleitungen **6415a** und **6415b** zu und von außerhalb des Chips. Wie für Fachleute erkennbar ist, kann man neben Bussignalen auch serielle Signalleitungen hinzufügen. Eine Buskomparatorschaltung CMP **6414** vergleicht Daten auf den Bussignalen **6437a** und **6437b** in dem Chip.

**[0199]** In die tiefen n-Muldenschichten **6420a** und **6420b** integrierte Schaltungselemente sind spiegelsymmetrisch in bezug auf die tiefen n-Muldenschicht **6403** angeordnet und verdrahtet, damit die Verdrahtungslänge zu der CMP **6403** gleich wird, um Zeitsteuerungsentwürfe zu vereinfachen. Die Bussignale **6437a** und **6437b** in dem Chip sind in der Nähe der tiefen n-Muldenschicht **6403** verdrahtet, so daß die Anzahl von Schnittpunkten zwischen Signalen zu der CMP **6403** und Verdrahtungsmustern in jeder tiefen n-Muldenschicht **6402** verringert und Verdrahtungsprozesse effizient gemacht werden können.

**[0200]** [Fig. 65](#) ist eine Querschnittsansicht des in [Fig. 64](#) gezeigten Chips entlang der Linie X-X'. Gemäß der vorliegenden Erfindung werden die tiefen n-Muldenschichten **6402a**, **6402b** und **6403** unabhängig auf dem p-Siliziumsubstrat **6401** ausgebildet, um elektrisch getrennte CPUs, Speicher und CMP zu bilden, die in die tiefen n-Muldenschichten **642a**, **642b** und **6403** integriert sind.

**[0201]** [Fig. 66](#) ist ein Funktionsblockschaltbild einer auf einem Chip integrierten Multi-Mikrosteuerung.

**[0202]** Dieses Blockschaltbild ist grob folgendermaßen aufgeteilt: ein Modul der A-Reihe, ein Modul der B-Reihe und ein gemeinsames Modul. Die Bezugszahlen **6410a**, **6410b**, **6411a**, **6411b**, **6412a**, **6412b**, **6413a** und **6413b** stellen CPUs, Speicher, ROMs und Eingabe/Ausgabeeinheiten dar, wie zuvor beschrieben. Der Buskomparator CMP **6414** überwacht Daten auf den internen Bussen **6437a** und **6437b**, und wenn Inkoinzidenz aufgefunden wird, wird ein Fehlersignal **6603** eingeschaltet. Durch den CMP **6414** zu vergleichende Signale können zum Beispiel Steuersignale jeder Reihe sein, zusätzlich zu sogenannten Bussignalen. Die IDREGs **6431a** und **6431b** sind Register zur Identifikation der A- oder B-Reihe von CPUs durch Lesen der Inhalte der Register gemäß einem Programm. Für eine solche Identifikation

können für die Reihe spezifische feste Daten in ID-REG gespeichert werden, wenn die LSI hergestellt wird, oder es können für die Reihe spezifische Daten von externen Anschlüssen von IDREGs (siehe [Fig. 66](#)) zugeführt werden.

**[0203]** RÜCKSETZEN **6432** ist eine Rücksetzsignalgeneratorschaltung zum Verteilen eines von einem externen Rücksetzanschluß **6602** zugeführten Rücksetzsignals auf jede Reihe und andere Schaltungen, synchron mit einem internen Takt der Mikrosteuerung. PLL **6433** ist eine Taktsignalgeneratorschaltung zum Verteilen eines Taktsignals, das von einem externen Taktanschluß **6600** jeder Reihe und anderen Schaltungen zugeführt wird, wobei die PLL die Funktion hat, einen Taktversatz in dem Chip durch Verwenden von PLL-Techniken (Phasenregelkreis) zu verringern, und außerdem eine Differenzfunktion des Verringerns eines Auftretens des gleichzeitigen Fehlers, der durch Rauschsignale verursacht wird, durch Verschieben eines Takts jeder Reihe um einen halben Zyklus. INT **6434** ist eine Interruptsignalgeneratorschaltung zum Verteilen eines Interruptsignals, das von einem externen Interruptanschluß **6603** zugeführt wird, oder eines Fehlersignals FEHLER **6602**, das von dem Buskomparator CMP **6414** erzeugt wird, auf die CPUs **6419a** und **6410b** jeder Reihe, synchron mit dem internen Takt der Mikrosteuerung.

**[0204]** AWTREG **6435** ist ein Liaison-Register des Typs, bei dem Daten nur durch die CPU **6410a** der A-Reihe geschrieben werden können und Schreibdaten der CPU **6410b** vernachlässigt werden, obwohl Daten von beiden CPUs **6410a** und **6410b** gelesen werden können. BWTREG **6436** ist ein Liaison-Register des Typs, bei dem Daten nur durch die CPU **6410b** der B-Reihe geschrieben werden können, und Schreibdaten der CPU **6410a** vernachlässigt werden, obwohl Daten von beiden CPUs **6410a** und **6410b** gelesen werden können. Die Verwendung von AWTREG **6435** und BWTREG **6436** ermöglicht, für jede Reihe spezifische Daten beiden Reihen zuzuführen. Die Bezugswahlen **6438a** und **6438b** stellen logische OR-Elemente zum Versorgen der CPUs **6410a** und **6410b** mit Haltsignalen der jeweiligen Reihe, die von externen Haltanschlüssen **6601a** und **6601b** zugeführt werden, dar.

**[0205]** [Fig. 67](#) zeigt die interne Struktur des CMP **6414**. Die Register **6442a** und **6442b** speichern vorübergehend Daten auf den internen Bussen **6437a** und **6437b**. Adressendecodierer (DECs) **6443a** und **6443b** dienen zum Zugriff auf in die Steuerregister **6444a** und **6444b** des CMP **6414** gesetzte Daten. Während Daten in die Steuerregister gesetzt werden, wird der Busvergleich gültig gemacht. Wenn jedoch ein beliebiges der Steuerregister gelöscht wird, wird der Busvergleich ungültig, und sogar wenn Inkoinzidenz aufgefunden wird, wird das Fehlersignal **6603**

nicht eingeschaltet. Das Setzen/Rücksetzen der Steuerregister kann explizit durch Kennzeichen einer Adresse des Registers durchgeführt werden und kann automatisch durchgeführt werden, wenn eine spezifische Adresse (z.B. eine Liaison-Registrieradresse) auf den internen Bus ausgegeben wird. Die Steuerregister **6444a** und **6444b** werden gelöscht, wenn von RÜCKSETZEN **6432** ein Rücksetzsignal zugeführt wird oder wenn ein Komparator **6441** Inkoinzidenz auffindet. Die Bezugswahl **6445** stellt ein logisches AND-Element dar. Ein Selektor SEL **6447** wählt durch Kennzeichnung durch eine Signalleitung **6446** eine Seite des Registers **6448**, wenn die PLL **6433** die Differenzfunktion durchführt, und wählt die andere Seite, wenn die PLL **6433** die Differenzfunktion nicht durchführt.

**[0206]** Als nächstes werden die Hauptoperationen der in [Fig. 66](#) gezeigten Multi-Mikrosteuerung beschrieben.

#### (1) Einrichtoperation

**[0207]** Wenn ein Rücksetzsignal von einer externen Schaltung RÜCKSETZEN **6602** zugeführt wird, werden die CPU und alle anderen Schaltungen initialisiert. Da das Rücksetzsignal im allgemeinen ein asynchrones Signal ist, können die CPUs beider Reihen mit verschiedener Zeitsteuerung zurückgesetzt werden. Um dies zu vermeiden, wird das Rücksetzsignal durch RÜCKSETZEN **6432** mit dem internen Takt synchronisiert und im Inneren des Chips verteilt. Beim Empfang des Rücksetzsignals wird der Busvergleich durch CMP **6414** ungültig. Unter den Bedingungen von Kein-Busvergleich, löschen die CPUs beider Reihen die Speicher und setzen Anfangswerte undargestellter Register und dergleichen. Nachdem die Initialisierung normal abgeschlossen ist, wird der Busvergleich gültig gemacht, um in einen vervielfachten Zustand einzutreten.

#### (2) Normalbetrieb

**[0208]** Im allgemeinen speichert sowohl die A- als auch die B-Reihe die gleichen Programme in dem Chip und diese Programme werden genau mit der gleichen Zeitsteuerung ausgeführt. Datentransfers über die internen Busse **6437a** und **6437b** werden durch den Buskomparator **6414** in der Einheit des Buszyklus verglichen. Wenn keine Inkoinzidenz besteht, wird das Signal FEHLER **6603** nicht eingeschaltet. Um keine Inkoinzidenz einer Eingabe-/Ausgabeoperation in bezug auf undargestellte externe Schaltungen zu erzeugen, ist es notwendig, externe Schaltungen bereitzustellen, die genau die gleichen Daten mit genau der gleichen Zeitsteuerung eingeben oder ausgeben.

**[0209]** Da das Interruptsignal **6603** im allgemeinen ein asynchrones Signal ist, können die CPUs beider

Reihen mit verschiedener Zeitsteuerung zurückgesetzt werden. Um dies zu vermeiden, wird das Interruptsignal durch INT **6434** mit dem internen Takt synchronisiert und den CPUs zugeführt.

### (3) Betrieb bei Busvergleichsfehler

**[0210]** Wenn Daten auf den internen Bussen **6437a** und **6437b** durch bestimmte Gründe, wie zum Beispiel Elementverschleiß und DRAM-Betriebsrauschsignale inkoinzident werden, schaltet der CMP **6414** das Signal FEHLER **6603** ein. Wenn das Signal FEHLER **6603** eingeschaltet wird, erzeugt INT **6434** ein Fehlerinterruptsignal, das den CPUs **6410a** und **6410b** zugeführt wird. Die CPUs starten dann einen vorbestimmten Fehlerprozeß. Nach Erzeugung des Signals FEHLER **6603** halten die IOUs **6415a** und **6415b** ihre Ausgabeoperationen an und benachrichtigen die externen Schaltungen über einen Fehler.

### (4) Einzelreihenbetriebsmodus

**[0211]** Wenn Vervielfachung nicht notwendig ist oder Programme entwickelt werden sollen, ist ein Einzelreihenbetrieb erwünscht. Eine wahlweise Reihe kann in einen Haltezustand versetzt werden und eine Einzelreihenoperation kann realisiert werden, indem das entsprechende der HALTs **6601a** und **6601b** aus der externen Schaltung eingeschaltet wird.

### (5) Verfahren zur Verbesserung der Widerstandsfähigkeit gegenüber Rauschsignalen

**[0212]** Die Korrelation von Rauschsignalen, die aus Stromquellenleitungen eintreten, kann durch Verwendung hochunabhängiger Stromquellen für die tiefe n-Muldenschicht jeder Reihe und die tiefe n-Muldenschicht des Buskomparators CMP **6414** reduziert werden. Auf diese Weise kann man gleichzeitige Fehler reduzieren, so daß durch den CMP **6414** nicht aufgefundene Fehler reduziert werden können und die Zuverlässigkeit der Steuerung verbessert werden kann.

**[0213]** Als nächstes wird in bezug auf die Zeichnungen ein weiteres Beispiel für die Multi-Mikrosteuerung beschrieben.

**[0214]** [Fig. 68](#) ist ein Schaltbild eines inneren Layouts eines Chips einer weiteren Multi-Mikrosteuerung, die die vorliegende Erfindung realisiert. Jedes konstituierende Element und der Querschnitt X-X' des Chips stimmen mit dem zuvor beschriebenen ersten Beispiel überein. Bei diesem zweiten Beispiel ist eine Eingabe-/Ausgabeeinheit IOU **5413** auf der gemeinsamen tiefen n-Muldenschicht integriert, um eine Zunahme von Eingabe-/Ausgabeanschlüssen zu unterdrücken. Auf den tiefen n-Muldenschichten **6402a** und **6402b** integrierte Schaltungen sind punktsymmetrisch in bezug auf die Mitte der tiefen n-Mul-

denschicht **6403** angeordnet und verdrahtet, so daß die räumliche Korrelation verringert werden kann. Auf diese Weise können gleichzeitige Fehler reduziert werden, so daß von dem CMP **6414** nicht aufgefundene Fehler reduziert werden können und die Zuverlässigkeit der Steuerung weiter verbessert werden kann. Die Bussignalleitungen **6437a** und **6437b** in dem Chip sind in der Nähe der tiefen n-Muldenschicht **6403** verdrahtet, um die Führungspunkte der Bussignalleitungen zu dem CMP **6414** zu verschieben, so daß die Anzahl von Schnittpunkten zwischen Signalen zu dem CMP **6403** und Verbindungsleitungen in jeder tiefen n-Muldenschicht **6402a**, **6402b** reduziert und ein Verdrahtungsprozeß effizient gemacht werden kann.

**[0215]** [Fig. 69](#) ist ein Funktionsblockschaltbild der auf einem einzigen Chip integrierten Multi-Mikrosteuerung.

**[0216]** Jedes konstituierende Element stimmt mit dem ersten Beispiel überein. Die Eingabe-/Ausgabeeinheit IOU **6413** für den Datentransfer zu und von einer externen Schaltung wählt eines der Ausgabesignale aus der Reihe A und B zum Datenschreiben durch CPUs, oder es wird eine logische Summe oder ein logisches Produkt der Ausgabesignale dem externen Bus **6415** zugeführt. Für durch CPUs gelesene Daten, werden Daten auf dem externen Bus **6415** gleichzeitig den internen Bussen **6437a** und **6437b** zugeführt. Der ADC **6434** ist ein Analog/Digital-Umsetzer. Ein Analog/Digital-Umsetzer weist im allgemeinen Quantisierungsfehler auf. Wenn Analog/Digital-Umsetzer separat integriert werden, kann der Buskomparator CMP **6414** fälschlicherweise einen Fehler auffinden. Deshalb ist der Analog/Digital-Umsetzer auf der gemeinsamen tiefen n-Muldenschicht integriert, so daß dem internen Bus **6437** die gleichen Daten zugeführt werden können.

**[0217]** Die Funktionsweise des zweiten Beispiels ist die gleiche wie beim ersten Beispiel.

## Patentansprüche

1. Informationsverarbeitungssystem (**100**) mit mehreren Modulen (**120**, **130**) zum synchronen Ausführen desselben Befehls, mit einem Komparator (**5**; **140**) zum Vergleichen interner Signale der mehreren Module (**120**, **130**) und zum Liefern eines Richtigkeit darstellenden Ausgabesignals, falls Übereinstimmung zwischen den internen Signalen der mehreren Module besteht, und eines Unrichtigkeit darstellenden Ausgabesignals, falls keine Übereinstimmung besteht, und einer logischen UND-Schaltung (**43**) zum Empfangen eines Ausgabesignals von dem Komparator (**5**; **140**), **dadurch gekennzeichnet**, daß die logische UND-Schaltung (**43**) mehrere D-Flip-Flops (FF1, FF2, FF3) aufweist und ferner

dazu ausgelegt ist, Ausgabesignale von den mehreren Modulen (**120**, **130**) zu empfangen, der Komparator (**5**; **140**) dazu ausgelegt ist, ein alternierendes Signal als ein Richtigkeit darstellendes Ausgabesignal auszugeben, die logische UND-Schaltung (**43**) eine logische UND-Schaltung alternierender Logik darstellt, die ein alternierendes Signal nur dann liefert, wenn ein alternierendes Signal an alle Eingangsanschlüsse eingegeben wird, ein Ausgang des Komparators (**5**; **140**) an den Takteingabeanschluß des D-Flip-Flops (FF3) letzter Stufe der logischen UND-Schaltung (**43**) angeschlossen ist, die Frequenz des alternierenden Signals von dem Komparator (**5**; **140**) höher eingestellt ist als die höchste Betriebsfrequenz einer Schaltung (**7**), die an die Ausgabeseite der logischen UND-Schaltung (**43**) angeschlossen ist, und das Ausgabesignal der logischen UND-Schaltung (**43**) als Ausgabesignal des Systems (**100**) verwendet wird.

2. System nach Anspruch 1, wobei die internen Signale auf Adressbussen, auf Datenbussen, oder auf Steuerbussen darstellen, die jeweils von Prozessoren (**121**, **131**) der mehreren Module (**120**, **130**) ausgegeben werden.

3. System nach Anspruch 1 oder 2, wobei:  
ein Q-Ausgangsanschluß oder ein invertierter Q-Ausgangsanschluß jedes D-Flip-Flops (FF1, FF2) an einen D-Eingangsanschluß des D-Flip-Flops (FF2, FF3) nächster Stufe angeschlossen ist,  
ein Q-Ausgangsanschluß oder ein invertierter Q-Ausgangsanschluß des D-Flip-Flops (FF3) letzter Stufe einen Ausgangsanschluß der logischen UND-Schaltung (**43**) darstellt,  
der invertierte Q-Ausgangsanschluß oder der Q-Ausgangsanschluß des D-Flip-Flops (FF3) letzter Stufe an einen D-Eingangsanschluß des D-Flip-Flops (FF1) erster Stufe angeschlossen ist, und  
ein Eingangssignal zu der logischen UND-Schaltung (**43**) an einen Takteingabeanschluß jedes D-Flip-Flops (FF1, FF2, FF3) angeschlossen ist.

Es folgen 36 Blatt Zeichnungen

FIG. 1

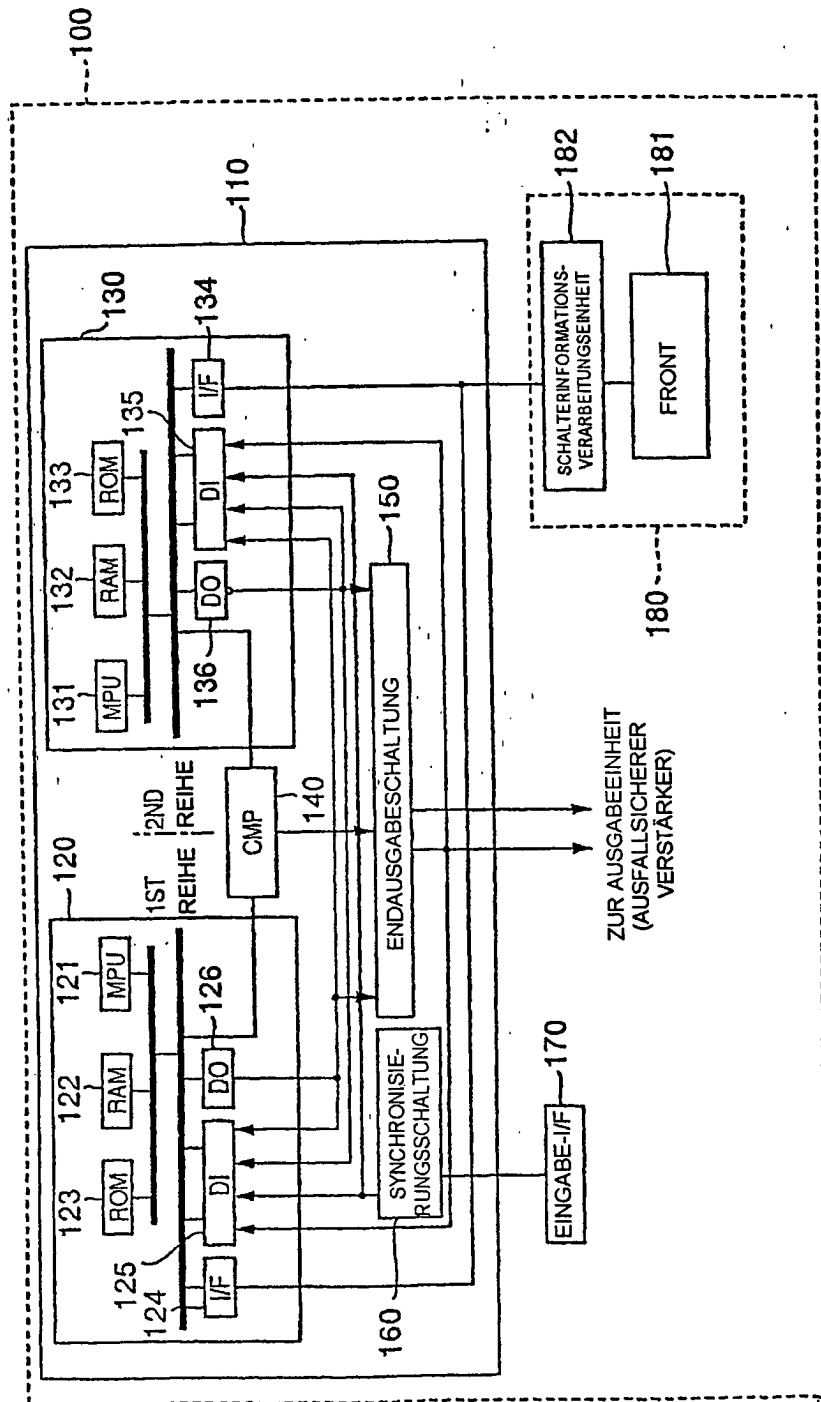


FIG.2

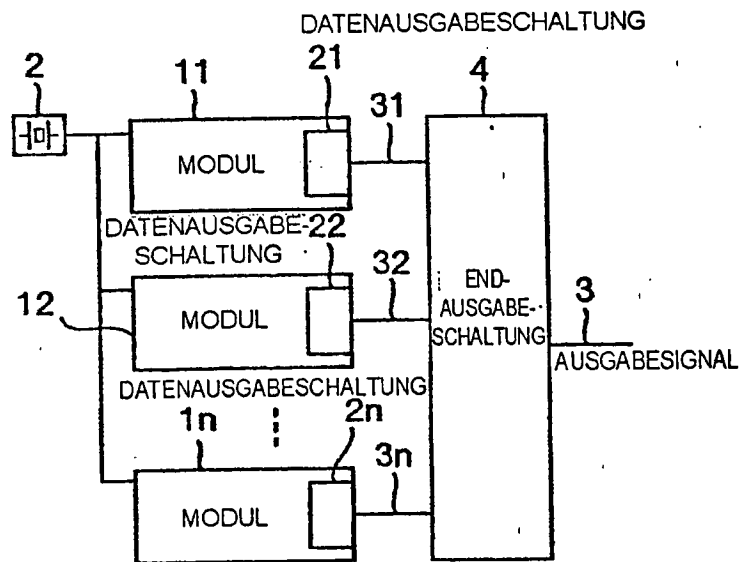


FIG.3

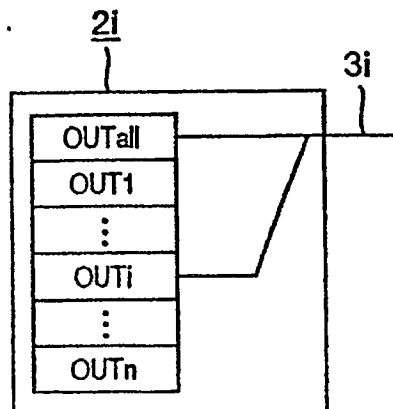


FIG.4

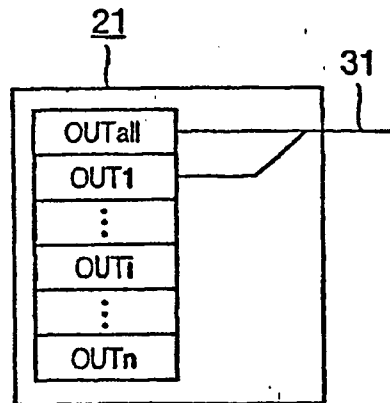


FIG.5

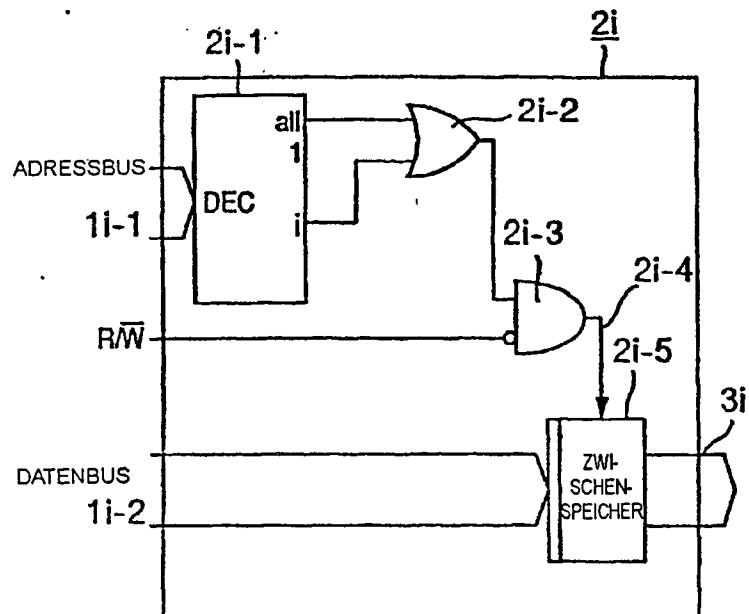


FIG.6

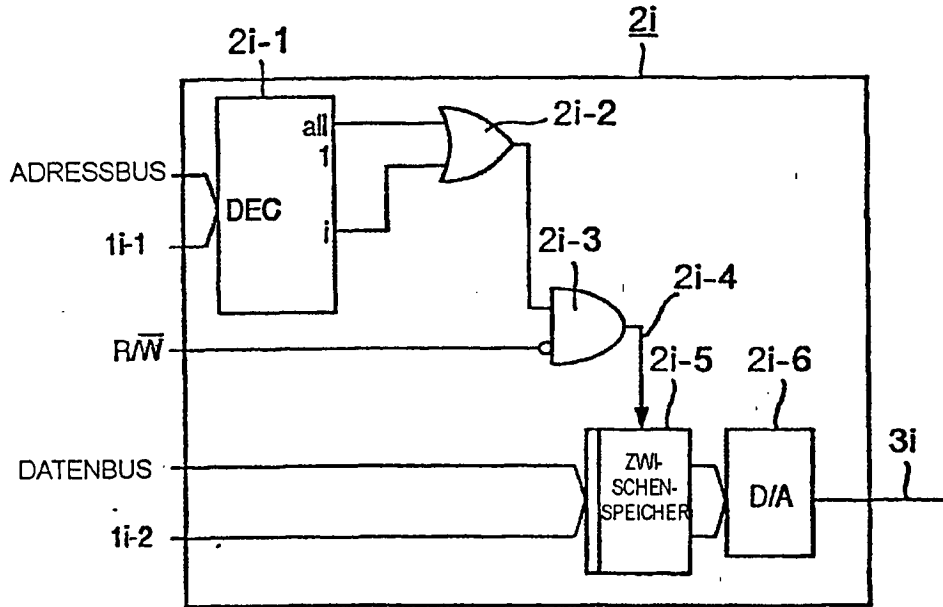


FIG.7

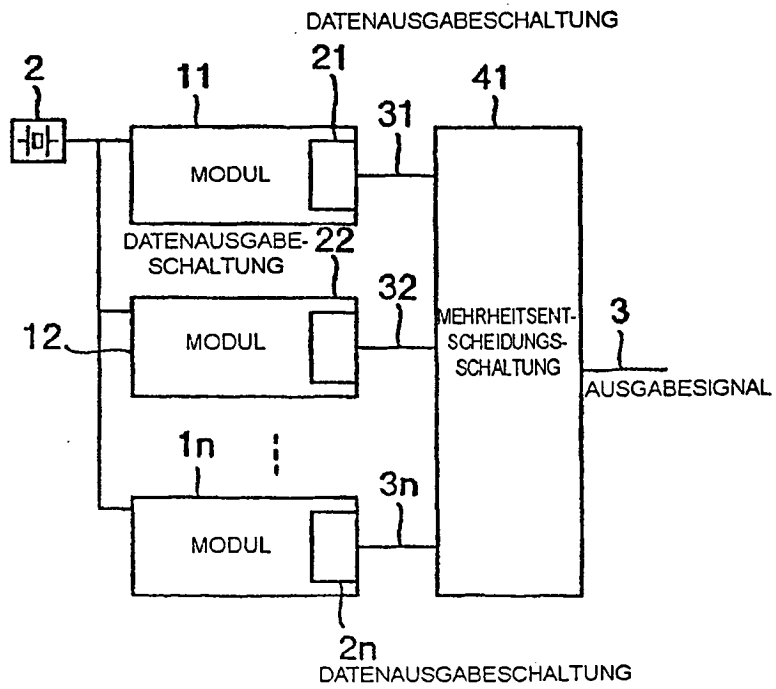


FIG.8

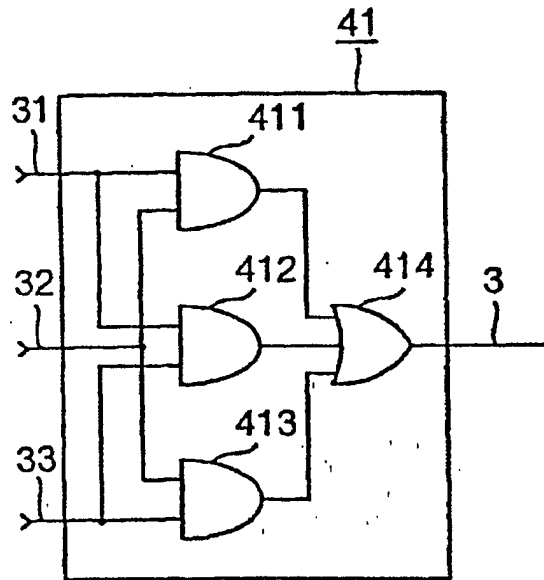


FIG.9

FALL	AUSGABE-SIGNAL 31	AUSGABE-SIGNAL 32	AUSGABE-SIGNAL 33	AUSGABE-SIGNAL 3
1	L	L	L	L
2	H	H	H	H
3	L	L	H	L
4	L	H	L	L
5	L	H	H	H
6	H	L	L	L
7	H	L	H	H
8	H	H	L	H

FIG.10

FALL	AUSGABE-SIGNAL 31	AUSGABE-SIGNAL 32	AUSGABE-SIGNAL 33	AUSGABE-SIGNAL 3
1	L	L	L	L
2	H	H	H	H
3	L	L	H	L
4	L	H	L	L
5	L	H	H	H
6	H	L	L	L
7	H	L	H	H
8	H	H	L	L

FIG.11

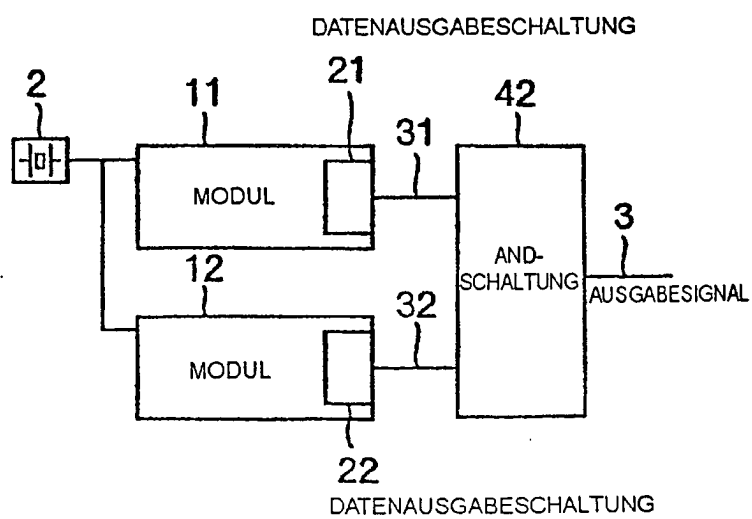


FIG.12

FALL	AUSGABE-SIGNAL 31	AUSGABE-SIGNAL 32	AUSGABE-SIGNAL 3
1	L	L	L
2	H	H	H
3	L	H	L
4	H	L	L

FIG.13

FALL	AUSGABE-SIGNAL 31	AUSGABE-SIGNAL 32	AUSGABE-SIGNAL 3
1	L	L	L
2	H	H	H
3	L	H	H
4	H	L	L

FIG.14

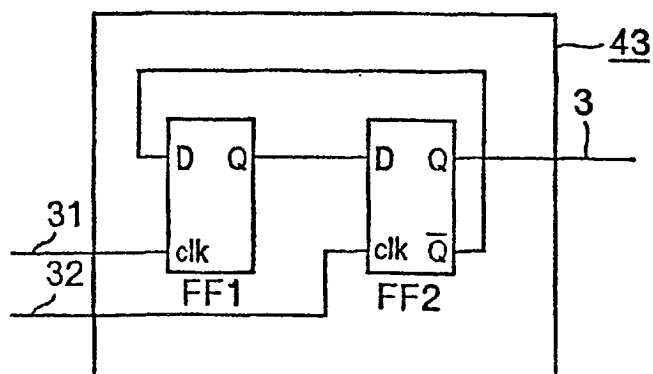


FIG.15

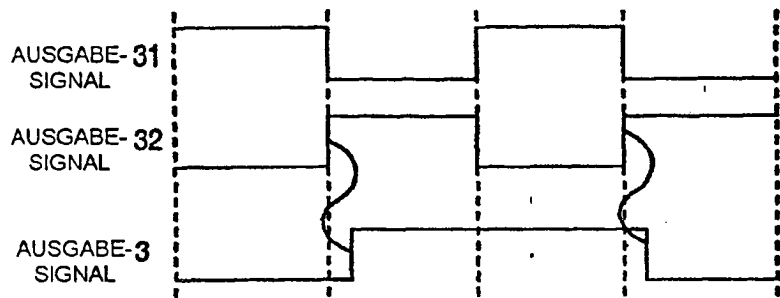


FIG.16

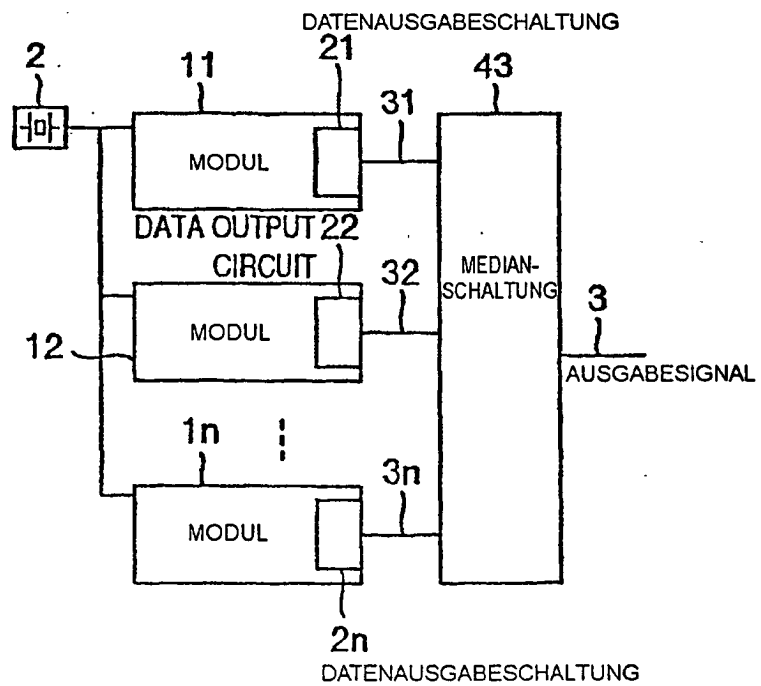


FIG.17

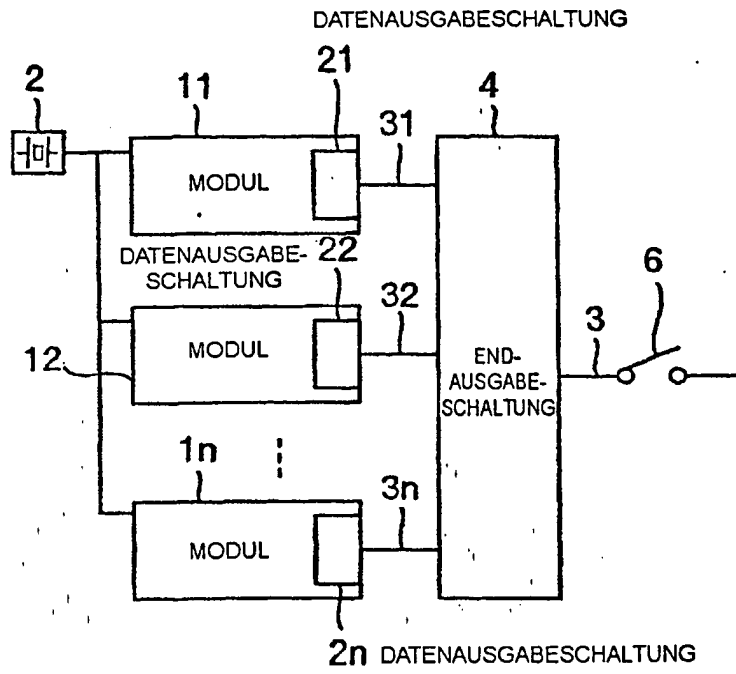


FIG.18

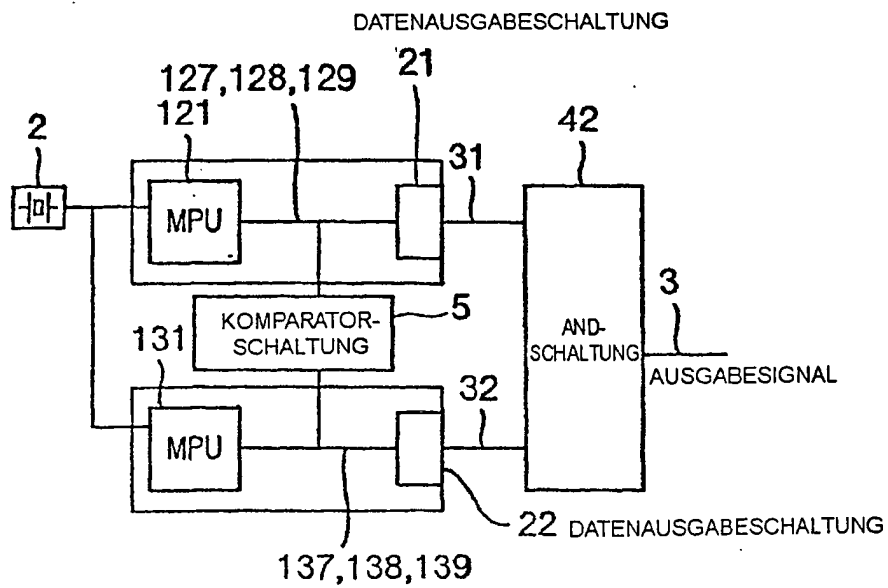


FIG.19

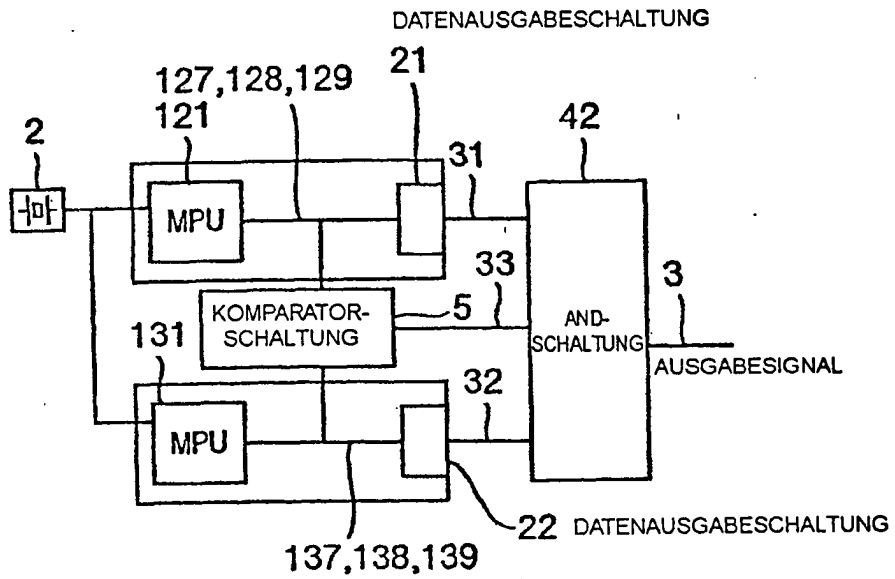


FIG.20

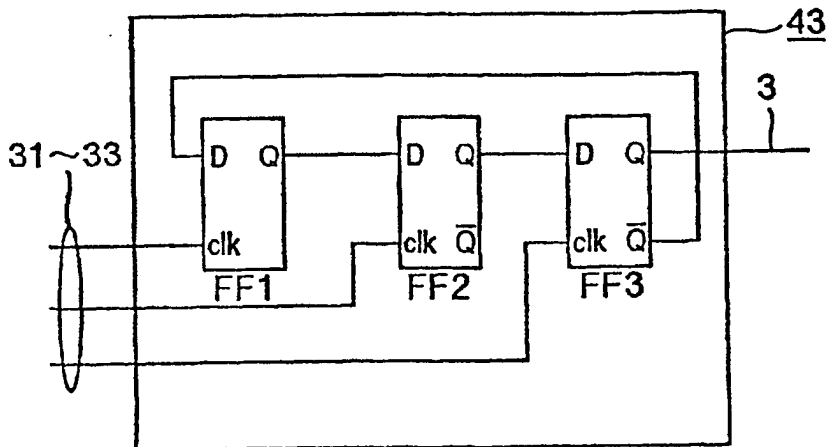


FIG.21

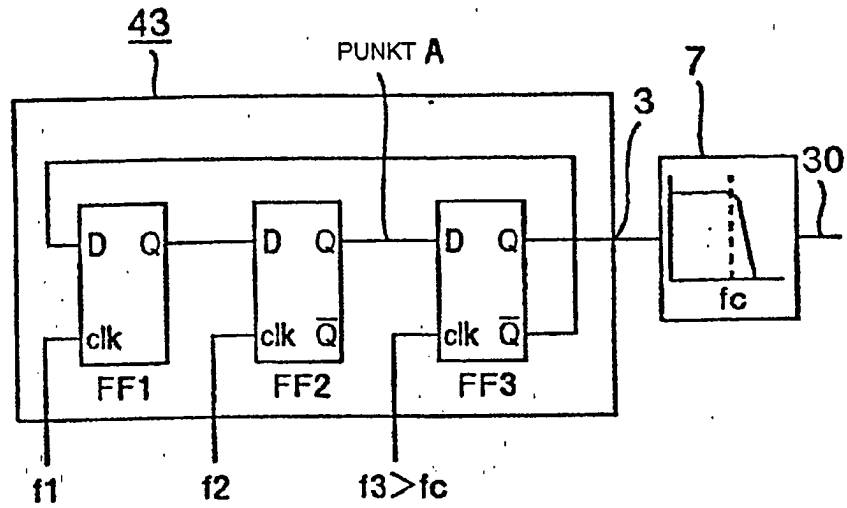


FIG.22

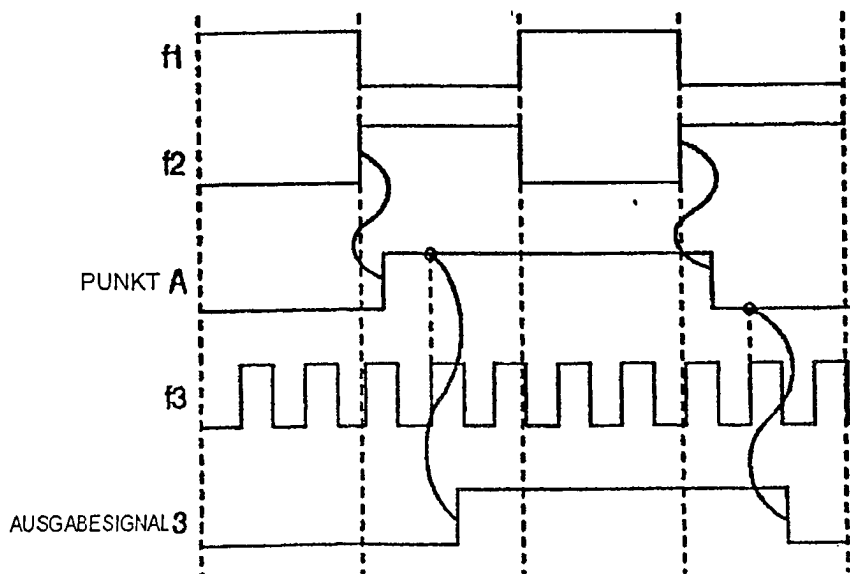


FIG.23

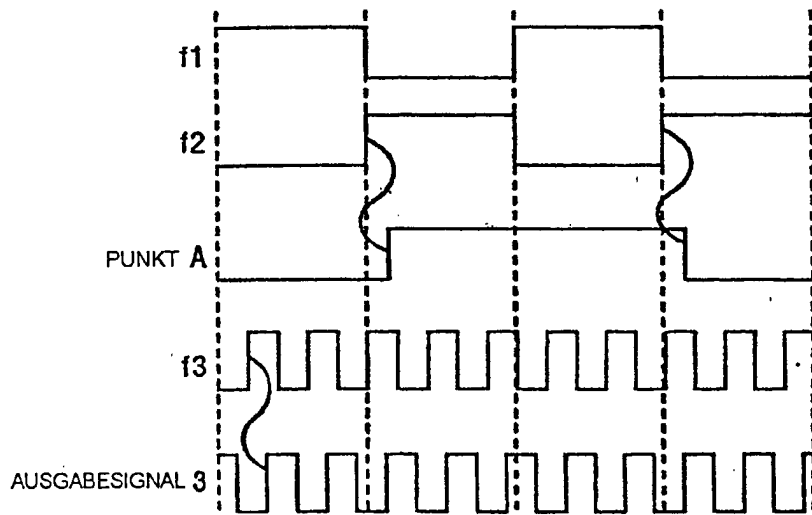


FIG.24

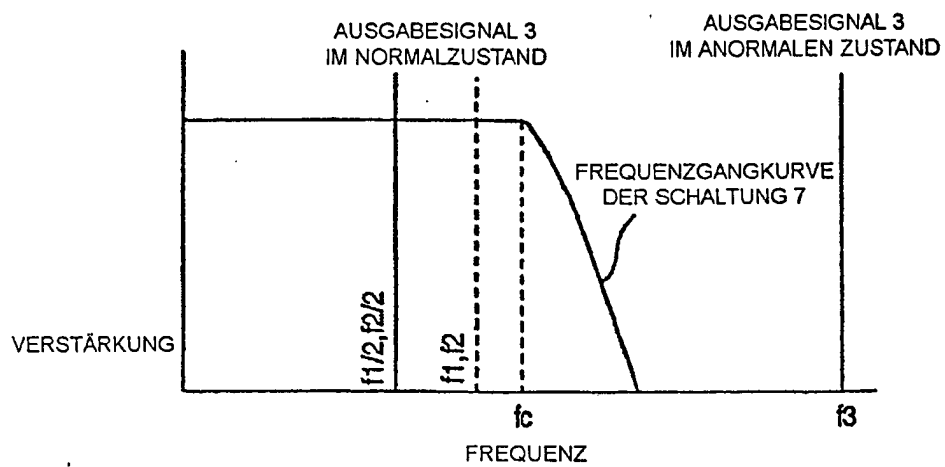


FIG.25

AUSFALL	AUSGABE-SIGNAL	GEGENMASSNAHME FÜR AUSFALL
KEINER	$\sim f_1, f_2/2$	—————
FF1	*	f <sub>1</sub> , f <sub>2</sub> , f <sub>3</sub> STOP
FF2	f <sub>2</sub>	f <sub>2</sub> , f <sub>3</sub> STOP
FF3	f <sub>3</sub>	f <sub>3</sub> STOP (BEISPEIL)

\* ABHÄNGIG VON PHASEN VON f<sub>1</sub>, f<sub>2</sub>

FIG.26

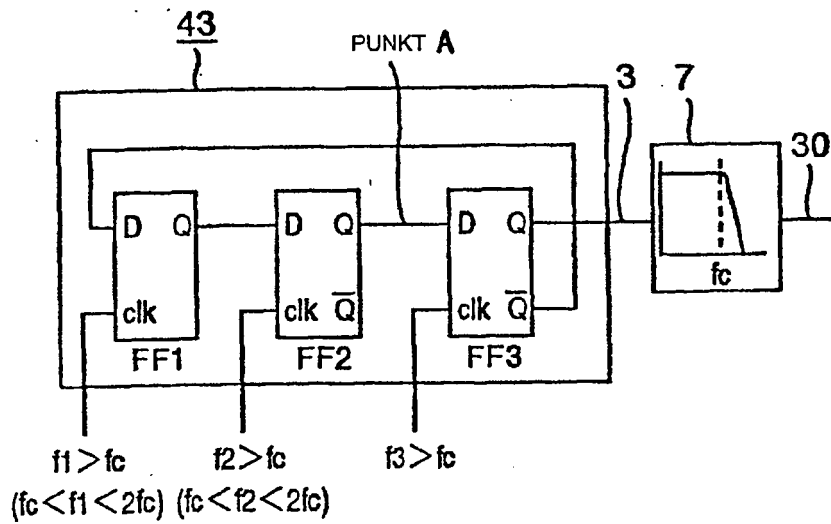


FIG.27

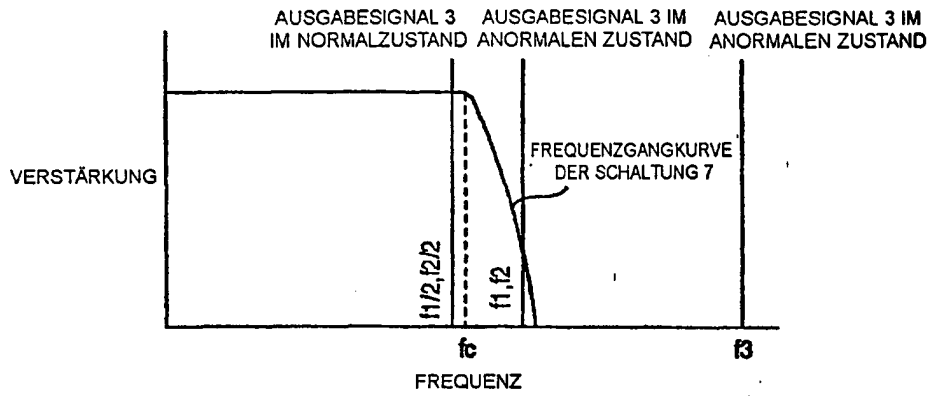


FIG.28

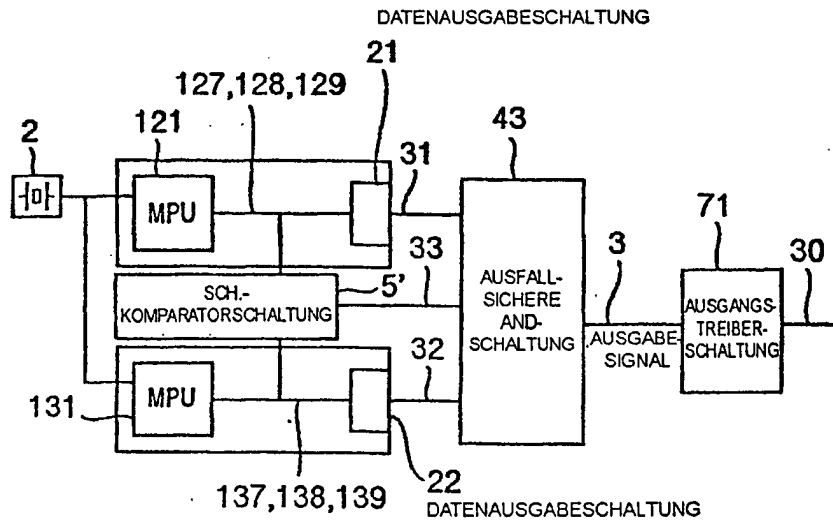


FIG.29

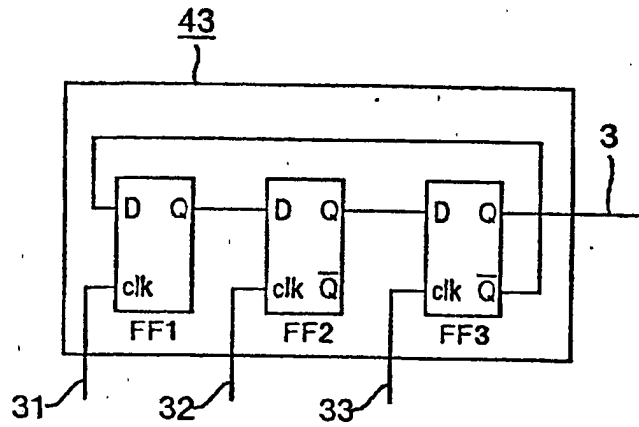


FIG.30

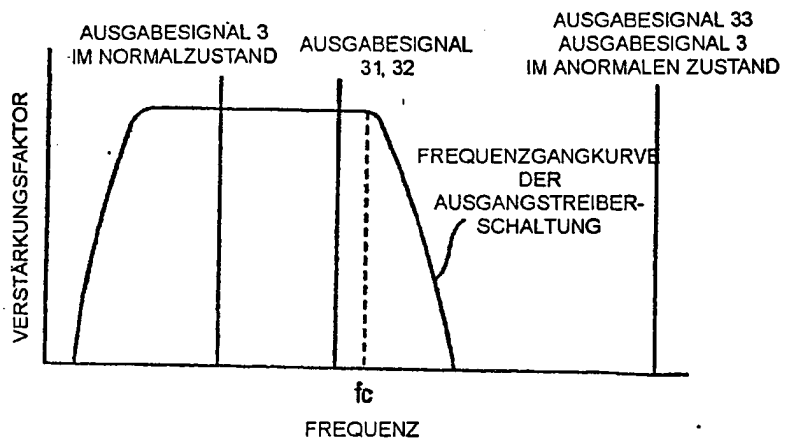


FIG.31

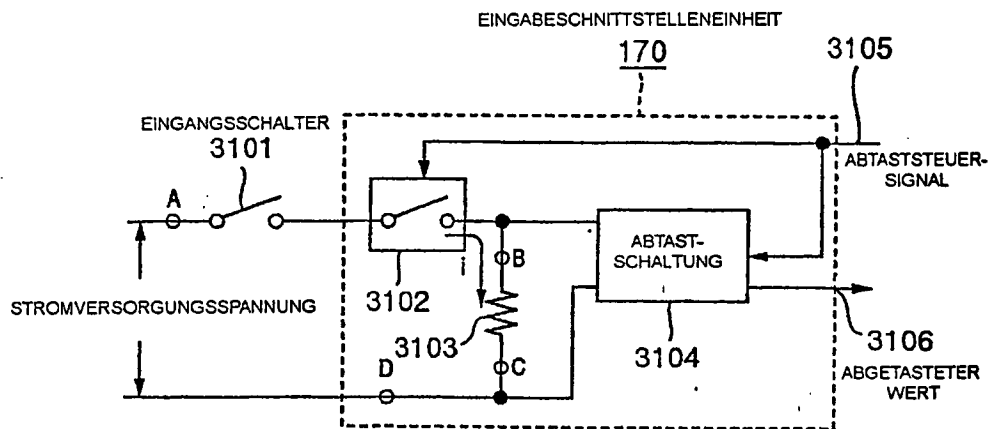


FIG.32

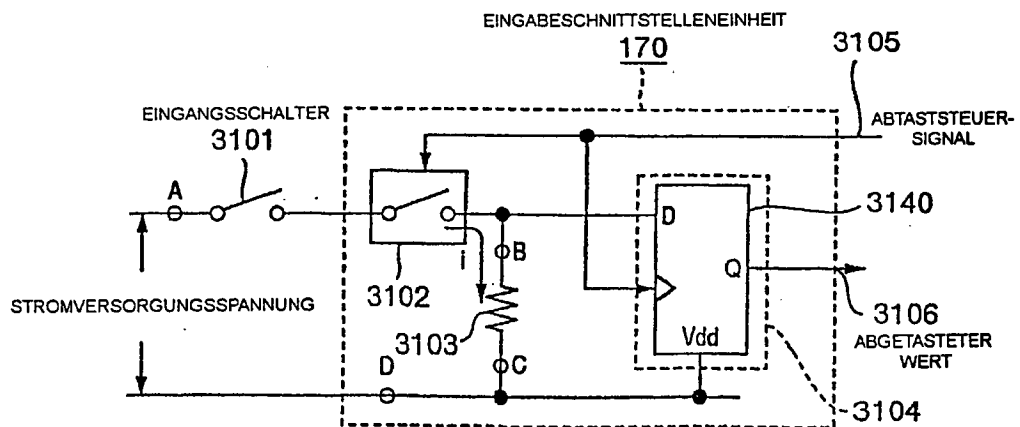


FIG.33

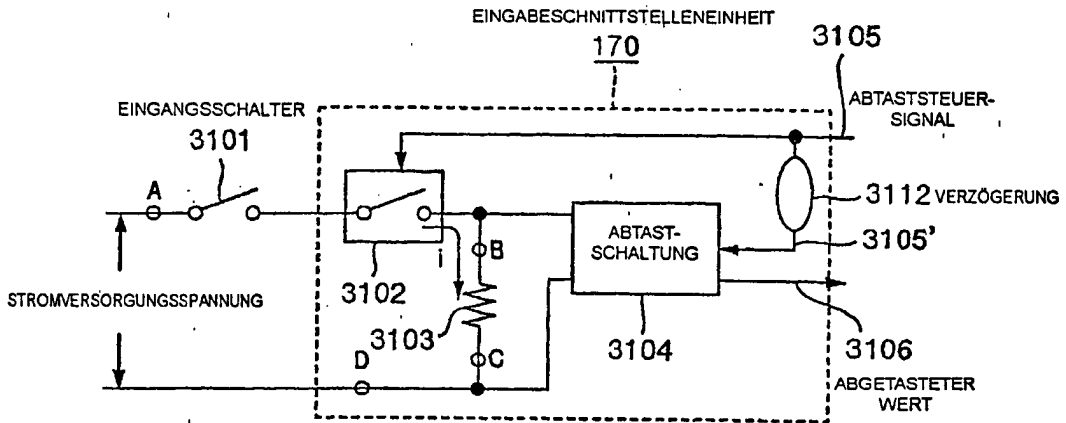


FIG.34

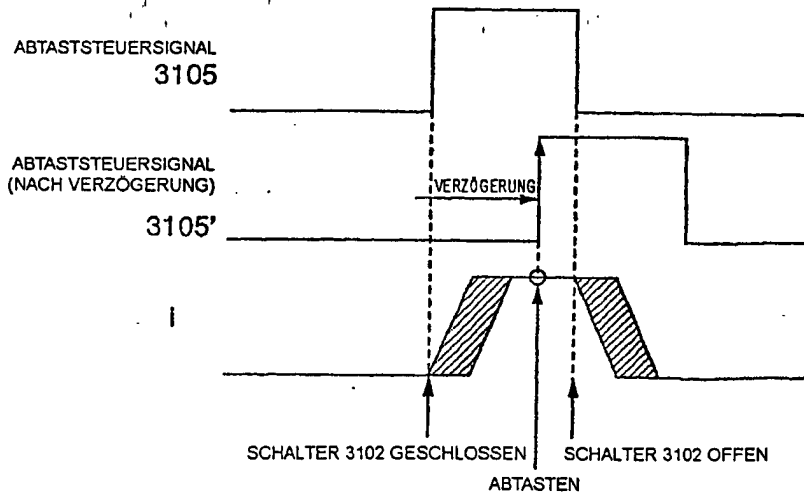


FIG.35

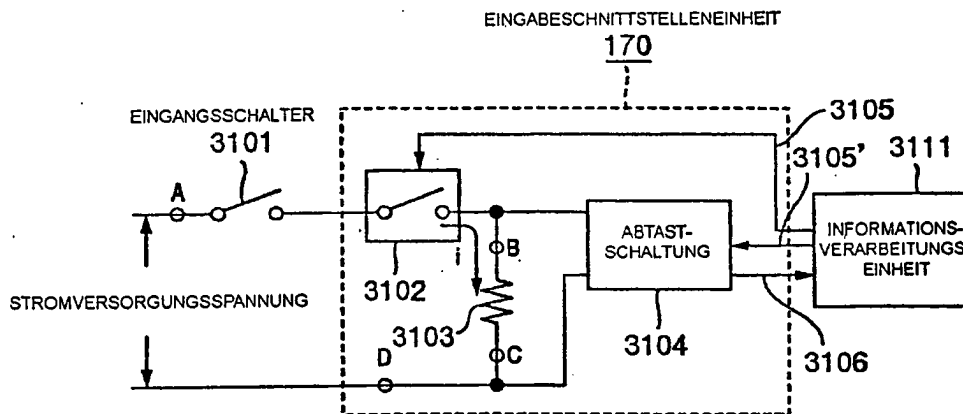


FIG.36

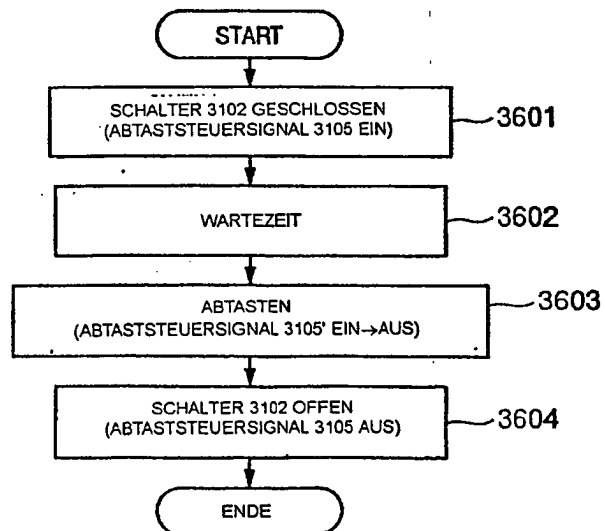


FIG.37

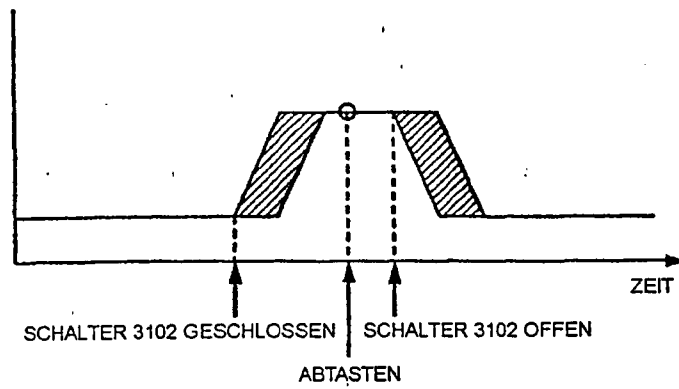


FIG.38

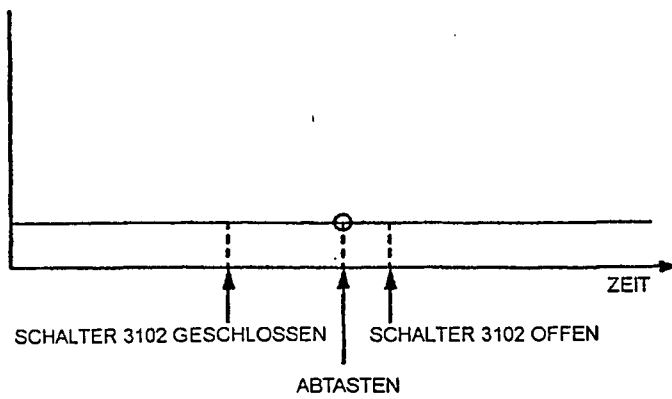


FIG.39

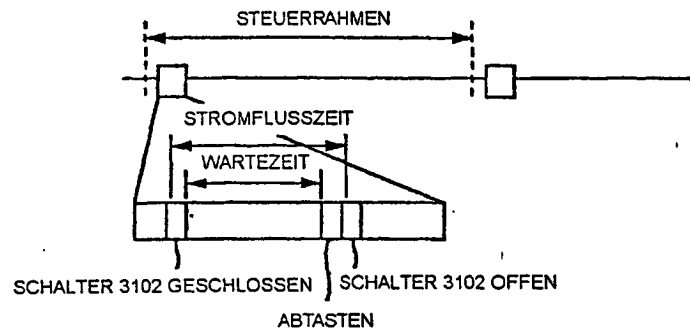


FIG.40

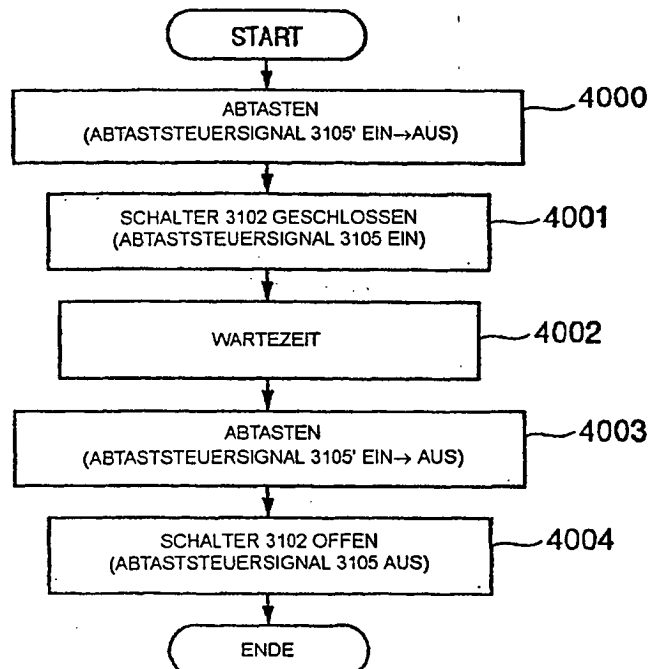


FIG.41

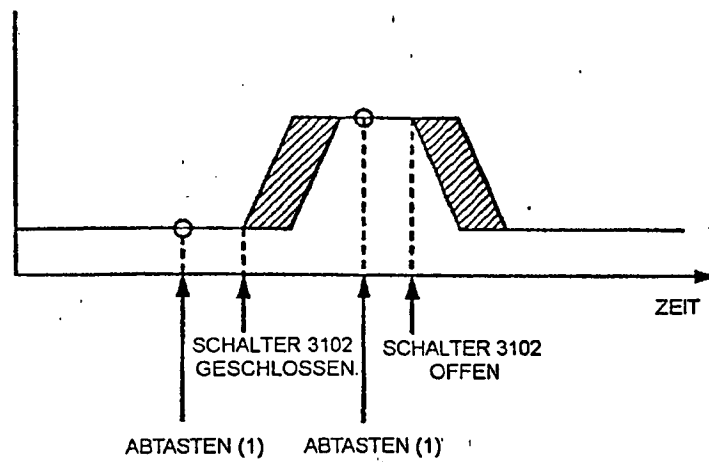


FIG.42

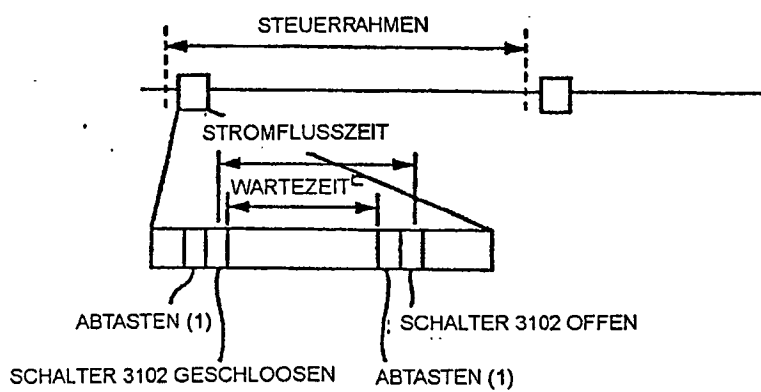


FIG.43

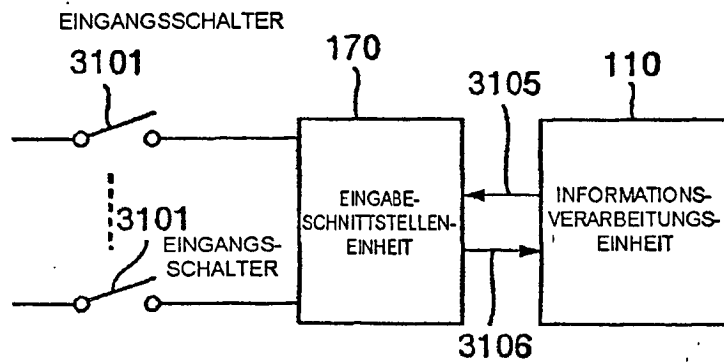


FIG.44

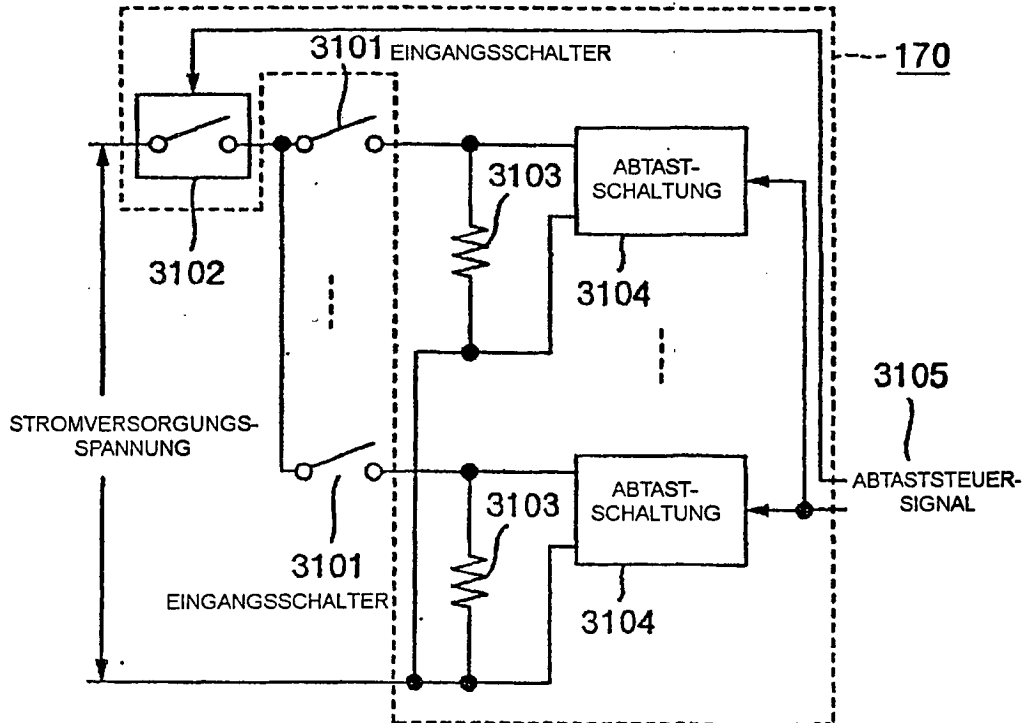


FIG.45

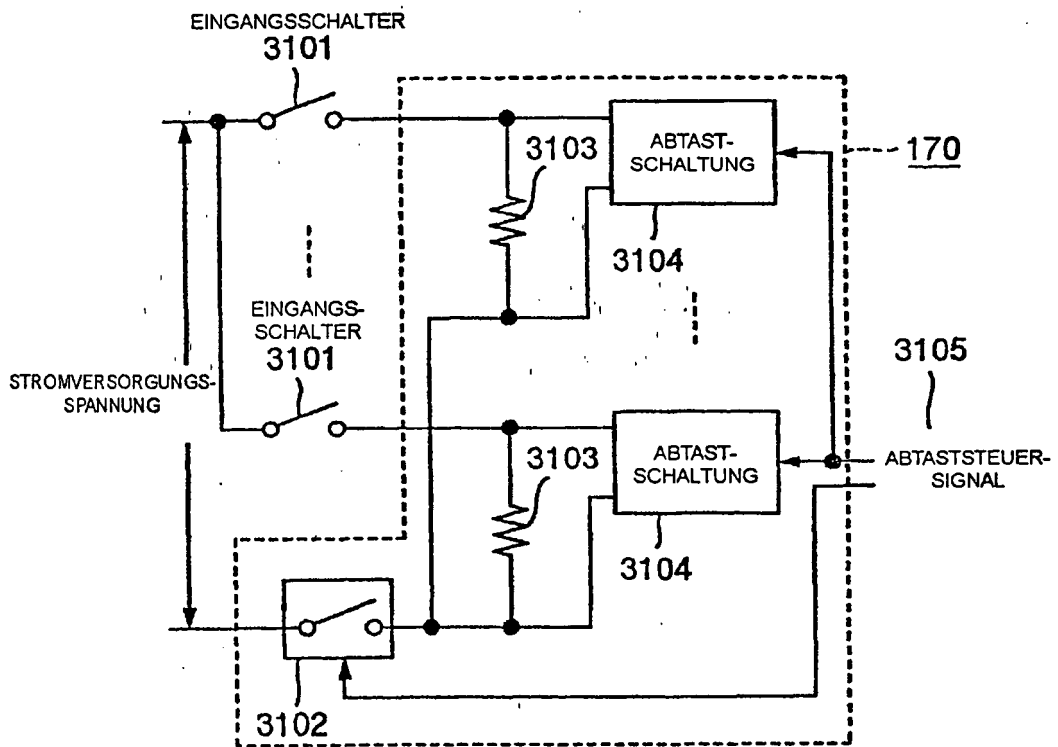


FIG.46

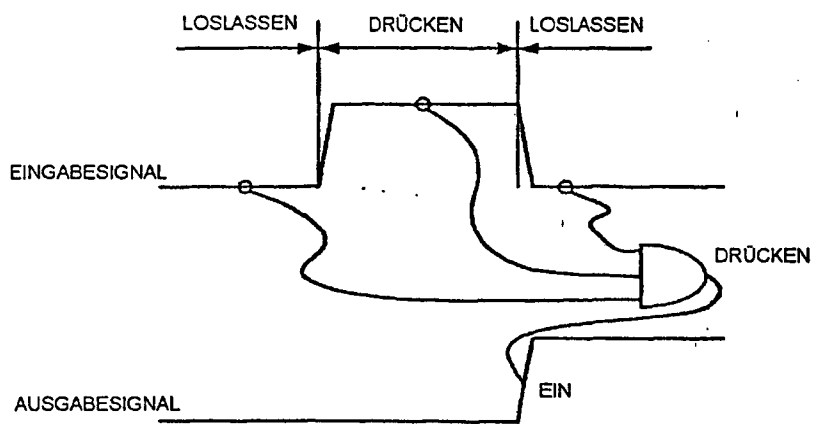


FIG.47

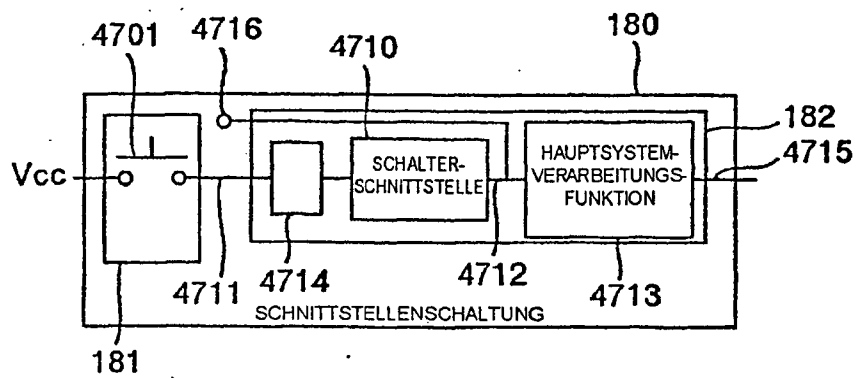


FIG.48

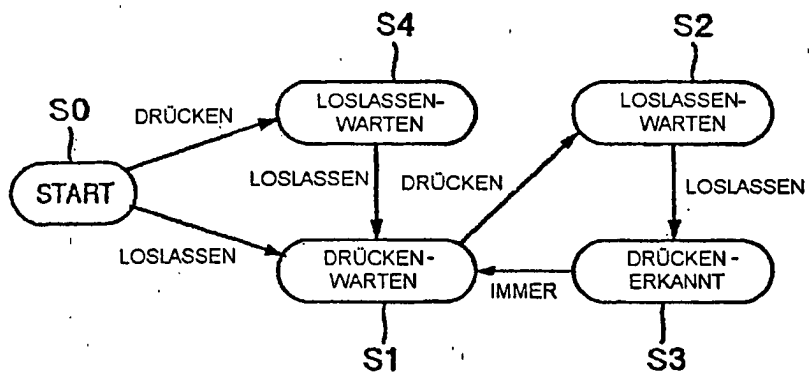


FIG.49

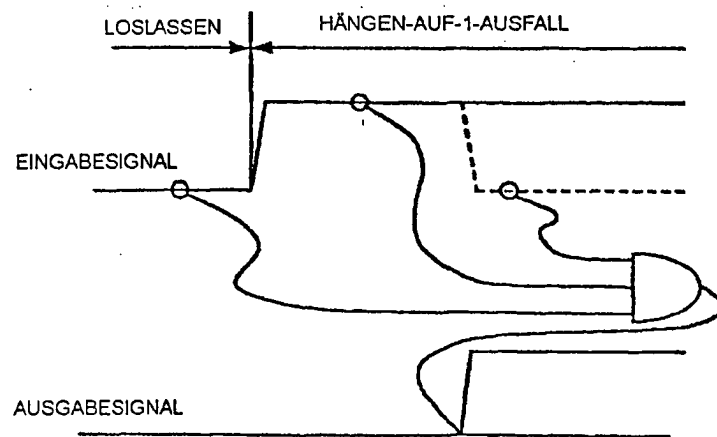


FIG.50

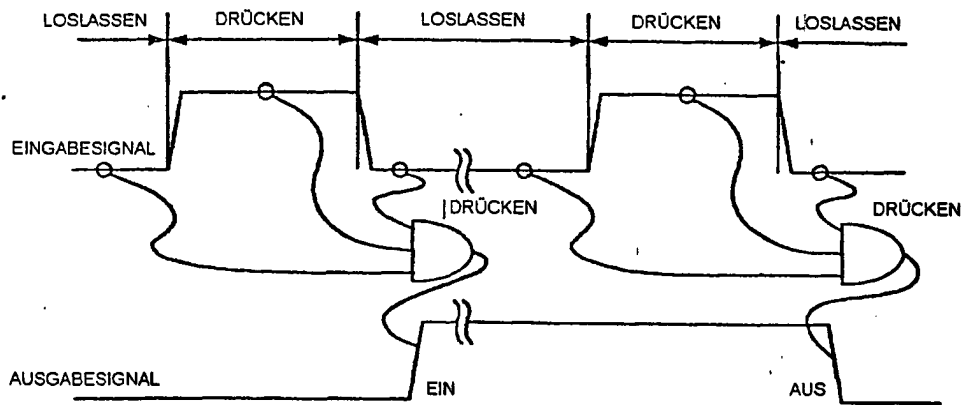


FIG.51

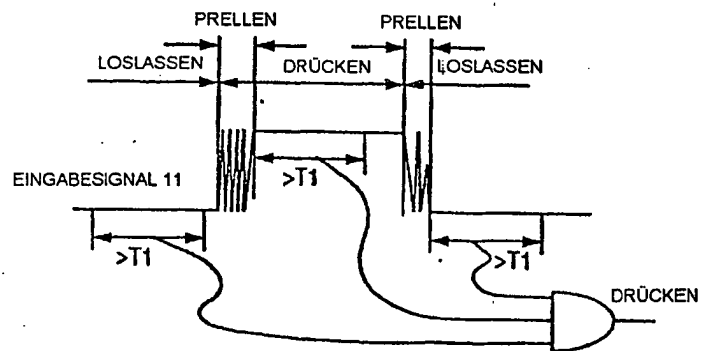


FIG.52

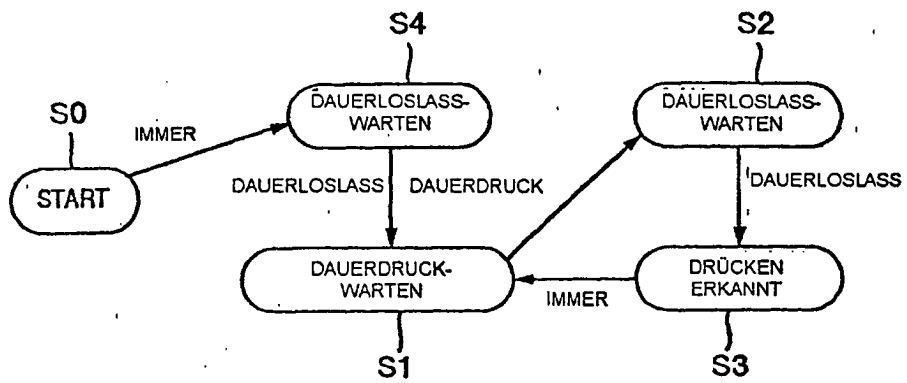


FIG.53

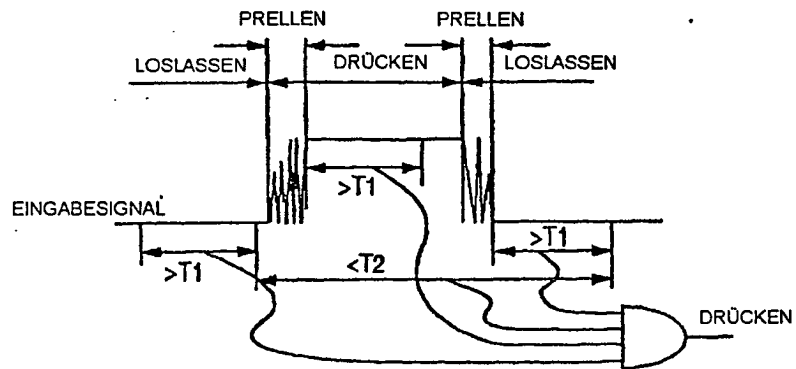


FIG.54

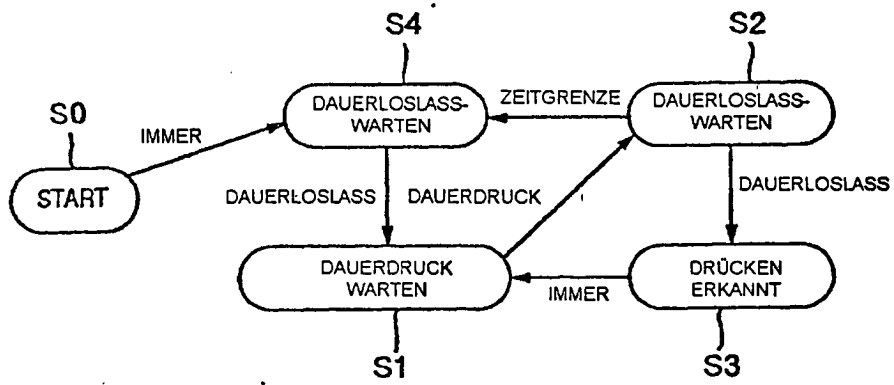


FIG.55

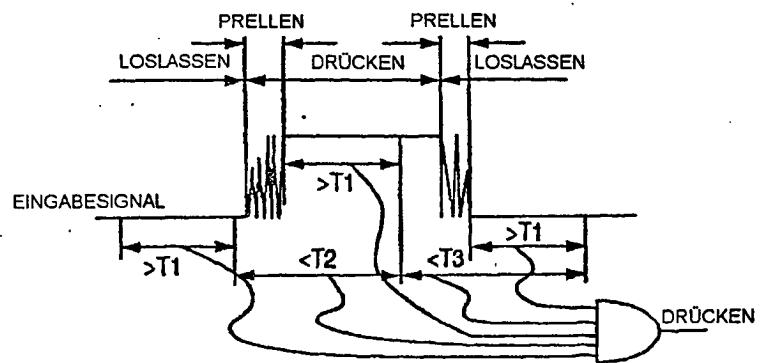


FIG.56

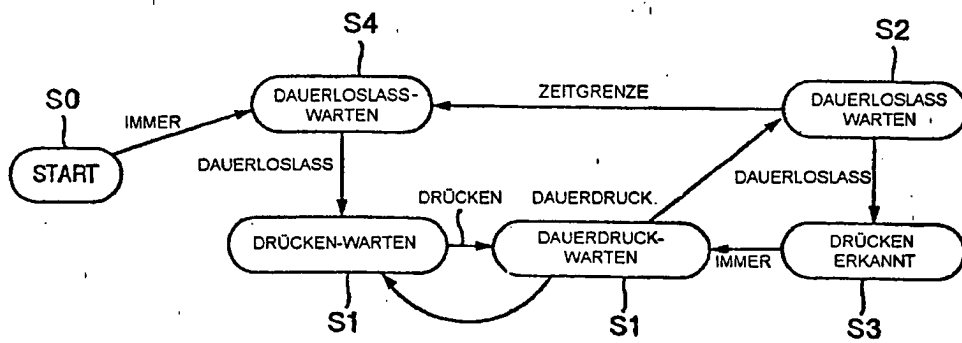


FIG.57

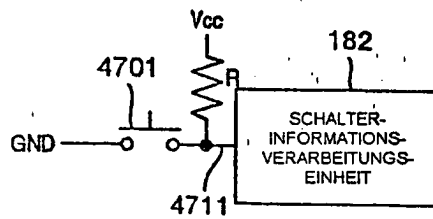


FIG.58

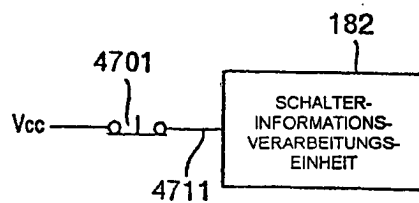


FIG.59

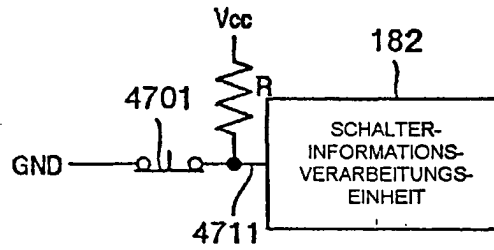


FIG.60

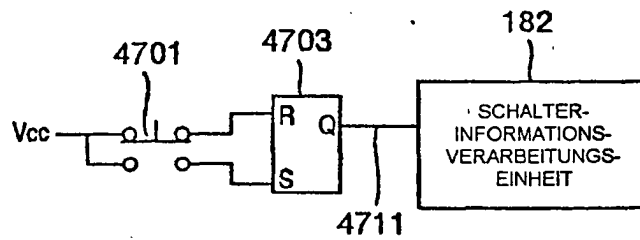


FIG.61

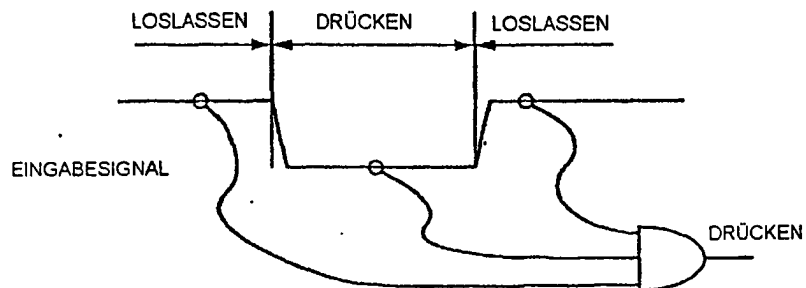


FIG.62

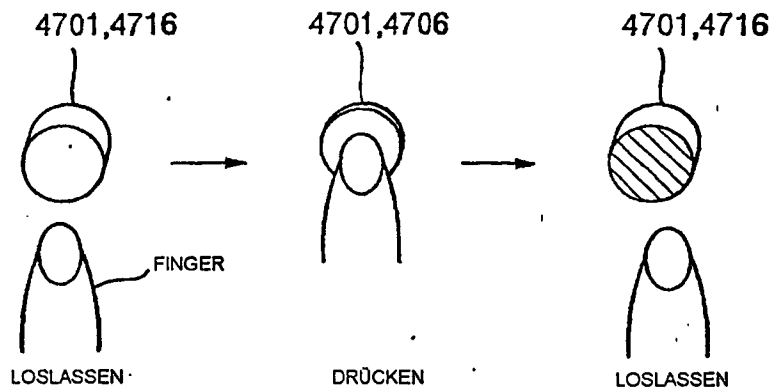


FIG.63

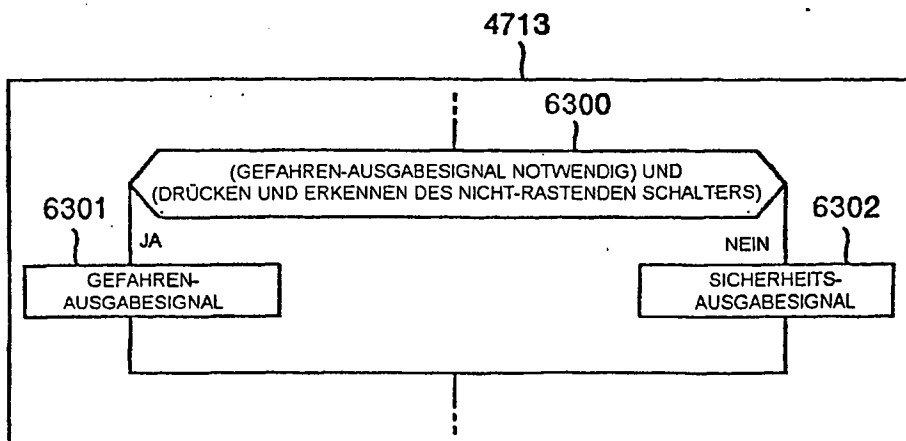


FIG.64

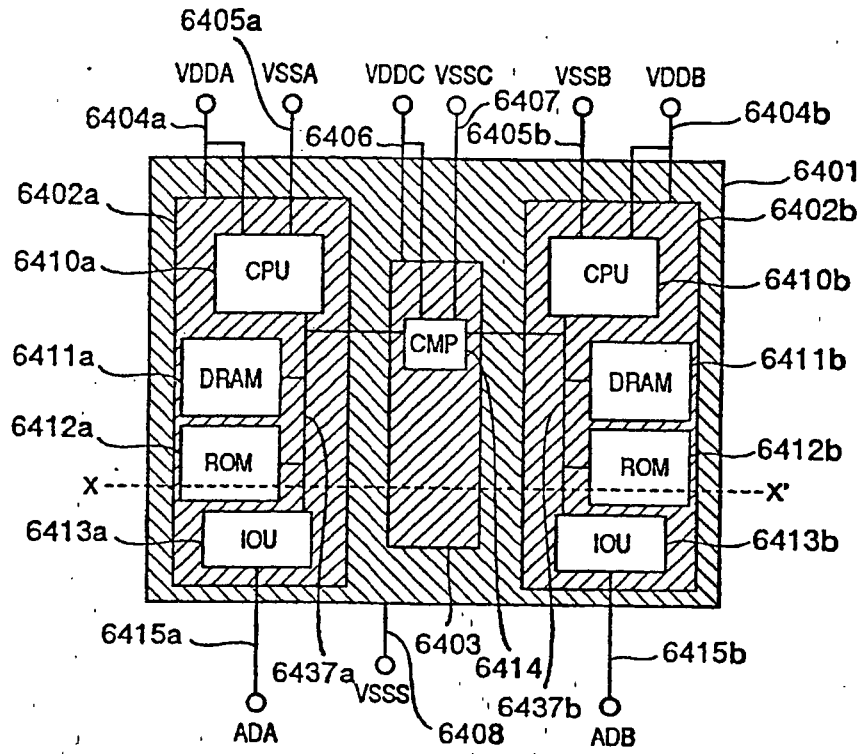


FIG.65

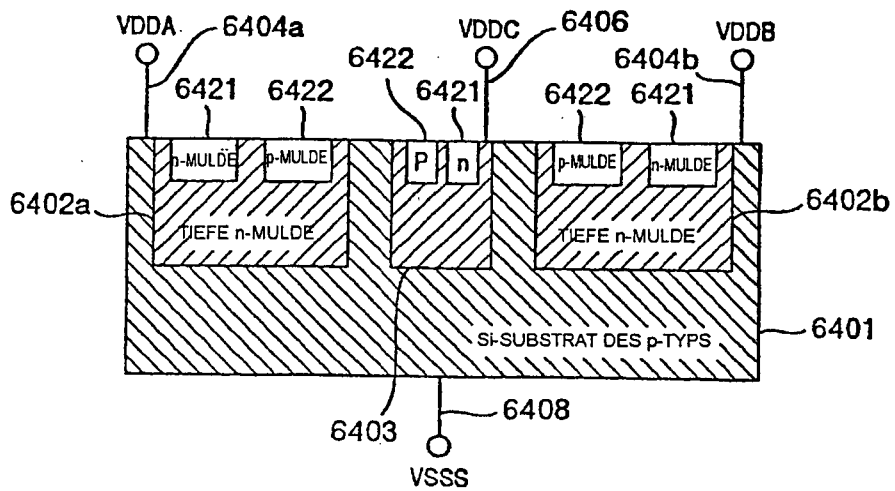


FIG.66

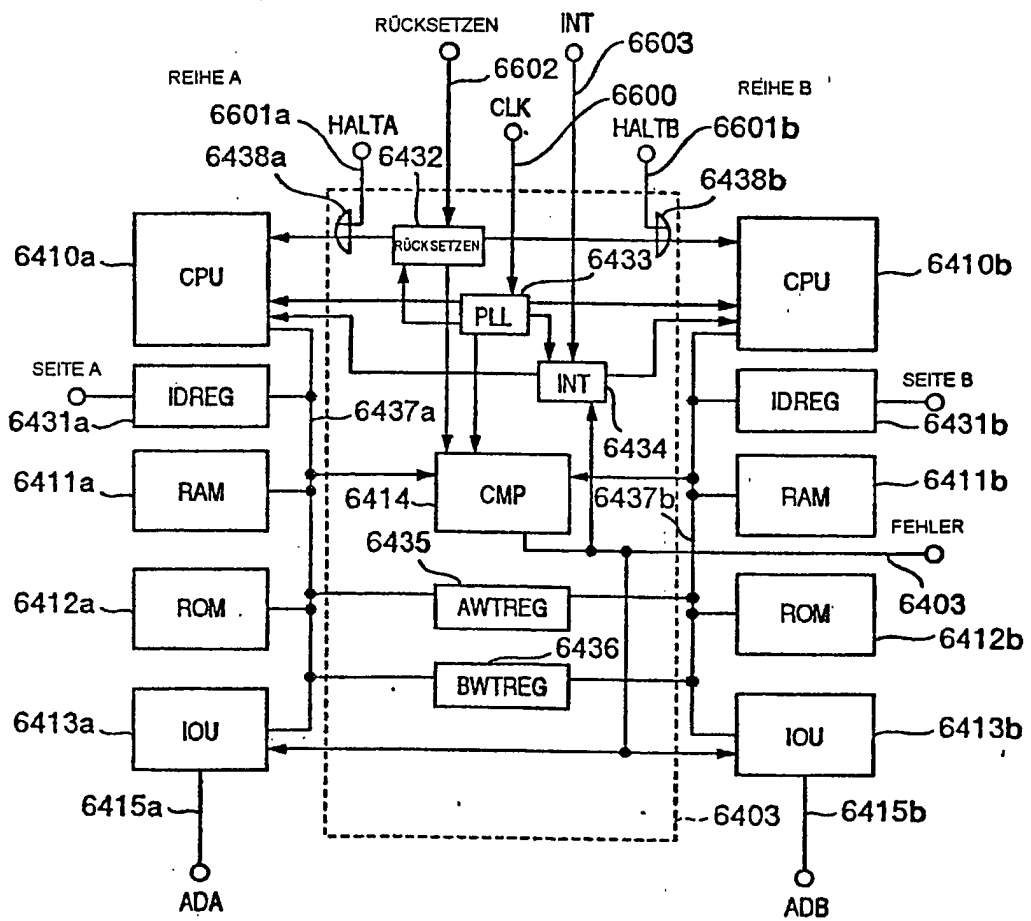


FIG.67

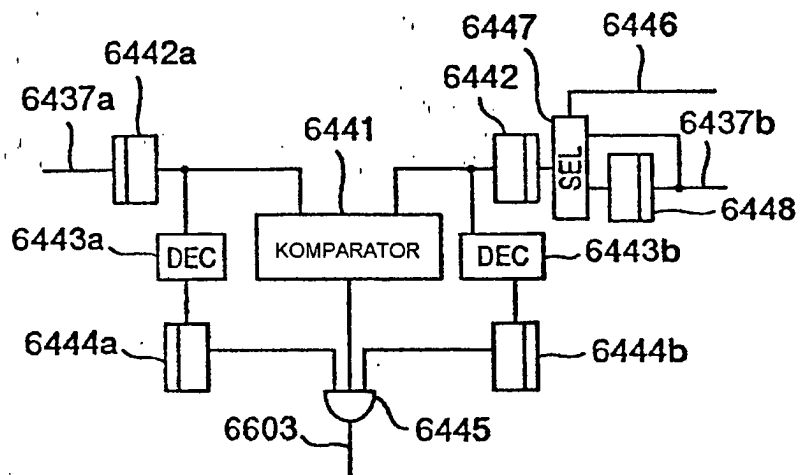


FIG.68

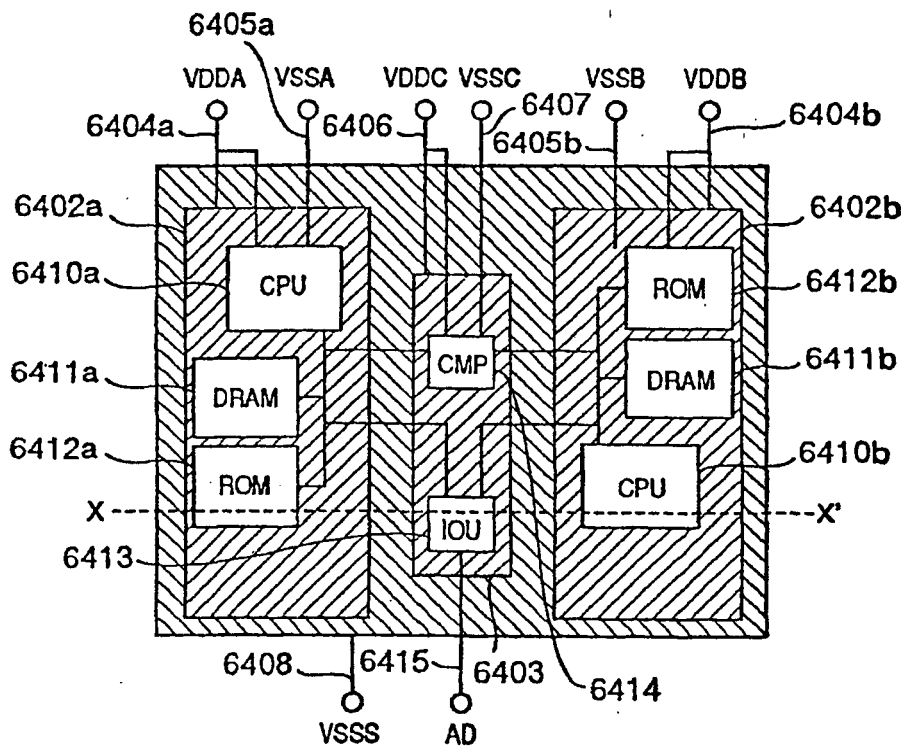


FIG.69

