



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

197 120

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 30 06 78
(21) PV 4369-78

(51) Int. Cl. G 06 F 7/02

(40) Zveřejněno 31 07 79
(45) Vydáno 30 04 82

(75)

Autor vynálezu BARTŮŇEK IVAN ing., DRÁPAL STANISLAV ing.,
KRYŠKA JAN ing. a STRONER PETR ing., PRAHA

(54) Zapojení pro sekvenční zpracování dat s časovými členy

1

Vynález se týká zapojení pro sekvenční zpracování dat časovými členy, určené k řízení povet-
lů a distribuci dat paměti.

Dosud používaná zapojení pro sekvenční zpracování dat paměti používají zpožďovacích linek
se zesilovači, tvarovači a klopnými obvody. Data zpracovaná v paměti se zavádí na synchronizova-
né vstupy datového registru. Nevýhodou těchto zapojení je nesnadné nastavení správných ovláda-
cích pulsů, zejména při změně rozsahu nebo typu paměti. Další nevýhodou těchto zapojení je nut-
nost nulování všech klopných obvodů při zapnutí napájecího napětí a synchronní nahrávání do da-
tového registru, neboť potom nejsou blokovány čtecí zesilovače. Některá zapojení používají pomoc-
ného registru pro zachycení dat z paměti a potom synchronizační přepis do datového registru.

Tyto nedostatky odstraňuje zapojení pro sekvenční zpracování dat s časovými členy, sestá-
vající z hlavního řadiče, adresního registru, datového registru, hradlovacího obvodu, součinových
obvodů, sčítacího obvodu, klopných obvodů, zpožďovacího obvodu a ovládače podle vynálezu, jehož
podstata spočívá v tom, že hlavní řadič je opatřen prvním ovládacím vstupem, druhým ovládacím
vstupem, hromadným vstupem a hromadným synchronizačním výstupem. Čtvrtý blokový výstup hlav-
ného řadiče je spojen s blokovacím vstupem hradlovacího obvodu. Výstup hradlovacího obvodu je
spojen s datovým vstupem datového registru. Ovládací vstup datového registru je spojen s prv-
ním blokovacím výstupem hlavního řadiče. Nulovací výstup hlavního řadiče je spojen s nulovacím
vstupem datového registru. Inverzní výstup datového registru je spojen s inverzním vstupem

ovládače. Ovládač je opatřen hromadným vstupem, hromadným výstupem a blokovacím vstupem. Šestý vstup ovládače je spojen s výstupem šestého klopného obvodu. Vstup šestého klopného obvodu je spojen s výstupem pátého klopného obvodu. Vstup pátého klopného obvodu je spojen s časovacím výstupem hlavního řadiče, se vstupem prvního klopného obvodu a se vstupem čtvrtého klopného obvodu. Výstup čtvrtého klopného obvodu je spojen s druhým vstupem třetího součinnového obvodu. Výstup třetího součinnového obvodu je spojen s druhým vstupem ovládače. První vstup ovládače je spojen s výstupem prvního klopného obvodu, s prvním vstupem třetího součinnového obvodu a se vstupem druhého klopného obvodu. Výstup druhého klopného obvodu je spojen s třetím vstupem ovládače, se vstupem zpožďovacího obvodu a se vstupem třetího klopného obvodu. Výstup třetího klopného obvodu je spojen s pátým vstupem ovládače. Nastavovací výstup ovládače je spojen s nastavovacím vstupem datového registru. Datový výstup datového registru je spojen s datovým vstupem druhého součinnového obvodu. Blokovací vstup druhého součinnového obvodu je spojen s třetím blokovacím výstupem hlavního řadiče. Druhý blokovací výstup hlavního řadiče je spojen s blokovacím vstupem prvního součinnového obvodu. Výstup prvního součinnového obvodu je spojen s výstupem druhého součinnového obvodu, s externím vstupem zapojení a se vstupem sčítacího obvodu. Výstup sčítacího obvodu je spojen s datovým vstupem hradlovacího obvodu a s hromadným vstupem adresního registru, který je opatřen inkrementálním vstupem a dekrementálním vstupem. Výstup adresního registru je spojen s datovým vstupem prvního součinnového obvodu a s adresním vstupem ovládače. Čtvrtý vstup ovládače je spojen s výstupem zpožďovacího členu.

Výhodou tohoto uspořádání je správné nastavení ovládacích pulsů jak při výrobě, tak při změně rozsahu nebo typu paměti. Další výhodou je, že čtecí zesilovače paměti jsou blokovány a odezvy se nahrávají do datového registru asynchronně, což zvyšuje rozsah pracovních napětí zapojení.

Příklad zapojení podle vynálezu je znázorněn na přiloženém výkresu.

Hlavní řadič 1 je sestaven z klopných obvodů a hradel. Je opatřen prvním ovládacím vstupem 21, druhým ovládacím vstupem 22, hromadným vstupem 23, hromadným synchronizačním výstupem 24 a čtvrtým blokovacím výstupem 29, který je spojen s blokovacím vstupem 30 hradlovacího obvodu 4. Hradlovací obvod 4 je vytvořen z hradel. Výstup 32 hradlovacího obvodu 4 je spojen s datovým vstupem 33 datového registru 3, sestaveného z klopných obvodů typu D. Ovládací vstup 34 datového registru 3 je spojen s prvním blokovacím výstupem 25 hlavního řadiče 1. Nulovací výstup 72 hlavního řadiče 1 je spojen s nulovacím vstupem 73 datového registru 3. Inverzní výstup 37 datového registru 3 je spojen s inverzním vstupem 64 ovládače 16. Ovládač 16 je sestaven z tranzistorů, hradel, odporů, diod a diferenciálních zesilovačů. Je opatřen hromadným vstupem 74, hromadným výstupem 71 a blokovacím vstupem 75. Šestý vstup 70 ovládače 16 je spojen s výstupem 57 šestého klopného obvodu 13. Vstup 56 šestého klopného obvodu 13 je spojen s výstupem 51 pátého klopného obvodu 12. Vstup 50 pátého klopného obvodu 12 je spojen s časovacím výstupem 26 hlavního řadiče 1, se vstupem 46 prvního klopného obvodu 8 a se vstupem 48 čtvrtého klopného obvodu 11. Výstup 49 čtvrtého klopného obvodu 11 je spojen s druhým vstupem 59 třetího součinnového obvodu 14. Výstup 60 třetího součinnového obvodu 14 je spojen s druhým vstupem 66 ovládače 16. První vstup 65 ovládače 16 je spojen s výstupem 47 prvního klopného obvodu 8, s prvním vstupem 58 třetího součinnového obvodu 14 a se vstupem 52 druhého klopného obvodu 9. Výstup 53 druhého klopného obvodu 9 je spojen s třetím vstupem 67 ovládače 16, se vstupem 61 zpožďovacího obvodu 15 a se

vstupem 54 třetího klopného obvodu 10. Výstup 55 třetího klopného obvodu 10 je spojen s pátým vstupem 69 ovládače 16. Nastavovací výstup 63 ovládače 16 je spojen s nastavovacím vstupem 36 datového registru 3. Datový výstup 35 datového registru 3 je spojen s datovým vstupem 42 druhého součinnového obvodu 6. Blokovací vstup 41 druhého součinnového obvodu 6 je spojen s třetím blokovacím výstupem 28 hlavního řadiče 1. Druhý blokovací výstup 27 hlavního řadiče 1 je spojen s blokovacím vstupem 38 prvního součinnového obvodu 5. Výstup 40 prvního součinnového obvodu 5 je spojen s výstupem 43 druhého součinnového obvodu 6, s externím vstupem 77 zapojení a se vstupem 44 sčítacího obvodu 7. Výstup 45 sčítacího obvodu 7 je spojen s datovým vstupem 31 hradlovacího obvodu 4 a s hromadným vstupem 17 adresního registru 2. Adresní registr 2 je opatřen inkrementálním vstupem 18 a dekrementálním vstupem 19. Výstup 20 adresního registru 2 je spojen s datovým vstupem 39 prvního součinnového obvodu 5 a s adresním vstupem 76 ovládače 16. Čtvrtý vstup 68 ovládače 16 je spojen s výstupem 62 zpožďovacího obvodu 15.

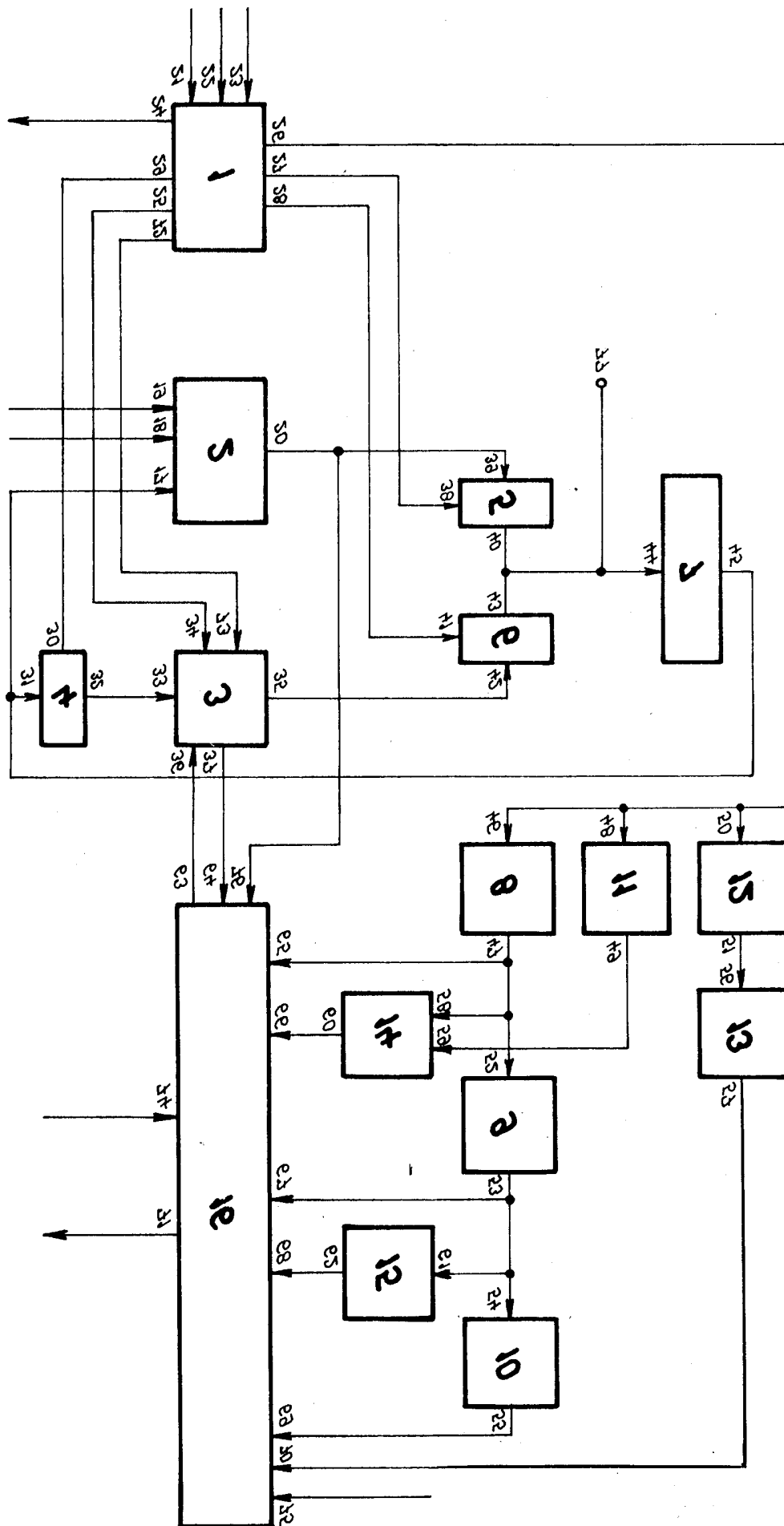
Všechny klopné obvody 8, 9, 10, 11, 12 a 13 jsou stejné monostabilní klopné obvody. Zpožďovací obvod 15 je sestaven z hradel a RC článku. Součinnové obvody 5, 6, 14 jsou stejné a jsou sestaveny ze dvou vstupových hradel. Sčítací obvod 7 je vytvořen z invertorů a odporů.

Na ovládací vstupy 21 a 22 hlavního řadiče 1 se přivádí signály vyžadující čtení nebo zápis. Na hromadný vstup 23 hlavního řadiče 1 se přivádí časové signály. Hlavní řadič 1 dává na svém hromadném synchronizačním výstupu 24 signály o stavu všech klopných obvodů 8, 9, 10, 11, 12, 13. Dále hlavní řadič 1 ovládá své i blokovací výstupy 25, 27, 28, 29 přesun dat přes první součinnový obvod 5, přes druhý součinnový obvod 7, přes hradlovací obvod 4 a přes datový registr 3. Svým časovacím výstupem 26 spouští hlavní řadič 1 současně první, čtvrtý a pátý klopný obvod 8, 11, 12. První klopný obvod 8 ovládá svým výstupem 47 jednak třetí součinnový obvod 14 přes jeho první vstup 58 a dále ovládá ovládač 16 přes jeho první vstup 65. V době, kdy je signál na výstupu 47 prvního klopného obvodu 8 aktivní a na výstupu 49 čtvrtého klopného obvodu 11 pasivní, dá třetí součinnový obvod 14 svým výstupem 60 ovládači 16 přes jeho druhý vstup 66 povel ke čtení z paměti. V době aktivního signálu na tomto druhém vstupu 66 ovládače 16 dá šestý klopný obvod 13 svým výstupem 57 povel na šestý vstup 70 ovládače 16 k ovzorkování dat z paměti. V době, kdy končí aktivní signál na výstupu 47 prvního klopného obvodu 8, objeví se na výstupu 59 druhého klopného obvodu 9 aktivní signál, který je přiveden na třetí vstup 67 ovládače 16. Tento signál aktivuje blokovací puls paměti. Současně přes vstup 61 zpožďovacího členu 15 se objeví aktivní signál na výstupu 62 zpožďovacího členu 15 a je přiveden na čtvrtý vstup 68 ovládače 16 a aktivuje zápis. V době, kdy skončí aktivní signál na vstupu 61 zpožďovacího členu 15, zůstává jeho výstup 62 ještě jistou dobu aktivní a to po zpožďovací dobu. Současně, kdy mizí aktivní signál ze vstupu 61 zpožďovacího členu 15, objeví se na výstupu 55 třetího klopného obvodu 10 aktivní signál, který je přiveden na pátý vstup 69 ovládače 16, který aktivuje vybití parazitních kapacit paměti. Adresa se přivádí do ovládače 16 přes jeho adresní vstup 76 z výstupu 20 adresního registru 2. Data se do ovládače 16 přivádějí přes jeho inverzní vstup 63 z inverzního výstupu 37 datového registru 3. Data z ovládače 16 se přivádějí z jeho nastavovacího výstupu 63 na nastavovací vstup 36 datového registru 3. Paměť, která není na výkresu znázorněna, je spojena s ovládačem 16 prostřednictvím jeho hromadného vstupu 74 a hromadného výstupu 71.

Vynálezu se využije pro distribuci dat a spolupráci s pamětí u řídicích počítačů.

PŘEDMĚT VYNÁLEZU

Zapojení pro sekvenční zpracování dat s časovými členy, které sestává z hlavního řadiče, adresního registru, datového registru, hradlovacího obvodu, součinných obvodů, sčítacího obvodu, klopných obvodů, zpožďovacího obvodu a ovládače, vyznačující se tím, že čtvrtý blokovací výstup (29) hlavního řadiče (1), který je dále opatřen prvním ovládacím vstupem (21), druhým ovládacím vstupem (22), hromadným vstupem (23) a hromadným synchronizačním výstupem (24), je spojen s blokovacím vstupem (30) hradlovacího obvodu (4), jehož výstup (32) je spojen s datovým vstupem (33) datového registru (3), jehož ovládací vstup (34) je spojen s prvním blokovacím výstupem (25) hlavního řadiče (1), jehož nulovací výstup (72) je spojen s nulovacím vstupem (73) datového registru (3), jehož inverzní výstup (37) je spojen s inverzním vstupem (64) ovládače (16), který je opatřen hromadným vstupem (74), hromadným výstupem (71), blokovacím vstupem (75) a šestým vstupem (70), který je spojen s výstupem (57) šestého klopného obvodu (13), jehož vstup (56) je spojen s výstupem (51) pátého klopného obvodu (12), jehož vstup (50) je spojen s časovacím výstupem (26) hlavního řadiče (1), se vstupem (46) prvního klopného obvodu (8) a se vstupem (48) čtvrtého klopného obvodu (11), jehož výstup (49) je spojen s druhým vstupem (59) třetího součinného obvodu (14), jehož výstup (60) je spojen s druhým vstupem (66) ovládače (16), jehož první vstup (65) je spojen s výstupem (47) prvního klopného obvodu (8), s prvním vstupem (58) třetího součinného obvodu (14) a se vstupem (52) druhého klopného obvodu (9), jehož výstup (53) je spojen s třetím vstupem (67) ovládače (16), se vstupem (61) zpožďovacího obvodu (15) a se vstupem (54) třetího klopného obvodu (10), jehož výstup (55) je spojen s pátým vstupem (69) ovládače (16), jehož nastavovací výstup (63) je spojen s nastavovacím vstupem (36) datového registru (3), jehož datový výstup (35) je spojen s datovým vstupem (42) druhého součinného obvodu (6), jehož blokovací vstup (41) je spojen s třetím blokovacím výstupem (28) hlavního řadiče (1), jehož druhý blokovací výstup (27) je spojen s blokovacím vstupem (38) prvního součinného obvodu (5), jehož výstup (40) je spojen s výstupem (43) druhého součinného obvodu (6), s externím vstupem (77) zapojení a se vstupem (44) sčítacího obvodu (7), jehož výstup (45) je spojen s datovým vstupem (31) hradlovacího obvodu (4) a s hromadným vstupem (17) adresního registru (2), který je opatřen inkrementálním vstupem (18), dekrementálním vstupem (19) a výstupem (20), který je spojen s datovým vstupem (39) prvního součinného obvodu (5) a s adresním vstupem (76) ovládače (16), jehož čtvrtý vstup (68) je spojen s výstupem (62) zpožďovacího členu (15).



OBR. 1