

ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

255352

(11)

(B1)

(51) Int. Cl.⁴
G 06 F 13/00

(22) Prihlášené 02 05 83

(21) (PV 3086-83)

(40) Zverejnené 16 07 87

(45) Vydané 15 11 88

(75)

Autor vynálezu

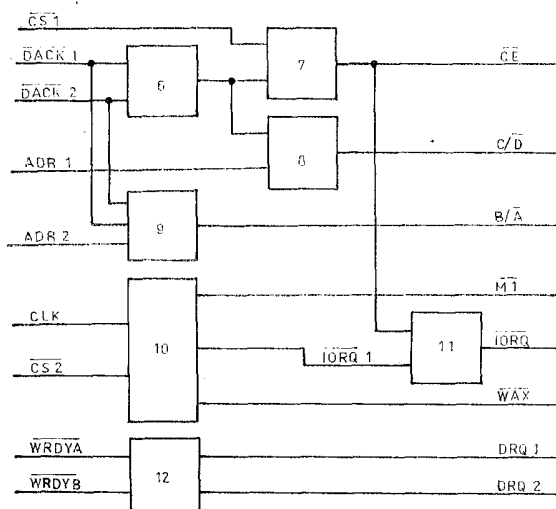
PLICHTA IVAN ing. CSc., LIPTOVSKÝ HRÁDOK, POTOČKO IVAN ing.,
VALA ZDENEK ing., LIPTOVSKÝ MIKULÁŠ

[54] Rozhranie komunikačného procesora a mikropočítačového systému

1

Rozhranie pre pripojenie komunikačného procesora Z80/SIO k mikropočítačovému systému Intel 8080. Rozhranie vytvára časovú postupnosť signálov komunikačného procesora Z80/SIO v režime programovania, režime prerušenia a režime priameho prístupu do pamäte.

2



Obr. 3

Vynález sa týka rozhrania pre integrovaný obvod Z80/SIO, ktorý pripojuje komunikačný procesor Zilog Z80/SIO a jeho ekvivalenty k mikropočítačovému systému zostavenému napríklad zo súboru obvodov Intel.

Doteraz známe riešenia využívajú zapojenia zostavené z integrovaných obvodov jedného mikroprocessorového súboru a komunikačné procedúry sa realizujú pripojením špecializovaného komunikačného procesora za predpokladu, že v mikroprocessorovom súbore je takýto procesor. Ak v mikroprocessorovom súbore nie je takýto procesor, potom môže byť realizovaný z integrovaných obvodov malej integrácie, za cenu veľkej zložitosti riešenia. Rozhranie komunikačného procesora Z80/SIO umožňuje vytvoriť riadiacu jednotku komunikačných procedúr aj s inými mikroprocessorovými súbormi ako so súborom Zilog.

Hore uvedený nedostatok odstraňuje rozhranie komunikačného procesora Z80/SIO (ďalej rozhranie pre Z80/SIO) podľa vynálezu, ktorého podstata je v tom, že výstupy bloku priameho prístupu do pamäte sú pripojené do bloku voľby kanálov a do bloku potvrdenia priameho prístupu do pamäte, vstup bloku potvrdenia priameho prístupu do pamäte, vstup bloku potvrdenia priameho prístupu do pamäte je pripojený spolu s prvým výstupom výberu na vstup bloku výberu prvku a s prvým adresovým výstupom do bloku výberu registrov, výstup bloku výberu registrov je pripojený do komunikačného procesora na vstup výberu registrov, spolu so vstupmi bloku priameho prístupu do pamäte je druhý adresový vstup pripojený do bloku voľby kanálov, výstup bloku voľby kanálov je pripojený do komunikačného procesora na vstup voľby kanálov, druhý výstup výberu a hodinový výstup sú pripojené do bloku obsluhy prerušenia, jeho prvý výstup je pripojený do komunikačného procesora na vstup synchronizácie výberu operačného kódu, druhý výstup bloku obsluhy prerušenia je pripojený spolu s výstupom bloku výberu prvku do bloku žiadosti o I/O operáciu, výstup bloku žiadosti o I/O operáciu je pripojený do komunikačného procesora na vstup synchronizácie I/O operácie, tretí výstup bloku obsluhy prerušenia výstup synchronizácie činnosti je pripojený do mikroprocessorového systému, vstupy žiadosti o pridelenie priameho prístupu do pamäte sú pripojené do bloku žiadosti o priamy prístup do pamäte, výstupy ktorého sú pripojené do bloku priameho prístupu do pamäte.

Výhodou takéhoto zapojenia je využitie univerzálneho komunikačného procesora mikroprocessorového súboru Zilog Z80/SIO v riadiacich jednotkách komunikačných procedúr realizovaných z prvkov iných mikroprocessorových súborov, napríklad Intel.

Na obr. 1 je bloková schéma univerzálnej riadiacej jednotky komunikačných procedúr,

na obr. 2 je bloková schéma s uvedením vstupov a výstupov rozhrania pre Z80/SIO a na obr. 3 je nakreslené rozhranie pre Z80/SIO.

Výstupy **DACK1** a **DACK2** bloku 2 priameho prístupu do pamäte sú pripojené do bloku 6 potvrdenia priameho prístupu do pamäte a do bloku 9 voľby kanálov. Výstup bloku 6 potvrdenia priameho prístupu do pamäte je pripojený spolu s prvým vstupom **CS1** výberu na vstupy bloku 7 výberu prvku a s prvým adresovým vstupom **ADR1** do vstupov bloku 8 výberu registrov. Blok 8 výberu registrov má výstup **C/D** výberu registrov. Spolu so vstupmi **DACK1** a **DACK2** bloku 2 priameho prístupu do pamäte je do bloku 9 voľby kanálov pripojený druhý adresový vstup **ADR2**. Blok 9 voľby kanálov má výstup **B/A** výberu kanála. Hodinový vstup **CLK** a druhý vstup **CS2** výberu sú pripojené do bloku 10 obsluhy prerušenia, z ktorého vystupuje výstup **M1** synchronizácie výberu operačného kódu, druhý výstup **IORQ1** a výstup **WAX** synchronizácie činnosti. Výstup **IORQ1** je pripojený spolu s výstupom **CE** výberu prvku do bloku 11 žiadosti o I/O operáciu, výstup ktorého je výstup **IORQ** synchronizácie I/O operácie. Vstupmi bloku 12 žiadosti o priamy prístup do pamäte sú vstupy **WRDYB** a **WRDYA** žiadosti o pridelenie priameho prístupu do pamäte a výstupmi sú **DRQ1** a **DRQ2**.

Univerzálna riadiaca jednotka komunikačných procedúr má jednotlivé bloky systému prepojené zbernicou 5 systému a umožňuje činnosť v troch režimoch.

V režime programovania mikropočítačový systém 1 vysielaním postupnosti stavových slov a riadiacich signálov cez zbernicu 5 systému a rozhranie 3 pre Z80/SIO programuje blok 2 priameho prístupu do pamäte a komunikačný procesor 4. Tento režim umožňuje aj riadenie komunikačného procesora 4 bez priameho prístupu do pamäte.

V režime priameho prístupu do pamäte komunikačný procesor 4 prijíma alebo vysielá dáta do dátového smeru. Dáta sú prenášané po zbernici 5 systému do pamäte alebo z pamäte mikropočítačového systému 1. Činnosť priameho prístupu do pamäte riadi blok 2 priameho prístupu do pamäte a riadiace signály sú časovo prispôbené rozhraním 3 pre Z80/SIO v súlade s potrebami komunikačného procesora 4.

V režime prerušenia, mikropočítačový systém 1 analyzuje stavové slovo bloku 2 priameho prístupu do pamäte a komunikačného procesora 4. Stavové slová sú čítané po zbernici 5 systému tak, že z bloku 2 priameho prístupu do pamäte sú čítané napríklad I/O inštrukciou. Na prečítanie stavového slova komunikačného procesora 4 rozhranie 3 pre Z80/SIO vytvorí na povel mikropočítačového systému 1 postupnosť

signálov v súlade s potrebami obsluhy prerušenia u obvodov Zilog.

Činnosť rozhrania v režime programovania je nasledujúca. Mikropočítačový systém 1 generuje prvý výstup **CS1** výberu, prvý a druhý adresový vstup **ADR1** a **ADR2**. Prvý výstup **CS1** výberu je privedený do bloku 7 výberu prvku a úroveň log 0 prvého výstupu **CS1** výberu zapríčiní na výstupe bloku 7 výberu prvku úroveň log 0 výstupu **CE** výberu prvku. Výstup **CE** výberu prvku je privedený do komunikačného procesora 4 a súčasne je privedený do bloku 11 žiadosti o I/O operáciu, čím sa na jeho výstupe **IORQ** žiadosti o I/O operáciu vytvorí log 0. Úroveň log 0 výstupu **CE** výberu prvku a výstupu **IORQ** žiadosti o I/O operáciu je základnou podmienkou činnosti komunikačného procesora 4. Prvý adresový výstup **ADR1** je privedený do bloku 8 výberu registrov. Úroveň log 1 prvého adresového výstupu **ADR1** umožňuje výber riadiaceho registra a úroveň log 0 výber dátového registra komunikačného procesora 4. Druhý adresový výstup **ADR2** je privedený do bloku 9 voľby kanálov. Úroveň log 1 druhého adresového výstupu **ADR2** umožňuje výber kanála B a úroveň log 0 výber kanála A komunikačného procesora 4. Ostatné vstupy a výstupy na obr. 3 neovplyvňujú v režime programovania činnosť rozhrania pre Z80/SIO.

V režime priameho prístupu do pamäte vstupy **WRDYA** a **WRDYB** žiadosti o pridelenie priameho prístupu do pamäte sú privedené do bloku 12 žiadosti o priamy prístup do pamäte, úrovňou log 0 zapríčinia vytvorenie výstupov **DRQ1** alebo **DRQ2** s úrovňou log 1. Výstupy **DRQ1** a **DRQ2** sú privedené do bloku 2 priameho prístupu do pamäte. Tento potvrdzuje pridelenie cyklu priameho prístupu do pamäte úrovňou log 0 výstupov **DACK1** alebo **DACK2** bloku 2 priameho prístupu do pamäte. Výstupy **DACK1** a **DACK2** bloku 2 priameho prístupu do pamäte sú privedené do bloku 6 potvrdenia žiadosti o priamy prístup do pamäte, výstup ktorého je privedený do bloku 7 výberu prvku a bloku 8 výberu registrov. Výstup bloku 7 výberu prvku je výstup **CE** výberu prvku. Tento je privedený do komunikačného procesora 4 a bloku 11 žiadosti o I/O operáciu spolu s druhým výstupom **IORQ1** bloku 10 obsluhy prerušenia, výstup **IORQ** bloku 11 žiadosti o I/O operáciu je privedený do komunikačného procesora 4. Výstup bloku 6 potvrdenia žiadosti o priamy prístup do pamäte vystupuje s úrovňou log 0 a blok 8 výberu registrov vyberie dá-

tový register. Výstupy **DACK1** a **DACK2** bloku 2 priameho prístupu do pamäte sú tiež privedené na vstupy bloku 9 voľby kanálov. Úroveň log 0 výstupov **DACK1** alebo **DACK2** bloku 2 priameho prístupu do pamäte zapríčiní voľbu kanála A alebo B komunikačného procesora 4. V režime priameho prístupu do pamäte ostatné vstupy a výstupy neovplyvňujú činnosť rozhrania.

V režime prerušenia mikropočítačový systém 1 vystaví úroveň log 0 na druhom výstupe **CS2** výberu. Druhý výstup **CS2** výberu je privedený do bloku 10 obsluhy prerušenia. Súčasne je do bloku 8 výberu registrov privedený prvý adresový výstup **ADR1** úrovne log 1 a tento vytvára na vstupe **C/D** výberu registrov úroveň log 1 pre výber riadiaceho registra. Druhý adresový výstup **ADR2** musí mať úroveň log 0, čím blok 9 voľby kanálov vyberie kanál A. Do bloku 10 obsluhy prerušenia je privedený hodinový vstup **CLK** mikropočítačového systému 1. Úroveň log 0 druhého vstupu **CS2** výberu zapríčiní, že blok 10 obsluhy prerušenia vytvorí postupnosť vstupu **M1** výberu operačného kódu, druhého výstupu **IORQ1** bloku 10 obsluhy prerušenia a výstupu **WAX** synchronizácie činnosti. Druhý výstup **IORQ1** bloku 10 obsluhy prerušenia je privedený do bloku 11 žiadosti o I/O operáciu a má za následok generovanie úrovne log 0 výstupu **IORQ** žiadosti o I/O operáciu. Postupnosť vstupu **C/D** výberu registrov, vstupu **B/A** výberu kanálov, vstupu **M1** výberu operačného kódu a výstupu **IORQ** žiadosti o I/O operáciu umožňuje mikropočítačovému systému 1 prečítať vektor prerušenia z komunikačného procesora 4. Výstup **WAX** synchronizácie činnosti je privedený do mikropočítačového systému 1 a zabezpečuje jeho synchronizáciu s komunikačným procesorom 4.

Obr. 1 ukazuje blokové prepojenie mikropočítačového systému 1, bloku 2 priameho prístupu do pamäte, rozhrania 3 pre Z80/SIO komunikačného procesora 4 zbernicou 5 systému. Na obr. 2 je znázornené prepojenie mikropočítačového systému 1 spolu s blokom 2 priameho prístupu do pamäte a komunikačného procesora 4 vstupmi rozhrania 3 pre Z80/SIO. Z obr. 2 vyplýva rozloženie vstupov a ich orientácia.

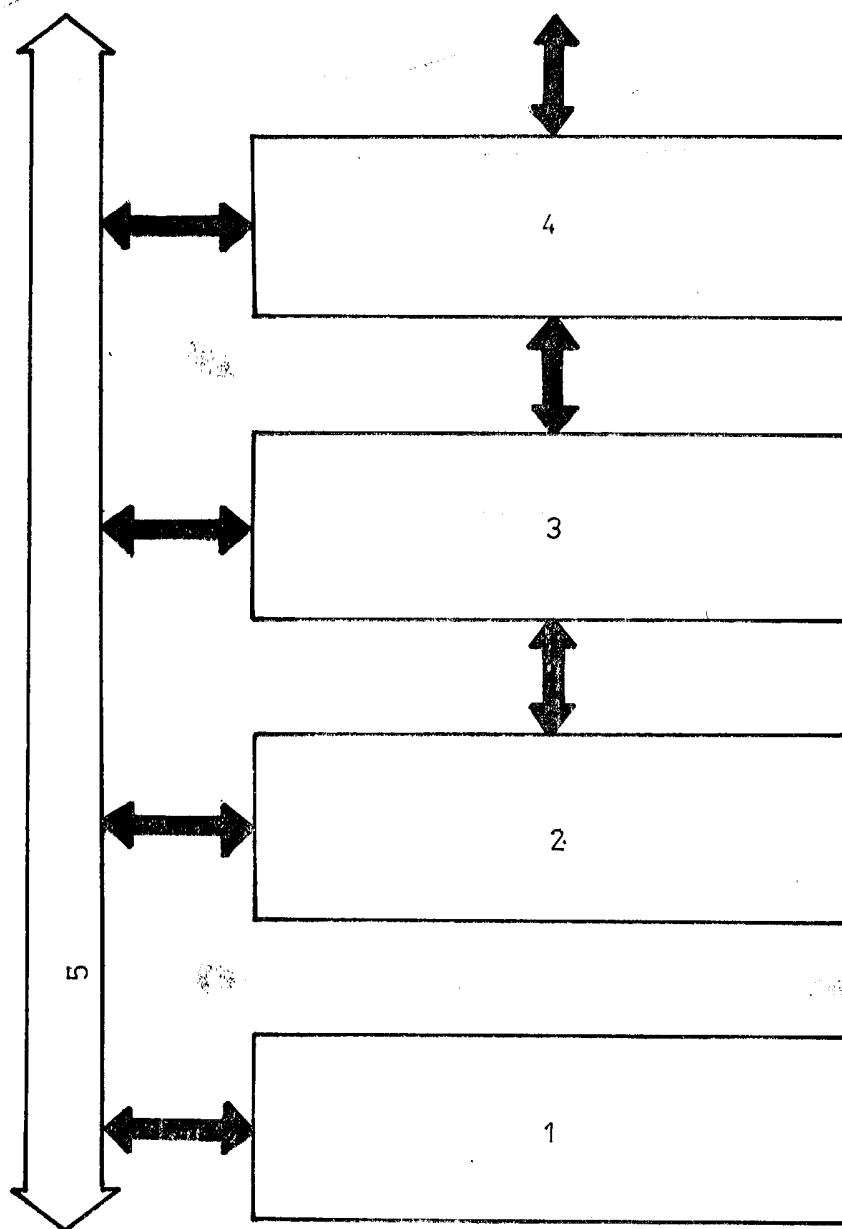
Popísané rozhranie pre Z80/SIO pre pripojenie k mikropočítačovému systému napr. Intel 8080 umožňuje vytvorenie riadiacej jednotky komunikačných procedúr v plne duplexnom aj poloduplexnom režime prenosu dát a rozšírenie na dva dátové smery.

PREDMET VYNÁLEZU

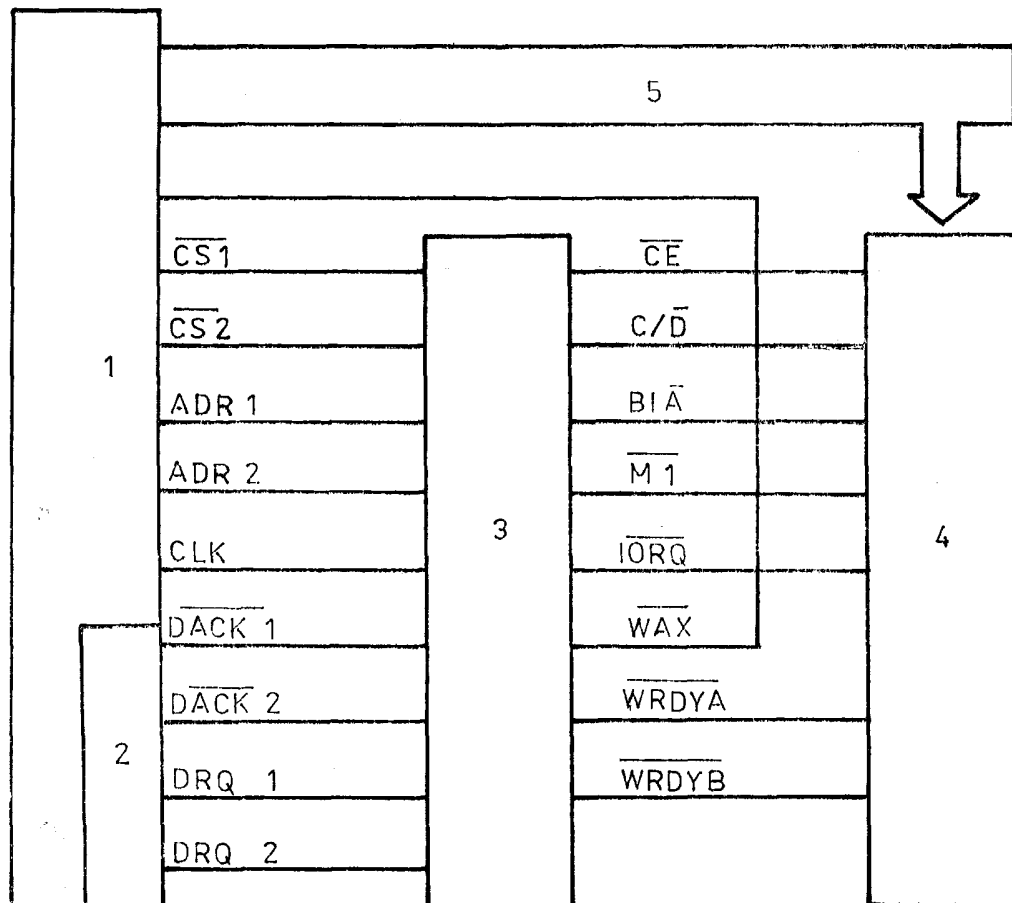
Rozhranie pre pripojenie komunikačného procesora k mikropočítačovému systému vyznačujúce sa tým, že výstupy {DACK1} a {DACK2} bloku (2) priameho prístupu do pamäte sú pripojené do bloku (6) potvrdenia priameho prístupu do pamäte a do bloku (9) voľby kanálov, výstup bloku (6) potvrdenia priameho prístupu do pamäte je pripojený spolu s prvým výstupom {CS1} výberu na vstupy bloku (7) výberu prvku a s prvým adresovým výstupom {ADR1} do vstupov bloku (8) výberu registrov, blok (8) výberu registrov má vstup {C/D} výberu registrov, spolu s výstupmi {DACK1} a {DACK2} bloku (2) priameho prístupu do pamäte je do bloku (9) voľby kanálov pripojený druhý adresový výstup {ADR2}, blok

(9) voľby kanálov má výstup {B/A} výberu kanálov, hodinový vstup {CLK} a druhý výstup {CS2} výberu je pripojený do bloku (10) obsluhy prerušenia, z ktorého vystupujú výstup {M1} výberu operačného kódu, druhý výstup {IORQ1} a výstup {WAX} synchronizácie činnosti, druhý výstup {IORQ1} bloku (10) obsluhy prerušenia je spolu s výstupom {CE} bloku (7) výberu prvku pripojený do bloku (11) žiadosti o I/O operáciu, ktorý má výstup {IORQ} žiadosti o I/O operáciu, vstupmi bloku (12) žiadosti o priamy prístup do pamäte sú žiadosti {WRDYA} a {WRDYB} o priamy prístup do pamäte a výstupmi sú {DRQ1} a {DRQ2}.

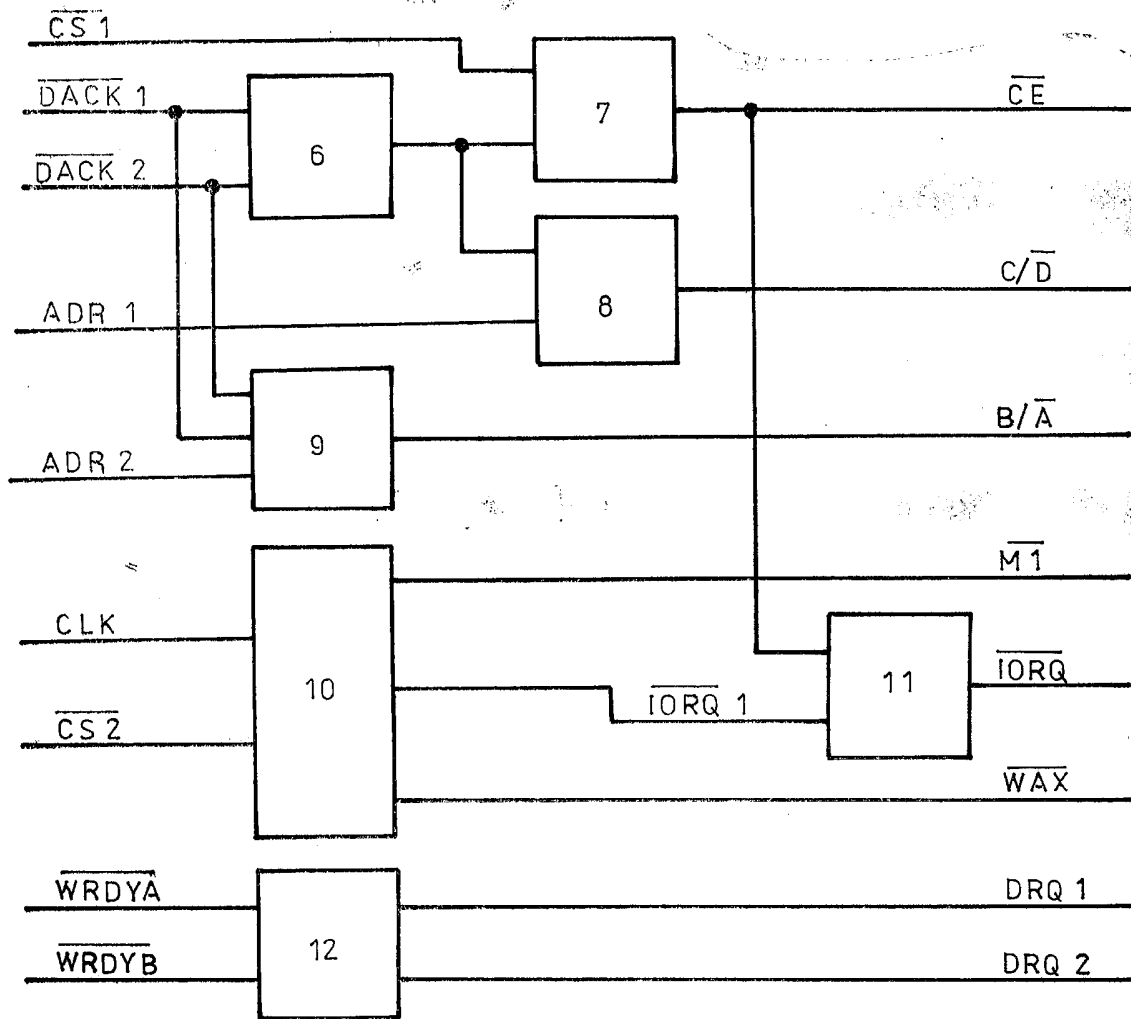
3 listy výkresov



Obr. 1



Obr. 2



Obr. 3