

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-45566

(P2010-45566A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 P 1/36 (2006.01)	H O 1 P 1/36 A	5 J 0 1 3
H O 1 P 1/30 (2006.01)	H O 1 P 1/30 Z	

審査請求 未請求 請求項の数 11 O L (全 10 頁)

(21) 出願番号	特願2008-207836 (P2008-207836)	(71) 出願人	000006231
(22) 出願日	平成20年8月12日 (2008.8.12)		株式会社村田製作所
			京都府長岡京市東神足1丁目10番1号
		(74) 代理人	100091432
			弁理士 森下 武一
		(74) 代理人	100124729
			弁理士 谷 和紘
		(72) 発明者	山田 良樹
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		(72) 発明者	北市 幸裕
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		Fターム(参考)	5J013 DA04 EA01 FA08

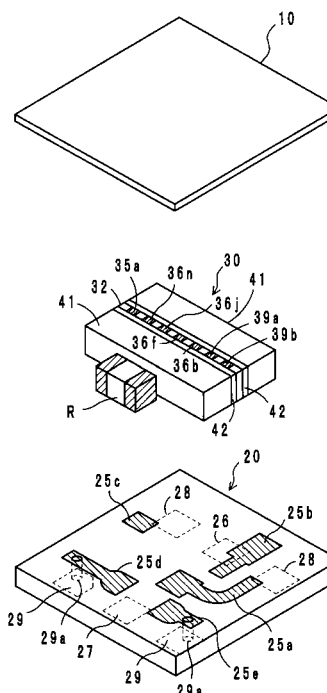
(54) 【発明の名称】 非可逆回路素子

(57) 【要約】

【課題】 終端抵抗の放熱性を改善し、挿入損失などの特性の劣化を抑えることのできる非可逆回路素子を得る。

【解決手段】 平板状ヨーク10と、永久磁石41と、該永久磁石41により直流磁界が印加されるフェライト32と、該フェライト32に配置された第1中心電極及び第2中心電極と、回路基板20とを備えた非可逆回路素子(2ポート型アイソレータ)。終端抵抗Rはチップ型素子であり、回路基板20上の端子電極25d、25eに接続されている。端子電極25d、25eは回路基板20の裏面に形成した放熱用電極29とスルーホール導体29aを介して接続されている。放熱用電極29は終端抵抗R以外の素子には接続されていない。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

永久磁石と、
前記永久磁石により直流磁界が印加されるフェライトと、
前記フェライトに互いに電氣的に絶縁状態で交差して配置された第 1 中心電極及び第 2 中心電極と、
前記永久磁石及び前記フェライトを実装した回路基板と、
を備え、
前記第 1 中心電極は、一端が入力ポートに電氣的に接続され、他端が出力ポートに電氣的に接続され、
前記第 2 中心電極は、一端が出力ポートに電氣的に接続され、他端がグランドポートに電氣的に接続され、
前記入力ポートと前記出力ポートとの間に第 1 整合容量が電氣的に接続され、
前記出力ポートと前記グランドポートとの間に第 2 整合容量が電氣的に接続され、
前記入力ポートと前記出力ポートとの間に抵抗が電氣的に接続され、
前記抵抗の両端部は前記回路基板の実装面に設けた放熱用電極に接続されて、該放熱用電極は前記抵抗以外の素子には接続されていないこと、
を特徴とする非可逆回路素子。

10

【請求項 2】

前記抵抗はチップ型素子であって前記回路基板の表面に実装されていることを特徴とする請求項 1 に記載の非可逆回路素子。

20

【請求項 3】

前記抵抗は前記回路基板の表面又は内部に形成された抵抗体膜であることを特徴とする請求項 1 に記載の非可逆回路素子。

【請求項 4】

前記放熱用電極は前記回路基板の実装面にほぼ対角線上に配置されていることを特徴とする請求項 1 ないし請求項 3 に記載の非可逆回路素子。

【請求項 5】

前記抵抗と前記放熱用電極とは前記回路基板に設けたスルーホール導体によって接続されていることを特徴とする請求項 1 ないし請求項 4 のいずれかに記載の非可逆回路素子。

30

【請求項 6】

前記スルーホール導体はスルーホールに充填されていることを特徴とする請求項 5 に記載の非可逆回路素子。

【請求項 7】

前記スルーホール導体は前記回路基板の角部に設けられていることを特徴とする請求項 5 又は請求項 6 に記載の非可逆回路素子。

【請求項 8】

前記フェライトと前記永久磁石は、前記第 1 及び第 2 中心電極が配置されたフェライトの主面に永久磁石が固着されたフェライト・磁石素子を構成していること、を特徴とする請求項 1 ないし請求項 7 のいずれかに記載の非可逆回路素子。

40

【請求項 9】

前記フェライト・磁石素子は、前記回路基板上に実装されるとともにその直上にヨークが配置され、かつ、樹脂材にて覆われていること、を特徴とする請求項 8 に記載の非可逆回路素子。

【請求項 10】

前記フェライト・磁石素子は、前記回路基板上に、フェライトの主面が回路基板の表面に対して垂直方向に配置されていること、を特徴とする請求項 8 又は請求項 9 に記載の非可逆回路素子。

【請求項 11】

前記第 2 中心電極は前記フェライトの両主面に少なくとも 2 ターン巻回されていること

50

を特徴とする請求項 1 ないし請求項 10 のいずれかに記載の非可逆回路素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、非可逆回路素子、特に、マイクロ波帯で使用されるアイソレータやサーキュレータなどの非可逆回路素子に関する。

【背景技術】

【0002】

従来より、アイソレータやサーキュレータなどの非可逆回路素子は、予め定められた特定方向にのみ信号を伝送し、逆方向には伝送しない特性を有している。この特性を利用して、例えば、アイソレータは、自動車電話、携帯電話などの移動体通信機器の送信回路部に使用されている。

【0003】

この種の非可逆回路素子でフェライトに第 1 及び第 2 中心電極を互いに絶縁状態で交差して巻回した 2 ポート型アイソレータとしては、特許文献 1 に、入出力ポート間に第 1 中心電極と並列に接続された終端抵抗を回路基板に内蔵したものが開示されている。終端抵抗は回路基板の表面に形成してもよく、あるいは、チップ型素子を回路基板上に実装するようにしてもよい。

【0004】

ところで、前記終端抵抗は出力ポート側から高周波信号が入力された場合に、発熱するという問題点を有している。仮に、終端抵抗がグラウンドに直接接続されていれば、グラウンド電極を通じて放熱することができる。しかし、この種の終端抵抗は入出力ポートに接続されているだけであるので、放熱性が悪く、温度上昇に伴って挿入損失などの特性が劣化してしまう。

【特許文献 1】国際公開第 2007/086177 号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【0005】

そこで、本発明の目的は、終端抵抗の放熱性を改善し、挿入損失などの特性の劣化を抑えることのできる非可逆回路素子を提供することにある。

【課題を解決するための手段】

【0006】

前記目的を達成するため、本発明の一形態である非可逆回路素子は、
永久磁石と、
前記永久磁石により直流磁界が印加されるフェライトと、
前記フェライトに互いに電氣的に絶縁状態で交差して配置された第 1 中心電極及び第 2 中心電極と、
前記永久磁石及び前記フェライトを実装した回路基板と、
を備え、
前記第 1 中心電極は、一端が入力ポートに電氣的に接続され、他端が出力ポートに電氣的に接続され、
前記第 2 中心電極は、一端が出力ポートに電氣的に接続され、他端がグラウンドポートに電氣的に接続され、
前記入力ポートと前記出力ポートとの間に第 1 整合容量が電氣的に接続され、
前記出力ポートと前記グラウンドポートとの間に第 2 整合容量が電氣的に接続され、
前記入力ポートと前記出力ポートとの間に抵抗が電氣的に接続され、
前記抵抗の両端部は前記回路基板の実装面に設けた放熱用電極に接続されて、該放熱用電極は前記抵抗以外の素子には接続されていないこと、
を特徴とする。

【発明の効果】

【0007】

本発明によれば、入力ポートと出力ポートとの間に接続されている抵抗の両端部が他の素子には接続されていない放熱用電極に接続されているため、抵抗の放熱性が向上し、ひいては温度上昇による挿入損失などの特性の劣化を抑えることができる。

【発明を実施するための最良の形態】

【0008】

以下、本発明に係る非可逆回路素子の実施例について添付図面を参照して説明する。

【0009】

(第1実施例、図1～図7参照)

本発明に係る非可逆回路素子の第1実施例である2ポート型アイソレータの分解斜視図を図1に示す。この2ポート型アイソレータは、集中定数型アイソレータであり、概略、平板状ヨーク10と、回路基板20と、フェライト32と永久磁石41とからなるフェライト・磁石素子30とで構成されている。なお、図1において、斜線を付した部分は導電体である。

【0010】

フェライト32には、図2に示すように、表裏の主面32a、32bに互いに電氣的に絶縁された第1中心電極35及び第2中心電極36が形成されている。ここで、フェライト32は互いに対向する平行な第1主面32a及び第2主面32bを有する直方体形状をなしている。

【0011】

また、永久磁石41はフェライト32に対して直流磁界を主面32a、32bに略垂直方向に印加するように主面32a、32bに対して、例えば、エポキシ系の接着剤42を介して接着され(図4参照)、フェライト・磁石素子30を形成している。永久磁石41の主面41aは前記フェライト32の主面32a、32bと同一寸法であり、互いの外形が一致するように主面32a、41a、主面32b、41aどうしを対向させて配置されている。

【0012】

第1中心電極35は導体膜にて形成されている。即ち、図2に示すように、この第1中心電極35は、フェライト32の第1主面32aにおいて右下から立ち上がって2本に分岐した状態で左上に長辺に対して比較的小さな角度で傾斜して形成され、左上方に立ち上がり、上面の中継用電極35aを介して第2主面32bに回り込み、第2主面32bにおいて第1主面32aと透視状態で重なるように2本に分岐した状態で形成され、その一端は下面に形成された接続用電極35bに接続されている。また、第1中心電極35の他端は下面に形成された接続用電極35cに接続されている。このように、第1中心電極35はフェライト32に1ターン巻回されている。そして、第1中心電極35と以下に説明する第2中心電極36とは、間に絶縁膜が形成されて互いに絶縁された状態で交差している。

【0013】

第2中心電極36は導体膜にて形成されている。この第2中心電極36は、まず、0.5ターン目36aが第1主面32aにおいて右下から左上に長辺に対して比較的大きな角度で傾斜して第1中心電極35と交差した状態で形成され、上面の中継用電極36bを介して第2主面32bに回り込み、この1ターン目36cが第2主面32bにおいてほぼ垂直に第1中心電極35と交差した状態で形成されている。1ターン目36cの下端部は下面の中継用電極36dを介して第1主面32aに回り込み、この1.5ターン目36eが第1主面32aにおいて0.5ターン目36aと平行に第1中心電極35と交差した状態で形成され、上面の中継用電極36fを介して第2主面32bに回り込んでいる。以下同様に、2ターン目36g、中継用電極36h、2.5ターン目36i、中継用電極36j、3ターン目36k、中継用電極36l、3.5ターン目36m、中継用電極36n、4ターン目36o、がフェライト32の表面にそれぞれ形成されている。また、第2中心電極36の両端は、それぞれフェライト32の下面に形成された接続用電極35c、36p

に接続されている。なお、接続用電極 35c は第 1 中心電極 35 及び第 2 中心電極 36 のそれぞれの端部の接続用電極として共用されている。

【0014】

即ち、第 2 中心電極 36 はフェライト 32 に螺旋状に 4 ターン巻回されていることになる。ここで、ターン数とは、中心電極 36 が第 1 又は第 2 主面 32a, 32b をそれぞれ 1 回横断した状態を 0.5 ターンとして計算している。そして、中心電極 35, 36 の交差角は必要に応じて設定され、入力インピーダンスや挿入損失が調整されることになる。

【0015】

また、接続用電極 35b, 35c, 36p や中継用電極 35a, 36b, 36d, 36f, 36h, 36j, 36l, 36n はフェライト 32 の上下面に形成された凹部 37 (図 3 参照) に銀、銀合金、銅、銅合金などの電極用導体を塗布又は充填して形成されている。また、上下面には各種電極と平行にダミー凹部 38 も形成され、かつ、ダミー電極 39a, 39b, 39c が形成されている。この種の電極は、マザーフェライト基板に予めスルーホールを形成し、このスルーホールを電極用導体で充填した後、スルーホールを分断する位置でカットすることによって形成される。なお、各種電極は凹部 37, 38 に導体膜として形成したものであってもよい。

【0016】

フェライト 32 としては YIG フェライトなどが用いられている。第 1 及び第 2 中心電極 35, 36 や各種電極は銀や銀合金の厚膜又は薄膜として印刷、転写、フォトリソグラフィなどの工法で形成することができる。中心電極 35, 36 の絶縁膜としてはガラスやアルミナなどの誘電体厚膜、ポリイミドなどの樹脂膜などを用いることができる。これらも印刷、転写、フォトリソグラフィなどの工法で形成することができる。

【0017】

なお、フェライト 32 を絶縁膜及び各種電極を含めて磁性体材料にて一体的に焼成することが可能である。この場合、各種電極を高温焼成に耐える Cu、Ag、Pd 又は Pd/Ag を用いることになる。

【0018】

永久磁石 41 は、通常、ストロンチウム系、バリウム系、ランタン・コバルト系のフェライトマグネットが用いられる。永久磁石 41 とフェライト 32 とを接着する接着剤 42 としては、一液性の熱硬化型エポキシ接着剤を用いることが最適である。

【0019】

回路基板 20 は、複数枚の誘電体シート上に所定の電極を形成して積層し、焼結した積層型基板であり、その内部には、等価回路である図 6 及び図 7 に示すように、整合用コンデンサ C1, C2, Cs1, Cs2, Cp1, Cp2 が内蔵され、チップ型素子である終端抵抗 R が回路基板 20 上に外付けされている。また、表面には端子電極 25a~25e が、裏面（実装面）には外部接続用端子電極 26, 27, 28 及び放熱用電極 29 がそれぞれ形成されている。なお、回路基板 20 内での多層構造の説明については省略する。

【0020】

前記フェライト・磁石素子 30 は、回路基板 20 上に載置され、フェライト 32 の下面の各種電極が回路基板 20 上の端子電極 25a, 25b, 25c とリフローはんだ付けされて一体化されるとともに、永久磁石 41 の下面が回路基板 20 上に接着剤にて一体化される。

【0021】

平板状ヨーク 10 は、電磁シールド機能を有するもので、前記フェライト・磁石素子 30 の直上に配置されている。そして、図 5 に示すように、回路基板 20 とヨーク 10 との間であってフェライト・磁石素子 30 の周囲には樹脂材 61 が充填されている。終端抵抗 R も樹脂材 61 にて覆われている。この樹脂材 61 は、例えば、主成分としてシリカ、フェノール樹脂、エポキシ樹脂を混合した樹脂である。

【0022】

平板状ヨーク 10 の機能は、フェライト・磁石素子 30 からの磁気の漏れ、高周波電磁

10

20

30

40

50

界の漏れを抑えること、外部からの磁気の影響を抑えること、本アイソレータをチップマウンタを用いて基板70に搭載する際に、バキュームノズルでピックアップする場所を提供することである。なお、平板状ヨーク10は必ずしも接地されている必要はないが、はんだ付けや導電性接着剤などで接地してもよく、接地すると高周波シールドの効果が向上する。

【0023】

平板状ヨーク10はニッケル板にAgのめっきが施されたものである。但し、ヨーク10の材質はニッケルに限定するものではなく、軟鉄鋼板、ケイ素鋼板などであってもよく、めっきはCuなどであってもよい。

【0024】

整合用回路素子と前記第1及び第2中心電極35, 36との接続関係は、例えば、第1回路例である図6及び第2回路例である図7に示すとおりである。ここで、図7に示す第2回路例に基づいて接続関係を説明する。

【0025】

回路基板20の裏面に形成された外部接続用端子電極26は整合用コンデンサCs1を介して端子電極25a(入力ポートP1)に接続され、かつ、整合用コンデンサC1と終端抵抗Rとに接続されている。また、端子電極25aはフェライト32の下面に形成された接続用電極35bを介して第1中心電極35の一端に接続されている。

【0026】

第1中心電極35の他端及び第2中心電極36の一端は、フェライト32の下面に形成された接続用電極35c及び回路基板20の表面に形成された端子電極25b(出力ポートP2)を介して終端抵抗R及びコンデンサC1, C2に接続され、かつ、コンデンサCs2を介して回路基板20の裏面に形成された外部接続用端子電極27に接続されている。また、終端抵抗Rは回路基板20の表面に形成された端子電極25d, 25eに接続される。

【0027】

第2中心電極36の他端は、フェライト32の下面に形成された接続用電極36p及び回路基板20の表面に形成された端子電極25c(グランドポートP3)を介してコンデンサC2及び回路基板20の裏面に形成された外部接続用端子電極28と接続されている。

【0028】

また、入力側端子電極26とコンデンサCs1の接続点には接地されたインピーダンス調整用のコンデンサCp1が接続されている。同様に、出力側端子電極27とコンデンサCs2との接続点にも接地されたインピーダンス調整用のコンデンサCp2が接続されている。

【0029】

なお、図6に示す第1回路例は図7に示す第2回路例における一部の素子(コンデンサCs1, Cs2, Cp1, Cp2)を省略した基本タイプである。

【0030】

以上の2ポート型アイソレータにおいて、さらに、終端抵抗Rの両端部が接続された端子電極25d, 25eは、図1及び図5に示すように、回路基板20に設けたスルーホール導体29aを介して回路基板20の裏面(実装面)に設けた放熱用電極29に接続されている。アイソレータはプリント配線基板70上に実装され、そのとき放熱用電極29は基板70上の放熱用電極71にはんだ接続される。

【0031】

以上の構成からなる2ポート型アイソレータにおいては、第1中心電極35の一端が入力ポートP1に接続され他端が出力ポートP2に接続され、第2中心電極36の一端が出力ポートP2に接続され他端がグランドポートP3に接続されているため、動作時において、第2中心電極36に大きな高周波電流が流れ、第1中心電極35にはほとんど高周波電流が流れない。それゆえ、挿入損失の小さな2ポート型の集中定数型アイソレータとす

10

20

30

40

50

ることができる。

【0032】

また、第2中心電極36はフェライト32に2ターン以上巻回されているため、第2中心電極36のインダクタンス値が高く、アイソレータとしての特性が向上する。

【0033】

さらに、終端抵抗Rの両端部がスルーホール導体29aを介して他の素子には接続されていない放熱用電極29に接続されているため、終端抵抗Rの放熱性が向上し、ひいては温度上昇による挿入損失などの特性の劣化を抑えることができる。終端抵抗Rは樹脂材61を介しても放熱する。スルーホール導体29aはAgなどの電極膜をスルーホールの内壁面に形成したもので、回路基板20を構成する誘電体よりも熱伝導度が大きく、放熱性は良好である。特に、スルーホール導体29aがスルーホールに充填されていれば、熱伝導度がさらに向上する。

10

【0034】

一方、フェライト・磁石素子30は、フェライト32と一对の永久磁石41が接着剤42で一体化されていることで、機械的に安定となり、振動や衝撃で変形・破損しない堅牢なアイソレータとなる。

【0035】

(第2実施例、図8及び図9参照)

第2実施例であるアイソレータは、図8に示すように、回路基板20の表面に設けた端子電極25d、25eと裏面に設けた放熱用電極29とを、回路基板20の角部に設けたスルーホール導体29aを介して接続したものである。

20

【0036】

この種の回路基板20は、図9に示すように、大きな面積の親基板にマトリクス状に形成される。1単位の回路基板20の角部にスルーホール29bを形成し、該スルーホール29bに導体を充填した後、縦横のカット線Aでカットすることにより子基板としての回路基板20が切り出される。

【0037】

(第3実施例、図10参照)

第3実施例であるアイソレータは、図10に示すように、回路基板20の裏面(実装面)に放熱用電極29を対角線上に配置したものである。放熱用電極29を互いに遠ざけて配置することにより、むらのない放熱が期待できる。

30

【0038】

(第4及び第5実施例、図11～図13参照)

なお、前記終端抵抗Rはチップ型素子を回路基板20の表面に外付けする以外に、回路基板20の表面又は内部に形成された抵抗体膜であってもよい。このような抵抗体膜で形成された終端抵抗であっても、回路基板20の裏面(実装面)に設けた放熱用電極にスルーホール導体を介して接続することにより、放熱性を改善することができる。

【0039】

図11に第4実施例であるアイソレータを構成する回路基板20を示す。回路基板20の表面には終端抵抗Rとして抵抗体膜45が形成されている。この抵抗体膜45は端子電極25d、25e及びスルーホール導体29aを介して放熱用電極29に接続されている。

40

【0040】

図12に第5実施例であるアイソレータを構成する回路基板20の要部断面を示す。回路基板20の内部に終端抵抗Rとして抵抗体膜46が形成されている。この抵抗体膜46はスルーホール導体29aを介して放熱用電極29に接続されている。他の整合用回路素子も回路基板20に内蔵されており、その接続関係を図13に示す。図13に示す回路は図7に示した等価回路に相当する。

【0041】

(他の実施例)

50

なお、本発明に係る非可逆回路素子は前記実施例に限定するものではなく、その要旨の範囲内で種々に変更することができる。

【0042】

例えば、永久磁石のN極とS極を反転させれば、入力ポートと出力ポートが入れ替わる。また、整合回路の構成は任意であり、第1及び第2中心電極の構成も任意である。

【図面の簡単な説明】

【0043】

【図1】第1実施例である非可逆回路素子（2ポート型アイソレータ）を示す分解斜視図である。

【図2】中心電極付きフェライトを示す斜視図である。

10

【図3】前記フェライトを示す斜視図である。

【図4】フェライト・磁石素子を示す分解斜視図である。

【図5】組み立てられたアイソレータの断面図である。

【図6】2ポート型アイソレータの第1回路例を示す等価回路図である。

【図7】2ポート型アイソレータの第2回路例を示す等価回路図である。

【図8】第2実施例である非可逆回路素子（2ポート型アイソレータ）の回路基板を示す斜視図である。

【図9】図8に示した回路基板の親基板を示す平面図である。

【図10】第3実施例である非可逆回路素子（2ポート型アイソレータ）の回路基板を示す裏面図である。

20

【図11】第4実施例である非可逆回路素子（2ポート型アイソレータ）の回路基板を示す斜視図である。

【図12】第5実施例である非可逆回路素子（2ポート型アイソレータ）の回路基板の要部を示す断面図である。

【図13】図12に示した回路基板の内部での接続関係を示す回路図である。

【符号の説明】

【0044】

10…ヨーク

20…回路基板

25d, 25e…端子電極

30

29…放熱用電極

29a…スルーホール導体

30…フェライト・磁石素子

32…フェライト

35…第1中心電極

36…第2中心電極

41…永久磁石

45, 46…抵抗体膜

61…樹脂材

R…終端抵抗

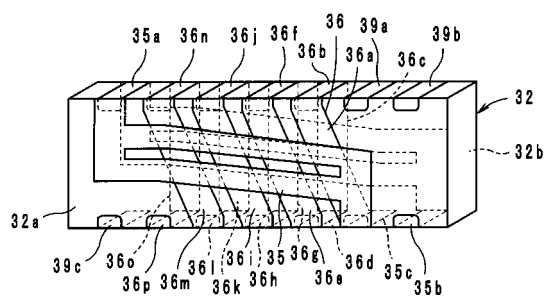
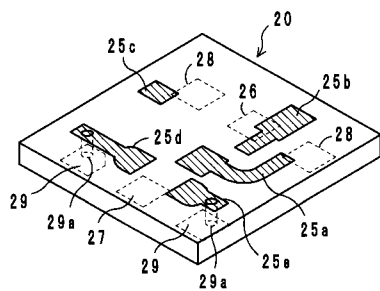
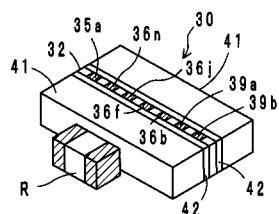
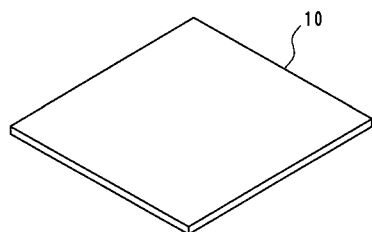
40

P1…入力ポート

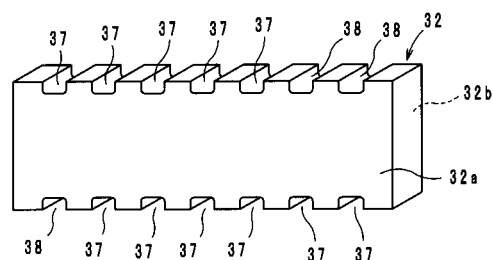
P2…出力ポート

P3…グランドポート

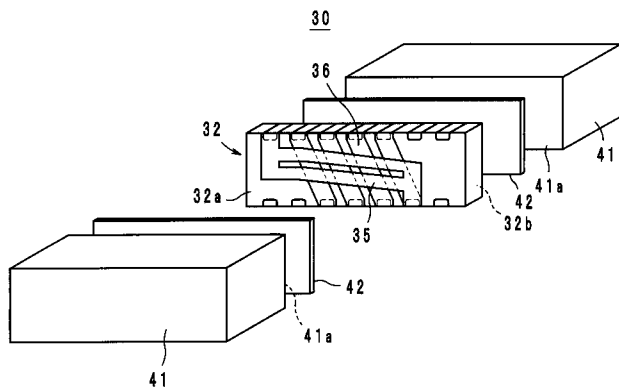
【図 2】



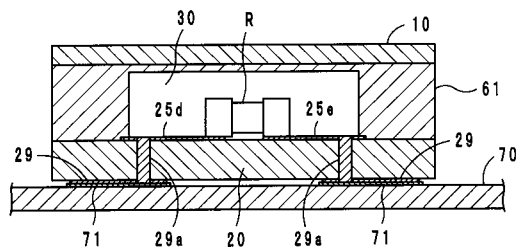
【図 3】



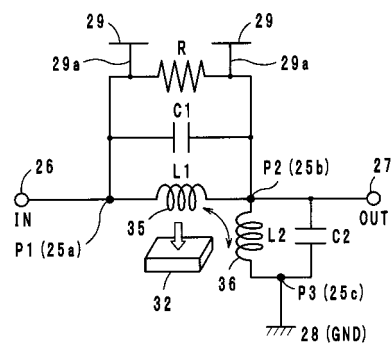
【图 4】



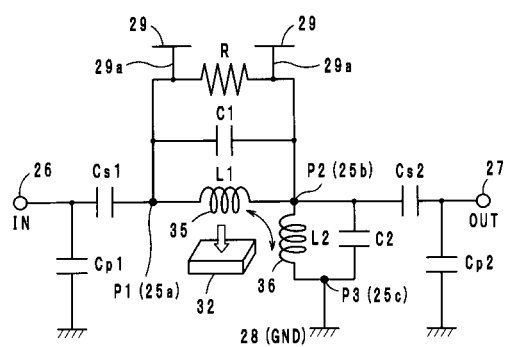
【 図 5 】



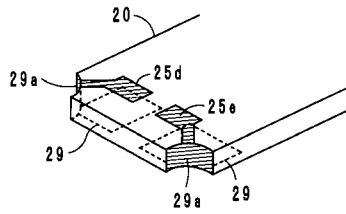
【図 6】



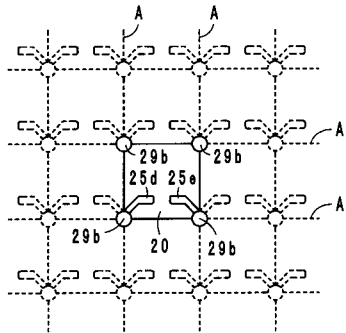
【图 7】



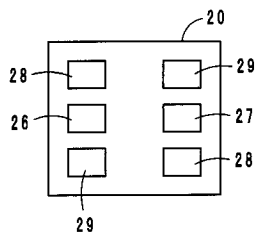
【図 8】



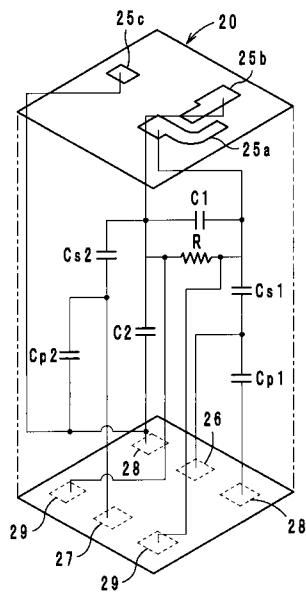
【図 9】



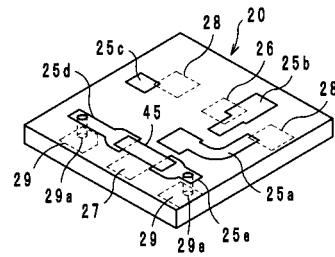
【図 10】



【図 13】



【図 11】



【図 12】

