



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.

G11C 29/00 (2006.01)

(45) 공고일자

2007년08월17일

(11) 등록번호

10-0749683

(24) 등록일자

2007년08월09일

(21) 출원번호 10-2000-0068409  
 (22) 출원일자 2000년11월17일  
 심사청구일자 2005년11월17일

(65) 공개번호 10-2001-0070222  
 (43) 공개일자 2001년07월25일

(30) 우선권주장 09/441,865 1999년11월17일 미국(US)

(73) 특허권자 프리스케일 세미컨덕터, 임크.  
 미합중국 텍사스 (우편번호 78735) 오스틴 월리암 캐논 드라이브 웨스트 6501

(72) 발명자 에구치리차드카주키  
 미국, 텍사스, 78748, 오스틴, 클라에라코브 2804

크러덤스키 데이빗윌리엄  
 미국, 텍사스, 78749, 오스틴, 간트크레스트 8514

주토머스  
 미국, 텍사스, 78749, 오스틴, 이달리아드라이브 4020

(74) 대리인 이범래  
 이병호  
 장훈

(56) 선행기술조사문헌  
 US05426616 A1 US04524429 A1

심사관 : 장호근

전체 청구항 수 : 총 4 항

(54) 회로 내 메모리 어레이 비트 셀 임계 전압 분포 측정

(57) 요약

본 발명은 비트 셀의 어레이를 포함하는 비휘발성 메모리를 동작시키기 위한 장치 및 방법을 제공한다. 동작 전원과 온-칩 프로그래밍 가능한 테스트 전원 중에서 선택이 이루어진다. 비휘발성 메모리는, 동작 전원이 선택되는 경우 동작 모드에서 동작되고, 테스트 전원이 선택되는 경우 테스트 모드에서 동작된다.

대표도

도 2

## 특허청구의 범위

### 청구항 1.

삭제

### 청구항 2.

비트 셀들의 어레이를 포함하는 비휘발성 메모리를 동작시키는 방법에 있어서,

동작 전원과 온-칩 프로그래밍 가능한 테스트 전원 중에서 선택하는 단계;

상기 동작 전원이 선택되는 경우, 동작 모드에서 상기 비휘발성 메모리를 동작시키는 단계; 및

상기 테스트 전원이 선택되는 경우, 테스트 모드에서 상기 비휘발성 메모리를 동작시키는 단계를 포함하고,

상기 테스트 모드에서, 상기 비휘발성 메모리의 임계 전압 분포가 제 1 전압값에서 최종 전압값까지의 전압값 범위에 걸쳐 측정되고,

상기 테스트 모드에서, 상기 비휘발성 메모리를 동작시키는 단계는,

상기 테스트 전원을 선택하여 상기 비휘발성 메모리에 인가하는 단계;

상기 제 1 전압값으로 워드 라인 전압을 설정하는 단계;

상기 비휘발성 메모리의 비트 셀들의 어레이를 판독하는 단계;

비트 셀들이 전도되는지 여부를 결정하는 단계;

상기 워드 라인 전압이 상기 최종 전압값을 갖는지 여부를 결정하는 단계;

상기 워드 라인 전압이 상기 최종 전압값을 갖지 않는 경우, 상기 테스트 전원의 값의 일부만큼 상기 워드 라인 전압을 상기 최종 전압값의 방향으로 변경하는 단계; 및

상기 워드 라인 전압이 상기 최종 전압값을 가질 때까지, 상기 비트 셀들의 어레이를 판독하고, 상기 비트 셀들이 전도되는지 여부를 결정하고, 상기 워드 라인 전압이 상기 최종 전압값을 갖는지 여부를 결정하며, 상기 워드 라인 전압을 변경하는 것을 반복하는 단계를 포함하고,

상기 제 1 전압값으로 상기 워드 라인 전압을 설정하는 단계는,

상기 제 1 전압값을 나타내는 제 1 디지털 값으로 제어 레지스터를 프로그래밍하는 단계를 포함하고,

상기 워드 라인 전압을 변경하는 단계는,

상기 제어 레지스터를 다음 디지털 값으로 변경하는 단계를 포함하는 비휘발성 메모리 동작 방법.

### 청구항 3.

비트 셀들의 어레이를 포함하는 비휘발성 메모리를 동작시키는 방법에 있어서,

동작 전원과 온-칩 프로그래밍 가능한 테스트 전원 중에서 선택하는 단계;

상기 동작 전원이 선택되는 경우, 동작 모드에서 상기 비휘발성 메모리를 동작시키는 단계; 및

상기 테스트 전원이 선택되는 경우, 테스트 모드에서 상기 비휘발성 메모리를 동작시키는 단계를 포함하고,

상기 테스트 모드에서, 상기 비휘발성 메모리의 순간 실패(imminent failure)가 검출되고,

상기 테스트 모드에서, 상기 비휘발성 메모리를 동작시키는 단계는,

상기 동작 전원을 선택하여 상기 비휘발성 메모리에 인가하는 단계;

상기 동작 전원이 상기 비휘발성 메모리에 인가된 후에 상기 비트 셀들의 어레이로부터 제 1 세트의 데이터를 판독하는 단계;

상기 테스트 전원을 선택하여 상기 비휘발성 메모리에 인가하는 단계;

순간 실패 전압값으로 워드 라인 전압을 설정하는 단계;

상기 순간 실패 전압값으로 상기 워드 라인 전압을 설정한 후에 상기 비트 셀들의 어레이로부터 제 2 세트의 데이터를 판독하는 단계;

상기 제 1 세트의 데이터를 상기 제 2 세트의 데이터와 비교하는 단계; 및

상기 제 2 세트의 데이터에 대한 상기 제 1 세트의 데이터의 비교에 기초하여 순간 실패가 나타나는지를 결정하는 단계를 포함하는, 비휘발성 메모리 동작 방법.

#### 청구항 4.

비트 셀들의 어레이를 포함하는 비휘발성 메모리를 동작시키는 방법에 있어서,

동작 전원과 온-칩 프로그래밍 가능한 테스트 전원 중에서 선택하는 단계;

상기 동작 전원이 선택되는 경우, 동작 모드에서 상기 비휘발성 메모리를 동작시키는 단계; 및

상기 테스트 전원이 선택되는 경우, 테스트 모드에서 상기 비휘발성 메모리를 동작시키는 단계를 포함하고,

상기 테스트 모드에서, 상기 비휘발성 메모리는 스트레스 테스트되고,

상기 테스트 모드에서, 비휘발성 메모리를 동작시키는 단계는,

상기 비트 셀들의 어레이를 제 1 세트의 값들로 초기화하는 단계;

스트레스를 적용하는 단계;

상기 테스트 전원을 선택하여 상기 비휘발성 메모리에 인가하는 단계;

워드 라인 전압을 스트레스 마진(margin) 전압값으로 설정하는 단계;

상기 워드 라인 전압을 상기 스트레스 마진 전압값으로 설정한 후에 상기 비트 셀들의 어레이로부터 제 2 세트의 값들을 판독하는 단계;

상기 제 1 세트의 값들을 상기 제 2 세트의 값들과 비교하는 단계; 및

상기 제 2 세트의 값에 대한 상기 제 1 세트의 값의 비교에 기초하여 스트레스 실패가 발생하는지를 결정하는 단계를 포함하는, 비휘발성 메모리 동작 방법.

## 청구항 5.

마이크로 콘트롤러에 있어서,

비휘발성 메모리 비트 셀들의 어레이;

상기 어레이에 결합된 출력을 갖는 전원 스위치;

상기 전원 스위치의 제 1 입력에 테스트 전압을 제공하도록 결합된 출력을 갖는 프로그래밍 가능한 전압 발생기;

상기 전원 스위치의 제 2 입력에 결합된 출력을 갖는 동작 전원; 및

상기 전원 스위치의 제어 입력에 결합된 제 1 출력을 갖고, 상기 프로그래밍 가능한 전압 발생기에 의해 상기 테스트 전압 출력을 결정하기 위한 상기 프로그래밍 가능한 전압 발생기에 결합된 제 2 출력을 갖는 제어 회로를 포함하는, 마이크로 콘트롤러.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비휘발성 메모리 시스템에 관한 것으로, 특히, 비휘발성 메모리 시스템 내의 비트 셀의 임계 전압(threshold voltages)을 측정하는 회로 내(in-circuit) 또는 온-칩(on-chip) 기술에 관한 것이다.

NVM 시스템에서 비트 셀의 임계 전압 측정은 전형적으로 외부 생산 테스트 플랫폼(external production test platforms)을 이용하는 것, 예를 들면, 입력 전압을 스위핑(sweeping)하고, 핀 상의 비트 셀 전압을 측정하므로써 플래시 메모리 내의 전류/전압 특성들을 측정하는 것을 포함하였다. NVM 시스템에서, 비트 셀의 임계 전압을 측정하기 위한 다른 방법은 외부 생산 테스트 플랫폼을 이용하는 것, 예를 들면, 입력 전압을 스위핑하고, 디지털 데이터 출력을 판독하므로써 비트 셀의 전류/전압 특성을 측정하고, 내부 기준에 대해 셀 전류/전압 특성들을 비교하는 것을 포함한다. 앞의 두 방법의 단점은 테스트 플랫폼이 제어된 입력 전압을 정확히 스위핑할 수 있어야 하고, 제 1 방법의 경우, 작은 비트 셀 전류들을 측정할 수 있어야 한다는 것이다.

전류 플래시 EEPROM 어레이 임계 전압 분포의 전형적인 측정은 복잡한 외부 전압 및 기준 제품 테스트 플랫폼을 사용하여 모으기 위한 타이밍 제어를 요구한다. 예를 들면, 기준 제품 테스트 플랫폼은 긴 테스트 시간을 초래하는, 테스트를 받는 디바이스들의 동기화, 복잡한 제어 코드, 및 지능형 테스트 플랫폼을 요구하고, 테스트를 받는 디바이스들의 높은 핀 카운트로 인해 고도의 복잡화된 테스트 환경에 적합하지 않다. 또한, 기준 제품 테스트 플랫폼에서는 고정밀 전원이 요구된다. 단일 사이트 테스터 상의 내장된 비휘발성 메모리(NVM)를 가진 테스팅 마이크로 콘트롤러에서 고려하는 다른 논점들은 프로그램/소거(erase) 사이클링 후 감소된 데이터 유지 및 악화된 게이트/드레인 스트레스 결과 및 높은 지속 특성을 가진 부분에 대해 잠재(latent) 프로그램/소거 지속 실패의 식별을 포함한다.

#### 발명이 이루고자 하는 기술적 과제

단일 사이트 테스터 상의 내장된 NVM을 가진 마이크로 콘트롤러의 종래의 테스팅은 전체 테스트 비용의 90% 이상이 오로지 플래시 모듈에 사용되는 것을 보여주었다. 500 Kbyte에서 1 Mbyte까지 달하는 임베딩된 NVM 메모리 사이즈로, 품질과 신뢰도는 유지하는 반면, 사이클 시간을 감소시키고, 비용을 줄이기 위해 플래시를 테스트하는, 비용 면에서 좀더 효과적인 방법들이 요구된다.

### 발명의 구성

본 발명은 비트 셀 어레이의 제어 게이트를 스위핑하고, 내부 기준(reference)에 대하여 비트 셀 전류/전압 특성들을 비교하는 온-칩 디지털 방식으로 제어 가능한 정밀한 전압원을 제공한다. 본 발명은 고도의 병렬적인 환경에서 독립적이고 자체 테스트에 적합하며, 테스트 신호 변경(handshaking) 하에서 플랫폼 테스터/디바이스의 오버헤드를 제거하므로써 처리 능력을 향상시킨다.

앞서 말한 것은 요약이고, 따라서 필요에 의해, 간략하고, 종합적이며, 세부적인 면이 생략되었고, 그 결과, 종래 기술의 숙련된 자들은 상기 요약이 단지 예시적이고, 임의의 한계를 지우려하지 않았음을 인식할 것이다. 다른 관점에서, 발명의 특성, 및 본 발명의 장점은, 단지 청구항에서 규정된 것과 같이, 다음에 기재될 제한없는 상세한 설명에서 명백해질 것이다.

본 발명에 따르면, 장치 및 방법은 비트 셀의 어레이를 포함하는 비휘발성 메모리를 동작시키기 위해 설명된다. 동작 전원과 테스트 전원 중에서 선택이 이루어지며, 상기 테스트 전원은 온-칩 프로그래밍 가능하다. 비휘발성 메모리는, 동작 전원이 선택되면, 동작 모드에서 동작되고, 테스트 전원이 선택되면, 테스트 모드에서 동작된다.

본 발명의 제 1 실시예에서, 비휘발성 메모리는 테스트 모드에서 동작되고, 비휘발성 메모리 내의 임계 전압 분포는 제 1 전압값에서 최종 전압값까지의 전압값 범위에 걸쳐 측정된다. 본 발명의 다른 실시예에서, 테스트 모드에서 비휘발성 메모리를 동작시키는 것은 비휘발성 메모리의 순간 실패의 조기 검출을 포함한다. 본 발명의 또 다른 실시예에서, 테스트 모드에서 비휘발성 메모리를 동작시키는 것은 비휘발성 메모리의 스트레스 테스트를 포함한다.

본 발명의 본질 및 장점의 보다 나은 이해는 본 명세서의 나머지 부분 및 도면을 참조하므로써 파악될 것이다.

본 발명은 보다 잘 이해될 수 있고, 다양한 목적, 특징, 및 장점들은 첨부한 도면을 참조하므로써 이 기술에 숙련된 자들에게 명백해질 것이다. 다른 도면에서 동일한 참조 부호는 유사하거나 동일한 아이템을 나타낸다.

동일한 참조 번호를 갖는 다수의 기호에 나타난 특징은 다른 표시가 없다면 동일하다.

이하의 것은 본 발명의 한 실시예의 상세한 설명을 제공하도록 의도되고, 본 발명 자체에 제한되는 것은 아니다. 오히려, 많은 변형은 상세한 설명 뒤의 청구항에 규정된 본 발명의 범위 내에 포함된다.

도 1은 온-칩 프로그래밍 가능한 전압 발생기(PVG)(114)를 포함하는 임베딩된 비휘발성 메모리(NVM)(110) 모듈을 포함하는 마이크로 콘트롤러(100)의 기능적인 블록도이다. 마이크로 콘트롤러(100)는 시스템 버스(104)를 통해 NVM(110)에 연결되는 중앙 처리 장치(CPU)(102)를 더 포함한다. 외부 버스 인터페이스(106)는 시스템 버스(104)를 통해 NVM(110) 및 CPU(102)에 연결되고, 외부 버스(108)를 통해, 예를 들면, I/O 디바이스들(도시 안됨)과 같은 외부 디바이스들을 연결하는데 이용된다.

앞의 구성 요소 및 디바이스들은 본 명세서에서 개념을 명쾌하게 하기 위한 예로서 사용된다. 예를 들면, CPU가 멀티프로세서 유닛들을 포함하지만 그에 제한되지 않는, 어떤 일반적인 처리 유닛의 전형으로 이용되는 것과 같이, 시스템 버스(104) 및 외부 버스(108)는 멀티프로세서 버스 및 I/O 버스에 제한되지 않고, 그 외의 것을 포함하는 어떤 처리 버스의 전형으로 이용되며, 외부 버스 인터페이스(106)는 외부 버스와 인터페이스하는데 이용되는 어떤 타입의 인터페이스의 전형으로서 이용된다. 따라서, 본 명세서에 사용된 이러한 특정의 전형들은 그들의 좀더 일반적인 종류를 나타내도록 의도된다. 더욱이, 일반적으로, 본 명세서의 어떤 특정한 전형의 사용은 또한 그 종류를 나타내도록 의도되고, 앞의 목록에서 그런 특정한 디바이스들에 포함되지 않는 것은 제한이 요구되는 것을 표시하지 않는 것이다.

도 2는 본 발명에 따른 NVM(110) 모듈의 기능적인 블록도이다. NVM(110) 모듈은 도 1에 예시된 바와 같이, 마이크로 콘트롤러(100)에 내장될 수 있다. NVM(110)의 핵심은 메모리 셀 또는 비트 셀, 예를 들면, 비트 셀(126)의 어레이(128)이다. 어레이(128)는 바람직하게 부동 게이트 트랜지스터 셀 어레이이고, 상기 각각의 비트 셀(126)이 워드 라인에 연결된 제어 게이트 단자(127) 및 비트 라인에 연결된 드레인 단자(129) 및 그라운드에 연결된 소스 단자(131)를 갖는 부동 게이

트 트랜지스터 셀을 포함한다. 어레이(128)에서 개개의 비트 셀(126)은 예를 들면, 어레이(128)에 저장된 총 128K 32비트 워드들이 존재하는 행(row)과 열(column)로 정렬된다. 행 디코더(130)는 요구되는 메모리 비트 셀(126)이 위치되는 어레이(128)에서 행을 선택하는 어드레스 라인(113)으로부터 어드레스 입력을 디코드한다. 열 디코더(132)는 요구되는 메모리 비트 셀(126)이 위치되는 어레이에서 어드레스 라인(113)으로부터 어드레스 입력을 디코드하고, 열 선택(134)이 열을 선택하게 한다. 열 선택(134)은 비트 셀(126)을 다수의 센스 증폭기, 예를 들면 센스 증폭기(140)를 포함하는 센스 증폭기 모듈(138)에 연결한다. 센스 증폭기(140)는 판독 동작 동안 또는 비트 셀의 상태가 예를 들면, 프로그래밍 또는 소거 동작 후에 결정되는 데이터 검증 단계 동안 메모리 비트 셀에 포함된 데이터를 판독하는데 사용된다. 예를 들면, 센스 증폭기(140)는 비트 셀(126)의 전류 값을 전류 기준(142)에 대해 비교하므로써, 비트 셀(126) 전류 값을 포함하는 비트 셀(126)에 포함된 데이터를 결정한다. 비트 셀(126) 전류가 전류 기준(142)보다 크다면, 센스 증폭기(140)는 데이터 출력 라인(115)에서 1의 논리값으로서 비트 셀(126)을 판독한다. 비트 셀(126) 전류가 전류 기준(142)보다 작다면, 센스 증폭기(140)는 데이터 출력 라인(115)에서 0의 논리값으로서 비트 셀(126)을 판독한다.

어레이(128)에서 메모리의 프로그래밍 또는 소거는 적합한 시간 간격 동안 셀의 소스, 드레인 및 제어 게이트에 적합한 전압을 인가하므로써 전도된다. 이것은 전자가 채널 영역에서 부동 게이트까지 관통하거나 삽입되도록 한다. 부동 게이트 상에 존재하는 전하량은 소스와 드레인 영역 사이에서 디바이스가 전류를 전도하도록 하기 위하여 제어 게이트 상에 요구되는 전압을 결정한다. 이것은 비트 셀의 임계 전압 또는  $V_T$ 로 불린다. 전도는 "on" 또는 디바이스의 소거된 상태를 나타내고, 1의 논리값에 대응한다. "off" 또는 프로그램된 상태는 전류가 소스와 드레인 영역 사이에서 전도되지 않는 1이고, 0의 논리값에 대응한다. 비트 셀의  $V_T$ 에 적합한 값을 설정하므로써, 비트 셀은 인가된 전압의 주어진 설정에 대해 전도하거나 전도하지 않는 경우 중 하나가 이루어 질 수 있다. 따라서, 비트 셀이 인가된 전압의 주어진 설정에서 전류를 전도할 것인지를 결정하므로써, 비트 셀의 상태(프로그램되거나 소거된)는 인지될 수 있다.

NVM(110) 모듈은 비트 셀 상에서 프로그래밍 또는 소거 동작을 전도한 후에 어레이(128)에서 비트 셀의 상태를 검증한다. 검증은 각각의 비트 셀에 액세스하고, 비트 셀이 동작 후에 갖는 마진(margins)(비트 셀의  $V_T$ 와 그라운드 레벨 사이의 전압차)을 평가하므로써 발생한다.

NVM(110) 모듈은 제어 레지스터(120), 행 디코더 공급 스위치(122), 동작 판독 공급(123), 및 프로그래밍 가능 전압 발생기(PVG)(114)를 포함한다. PVG(114)는 예를 들면, 전압 분할기를 포함한다. 본 발명에 따르면, PVG(114), 또는 테스트 전원은 칩 상에 있거나, 회로 내에 있으며, 제어 레지스터(120)에 사용하여 프로그래밍 가능하다. 라인(112)의 데이터는 제어 레지스터(120)에 입력 값을 제공한다. 제어 레지스터(120)는 메모리 어레이(128)의 판독 동작 동안 사용된 워드 라인 공급 전압을 제어하는 다양한 비트 필드를 포함한다. 예를 들면, 1 비트 필드,  $V_T$  인에이블 필드(119)는 행 디코더 공급 스위치(122)가 판독 공급(123) 또는 PVG(114)로부터 출력을 선택하도록 하는데 사용된다. 행 디코더 공급 스위치(122)로부터의 출력은 행 디코더(130)에 대한 전원이다. 행 디코더 공급 스위치(122)로부터 행 디코더(130)까지의 전원은 선택된 워드 라인 상으로 유도된 전압이다.

본 발명에 따라 비휘발성 메모리를 동작시키는 방법은 동작 전원과 테스트 전원 중에서 선택하는 단계를 포함하고, 상기 테스트 전원은 온-칩 프로그래밍 가능하다. 비휘발성 메모리는, 동작 전원이 선택되면, 동작 모드로 동작하고, 테스트 전원이 선택되면, 테스트 모드로 동작한다. 예를 들면, 보통의 판독 동작에서,  $V_T$  인에이블 필드(119)는 행 디코더(130) 공급 전압으로 사용되도록 판독 공급(123) 전압 출력, 또는 동작 전원을 선택한다. 테스트 모드 동작에서,  $V_T$  인에이블 필드(119)는 행 디코더(130) 공급 전압으로 사용되도록 PVG(114) 전압 출력, 또는 테스트 전원을 선택한다.

다른 비트 필드, 예를 들면, 워드 라인 전압( $V_{WL}$ ) 선택 필드(121)는 프로그래밍 가능한 전압 발생기(114)의 출력 전압을 선택하는데 사용된다.  $V_{WL}$  선택 필드(121)를 변경하므로써, 프로그래밍 가능 전압 발생기(114)의 출력 전압은 변경된다. 테스트 모드 동작에서, 프로그래밍 가능 전압 발생기(114)의 출력 전압이 변경될 때, 비트 셀(126) 제어 게이트 단자(127)에 공급된 전압은 또한 변경된다.

도 3은 각각의 워드 라인 전압을 갖는 비트 셀의  $V_T$ 의 요구되는 분포 곡선(300)을 도시한 도면이다. 동작 범위(304)는 보통의 판독 동작 비트 셀 제어 게이트(127)에 인가되는 전압이다. 고(high) 임계값 상태 또는 프로그램된 상태에서의 비트 셀은 곡선(302)의 분포에 존재하고, 저 임계값 상태 또는 소거된 상태에서의 비트 셀은 곡선(302)의 분포에 존재한다. 고 임계값 상태의 최소값은 고 임계값 상태에서 비트 셀의 신뢰성 있는 판독을 보증하는 동작 범위(304)의 최대값으로부터 분리된다. 저 임계값 상태의 최대값은 저 임계값 상태에서 비트 셀의 신뢰성 있는 판독을 보증하는 동작 범위(304)의 최소값으로부터 분리된다.

도 4는 메모리 어레이에서 비트 셀의  $V_T$  분포를 결정하기 위한 본 발명의 한 실시예에 따른 방법을 도시한 흐름도이고, 상기 비휘발성 메모리는 테스트 모드에서 동작중이고,  $V_T$  분포는 예를 들면, 제 1 전압값에서 최종 전압값까지의 전압값 범위에 걸쳐 측정된다. 블록(402)에서, NVM(110)은, 도 2에 PVG(114)로 예시된, 테스트 전원을 NVM(110)에 인가하는 것을 포함하는 테스트 모드로 구성된다. 블록(404)에서, 워드 라인 전압은 제 1 전압값으로 설정된다. 메모리 셀 어레이에서 모든 비트 셀의 위치는 블록(406)에서 판독된다. 블록(408)에서, 결정은 어떤 비트 셀이 전도되는지와 비트 셀을 전도할 때 판독되는 비트 셀의 수에 관해 이루어진다. 결정 블록(412)에서, 결정은 워드 라인 전압이 최종 전압값에 설정되는지 여부에 관해 이루어진다. 워드 라인 전압이 아직 최종 전압값에 있지 않으면, 순서는 블록(410)으로 계속되고, 상기 워드 라인 전압 설정은 최종 전압값의 방향으로 테스트 전원의 값의 일부(fraction)에 의해 변경된다. NVM(110)의 비트 셀의 어레이는 블록(406)에서 다시 판독된다. 블록(408)에서, 전도 비트 셀로 판독되는 비트 셀의 수는 결정되고, 처리는 블록(412)에서 워드 라인 전압이 최종 전압값으로 설정됨이 결정될 때까지 반복되며, 상기 처리는 블록(414)으로 나간다. 성공적으로 판독하고, 워드 라인 전압을 변경하고, 전도중인 비트 셀, 또는 데이터 출력(115)이 상태를 변경하는 곳을 결정함으로써, 각각의 비트 셀의  $V_T$ 는 데이터 출력(115)이 상태를 변화시키는 점에서 결정될 수 있고, 따라서 메모리 어레이(128)에서 비트 셀의  $V_T$  분포는 결정될 수 있다. 비트 셀의  $V_T$  분포를 결정하기 위한 방법은 본 발명의 온-칩 프로그래밍 가능한 회로 소자를 사용하는 웨이퍼(wafer) 상의 다중 디바이스들을 테스팅하는데 또한 적용될 수 있다.

블록(404)에서, 제 1 전압값으로 워드 라인 전압을 설정하는 단계는 제 1 전압값을 표시하는 제 1 디지털값을 가진 제어 레지스터(120)를 프로그래밍하는 단계를 더 포함한다. 블록(410)에서, 워드 라인 전압을 변경하는 단계는 다음 디지털값으로 제어 레지스터(120)를 변경하는 단계를 포함하고, 상기 변경하는 단계는 제어 레지스터(120)의 필드를 증가시키거나, 제어 레지스터(120)의 필드를 감소시키는 단계를 포함한다. 블록(408)에서, 비트 셀이 전도되는지 여부를 결정하는 단계는 비트 셀이 먼저 전도하는 워드 라인 전압값, 또는 상태의 변경을 전도하고 저장할 때, 전도될 때 판독되는 각각의 비트 셀에 대해 어떤 비트 셀이 판독되는지를 결정하는 단계를 더 포함한다.

도 5는 각각의 워드 라인 전압의 비트 셀  $V_T$  분포 및 축적하는 분포를 도시한 도면이다. 고 임계값 상태, 또는 프로그램된 상태에서 비트 셀은 곡선(506)의 분포에 존재하고, 저 임계값 상태, 또는 소거된 상태에서 비트 셀은 곡선(502)의 분포에 존재한다. 곡선(510)은 틱 마크(tic mark)에 의해 표시되는  $V_T$  레벨을 초과하는 비트 셀의 누적한 수이다.

도 6은 순간 실패의 검출을 위한 본 발명의 다른 실시예에 따른 방법을 도시한 흐름도이다. 본 발명의 한 장점은 메모리 셀 어레이의 순간 실패가 예를 들면, 고객에 의해, 외부 테스트 플랫폼의 사용 없이 조기에 검출될 수 있다는 것이다. 본 발명에 따른 비휘발성 메모리 통합 회로 및 동작 방법은 고도의 병렬적인 환경에서 자체 테스트에 적합하고, 조기에 순간 실패 검출을 제공한다. 도 6은 테스트 모드에서, NVM(110)의 순간 실패가 검출되는 한 실시예를 도시한다. 판독 공급(123)과 같이 예시된, 동작 전원은 NVM(110)에서 인가되고, 블록(500)에서, 제 1 세트의 데이터는 동작 전원을 NVM(110)에 인가한 후에 비트 셀의 어레이로부터 판독된다. 블록(502)에서, 테스트 모드는 테스트 전원을 NVM(110)에 선택하고 인가하는 단계를 포함하는 NVM(110)을 위해 구성된다. 블록(504)에서, 워드 라인 전압은 순간 실패 전압값으로 설정되고, 다음에, 블록(506)에서, 비트 셀의 어레이는 비트 셀의 어레이로부터 데이터의 제2 세트를 주는 단계를 재판독한다. 블록(508)에서, 제 1 세트의 데이터는 제 2 세트의 데이터에 대해 비교된다. 결정은 제 1 세트의 데이터에 대한 제 2 세트의 데이터의 비교에 기초하여, 순간 실패가 표시되는지를 결정하는 결정 블록(510)에서 이루어진다. 예를 들면, 제 1 세트의 데이터에 대한 제 2 세트의 데이터의 비교가 데이터가 매치되지 않음을 나타내는 경우, 블록(512)에서 가능한 순간 실패를 표시할 수 있다.

제 1 세트의 데이터 및 제 2 세트의 데이터가 매치된다면, 순간 실패는 표시되지 않는다. 순간 실패 전압값 설정이 블록(504)에서 높은 전압값이라면, 블록(514)에서 워드 라인 전압은 낮은 순간 실패 전압값으로 설정된다. 그러나, 순간 실패 전압값 설정이 블록(504)에서 낮은 순간 실패 전압값이라면, 순간 실패 전압값 설정은 블록(514)에서 높은 전압값일 것이다. 블록(516)에서 제 3 세트의 데이터는 비트 셀의 어레이로부터 판독된다. 블록(518)에서, 제 1 세트의 데이터는, 결정 블록(520)에서, 순간 실패가 제 1 세트의 데이터에 대한 제 3 세트의 데이터의 비교에 기초하여 표시되는지를 결정하는 제 3 세트의 데이터에 대해 비교된다. 결정 블록(520)에서, 제 1 세트의 데이터와 제 3 세트의 데이터가 매치하지 않는다면, 가능한 순간 실패는 블록(512)에서 표시된다. 그러나, 결정 블록(520)에서, 제 1 세트의 데이터와 제 3 세트의 데이터가 매치한다면, 처리는 블록(522)으로 나간다. 제 1 세트의 데이터, 제 2 세트의 데이터 및 제 3 세트의 데이터는 동작 전원을 NVM(110)에 인가한 후 비트 셀의 어레이로부터 판독되는 제 1 값, 워드 라인 전압을 순간 실패 전압값에 설정한 후 비트 셀의 어레이로부터 판독된 제 2 값, 및 워드 라인 전압을 순간 실패 전압값에 설정한 후 비트 셀의 어레이로부터 판독된 제 3 값을 각각 포함할 수 있다. 제 1 세트의 데이터, 제 2 세트의 데이터 및 제 3 세트의 데이터는 제 1 값의 검사 합계(checksum), 제 2 값의 검사 합계, 및 제 3 값의 검사 합계를 각각 포함할 수 있다.

도 7은 각각의 워드 라인 전압을 갖는 비트 셀  $V_T$ 의 분포를 도시하고, 동작 범위와 검출 임계값 모두를 지시하는 도면이다. 동작 범위(704)는 표준 동작 동안 비트 셀 제어 게이트(127)에 인가되는 전압이다. 고 임계값 상태, 또는 프로그램된 상태에서 비트 셀은 곡선(706)의 분포에 존재하고, 저 임계값 상태, 또는 소거된 상태에서 비트 셀은 곡선(702)의 분포에 존재한다. 낮은 순간 실패 전압값은  $V_{IFL}$ 로 표시되고, 높은 순간 실패 전압값은  $V_{IFH}$ 로 표시된다. 더 정밀한 순간 실패 전압값, 높은 전압 또는 낮은 전압 중 하나는 순간 실패 가능성에 더 적은 시간 반응하도록 허가된 동작 범위(704)이다. 거꾸로, 더 나아가 순간 실패 전압은 순간 실패 가능성에 더 많은 시간 반응하도록 허가된 동작 범위(704)이다.  $V_{IFL}$ 에 대해 허가할 수 있는 범위는 저 임계값 상태(702)의 최대값으로부터 동작 범위(704)의 최소값까지이고,  $V_{IFH}$ 에 대해 허가할 수 있는 범위는 고 임계값 상태(706)의 최소값으로부터 동작 범위(704)의 최대값까지이다.

도 8은 비휘발성 메모리 어레이에 포함된 비트 셀 선택적인 스트레스 테스팅에 기인한 통과/실패 기준을 결정하기 위한 본 발명에 따른 방법을 도시한 흐름도이다. 블록(800)에서 비트 셀의 어레이는 예를 들면, 낮은  $V_T$  및 높은  $V_T$ 를 포함하는 제 1 세트의 값으로 초기화된다. 다음에 스트레스는 NVM(110)의 비트 셀의 어레이에 인가된다. 스트레스는 예를 들면, 온도 가속 스트레스 및 전압 가속 스트레스 또는 두 스트레스의 조합을 포함한다. 블록(804)에서, NVM(110)은 테스트 전원을 NVM(110)에 선택하고 인가하므로써 테스트 모드로 구성된다. 블록(806)에서, 워드 라인 전압은 스트레스 마진 전압값으로 설정된다. 다음에 제 2 세트의 값은 워드 라인 전압을 스트레스 마진 전압값으로 설정한 후 블록(808)에서 비트 셀의 어레이로부터 판독된다. 스트레스 마진 전압값은 표준 동작 전압값과, 임계값 상태, 저 임계값 상태 또는 고 임계값 상태 중 하나 중에서 선택된다. 결정 블록(810)에서, 제 1 세트의 값은 스트레스 실패가 통과/실패 기준을 제공하는 제 2 세트의 값에 대한 제 1 세트의 값의 비교에 기초하여 표시되는지를 결정하도록 제 2 세트의 값에 대해 비교된다. NVM(110) 어레이가 스트레스 테스트를 통과하지 못하면, 실패는 블록(814)에 표시되고, 처리는 블록(816)에서 나간다. NVM(110)이 스트레스 테스트를 통과한다면, 추가 스트레스 테스트는 결정 블록(812)에 선택될 수 있고, 상기 처리는 블록(800)으로 돌아가고, NVM(110) 어레이는 초기화되고, 새로운 스트레스는 블록(802)에 인가된다. 블록(810)에서, 예를 들면, 제 1 세트의 값에 대한 제 2 세트의 값의 비교가 제 1 세트의 값과 제 2 세트의 값이 매치하지 않음을 표시하면, 예를 들면, 스트레스 실패는 블록(814)에 표시될 것이다. 스트레스 실패를 결정하기 위한 방법은 본 발명의 온-칩 프로그래밍 가능한 회로 소자를 사용하는 웨이퍼 상의 다중 디바이스들을 테스팅하는데 또한 적용될 수 있다.

도 9는 각각의 워드 라인 전압을 갖는 비트 셀  $V_T$ 의 분포를 도시하고, 선택된 스트레스 테스트에 대한 실패 레벨을 표시하는 도면이다. 초기화된 전도 상태의 비트 셀이 곡선(902)의 분포에 존재하는 것이 도시된다. 스트레스 X, 스트레스 Y, 스트레스 Z에 대한 스트레스 마진 판독은 워드 라인 전압값 상에 또한 표시된다. 스트레스 X가 NVM(110)의 비트 셀에 적용된 후, 비트 셀은 곡선(904)의 분포에 존재하는 것으로 예시된다. 비트 셀의 데이터 값은 분포 곡선(904)에 의해 기대되고 예시된 방법으로 이동해야 하고, 그렇지 않으면 실패는 스트레스 X에 대해 표시된다. 비전도성으로 초기화된 비트 셀 또는 높은  $V_T$ 는 곡선(906)의 분포에 존재하고, 스트레스 Y의 적용 후 곡선(908)의 분포에 존재해야 하며, 그렇지 않으면 스트레스 실패는 스트레스 Y에 대해 표시된다.

도 4, 6 및 8은 본 발명의 한 실시예에 따라 비휘발성 메모리의 동작 및 테스팅을 위한 방법 및 모듈의 동작에 대한 흐름도를 도시한다. 본 명세서에 언급된 동작이 컴퓨터 시스템 사용자 또는 응용 특정 하드웨어 모듈에 의해 실행되는 단계에 의해 직접 삽입된 명령들을 구성할 수 있다는 것은 인식된다. 본 명세서에 기재된 단계의 기능은 모듈 또는 모듈의 일부의 기능에 대응할 수 있다.

본 명세서에 기재된 동작은 모듈 또는 모듈(예를 들어, 소프트웨어, 펌웨어 또는 하드웨어 모듈)의 일부일 수 있다. 예를 들면, 설명된 실시예가 소프트웨어 모듈을 포함하고 및/또는 수동 입력된 사용자 명령들을 포함할 지라도, 다양한 전형적인 모듈은 응용 특정 하드웨어 모듈일 수 있다. 본 명세서에 언급된 소프트웨어 모듈은 스크립트(script), 배치(batch) 또는 다른 실행가능한 파일, 또는 조합 및/또는 그러한 파일의 일부를 포함할 수 있다. 소프트웨어 모듈은 컴퓨터 판독 가능 매체 상에 인코드된 프로그램, 또는 그들의 서브루틴을 포함할 수 있다. 예를 들면, 본 발명은 비휘발성 메모리로의 액세스를 제어하는 컴퓨터 판독 가능 매체에 인코드된 컴퓨터 프로그램 제품을 포함할 수 있다. 컴퓨터 프로그램 제품은 동작 전원 노드와 테스트 전원 노드가 온-칩 프로그래밍 가능한 테스트 전원 노드 중에서 선택하기 위하여 제 1 데이터 처리 시스템 상에서 실행 가능한 제 1 명령을 포함한다. 동작 전원 노드가 선택되면, 제 1 데이터 처리 시스템 상에서 실행할 수 있는 제 2 명령은 동작 모드에서 비휘발성 메모리를 동작시키고, 테스트 전원 노드가 선택되면, 제 1 데이터 처리 시스템 상에서 실행할 수 있는 제 3 명령은 테스트 모드에서 비휘발성 메모리를 동작시킨다.

또한, 이 기술에 숙련된 자들은 모듈 사이의 경계가 단지 예시적이라는 것을 인식할 것이다. 선택적인 실시예는 모듈을 병합하거나 모듈의 기능의 선택적인 분해를 강요할 수 있다. 더욱이, 선택적인 실시예는 특정 모듈 또는 서브 모듈의 다수의

예를 결합할 수 있다. 더욱이, 이 기술에 숙련된 자들은 전형적인 실시예에 설명된 동작이 단지 예시용이라는 것을 인식할 것이다. 동작은 결합될 수 있고, 동작의 기능은 본 발명에 따른 추가적인 동작에 분포될 수 있다. 더욱이, 이 기술에 숙련된 자들은 회로도의 회로 요소 및 논리 블록들 사이의 경계가 단지 예시적이라는 것과 선택적인 실시예가 논리 블록 또는 회로 요소를 병합하거나 다양한 논리 블록 또는 회로 요소에 관한 기능의 선택적인 분해를 강요할 수 있다는 것을 인식할 것이다.

상술한 설명은 본 발명의 실시예에 한정하려는 것이 아니다. 상술한 설명에는 전형적인 실시예와 전형적인 변형이 기재되어 있지만, 다음의 청구항에서 규정된 것과 같이 본 발명의 범위 내에서 다른 실시예 및/또는 변형이 있을 수 있다.

### 발명의 효과

본 발명은 비트 셀 어레이의 제어 케이트를 스위핑하고, 내부 기준(reference)에 대하여 비트 셀 전류/전압 특성들을 비교하는 온-칩 디지털 방식으로 제어 가능한 정밀한 전압원을 제공한다. 또한, 본 발명은 고도의 병렬적인 환경에서 독립적이고, 자체 테스트에 적합하며, 테스트 신호 변경(handshaking) 하에서 플랫폼 테스터/디바이스의 오버헤드를 제거하므로써 처리능력을 향상시킨다.

### 도면의 간단한 설명

도 1은 내장된 비휘발성 메모리 모듈을 포함하는 마이크로 콘트롤러의 기능적인 블록도.

도 2는 본 발명에 따른 비휘발성 메모리 모듈의 기능적인 블록도.

도 3은 각각의 워드 라인 전압에 대한 비트 셀의 임계 전압( $V_T$ )의 분포를 도시한 도면.

도 4는 메모리 어레이에서 비트 셀의  $V_T$  분포를 결정하기 위한 본 발명에 따른 방법을 도시한 흐름도.

도 5는 각각의 워드 라인 전압 및 누적하는  $V_T$  분포에 대한 비트 셀의 임계 전압( $V_T$ )의 분포를 도시한 도면.

도 6은 순간 실패를 검출하기 위하여 본 발명에 따른 방법을 도시한 흐름도.

도 7은 각각의 워드 라인 전압에 대한 비트 셀의  $V_T$  분포를 도시하고, 동작 범위 및 검출 임계값 양쪽을 나타내는 도면.

도 8은 메모리 어레이에 포함된 비트 셀의 선택된 스트레스 테스팅에 기인한 통과/실패 기준을 결정하기 위하여 본 발명에 따른 방법을 도시한 흐름도.

도 9는 각각의 워드 라인 전압에 대한 비트 셀의  $V_T$  분포를 도시하고, 선택된 스트레스 테스트에 대한 실패 레벨을 나타내는 도면.

\*도면의 주요부분에 대한 부호의 설명\*

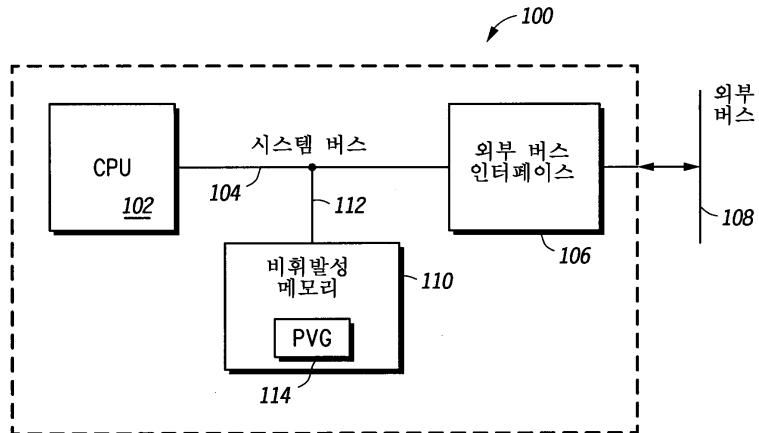
106; 외부 버스 인터페이스 114; 프로그래밍 가능 전압 발생기

128; 메모리 셀 어레이 130; 행 디코드

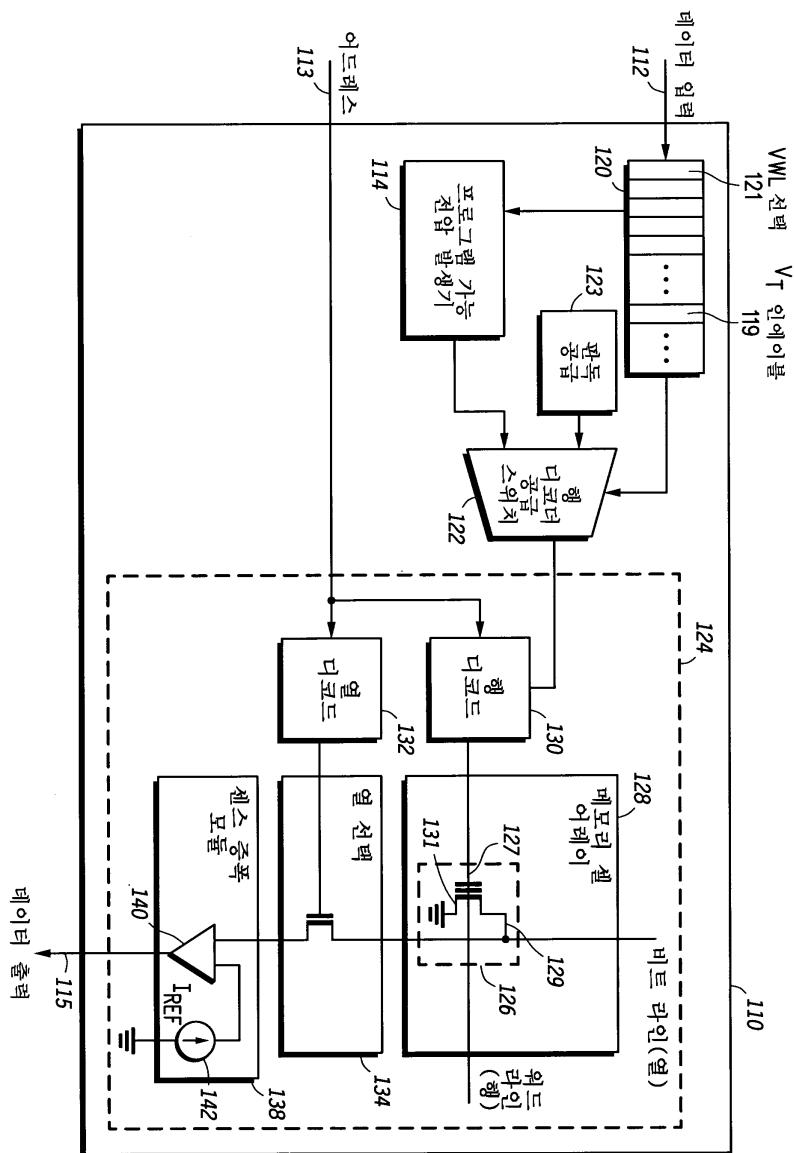
138; 센스 증폭 모듈 304; 동작 범위

### 도면

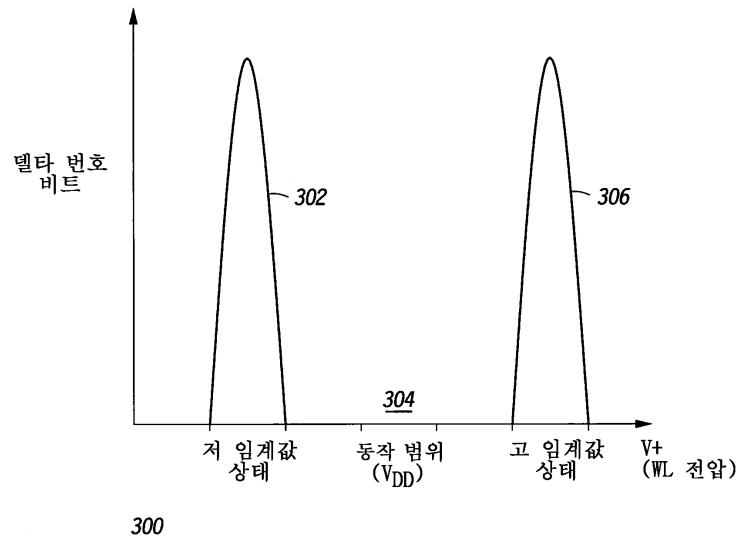
도면1



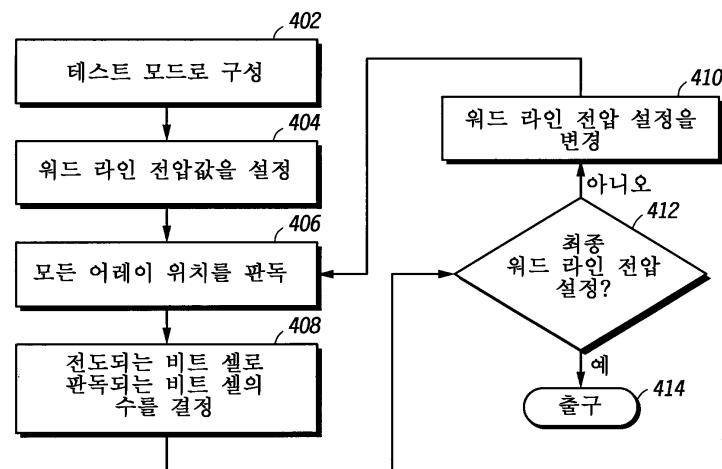
도면2



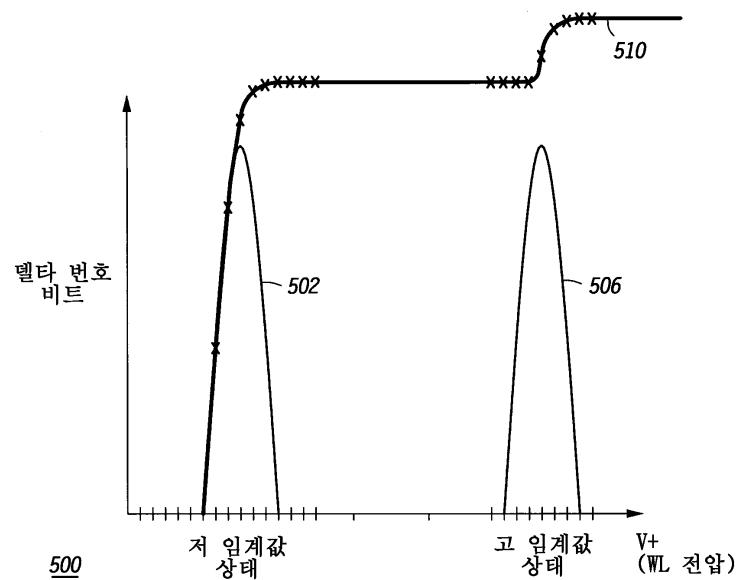
도면3



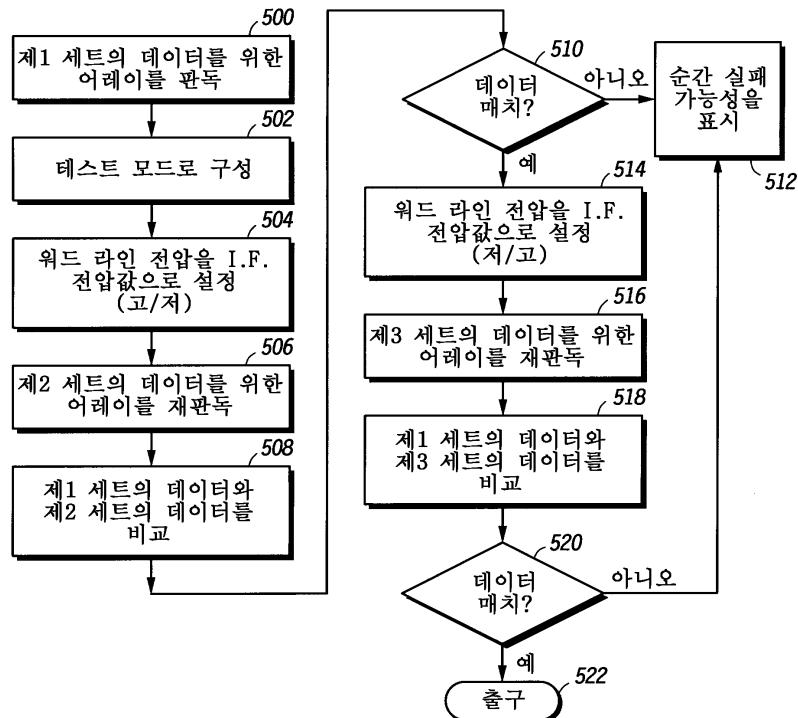
도면4



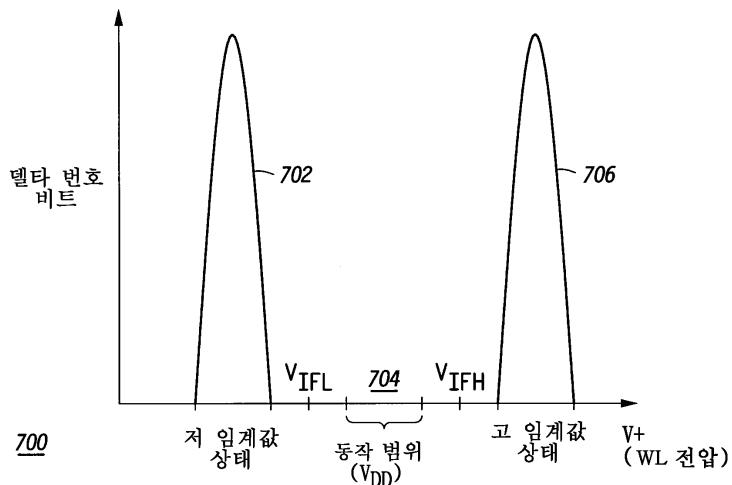
도면5



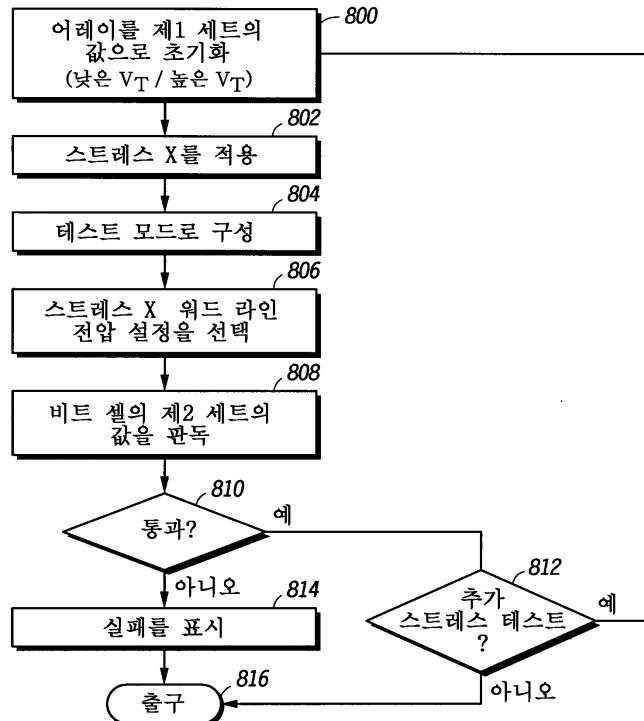
도면6



도면7



## 도면8



### 도면9

