

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5479218号  
(P5479218)

(45) 発行日 平成26年4月23日(2014.4.23)

(24) 登録日 平成26年2月21日(2014.2.21)

(51) Int.Cl.

F 1

H02M 3/07 (2006.01)

H02M 3/07

H01L 21/822 (2006.01)

H01L 27/04

H01L 27/04 (2006.01)

G

請求項の数 9 (全 18 頁)

(21) 出願番号

特願2010-116465 (P2010-116465)

(22) 出願日

平成22年5月20日 (2010.5.20)

(65) 公開番号

特開2011-244651 (P2011-244651A)

(43) 公開日

平成23年12月1日 (2011.12.1)

審査請求日

平成25年2月1日 (2013.2.1)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100080816

弁理士 加藤 朝道

(72) 発明者 横田 裕

神奈川県川崎市中原区下沼部1753番地

ルネサスエレクトロニクス株式会社内

審査官 梶木澤 昌司

最終頁に続く

(54) 【発明の名称】昇圧回路

## (57) 【特許請求の範囲】

## 【請求項 1】

クロック信号に基づいて昇圧を行うチャージポンプ回路と、

前記チャージポンプ回路の出力電圧に比例する電圧と基準電圧とが初段の非反転入力信号と反転入力信号として入力され、前段の差動出力信号と基準電圧とが後段の非反転入力信号と反転入力信号として入力され、最終段の差動出力信号が前記チャージポンプ回路の動作制御電圧信号として前記チャージポンプ回路の動作を制御する継続接続された複数の差動增幅回路と、  
を備え、

前記継続接続された複数の差動增幅回路は、各段の差動出力信号が当該段の反転入力信号として帰還されるようにそれぞれ負帰還接続されていることを特徴とする昇圧回路。

## 【請求項 2】

発振回路を更に備え、

前記チャージポンプ回路は、前記発振回路の発振周波数に基づいて振幅が前記最終段の差動出力信号により制御される前記クロック信号を生成するクロックバッファを備え、前記クロックバッファが出力するクロック信号の電圧振幅に基づいて前記チャージポンプ回路の昇圧能力が制御されることを特徴とする請求項1記載の昇圧回路。

## 【請求項 3】

前記基準電圧を第1の基準電圧としたときに、前記第1の基準電圧と第2の基準電圧とを出力する基準電圧生成回路を更に備え、

前記第2の基準電圧と前記チャージポンプ回路の出力電圧とを抵抗分圧した電圧が前記チャージポンプ回路の出力電圧に比例する電圧として前記初段に入力されることを特徴とする請求項1または2記載の昇圧回路。

**【請求項4】**

前記初段の前段にさらにユニティゲインアンプを備え、前記チャージポンプ回路の出力電圧に比例する電圧が前記ユニティゲインアンプを介してインピーダンス変換されて前記初段に入力されることを特徴とする請求項1乃至3いずれか1項記載の昇圧回路。

**【請求項5】**

前記チャージポンプ回路が負電圧の絶対値が大きくなるように昇圧して出力するチャージポンプ回路であって、

前記縦続接続された複数の差動増幅回路は全体として、前記チャージポンプ回路の出力電圧に比例する電圧が、下降すれば前記チャージポンプ回路の昇圧能力を減少させ、上昇すれば前記チャージポンプ回路の昇圧能力を増加させるように接続されていることを特徴とする請求項1乃至4いずれか1項記載の昇圧回路。

**【請求項6】**

前記チャージポンプ回路が正電圧を昇圧して出力するチャージポンプ回路であって、

前記縦続接続された複数の差動増幅回路は全体として、前記チャージポンプ回路の出力電圧に比例する電圧が、上昇すれば前記チャージポンプ回路の昇圧能力を減少させ、下降すれば前記チャージポンプ回路の昇圧能力を増加させるように接続されていることを特徴とする請求項1乃至4いずれか1項記載の昇圧回路。

**【請求項7】**

前記チャージポンプ回路の電圧出力端子と、第1のノードと、の間に接続された第1の抵抗と、

前記基準電圧生成回路の前記第2の基準電圧を出力する第2基準電圧出力端子と、前記第1のノードと、の間に接続された第2の抵抗と、  
をさらに備え、

前記複数縦続接続された差動増幅回路は、

第1の差動増幅回路と、

前記第1の差動増幅回路の差動出力端子が第3の抵抗を介して反転入力端子に接続され、差動出力端子と前記反転入力端子が第4の抵抗を介して接続され、前記第1の基準電圧を出力する前記基準電圧生成回路の第1基準電圧出力端子が非反転入力端子に接続され、前記差動出力端子が前記クロックバッファの電源端子に接続された第2の差動増幅回路と、  
を備え、

前記第1の差動増幅回路は、

反転入力端子が第5の抵抗を介して前記第1のノードに接続されるとともに、第6の抵抗を介して当該差動増幅回路の差動出力端子に接続され、

非反転入力端子が前記第1基準電圧出力端子に接続されていることを特徴とする請求項3記載の昇圧回路。

**【請求項8】**

前記チャージポンプ回路の電圧出力端子と、第1のノードと、の間に接続された第1の抵抗と、

前記第2の基準電圧を出力する前記基準電圧生成回路の第2基準電圧出力端子と、前記第1のノードと、の間に接続された第2の抵抗と、

非反転入力端子が前記第1のノードに接続され、反転入力端子が差動出力端子に接続されたユニティゲインアンプと、  
をさらに備え、

前記複数縦続接続された差動増幅回路は、

第1の差動増幅回路と、

前記第1の差動増幅回路の差動出力端子が第3の抵抗を介して反転入力端子に接続され

10

20

30

40

50

、差動出力端子と前記反転入力端子が第4の抵抗を介して接続され、前記第1の基準電圧を出力する前記基準電圧生成回路の第1基準電圧出力端子が非反転入力端子に接続され、前記差動出力端子が前記クロックバッファの電源端子に接続された第2の差動增幅回路と、  
を備え、

前記第1の差動增幅回路は、

反転入力端子が第5の抵抗を介して前記ユニティゲインアンプの差動出力端子に接続されるとともに、第6の抵抗を介して当該差動增幅回路の差動出力端子に接続され、

非反転入力端子が前記第1基準電圧出力端子に接続されていることを特徴とする請求項3記載の昇圧回路。

10

#### 【請求項9】

前記請求項1乃至8いずれか1項記載の昇圧回路が単一の半導体基板の上に形成されていることを特徴とする半導体集積回路。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明は、昇圧回路に関する。特に、出力電圧にリップルが生じることを防ぐ昇圧回路及び昇圧回路を内蔵する半導体集積回路に関する。

##### 【背景技術】

##### 【0002】

近年の携帯電話等のモバイル機器の普及には目覚ましいものがある。特に携帯電話の普及率は、日本では9割を超え、世界全体で見るとおよそ5割となる。それら通信機器は年々、高機能化・高集積化・省電力化の一途を辿っており、搭載される部品1点1点に対しても上記高機能化・高集積化・省電力化が求められている。携帯電話等のモバイル機器には、省電力化や小型・軽量化の恩恵を受ける為に、電源電圧を昇圧して回路に供給することが出来るDC-DCコンバータの技術が広く使われている。一定の性能を満たす為には、DC-DCコンバータ回路が安定して動作して、一定の出力を得るのが望ましい。

20

##### 【0003】

特許文献1には、スイッチング時のノイズ発生を抑制することができるDC/DCコンバータが記載されている。図5は、特許文献1に記載されている昇圧回路の技術を説明するために、特許文献1に記載されている内容に発明者が手を加えて作成した参考例1による昇圧回路の回路ブロック図である。

30

##### 【0004】

図5を引用して参考例1による昇圧回路の構成と動作について説明する。図5に記載の昇圧回路は、グランド電位GNDに対して正の電圧VDDを出力する電源301を用いてグランド電位GNDより低い負の電圧を昇圧する昇圧回路である。この参考例1の昇圧回路では、電源301から電源電圧VDDが発振回路302と電圧比較用アンプ106に供給される。チャージポンプ回路303は発振回路302の出力するクロック信号と電圧比較用アンプ106の出力する制御電圧Vn2とに基づいて昇圧動作を行い、出力端子107から負に(電圧の絶対値が)昇圧された電圧VCPOLを出力する。図5の昇圧回路では、出力電圧VCPOLを安定化させるために、第1の基準電圧Vr1と第2の基準電圧Vr2を用いて電圧比較用アンプ106の出力する制御電圧Vn2を制御し、制御電圧Vn2の電圧値によってチャージポンプ回路303の動作をさらに制御している。

40

##### 【0005】

具体的には、出力端子107と第1の基準電圧Vr1を出力する基準電圧源104との間に直列に接続された抵抗R2、R1を設け、そのR2、R1の接続点の第1ノードVn1を電圧比較用アンプ106の非反転入力端子へ接続している。電圧比較用アンプ106の反転入力端子には、別の基準電圧源105が出力する第2の基準電圧Vr2が接続される。この構成により、電圧比較用アンプ106及びチャージポンプ回路303全体で負帰還がかかっており、第1ノードの電圧Vn1と第2の基準電圧Vr2の電圧値が等しくな

50

るようチャージポンプ回路 303 の昇圧電圧を制御している。

【0006】

この動作についてさらに詳しく説明する。発振回路 302 から出力された一定のパルス波はチャージポンプ回路（昇圧回路）303へと入力されて、昇圧動作により昇圧された電圧が電圧出力端子 107 から出力される。電圧出力端子 107 と基準電圧源 104との間に接続された R1、R2 からなる電圧検出回路には、以下の式（1）で示す電流  $I_{n1}$  が流れる。

【0007】

$$I_{n1} = (V_{r1} - V_{CPL}) / (R1 + R2) \quad \text{式(1)}$$

【0008】

よって、R1 と R2 の接続点の電位  $V_{n1}$  は、式（2）式で表される。

【0009】

$$V_{n1} = V_{r1} - R2 \times I_{n1} = V_{r1} - (R2 / (R1 + R2)) \times (V_{r1} - V_{CPL}) \quad \text{式(2)}$$

【0010】

ここで、電圧比較用アンプ 106 に入力される  $V_{n1}$ 、 $V_{r2}$  は、 $V_{n1} = V_{r2}$  となるような動作をするので、式（3）が成立する。

【0011】

$$V_{n1} = V_{r1} - (R2 / (R1 + R2)) \times (V_{r1} - V_{CPL}) = V_{r2} \quad \text{式(3)}$$

【0012】

式（3）を整理すると式（4）が得られる。

【0013】

$$V_{CPL} = V_{r1} - ((R1 + R2) / R2) \times (V_{r1} - V_{r2}) \quad \text{式(4)}$$

【0014】

式（4）によれば、昇圧回路の出力電圧  $V_{CPL}$  は、第1、第2の基準電圧  $V_{r1}$ 、 $V_{r2}$  の電圧値と抵抗  $R1$ 、 $R2$  の抵抗値によって決定され、その値は常に一定となることが分かる。

【0015】

特許文献 2 には、別の昇圧回路が記載されている。図 7 は、特許文献 2 に記載されている技術内容を発明者がさらに補って作成した参考例 2 による昇圧回路の回路ブロック図である。図 7 を用いてこの参考例 2 による昇圧回路の構成と動作について説明する。電源 301 からは電源電圧  $V_{DD}$  が、発振回路 302 と電圧電流変換回路（OTA）205、バッファ回路 207 に供給される。電圧電流変換回路（OTA）205 は、第1のノード  $V_{n1}$  の電圧と基準電圧  $V_{SS}$  を入力し、第1のノード  $V_{n1}$  の電圧と基準電圧  $V_{SS}$  の電位差を電流に変換し、出力電流  $I_o$  として出力する。第1のノード  $V_{n1}$  は、電圧出力端子 207 から出力される出力電圧  $V_{CPL}$  と基準電圧生成回路 204 が出力する基準電圧  $V_{r1/n}$  を抵抗  $R$  と抵抗  $nR$  とで抵抗分割したノードである。さらに、電圧電流変換回路 205 の出力電流  $I_o$  をチャージする入力容量  $C_{in}$  を備え、入力容量  $C_{in}$  にチャージされた出力電流  $I_o$  は、電圧  $V_{n2i}$  を発生させて、バッファ回路 212 へと入力される。バッファ回路 212 は入力電圧信号  $V_{n2i}$  と電圧値が同一で出力インピーダンスが低い制御電圧信号  $V_{n2}$  として出力する。この制御電圧信号  $V_{n2}$  は、チャージポンプ回路 303 に供給され、チャージポンプ回路 303 の昇圧動作を制御する。また、チャージポンプ回路 303 には、発振回路 302 の出力信号が入力し、この発振回路の出力信号に基づくチャージポンプ回路 303 の昇圧動作を制御電圧信号  $V_{n2}$  の電圧値で制御することによりチャージポンプ回路 303 の出力電圧  $V_{CPL}$  の安定化を図っている。図 8 に電圧電流変換回路（OTA）205 の内部回路図、図 9 にバッファ回路 212 の内部回路図を示す。

【0016】

図 7 に示す参考例 2 において、第1のノードの電圧値  $V_{n1}$  は、以下に示す式（5）で

10

20

30

40

50

表される。

【0017】

$$\begin{aligned} V_{n1} &= (V_{CPL} - (V_{CPL} - (V_r / n)) / (R + nR)) \times nR \\ &= V_{CPL} - ((V_{CPL} \times nR - V_r \times R) / (R + nR)) \quad \text{式(5)} \end{aligned}$$

【0018】

式(5)をさらに変形すると、式(6)を経由して、式(7)が得られる。

【0019】

$$\begin{aligned} V_{n1} \times (R + nR) &= V_{CPL} \times (R + nR) - (V_{CPL} \times nR - V_r \times R) \\ &= V_{CPL} \times R + V_r \times R \quad \text{式(6)} \end{aligned}$$

【0020】

$$\begin{aligned} V_{n1} &= ((V_{CPL} + V_r) \times R) / ((1 + n) \times R) \\ &= (V_{CPL} + V_r) / (1 + n) \quad \text{式(7)} \end{aligned}$$

【0021】

次に、図7に示す参考例2の動作について説明する。電圧電流変換回路205は、入力端子に入力される電位差 $V_d$ (= $V_{n1} - V_{SS}$ )によってその出力電流 $I_o$ のレベルが変わる特性を有するが、電位差 $V_d$ が一定電圧範囲内にあれば、出力電流 $I_o$ は電位差 $V_d$ に比例して発生する線形的な特性を有し、電位差 $V_d$ が一定範囲を逸脱すれば、電位差 $V_d$ に関係なく最大出力電流 $I_{o\_max}$ として発生する飽和特性を有する。この電圧電流変換回路205の出力電流特性を図10の電圧電流特性図に示す。図10は横軸に第1のノード $V_{n1}$ と基準電圧 $V_{SS}$ との電位差 $V_d = V_{n1} - V_{SS}$ をプロットし、縦軸に出力電流 $I_o$ をプロットしている。電位差 $V_d$ が正の場合(図10中のA及びBの電圧範囲)は出力電圧 $V_{CPL}$ が目標電圧 $V_r$ よりも高い(絶対値が低い)場合の出力電流 $I_o$ を示し、電位差 $V_d$ が負の場合(図10中のC及びDの電圧範囲)は出力電圧 $V_{CPL}$ が目標電圧 $V_r$ よりも低い(絶対値が高い)場合の出力電流 $I_o$ を示している。

【0022】

また、電圧電流変換回路205に入力される電位差 $V_d$ により出力電流 $I_o$ の値は決定されるが、電圧範囲B、Cを例に取ると、出力電圧 $V_{CPL}$ が目標電圧 $V_r$ に近くなるにつれて、電位差 $V_d$ が小さくなる為、 $V_{n2i}$ 、 $V_{n2}$ および出力電圧 $V_{CPL}$ の上昇量も減少する。従って、図10のA～Dの電圧範囲それぞれの時間 $t$ に対する出力電圧 $V_{CPL}$ の特性は、図11のようになる。例えば、出力電圧 $V_{CPL}$ が目標電圧 $V_r$ より僅かに電位が低くなった場合、電位差が小さい為 $V_{n2i}$ 、 $V_{n2}$ の上昇速度を低下させて、それに応じて出力電圧 $V_{CPL}$ の上昇速度も低下するので、目標電圧 $V_r$ 付近のリップルを最小化させることが可能となる。なお、図7において、基準電圧 $V_{SS}$ 、 $V_r / n$ の電圧値、抵抗 $R$ 、 $nR$ の比率、電圧電流変換回路205への非反転入力端子と反転入力端子との接続を買えることにより、図7の昇圧回路の昇圧電圧は正電圧出力、負電圧出力のどちらに用いることもできる。

【0023】

また、特許文献3には、特許文献3の図1を参照すると、昇圧電圧の大きさを検知して発振器の動作状態を制御する電圧検知回路15に加えて昇圧回路の出力と昇圧回路の負荷回路10との間に負荷回路の動作状態を検出する機能を有する回路16を接続することにより、その検出結果により昇圧回路の電流供給能力を能動的に調整する機能を有する半導体集積回路が記載されている。

【0024】

さらに、特許文献4には、特許文献4の図1を参照すると、入力端子7と出力端子9の間に第1と第2の整流素子10、11が直列に接続され、電荷がそれらの整流素子10、11を順に移動して出力コンデンサ12に蓄積されることにより出力端子9から所定の電圧を出力するものにおいて、出力端子9からの帰還電圧と基準電圧の差を積分する積分器15と、第1と第2の整流素子10、11の接続点に一端が接続されたブースト用コンデンサ17と、クロック信号CLKが入力される電源側及び接地側のトランジスタ30、31とそのいずれかに積分器15の出力電圧に応じた電流を流す可変電流源32とを有して

10

20

30

40

50

ブースト用コンデンサ 17 の他端に出力が接続されるクロック反転器 16 と、を備え、負荷が軽い場合でも出力電圧のリップルの周期が短くリップル電圧が小さいチャージポンプ回路 1 が記載されている。

#### 【0025】

特許文献 5 には、特許文献 5 の図 1 を参照すると、昇圧回路の出力を基準電圧と比較し、その誤差信号で充電回路を形成するスイッチングトランジスタの少なくとも一方の導通時の抵抗値を変えて第 1 コンデンサの充電を制御するようにしたチャージポンプ式昇圧回路が記載されている。

#### 【先行技術文献】

##### 【特許文献】

10

##### 【0026】

【特許文献 1】特開 2002 - 171748 号公報

【特許文献 2】特開 2006 - 262690 号公報

【特許文献 3】特開 2003 - 199329 号公報

【特許文献 4】特開 2006 - 136134 号公報

【特許文献 5】特開平 6 - 351229 号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

##### 【0027】

20

以下の分析は本発明により与えられる。参考例 1 では、図 6 に参考例 1 の電圧比較用アンプ 106 の出力する制御電圧  $V_{n2}$  と出力端子 107 から出力される出力電圧  $V_{CPL}$  の出力波形を示すとおり、電圧比較用アンプ 106 の応答速度に比べて、チャージポンプ回路 303 の充放電時間が非常にゆっくりとしたものであるために、応答遅れ (Delay) が生じ、結果として電圧比較用アンプ 106 の出力する制御電圧  $V_{n2}$  及び出力端子 107 から出力される出力電圧  $V_{CPL}$  に大きなリップル電圧が現れることである。この応答遅れの為に、余計に昇圧してしまい、結果としてリップル電圧が大きくなる。このリップル電圧が大きいと他の回路の安定した動作が阻害される。

##### 【0028】

一方、参考例 2 では、チャージポンプ回路の出力電圧  $V_{CPL}$  が目標電圧に近づくにつれてチャージポンプ回路の昇圧能力が一定になるよう制御するので、比較例 1 に比べるとリップル電圧を小さくすることができる。しかし、参考例 2 では、電圧電流変換回路の出力電流を積分して電圧に変換するために容量  $C_{in}$  が必要であり、チャージポンプ回路全体の応答速度を考えると容量  $C_{in}$  の容量値をある程度大きくする必要がある。昇圧回路全体の半導体集積回路化を考える場合には、一般的に大きな容量値を少ない面積で集積化することが困難である。また、特許文献 1 乃至 5 には、全体を半導体集積回路化したときに、少ない面積で安定した出力電圧を得ることができる昇圧回路は記載されていない。

30

#### 【課題を解決するための手段】

##### 【0029】

40

本発明の 1 つの側面による昇圧回路は、クロック信号に基づいて昇圧を行うチャージポンプ回路と、前記チャージポンプ回路の出力電圧に比例する電圧と基準電圧とが初段の非反転入力信号と反転入力信号として入力され、前段の差動出力信号と基準電圧とが後段の非反転入力信号と反転入力信号として入力され、最終段の差動出力信号が前記チャージポンプ回路の動作制御電圧信号として前記チャージポンプ回路の動作を制御する縦続接続された複数の差動增幅回路と、を備え、前記縦続接続された複数の差動增幅回路は、各段の差動出力信号が当該段の反転入力信号として帰還されるようにそれぞれ負帰還接続されている。

##### 【0030】

また、本発明の他の側面による半導体集積回路は、上記昇圧回路が单一の半導体基板の上に形成されている。

#### 【発明の効果】

50

## 【0031】

本発明によれば、縦続接続された複数の差動增幅回路は、全体としてチャージポンプ回路の出力電圧が一定になるようにチャージポンプ回路を制御するとともに、縦続接続された複数の差動增幅回路は、各段の差動出力信号が当該段の反転入力信号として帰還されるようにそれぞれ負帰還接続されているので、出力電圧の変化を緩和させ、安定化させることができる。また、出力電圧の安定化のために大きな容量を必要としないので、半導体集積回路化した場合に面積を小さくすることができる。

## 【図面の簡単な説明】

## 【0032】

【図1】本発明の実施例1による昇圧回路全体の回路ブロック図である。 10

【図2】本発明に用いることのできるクロックバッファの内部回路図の一例である。

【図3】実施例1による昇圧回路のタイミングチャートの一例である。

【図4】実施例2による昇圧回路の回路ブロック図である。

【図5】特許文献1の記載に基づく参考例1による昇圧回路の回路ブロック図である。

【図6】参考例1のタイミングチャートである。

【図7】特許文献2の記載に基づく参考例2による昇圧回路の回路ブロック図である。

【図8】参考例2における電圧電流変換回路の一例を示す回路図である。

【図9】参考例2におけるバッファ回路の一例を示す回路図である。

【図10】参考例2における電圧電流変換回路の電圧電流特性図である。

【図11】参考例2における昇圧回路の出力電圧を示す図である。 20

【図12】実施例3による昇圧回路の回路ブロック図である。

## 【発明を実施するための形態】

## 【0033】

本発明の実施形態の概要について、必要に応じて図面を参照して説明する。なお、概要の説明において引用する図面及び図面の符号は実施形態の一例として示すものであり、それにより本発明による実施形態のバリエーションを制限するものではない。

## 【0034】

一実施形態の昇圧回路300、300A、300Bは、一例を図1、図4、図12に示すように、クロック信号に基づいて昇圧を行うチャージポンプ回路303、303Aと、チャージポンプ回路303、303Aの出力電圧V<sub>CPL</sub>、V<sub>CPLA</sub>に比例する電圧V<sub>n1</sub>、V<sub>n1A</sub>と基準電圧V<sub>r1</sub>、V<sub>r1A</sub>とが初段の非反転入力信号と反転入力信号として入力され、前段の差動出力信号V<sub>n3</sub>と基準電圧V<sub>r1</sub>、V<sub>r1A</sub>とが後段の非反転入力信号と反転入力信号として入力され、最終段の差動出力信号（制御電圧V<sub>n2</sub>）がチャージポンプ回路303、303Aの動作制御電圧信号としてチャージポンプ回路303、303Aの動作を制御する縦続接続された複数の差動增幅回路（309または309Aと、311）と、を備え、縦続接続された複数の差動增幅回路（309または309Aと、311）は、各段の差動出力信号が当該段の反転入力信号として帰還されるようにそれぞれ負帰還接続されている（309、309A、311の差動出力端子は、それぞれ抵抗R6、R6A、R4を介してそれぞれの反転入力端子に接続）。 30

## 【0035】

また、一実施形態の昇圧回路300、300A、300Bは、発振回路302を更に備え、チャージポンプ回路303、303Aは、発振回路302の発振周波数に基づいて振幅が最終段の差動出力信号（制御電圧V<sub>n2</sub>）により制御されるクロック信号を生成するクロックバッファ313（図2参照）を備え、クロックバッファ313が出力するクロック信号の電圧振幅に基づいてチャージポンプ回路303、303Aの昇圧能力が制御されることが好ましい。

## 【0036】

また、基準電圧V<sub>r1</sub>、V<sub>r1A</sub>を第1の基準電圧としたときに、第1の基準電圧V<sub>r1</sub>、V<sub>r1A</sub>と第2の基準電圧V<sub>r2</sub>、V<sub>r2A</sub>とを出力する基準電圧生成回路304、304Aを更に備え、第2の基準電圧V<sub>r2</sub>、V<sub>r2A</sub>とチャージポンプ回路303、3 50

03Aの出力電圧とを抵抗分圧した電圧Vn1、Vn1Aがチャージポンプ回路303、303Aの出力電圧に比例する電圧として初段309、309Aに入力されることが好ましい。

#### 【0037】

また、図1に一例を示すように、初段309の前段にさらにユニティゲインアンプ306を備え、チャージポンプ回路303の出力電圧V<sub>CPL</sub>に比例する電圧Vn1がユニティゲインアンプ306を介してインピーダンス変換されて初段309に入力されることが好ましい。

#### 【0038】

また、図1、図4に一例を示すように、チャージポンプ回路303が負電圧の絶対値が大きくなるように昇圧して出力するチャージポンプ回路303であって、縦続接続された複数の差動增幅回路309、311は全体として、チャージポンプ回路303の出力電圧V<sub>CPL</sub>に比例する電圧Vn1が、下降すればチャージポンプ回路303の昇圧能力を減少させ、上昇すればチャージポンプ回路303の昇圧能力を増加させるように接続されていることが好ましい。

#### 【0039】

また、図12に一例を示すように、チャージポンプ回路が正電圧を昇圧して出力するチャージポンプ回路303Aであって、縦続接続された複数の差動增幅回路309A、311は全体として、前記チャージポンプ回路の出力電圧V<sub>CPL</sub>に比例する電圧Vn1Aが、上昇すればチャージポンプ回路303Aの昇圧能力を減少させ、下降すればチャージポンプ回路303Aの昇圧能力を増加させるように接続されていることが好ましい。

#### 【0040】

また、図4に一例を示すように、昇圧回路300Aは、チャージポンプ回路303の電圧出力端子V<sub>CPL</sub>と、第1のノードVn1と、の間に接続された第1の抵抗R1と、基準電圧生成回路304の第2の基準電圧Vr2を出力する第2基準電圧出力端子315と、第1のノードVn1と、の間に接続された第2の抵抗R2と、をさらに備え、複数縦続接続された差動增幅回路309、311は、第1の差動增幅回路309と、第1の差動增幅回路309の差動出力端子Vn3が第3の抵抗R3を介して反転入力端子に接続され、差動出力端子と反転入力端子が第4の抵抗R4を介して接続され、第1の基準電圧Vr1を出力する基準電圧生成回路304の第1基準電圧出力端子305が非反転入力端子310に接続され、差動出力端子がクロックバッファ313の電源端子Vn2IN(図2参照)に接続された第2の差動增幅回路311と、を備え、第1の差動增幅回路309は、反転入力端子が第5の抵抗R5を介して第1のノードVn1に接続されるとともに、第6の抵抗R6を介して当該差動增幅回路309の差動出力端子Vn3に接続され、非反転入力端子308が第1基準電圧出力端子305に接続されていることが好ましい。

#### 【0041】

また、図1に一例を示すように、チャージポンプ回路303の電圧出力端子V<sub>CPL</sub>と、第1のノードVn1と、の間に接続された第1の抵抗R1と、第2の基準電圧Vr2を出力する基準電圧生成回路304の第2基準電圧出力端子315と、第1のノードVn1と、の間に接続された第2の抵抗R2と、非反転入力端子が第1のノードVn1に接続され、反転入力端子が差動出力端子に接続されたユニティゲインアンプ306と、をさらに備え、複数縦続接続された差動增幅回路(309と311)は、第1の差動增幅回路309と、第1の差動增幅回路309の差動出力端子Vn3が第3の抵抗R3を介して反転入力端子に接続され、差動出力端子と反転入力端子が第4の抵抗R4を介して接続され、第1の基準電圧Vr1を出力する基準電圧生成回路304の第1基準電圧出力端子305が非反転入力端子310に接続され、差動出力端子がクロックバッファ313の電源端子(図2のVn2IN)に接続された第2の差動增幅回路311と、を備え、第1の差動增幅回路309は、反転入力端子が第5の抵抗R5を介してユニティゲインアンプ306の差動出力端子に接続されるとともに、第6の抵抗R6を介して当該差動增幅回路309の差動出力端子に接続され、非反転入力端子308が第1基準電圧出力端子305に接続され

10

20

30

40

50

ていることが好ましい。

**【0042】**

また、上記昇圧回路300、300A、300Bが単一の半導体基板の上に形成されていることが好ましい。

**【0043】**

以上で概要の説明を終了し、より具体的な実施例について、図面を参照して詳しく説明する。

**【実施例1】**

**【0044】**

図1は、実施例1による昇圧回路全体の回路ブロック図である。図1における昇圧回路300の構成について説明する。電源301は、発振回路302、基準電圧生成回路304、ユニティゲインアンプ306、差動增幅回路309、311に電源電圧VDDを供給する。発振回路302は、クロック信号を生成し、チャージポンプ回路303に供給する。チャージポンプ回路303はそのクロック信号を受けて昇圧動作を行う。昇圧回路303の出力電圧信号VCP1は、昇圧回路300全体の出力端子である電圧出力端子307から出力される。また、基準電圧生成回路304は、昇圧回路300の昇圧動作の基準電圧となる第1の基準電圧VR1と第2の基準電圧VR2とをそれぞれ第1基準電圧出力端子305と第2基準電圧出力端子315から出力する。第2基準電圧出力端子315と電圧出力端子307とは、直列に接続された抵抗R2とR1を介して接続されている。第2基準電圧出力端子315から出力される電圧VR2と電圧出力端子307の出力電圧VCP1とを抵抗R2と抵抗R1で抵抗分割することにより、抵抗R2と抵抗R1の接続点(中間点)である第1のノードVN1に出力電圧VCP1に比例する電圧(または、第2基準電圧出力端子315から出力される基準電圧と出力電圧VCP1との電位差に比例する電圧)が得られる。

10

**【0045】**

ユニティゲインアンプ306は、非反転入力端子が第1のノードVN1に接続され、反転入力端子と差動出力端子が直接接続された差動増幅回路により構成される。このユニティゲインアンプ306により第1のノードVN1と同一電圧であって低インピーダンスである出力信号がユニティゲインアンプ306の出力端子(差動増幅回路の差動出力端子)から出力される。ユニティゲインアンプ306の出力信号は、直列に縦続接続された複数の差動増幅回路309、311に入力される。縦続接続された複数の差動増幅回路309、311には、第1の基準電圧VR1が入力されており、ユニティゲインアンプ306によって低インピーダンスにインピーダンス変換された第1のノードVN1の電位が第1の基準電圧VR1と比較され、その比較結果に基づいて制御電圧VN2が縦続接続された差動増幅回路309、311の最終段311の差動出力端子から出力される。この制御電圧VN2は、昇圧回路303のクロックバッファ313に電源として供給される。制御電圧VN2の電圧値は、クロックバッファ313から出力されるクロック信号の振幅値を制御する。

20

**【0046】**

図2は、このクロックバッファ313の内部回路図である。図2のVN2INは制御電圧VN2を出力する差動増幅回路311の非反転出力端子に接続される。また、OCNI端子は、発振回路302の出力信号に接続され、GNDはグランド端子に接続される。図2に示すクロックバッファ313によって発振回路302の出力するクロック信号は振幅のロウレベルがグランドGNDレベル、振幅のハイレベルがVN2であるクロック信号CLK、及びCLKと位相が反転して振幅が同一である信号CLKB、に変換されて出力する。

30

**【0047】**

図1に戻って、昇圧回路303は、このクロックバッファ313が出力するクロック信号CLK、CLKBにそれぞれ一端が接続された容量C1、C2と、電圧出力端子307と接地GNDとの間に接続された容量C3と、電圧出力端子307と接地GNDとの間に

40

50

直列に接続されたダイオード D i 3、D i 2、D i 3 によって構成されている。ダイオード D i 3 のアノードは電圧出力端子 3 0 7 に接続され、ダイオード D i 3 のカソードとダイオード D i 2 のアノードは容量 C 2 の他端に接続され、ダイオード D i 2 のカソードとダイオード D i 1 のアノードは容量 C 1 の他端に接続され、タイオード D i 1 のカソードはグランド端子 G N D に接続されている。

#### 【0048】

次に、縦続接続された複数の差動増幅回路 3 0 9、3 1 1 について、内部の接続について説明する。初段（前段）の差動増幅回路 3 0 9 の反転入力端子はユニティゲインアンプ 3 0 6 の出力端子と抵抗 R 5 を介して接続されている。また、初段の差動増幅回路 3 0 9 の反転入力端子と差動出力端子は抵抗 R 6 を介して接続され、非反転入力端子 3 0 8 は基準電圧生成回路 3 0 4 の第 1 基準電圧出力端子 3 0 5 に接続されている。出力端子と反転入力端子とを接続する抵抗 R 6 はこの演算増幅回路 3 0 9 の負帰還回路として機能する。この構成により、初段の差動増幅回路 3 0 9 は、ユニティゲインアンプ 3 0 6 の出力信号（第 1 のノード V n 1 と同電位の信号）と第 1 の基準電圧 V r 1 との電位差を抵抗 R 5 と抵抗 R 6 との抵抗値の比によって反転して出力する反転増幅回路として機能する。

#### 【0049】

後段（最終段）の差動増幅回路 3 1 1 は、反転入力端子が前段の差動増幅回路 3 0 9 の差動出力端子と抵抗 R 3 を介して接続され、反転入力端子と差動出力端子は抵抗 R 4 を介して接続され、非反転入力端子 3 1 0 には基準電圧生成回路 3 1 1 の第 1 基準電圧出力端子 3 0 5 が接続されている。差動出力端子と反転入力端子とを接続する抵抗 R 4 はこの演算増幅回路 3 1 1 の負帰還回路として機能する。この構成により、最終段の差動増幅回路 3 1 1 は、前段の差動増幅回路 3 0 9 から出力される信号 V n 3 と第 1 の基準電圧 V r 1 との電位差を抵抗 R 3 と抵抗 R 4 との抵抗値の比によって反転して出力する反転増幅回路として機能する。

#### 【0050】

すなわち、縦続接続された差動増幅回路 3 0 9、3 1 1 全体では、初段 3 0 9 で反転した信号を最終段 3 1 1 でさらに反転しているので、全体としては、ユニティゲインアンプ 3 0 6 の出力信号（V n 1 と同一電位）と第 1 の基準電位 V r 1 との電位差を増幅率（R 6 / R 5）\*（R 4 / R 3）で増幅して出力する非反転増幅回路として機能する。

#### 【0051】

次に、この昇圧回路の動作について説明する。図 1 において、抵抗 R 1、R 2 に流れる電流 I n 1 は以下の式（11）により求められる。

#### 【0052】

$$I_{n1} = (V_{r2} - V_{CPL}) / (R_1 + R_2) \quad \text{式(11)}$$

#### 【0053】

R 1 と R 2 の間の電位 V n 1 は、式（12）により求められる。

#### 【0054】

$$\begin{aligned} V_{n1} &= V_{r2} - (R_2 / (R_1 + R_2)) \times (V_{r2} - V_{CPL}) \\ &= (1 / (R_1 + R_2)) \times (R_1 \times V_{r2} + R_2 \times V_{CPL}) \end{aligned} \quad \text{式(12)}$$

#### 【0055】

ユニティゲインアンプ（電圧比較用アンプ）3 0 6 の動作により、第 1 のノード V n 1 とユニティゲインアンプ 3 0 6 の出力は同一電位となり、差動増幅回路 3 0 9 の出力電圧を V n 3 とすると、以下の式（13）が成立する。

#### 【0056】

$$(V_{r1} - V_{n1}) / R_5 = (V_{n3} - V_{r1}) / R_6 \quad \text{式(13)}$$

#### 【0057】

式（13）において、R 5 = R 6 とすると式（14）が得られる。

#### 【0058】

$$V_{n3} = -V_{n1} + 2V_{r1} \quad \text{式(14)}$$

#### 【0059】

10

20

30

40

50

また、差動増幅回路 309 と同様に、差動増幅回路 311 の出力電圧（制御電圧）を  $V_{n2}$  とすると以下の式（15）が成立する。

【0060】

$$((V_{r1} - V_{n3}) / R_3) = ((V_{n2} - V_{r1}) / R_4) \quad \text{式(15)}$$

【0061】

式(15)を、 $V_{n2}$ について解くと、式(16)が得られる。

【0062】

$$\begin{aligned} V_{n2} &= (R_4 / R_3) \times (V_{r1} - V_{n3}) + V_{r1} \\ &= ((R_3 + R_4) / R_3) \times V_{r1} - (R_4 / R_3) \times V_{n3} \end{aligned} \quad \text{式(16)}$$

【0063】

上記式(16)に式(14)を代入すると以下の式(17)が得られる。

【0064】

$$\begin{aligned} V_{n2} &= ((R_3 + R_4) / R_3) \times V_{r1} - (R_4 / R_3) \times (-V_{n1} + 2V_{r1}) \\ &= ((R_3 + R_4) / R_3) \times V_{r1} + (R_4 / R_3) \times V_{n1} - (2R_4 / R_3) \times V_{r1} \\ &= ((R_3 - R_4) / R_3) \times V_{r1} + (R_4 / R_3) \times V_{n1} \end{aligned} \quad \text{式(17)}$$

【0065】

上記式(17)に式(12)を代入すると以下の式(18)が得られる。

【0066】

$$V_{n2} = ((R_3 - R_4) / R_3) \times V_{r1} + (R_4 / R_3) \times ((1 / (R_1 + R_2)) \times (R_1 \times V_{r2} + R_2 \times V_{CPL})) \quad \text{式(18)}$$

【0067】

上記式(18)において、 $A = V_{r2} / V_{r1}$ とおくと、式(19)が得られる。

【0068】

$$V_{n2} = V_{r1} \times (((R_3 - R_4) / R_3) + ((A \times R_1) / (R_1 + R_2)) \times (R_4 / R_3)) + (R_4 / R_3) \times (R_2 / (R_1 + R_2)) \times V_{CPL} \quad \text{式(19)}$$

【0069】

上記式(19)に示すとおり、 $V_{n2}$ を求める式の成分の中に、 $V_{CPL}$ と一定の係数を含ませることによって、 $V_{CPL}$ に対する $V_{n2}$ の傾きを緩やかにすることが出来る。よって、図1の回路構成を探すことにより、 $V_{CPL}$ の安定化とリップル電圧を抑える効果が得られる。

【0070】

次に、図3に図1の昇圧回路における縦続接続された差動増幅回路の最終段311が出力する制御電圧（クロックバッファの電源電圧） $V_{n2}$ と昇圧回路全体の出力電圧 $V_{CPL}$ との波形図の一例を示す。横軸は時間 $t$ である。図1の昇圧回路300は負電圧を出力する昇圧回路であるので、出力電圧 $V_{CPL}$ が $V_{CPL}$ の目標電圧 $V_{CPL\_target}$ より高い高電圧（絶対値が低い電圧）である場合は、チャージポンプ回路303の昇圧能力が不足しているので、制御電圧 $V_{n2}$ の電圧を高くしてチャージポンプ回路303の昇圧能力を高めるように制御する。一方、チャージポンプ回路303の昇圧した電圧 $V_{CPL}$ が目標電圧 $V_{CPL\_target}$ を超えた場合（ $V_{CPL}$ が $V_{CPL\_target}$ より低い電圧になった場合）は、制御電圧 $V_{n2}$ の電圧を低くしてチャージポンプ回路303の昇圧能力を緩めるように制御する。ただし、チャージポンプ回路303はその回路の特性として、制御電圧 $V_{n2}$ を変化させても、すぐには出力電圧 $V_{CPL}$ には反映されず、一定時間( $CPL\_delay$ )遅れてから始めて出力電圧 $V_{CPL}$ に反映される。

【0071】

しかし、実施例1によれば、縦続接続された差動増幅回路309、311には、それぞれ差動増幅回路毎に差動出力端子から出力される信号が反転入力信号に帰還されるように負帰還接続されている。具体的には、差動増幅回路309の差動出力端子は抵抗 $R_6$ を介

10

20

30

40

50

して反転入力端子に負帰還接続され、差動増幅回路 311 の差動出力端子は抵抗 R4 を介して反転入力端子に負帰還接続されている。したがって、制御電圧 Vn2 の急激な変化が抑制される。特に、出力電圧 VCP L と目標電圧 VCP L targetとの電位差が小さくなればなるほど、制御電圧 Vn2 の変化は緩慢になる。したがって、制御電圧 Vn2 の変化に対して、出力電圧 VCP L の変化が一定時間 (CP delay) 遅れたとしても、出力電圧 VCP L に大きなリップルが乗ることはない。

#### 【0072】

比較のため、図 6 に示す参考例 1 (図 5) の昇圧回路の制御電圧 Vn2 と出力電圧 VCP L の波形図を再度参照する。参考例 1 では、出力電圧 VCP L の電圧値に比例する電圧 Vn1 が電圧比較用アンプ 106 の非反転入力端子に接続され、全体として負帰還が係っているが、電圧比較用アンプ 106 固有の帰還系は設けていない。したがって、出力電圧 VCP L が目標電圧 VCP L target より高いか低いかによって、制御電圧 Vn2 の電圧値は大きく変化し、出力電圧 VCP L の変化が一定時間 (CP delay) 遅れるとその間に出力電圧 VCP L が目標電圧 VCP L target から大きくずれてしまうので、出力電圧 VCP L にリップルが乗ることは避けられない。

10

#### 【0073】

また、実施例 1 では、出力電圧 VCP L を検出し、制御電圧 Vn2 を出力する経路に大きな容量は必要としない。ユニティゲインアンプ 306、差動増幅回路 309、311 内部の容量 C4、C5、C6 は発振防止用であり、容量値は小さなものでよい。また、チャージポンプ回路 303 内部の容量 C1、C2、C3 は昇圧回路として不可欠のものであり、発振回路 302 の発振周波数と昇圧回路の負荷にもよるが、小さな容量とすることも可能である。したがって、昇圧回路全体や他の機能回路を单一半導体基板の上に集積して半導体集積回路とする場合には、大きな容量を用いないので、昇圧回路自体のレイアウト面積を小さくすることができる。

20

#### 【実施例 2】

#### 【0074】

図 4 は、実施例 2 による昇圧回路 300A の全体の回路ブロック図である。実施例 1 の昇圧回路 300 (図 1) と比べるとユニティゲインアンプ 306 を省略し、第 1 のノード Vn1 が抵抗 R5 を介して直接初段の差動増幅回路 309 の反転入力端子に接続されている。実施例 2 は実施例 1 と同様に負電圧を昇圧する昇圧回路である。その他の構成は、実施例 1 と同一であるので、詳しい回路の構成の説明は省略する。実施例 2 によれば、第 1 のノード Vn1 の電位は、抵抗 R5 に流れる電流によって影響を受けるが、昇圧回路の出力電圧 VCP L が目標電圧 VCP L target に近い電圧まで昇圧した後は、抵抗 R5、抵抗 R6 には大きな電流が流れなくなるので、第 1 のノード Vn1 の電位が抵抗 R5 に流れる電流によって大きな影響を受けることはない。実施例 2 によれば、ユニティゲインアンプ 306 を設ける必要がないので、ユニティゲインアンプ 306 に流れる電流を削減し、より低消費電流で昇圧回路を動作させることができる。

30

#### 【実施例 3】

#### 【0075】

図 12 は、実施例 3 による昇圧回路 300B 全体の回路ブロック図である。実施例 3 は、図 4 に示す実施例 2 の負電圧を出力する昇圧回路 300A を、正電圧を出力する昇圧回路 300B に変更した昇圧回路である。チャージポンプ回路 303A は、ダイオード Di1A ~ Di3A の向きを実施例 1、2 のタイオード Di1 ~ Di3 とは逆にしてダイオード Di1A のアノードを電源電圧 VDD に接続している。また、昇圧回路 300B の出力端子 307A から第 2 基準電圧出力端子 315A に流れる電流の向きは実施例 1、実施例 2 とは逆である。また、第 1 のノード Vn1A は、初段の差動増幅回路 309A の非反転入力端子に接続され、反転入力端子は抵抗 R5A を介して基準電圧生成回路 304A の第 1 基準電圧出力端子 305A に接続されている。すなわち、初段の差動増幅回路 309A は、増幅率が R6A / R5A である非反転増幅回路として機能する。実施例 3 の初段の差動増幅回路 309A の接続も差動出力端子が抵抗 R6A を介して反転入力端子に負帰還接

40

50

続されている。その他の構成は、実施例1、実施例2と同一であり、実施例1、実施例2と同一の効果が正電圧を出力する昇圧回路においても得られる。

#### 【0076】

以上、説明した各実施例において、昇圧回路の目標電圧は、基準電圧生成回路304、304Aが出力する第1の基準電圧Vr1、Vr1A、第2の基準電圧Vr2、Vr2Aの電圧値、昇圧回路の出力電圧VCP1、VCP1Aと第2の基準電圧Vr2、Vr2Aとを分圧する抵抗の抵抗値の比率により自在に設定することができる。

#### 【0077】

また、昇圧する電圧を正電圧とするか負電圧とするかについても、チャージポンプ回路の構成と、各段の増幅回路の接続を反転増幅回路として用いるか、非反転増幅回路として用いるかその接続を変える事により、自在に設定することができる。  
10

#### 【0078】

また、各実施例のチャージポンプ回路は、整流素子と容量を用いるチャージポンプ回路を例示したが、整流素子をMOSトランジスタ等によるスイッチに代えて、スイッチの導通、非導通をクロックに同期して制御することにより、スイッチを整流素子として使用するチャージポンプ回路を用いてもよいことは言うまでもない。

#### 【0079】

また、各実施例では、2段に縦続接続された増幅回路を用いたが、縦続接続する増幅回路の段数は必要に応じて任意の数に変えることができる。

#### 【0080】

なお、本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。  
20

#### 【符号の説明】

#### 【0081】

104、105、204：基準電圧源

106：電圧比較用アンプ

107、207、307：電圧出力端子

205：電圧電流変換回路（OTA）

212：バッファ

300、300A、300B：昇圧回路

301：電源

302：発振回路

303、303A：チャージポンプ回路

304、304A：基準電圧生成回路

305、305A：第1基準電圧出力端子

306：ユニティゲインアンプ

308、310：第1基準電圧入力端子（非反転入力端子）

309、309A、311：差動増幅回路

313：クロックバッファ

315、315A：第2基準電圧出力端子

321、322：インバータ

C1～C6、C11、Cin：容量

D11～D13、D11A～D13A：ダイオード

R、R1～R6、R1A、R2A、R5A、R6A、R11～R16、R21、R22  
、nR：抵抗

Tr1～Tr15、Tr21～Tr36、Tr41～Tr45：トランジスタ

VCP1、VCP1A：（昇圧回路の）出力電圧

10

20

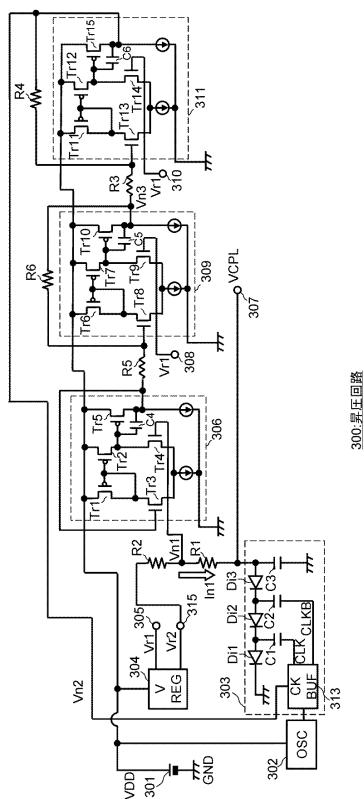
30

40

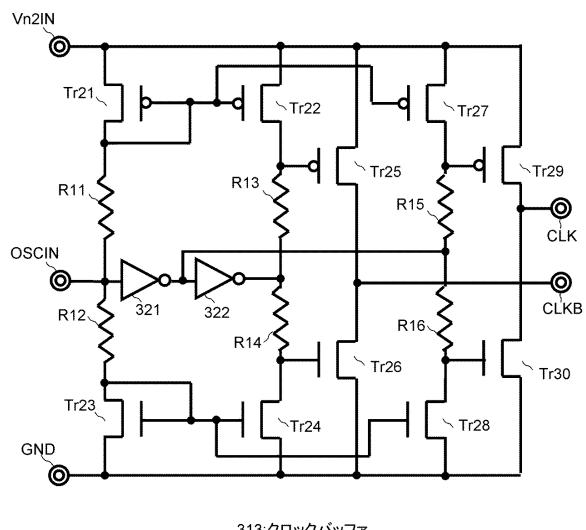
50

Vn1、Vn1A：第1のノード  
 Vr1、Vr1A：第1の基準電圧  
 Vr2、Vr2A：第2の基準電圧

【図1】

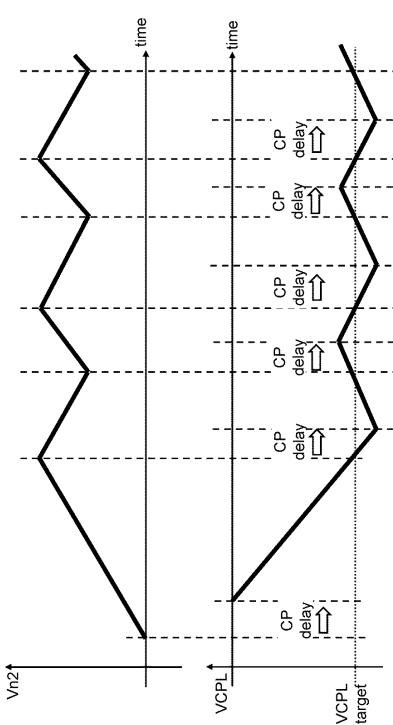


【図2】

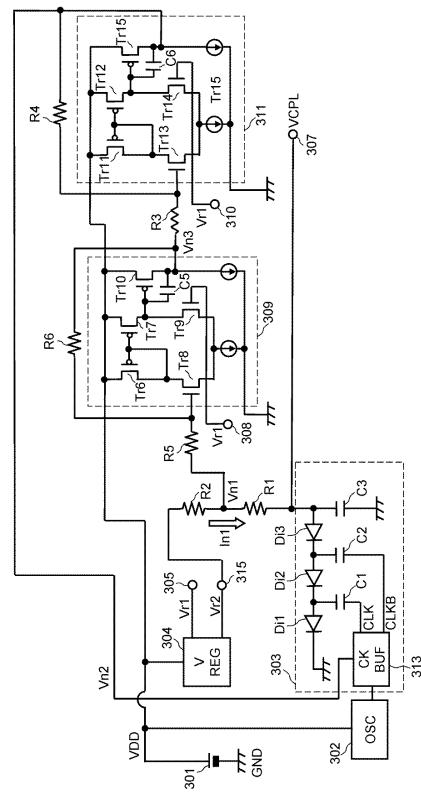


313.クロックバックファ

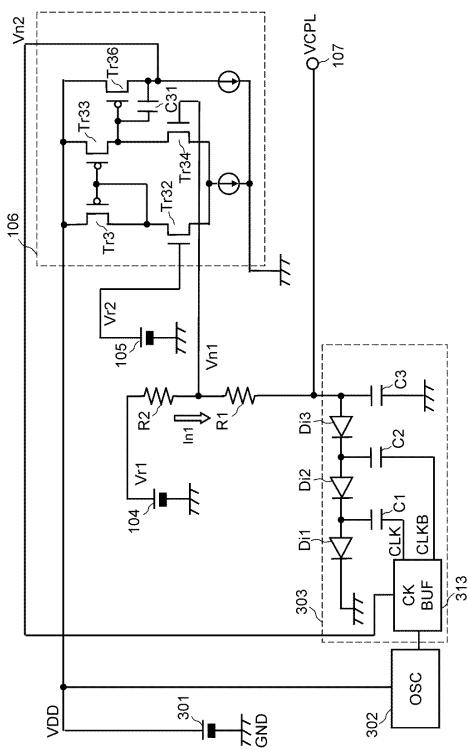
【図3】



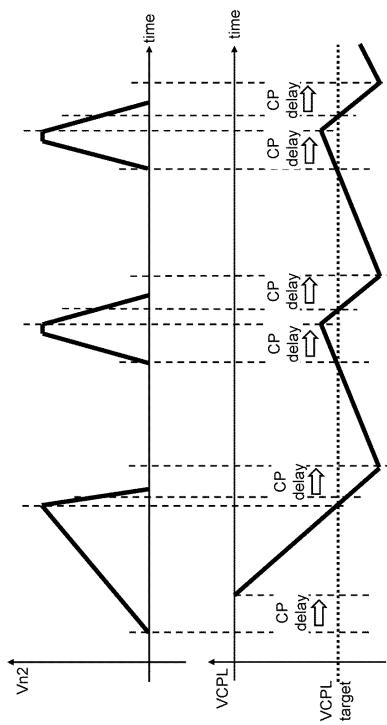
【 図 4 】



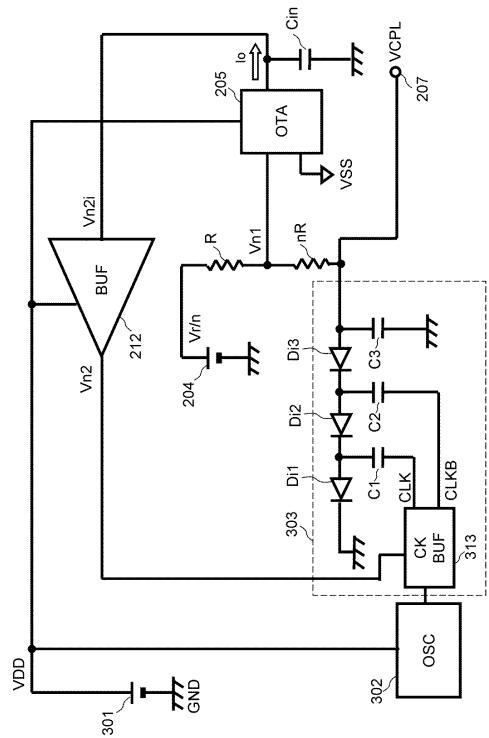
【図5】



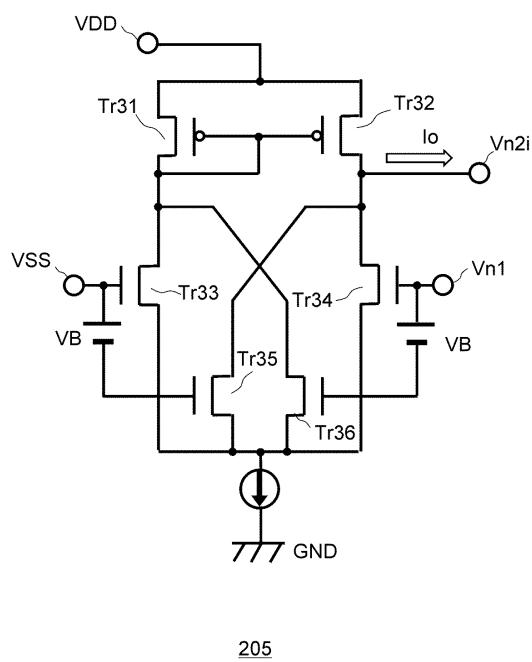
【図6】



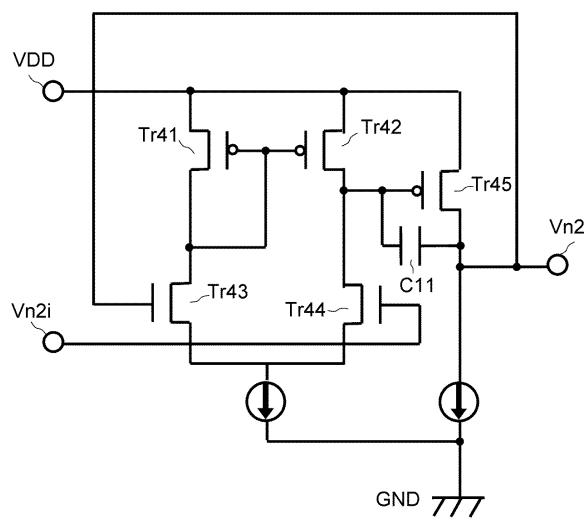
【図7】



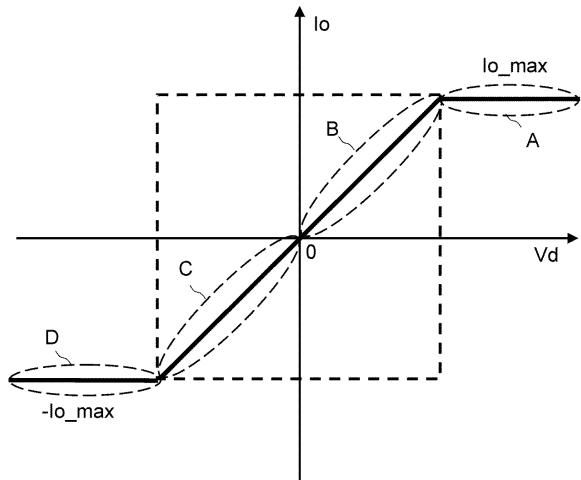
【図8】



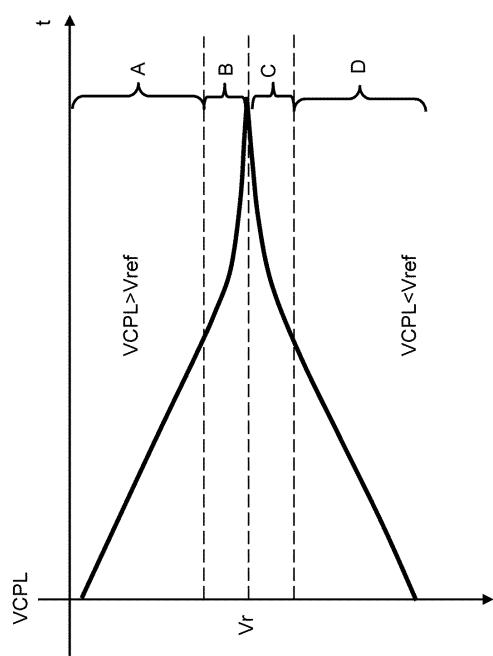
【図9】

212

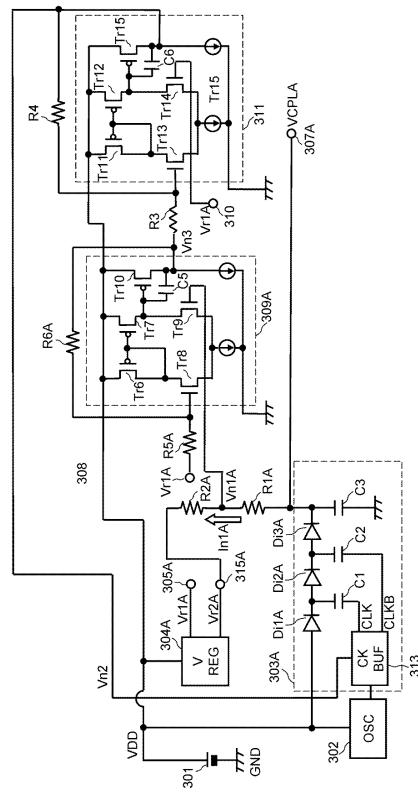
【図10】



【図 1 1】



【図 1 2】



---

フロントページの続き

(56)参考文献 特開平11-219596(JP,A)  
特開2005-071067(JP,A)  
特開2001-177357(JP,A)  
特開平07-079561(JP,A)  
特表2005-524232(JP,A)  
特開2006-262690(JP,A)  
特開2002-171748(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/07  
H01L 27/04