



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201710691 A

(43) 公開日：中華民國 106 (2017) 年 03 月 16 日

(21) 申請案號：105103441

(22) 申請日：中華民國 105 (2016) 年 02 月 03 日

(51) Int. Cl. : G01R31/26 (2014.01)

(30) 優先權：2015/09/10 美國 62/217,009

(71) 申請人：新特系統股份有限公司 (中華民國) SYNC-TECH SYSTEM CORP. (TW)  
新竹縣竹北市台元一街五號六樓之五

(72) 發明人：賴鴻尉 LAI, HUNG-WEI (TW)；李宗潤 LEE, TSUNG-JUN (TW)

(74) 代理人：吳豐任；李俊陞；戴俊彥

申請實體審查：有 申請專利範圍項數：10 項 圖式數：6 共 20 頁

(54) 名稱

使用單一探針測試晶片的多個連接墊的測試裝置及方法

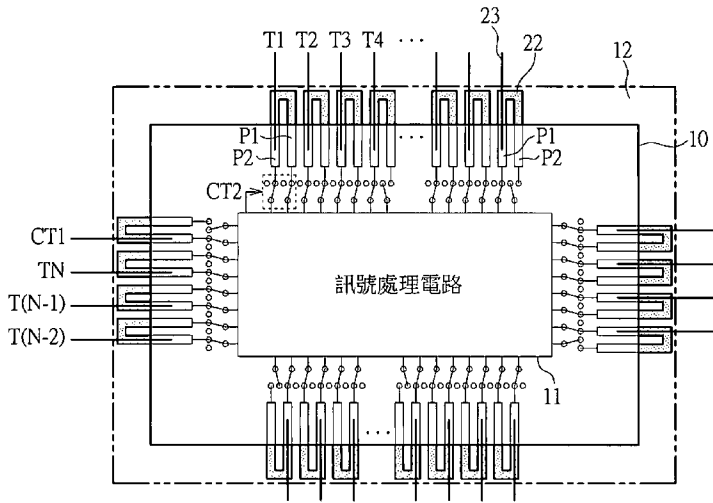
TEST DEVICE AND METHOD USING SINGLE PROBE TO TEST MULTIPLE PADS OF CHIP

(57) 摘要

一種使用單一探針測試晶片的多個連接墊的測試裝置，其包含一測試電路、複數個短路元件以及複數個測試探針。測試電路用來產生一控制訊號至至少一晶片，使該至少一晶片產生複數個測試訊號。複數個短路元件形成於該至少一晶片周圍的切割道上，其中該複數個短路元件的每一者用來短路該至少一晶片的複數個連接墊，且該複數個連接墊包含一待測連接墊及至少一非待測連接墊。該複數個測試探針耦接於該複數個短路元件及該測試電路，用來透過該複數個短路元件從該待測連接墊接收該複數個測試訊號，使該測試電路根據該複數個測試訊號產生一測試結果。

A test device uses a single probe to test plurality of pads of at least one chip, and includes a test circuit, a plurality of short-circuit elements and a plurality of probes. The plurality of short-circuit elements is formed in scribe lines around the at least one chip, where each of the plurality of short-circuit elements connects the plurality of pads, and the plurality of pads includes one testing pad and at least one non-testing pad. The plurality of probes receives a plurality of test signals generated by the at least one chip from the testing pad via the plurality of short-circuit elements, so the test circuit generates a test result according to the plurality of test signals.

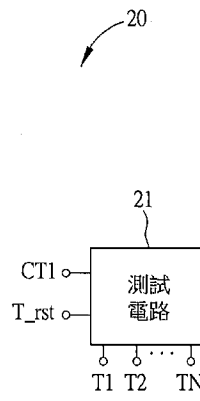
指定代表圖：



第2圖

符號簡單說明：

- 10 . . . 晶片
- 11 . . . 訊號處理電路
- 12 . . . 切割道
- 20 . . . 測試裝置
- 21 . . . 測試電路
- 22 . . . 短路元件
- 23 . . . 測試探針
- P1、P2 . . . 連接墊
- T1~TN . . . 測試訊號
- CT1、CT2 . . . 控制訊號
- T\_rst . . . 測試結果





申請日: 105.2.3.

IPC分類: G01R 31/26 (2014.01)

201710691

## 【發明摘要】

【中文發明名稱】 使用單一探針測試晶片的多個連接墊的測試裝置及方法

【英文發明名稱】 Test Device and Method Using Single Probe to Test Multiple Pads of Chip

## 【中文】

一種使用單一探針測試晶片的多個連接墊的測試裝置，其包含一測試電路、複數個短路元件以及複數個測試探針。測試電路用來產生一控制訊號至至少一晶片，使該至少一晶片產生複數個測試訊號。複數個短路元件形成於該至少一晶片周圍的切割道上，其中該複數個短路元件的每一者用來短路該至少一晶片的複數個連接墊，且該複數個連接墊包含一待測連接墊及至少一非待測連接墊。該複數個測試探針耦接於該複數個短路元件及該測試電路，用來透過該複數個短路元件從該待測連接墊接收該複數個測試訊號，使該測試電路根據該複數個測試訊號產生一測試結果。

## 【英文】

A test device uses a single probe to test plurality of pads of at least one chip, and includes a test circuit, a plurality of short-circuit elements and a plurality of probes. The plurality of short-circuit elements is formed in scribe lines around the at least one chip, where each of the plurality of short-circuit elements connects the plurality of pads, and the plurality of pads includes one testing pad and at least one non-testing pad. The plurality of probes receives a plurality of test signals generated by the at least one chip from the

第 1 頁，共 3 頁(發明摘要)

testing pad via the plurality of short-circuit elements, so the test circuit generates a test result according to the plurality of test signals.

【指定代表圖】第（ 2 ）圖。

【代表圖之符號簡單說明】

10	晶片
11	訊號處理電路
12	切割道
20	測試裝置
21	測試電路
22	短路元件
23	測試探針
P1、P2	連接墊
T1~TN	測試訊號
CT1、CT2	控制訊號
T_rst	測試結果

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 使用單一探針測試晶片的多個連接墊的測試裝置及方法

【英文發明名稱】 Test Device and Method Using Single Probe to Test Multiple Pads of Chip

### 【技術領域】

【0001】 本發明係指一種測試裝置及測試方法，尤指一種在切割道上短路多個連接墊，以使用單一探針測試晶片的多個連接墊的測試裝置及測試方法。

### 【先前技術】

【0002】 現今半導體製程已發展成熟，且半導體製程的卓越技術使積體電路的應用越來越廣泛，民眾所使用的電子產品大多數都使用積體電路晶片做為核心元件，而用於控制電子產品。半導體製程的演進越來越精密，因此現今發展出許多種測試設備及測試方式，以針對積體電路晶片進行測試，例如：積體電路晶片的連接墊測試（PAD test），其係針對積體電路晶片中用於打線（wire-bonding）或金凸塊（gold bump）的連接墊進行測試，以避免連接墊無法運作的積體電路晶片進行封裝出貨，進而防止瑕疵品流於市面上。

【0003】 第1圖為一晶圓（wafer）1的示意圖。晶圓1包含複數個晶片（die）10，其中晶片10的周圍形成有切割道（Scribe line）12。晶圓1製作完成後隨即進行連接墊測試。接著，晶圓1進行封裝及分割製程，將用於包覆晶片10的封裝膠體形成於其上，同時沿著切割道12切割以將各晶片10分割，以準備包裝出貨。

【0004】 然而，隨著半導體製程越來越精密的情況下，連接墊的數量越趨增加，為了在固定面積下的晶圓增設積體電路晶片，進而提高生產效率，所以連接墊的尺寸也對應縮小且越趨密集。再者，由於習知測試裝置（例如，探針卡（probe card））的測試探針數量必須相等於單一積體電路晶片的所有連接墊數量，因此習知測試裝置的測試探針數量必須相對增加，且分布亦需更為密集，以分別對應連接墊的位置，如此測試裝置的電路設計也會愈趨複雜，而造成測試裝置的製作難度上升。況且測試探針分布的密集度增加（例如，探針之間的距離（pitch）太近）會導致測試裝置的成本隨之增加，使用壽命也較短。

【0005】 因此，如何針對上述問題而提出一種用於測試連接墊的測試裝置，以改善傳統連接墊測試的缺點，並提升連接墊測試的可靠度，實為業界的重要課題之一。

#### 【發明內容】

【0006】 因此，本發明的主要目的在於提供一種在切割道上短路多個連接墊，以使用單一探針測試晶片的多個連接墊的測試裝置及測試方法。

【0007】 本發明揭露一種測試裝置，用於測試一晶圓上的一晶片，其中該至少一晶片周圍形成有切割道。該測試裝置包含有一測試電路、複數個短路元件以及複數個測試探針。該測試電路耦接於該至少一晶片，用來產生一第一控制訊號至該至少一晶片，使該至少一晶片產生複數個測試訊號。該複數個短路元件形成於該切割道上，其中該複數個短路元件的每一者用來短路該至少一晶片的複數個連接墊，且該複數個連接墊包含一待測連接墊及至少一非待測連接墊。該複數個測試探針耦接於該複數個短路元件及該測試電路，用來透過該複

第 2 頁，共 9 頁(發明說明書)

數個短路元件從該待測連接墊接收該複數個測試訊號，使該測試電路根據該複數個測試訊號產生一測試結果。

**【0008】** 本發明另揭露一種測試方法，用於測試一晶圓上的一晶片，其中該至少一晶片周圍形成有切割道。該測試方法包含有產生一第一控制訊號至該至少一晶片，使該至少一晶片產生一複數個測試訊號；於該切割道上形成複數個短路元件，其中該複數個短路元件的每一者用來短路該至少一晶片的複數個連接墊，且該複數個連接墊包含一待測連接墊及至少一非待測連接墊；透過該複數個短路元件從該待測連接墊接收該複數個測試訊號；以及根據該複數個測試訊號產生一測試結果。

#### **【圖式簡單說明】**

##### **【0009】**

第1圖為一晶圓的示意圖。

第2圖為本發明實施例一測試裝置的示意圖。

第3圖為本發明實施例另一測試裝置的局部示意圖。

第4圖為本發明實施例另一測試裝置的局部示意圖。

第5圖繪示執行切割製程後的晶片。

第6圖為本發明實施例用於測試晶片的連接墊的流程圖。

#### **【實施方式】**

**【0010】** 第2圖為本發明實施例一測試裝置20的示意圖。測試裝置20可為一探針卡（Probe card），用於測試第1圖的晶圓1的晶片10。測試裝置20包含有一測試

電路21、複數個短路元件22以及複數個測試探針23。

【0011】 測試電路21耦接於晶片10，用來產生一控制訊號CT至晶片10，使晶片10產生測試訊號T1~TN。短路元件22形成於切割道12中，用來短路晶片10的複數個連接墊，且該複數個連接墊包含一待測連接墊及至少一非待測連接墊。為便於說明，在本實施例中，短路元件22短路二連接墊P1及P2，並假設待測連接墊為P1，而非待測連接墊為P2。

【0012】 測試探針23耦接於短路元件22及測試電路21，用來透過短路元件22從待測連接墊P1接收測試訊號T1~TN，使測試電路20根據測試訊號T1~TN產生一測試結果T<sub>rst</sub>。如此一來，操作人員可根據測試結果T<sub>rst</sub>，判斷晶片10是否正常操作，以進行後續分割製程及封裝出貨。

【0013】 請注意，晶片10的電路設計通常內建有複數個開關（或切換元件、可調阻抗電路等）以及一訊號處理電路11，因此可透過訊號處理電路11執行相關功能的運算，並透過訊號處理電路11控制複數個開關，進而達成所需的訊號輸出與輸入。據此，本發明利用上述晶片10的功能來協助測試裝置20進行測試。

【0014】 具體而言，訊號處理電路11耦接於測試電路21，用來根據控制訊號CT1，產生一控制訊號CT2以及測試訊號T1~TN。複數個開關分別耦接於複數個連接墊及訊號處理電路11，用來根據控制訊號CT2，連接待測連接墊與訊號處理電路11的連結，以及斷開非待測連接墊與訊號處理電路11的連結，以透過待測連接墊輸出測試訊號T1~TN。

【0015】 以輸出測試訊號T1為例，當控制訊號CT1指示待測連接墊為P1且非待測連接墊為P2時，訊號處理電路11產生控制訊號CT2至對應連接墊P1及P2的複數個開關，連接待測連接墊P1與訊號處理電路11的連結，以及斷開非待測連接墊P2與訊號處理電路11的連結。反之，當控制訊號CT1指示待測連接墊為P2且非待測連接墊為P1時，訊號處理電路11產生控制訊號CT2至對應連接墊P1及P2的複數個開關，連接待測連接墊P2與訊號處理電路11的連結，以及斷開非待測連接墊P1與訊號處理電路11的連結。如此一來，測試裝置20可使用單一測試探針23來測試二個連接墊，如此即可減少測試晶片10所需的探針數量。

【0016】 第3圖為本發明實施例一測試裝置30的局部示意圖。測試裝置30包含測試探針33以及形成於切割道12上的複數個短路元件32，每一短路元件32用來同時短路四個連接墊P1、P2、P3及P4。測試裝置30可輸出控制訊號CT1來指示四個連接墊P1、P2、P3及P4中的一者為待測連接墊以及其餘三者為非待測連接墊。例如，若連接墊P2為待測連接墊，則連接墊P1、P3及P4為非待測連接墊。接著，晶片10可控制對應連接墊P1、P2、P3及P4的複數個開關，連接待測連接墊P2與訊號處理電路11（未繪示）的連結，以及斷開非待測連接墊P1、P3及P4與訊號處理電路11的連結。以此類推，測試裝置30可使用單一測試探針33來測試四個連接墊，如此即可減少測試晶片10所需的探針數量。

【0017】 第4圖為本發明實施例一測試裝置40的局部示意圖。測試裝置40包含測試探針43以及形成於切割道12上的複數個短路元件42，每一短路元件42用來同時短路M個連接墊P1~PM。測試裝置40可輸出控制訊號CT1來指示M個連接墊P1~PM中的一者為待測連接墊以及其餘（M-1）者為非待測連接墊。例如，若連接墊P2為待測連接墊，則連接墊P1及P3~PM為非待測連接墊。接著，晶片10可

控制對應連接墊P1~PM的複數個開關，連接待測連接墊P2與訊號處理電路11(未繪示)的連結，以及斷開非待測連接墊P1及P3~PM與訊號處理電路11的連結。以此類推，測試裝置40可使用單一測試探針43來測試M個連接墊，如此即可減少測試晶片10所需的探針數量。

【0018】 由上述第2圖至第4圖的實施例可知，假設短路元件可同時短路M個連接墊，且晶片10總共有K個連接墊。本發明的測試電路僅需M分之一的測試探針數量即可測試單一晶片10的所有連接墊(其中， $N=K/M$ ，N為測試探針數量)。換言之，本發明的測試電路可透過較少的測試探針數量來測試單一晶片10的所有連接墊。當測試探針數量減少時，可增加測試探針之間的間隔(Pitch)，如此可降低製作測試探針卡難度，進而提升測試探針卡的良率及使用壽命。

【0019】 另一方面，當測試探針數量減少時，雖然測試時間會相對增加，但減少測試探針帶來的效益(包含節省的材料成本及降低的製作難度)優於增加測試時間的成本，因此本發明的測試裝置在業界仍具備一定的競爭力。實務上，短路元件同時短路二至八個連接墊(M個連接墊實質上包含二至八個連接墊，即 $M=2\sim 8$ )所增加的測試時間是在可容忍的範圍內。

【0020】 第5圖繪示執行切割製程後的晶片10。測試裝置20、30及43分別包含一切割單元(未繪於圖式)，耦接於測試電路21，用來在晶片10測試完成後，沿切割道12進行分割製程，以分離晶片10並分別去除短路元件22、32及43。切割單元用來執行晶片10在生產製程中的一道切割製程，切割單元可以是任何用來進行切割製程(Dicing)的相關設備，例如雷射切割器、鑽頭、刀具等。由於短路元件形成於切割道上，因此晶片10在進行分割製程時，短路元件可隨著切割道

第6頁，共9頁(發明說明書)

一併被切除，因此不會增加額外的製程及相關費用來移除短路元件。值得注意的是，本發明提前在晶圓產出階段即進行測試，因此在進行分割製程前即可根據測試結果篩選出優良晶片並且淘汰不良晶片，只有優良晶片才會進行後續的封裝製程，以確保出貨品質。

【0021】 簡言之，本發明在切割道上設置短路元件來同時短路晶片的複數個連接墊，同時利用晶片內部的開關來連接待測連接墊並斷開非待測連接墊，以透過待測連接墊輸出測試訊號，得知相對應的測試結果。因此，本發明的測試電路可使用單一測試探針來測試多個連接墊，即可透過較少的測試探針數量來測試單一晶片的所有連接墊。當測試探針數量減少時，可增加測試探針之間的時間隔，如此可降低製作測試探針卡難度，進而提升測試探針卡的良率及使用壽命。此外，由於短路元件形成於切割道上，晶片在進行分割製程時，短路元件可隨著切割道一併被切除，因此不會增加額外的製程及相關費用來移除短路元件。

【0022】 上述實施例的操作可歸納為一測試流程60，如第6圖所示，測試流程60可用於測試裝置，用於測試晶片的連接墊。測試流程60包含以下步驟。

【0023】 步驟600：開始。

【0024】 步驟601：產生一控制訊號至至少一晶片，使該至少一晶片產生複數個測試訊號。

【0025】 步驟602：於一切割道上形成複數個短路元件，其中該複數個短路元件的每一者用來短路該至少一晶片的複數個連接墊，且該複數個連接墊包含一待測連接墊及至少一非待測連接墊。

【0026】 步驟603：透過該複數個短路元件從該待測連接墊接收該複數個測試

訊號。

【0027】 步驟604：根據該複數個測試訊號產生一測試結果。

【0028】 步驟605：沿該切割道進行一分割製程，以分離該至少一晶片並去除該複數個短路元件。

【0029】 步驟606：結束。

【0030】 測試流程60的詳細操作說明可參考第2圖至第4圖的實施例，於此不贅述。步驟602轉換至步驟603的過程為晶片根據控制訊號連結待測連接墊與內部訊號處理電路及斷開非待測連接墊與內部訊號處理電路的相關操作，詳細操作說明亦可參考第2圖至第4圖的實施例。

【0031】 綜上所述，本發明在切割道上設置短路元件來同時短路晶片的複數個連接墊，同時利用晶片內部的開關來連接待測連接墊並斷開非待測連接墊，以透過待測連接墊輸出測試訊號來得知相對應的測試結果。因此，本發明的測試電路可使用單一測試探針來測試多個連接墊，即可透過較少的測試探針數量來測試單一晶片的所有連接墊。當測試探針數量減少時，可增加測試探針之間的間隔，如此可降低製作測試探針卡難度，進而提升測試探針卡的良率及使用壽命。此外，由於短路元件形成於切割道上，晶片在進行分割製程時，短路元件可隨著切割道一併被切除，因此不會增加額外的製程及相關費用來移除短路元件。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0032】

10	晶片
11	訊號處理電路
12	切割道
20、30、40	測試裝置
21	測試電路
22、32、43	短路元件
23、33、42	測試探針
P1~PM	連接墊
T1~TN	測試訊號
CT1、CT2	控制訊號
T_rst	測試結果
60	流程
600~606	步驟

## 【發明申請專利範圍】

【第1項】 一種測試裝置，用於測試一晶圓上的至少一晶片，其中該至少一晶片周圍形成有切割道，該測試裝置包含有：

一測試電路，耦接於該至少一晶片，用來產生一第一控制訊號至該至少一晶片，使該至少一晶片產生複數個測試訊號；

複數個短路元件，形成於該切割道上，其中該複數個短路元件的每一者用來短路該至少一晶片的複數個連接墊，且該複數個連接墊包含一待測連接墊及至少一非待測連接墊；以及

複數個測試探針，耦接於該複數個短路元件及該測試電路，用來透過該複數個短路元件從該待測連接墊接收該複數個測試訊號，使該測試電路根據該複數個測試訊號產生一測試結果。

【第2項】 如請求項1所述的測試裝置，其中該至少一晶片包含有：

一訊號處理電路，耦接於該測試電路，用來根據該第一控制訊號，產生一第二控制訊號以及該複數個測試訊號；以及

複數個開關，耦接於該複數個連接墊及該訊號處理電路，用來根據該第二控制訊號，連接該待測連接墊與該訊號處理電路的連結以及斷開該至少一非待測連接墊與該訊號處理電路的連結，以透過該待測連接墊輸出該複數個測試訊號。

【第3項】 如請求項1所述的測試裝置，其中該測試裝置包含N個測試探針，該短路元件用來短路M個連接墊，且該至少一晶片包含(N\*M)個連接墊。

【第4項】 如請求項3所述的測試裝置，其中該M個連接墊實質上包含二至八個

連接墊。

**【第5項】** 如請求項1所述的測試裝置，其另包含：

一切割單元，耦接於該測試電路，用來在該至少一晶片測試完成後，沿該切割道進行一分割製程，以分離該至少一晶片並去除該複數個短路元件。

**【第6項】** 一種測試方法，用於測試一晶圓上的至少一晶片，其中該至少一晶片周圍形成有切割道，該測試方法包含有：

產生一第一控制訊號至該至少一晶片，使該至少一晶片產生一複數個測試訊號；

於該切割道上形成複數個短路元件，其中該複數個短路元件的每一者用來短路該至少一晶片的複數個連接墊，且該複數個連接墊包含一待測連接墊及至少一非待測連接墊；

透過該複數個短路元件從該待測連接墊接收該複數個測試訊號；以及根據該複數個測試訊號產生一測試結果。

**【第7項】** 如請求項6所述的測試方法，其中該至少一晶片根據該第一控制訊號，產生一第二控制訊號以及該複數個測試訊號；以及該至少一晶片根據該第二控制訊號，連接該待測連接墊與該訊號處理電路的連結以及斷開該至少一非待測連接墊與該訊號處理電路的連結，以透過該待測連接墊輸出該複數個測試訊號。

**【第8項】** 如請求項6所述的測試方法，其中該複數個測試探針包含N個測試探針，該複數個連接墊包含M個連接墊，且該至少一晶片包含(N\*M)個連接

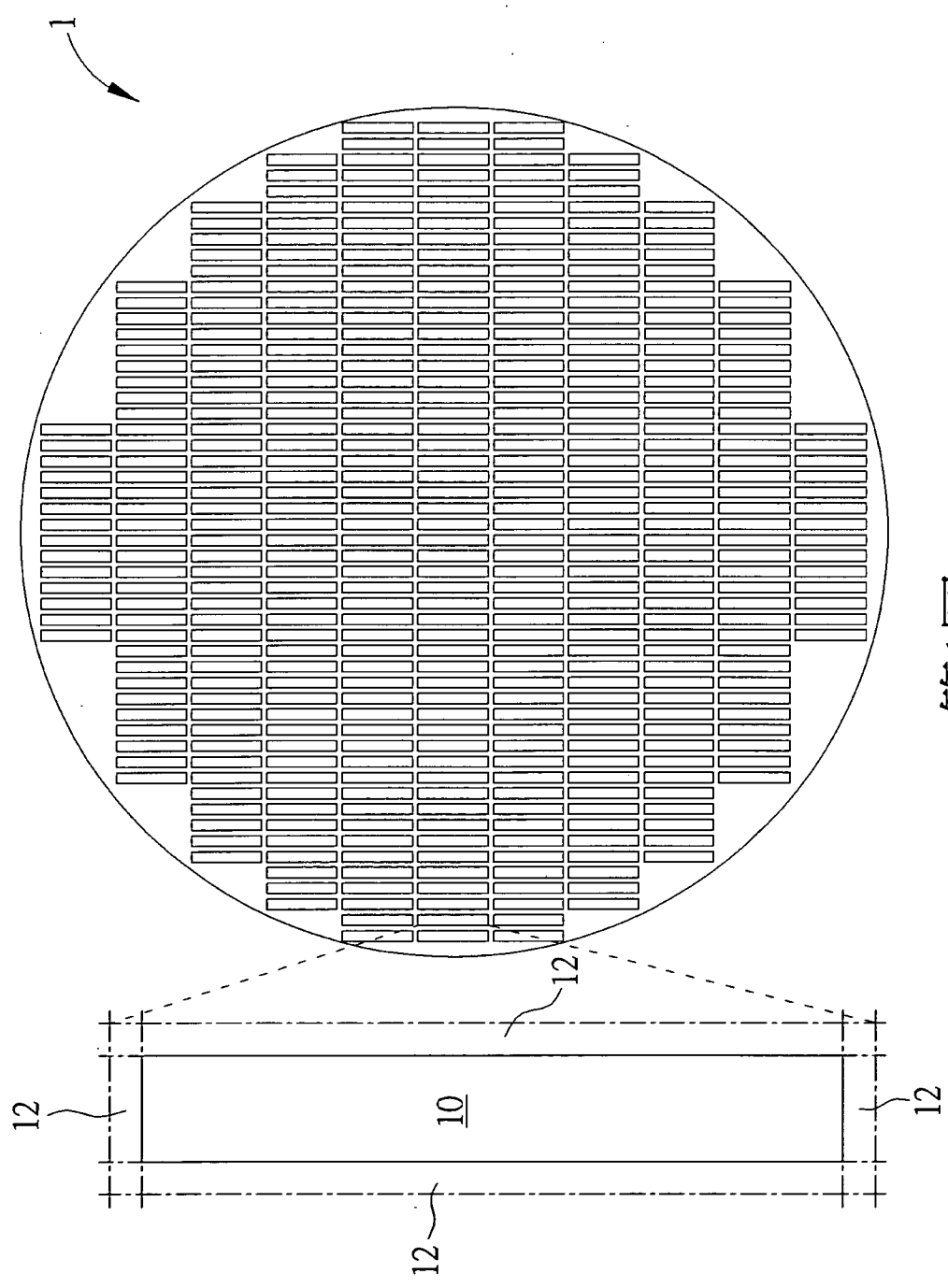
墊。

【第9項】 如請求項8所述的測試方法，其中該M個連接墊實質上包含二至八個連接墊。

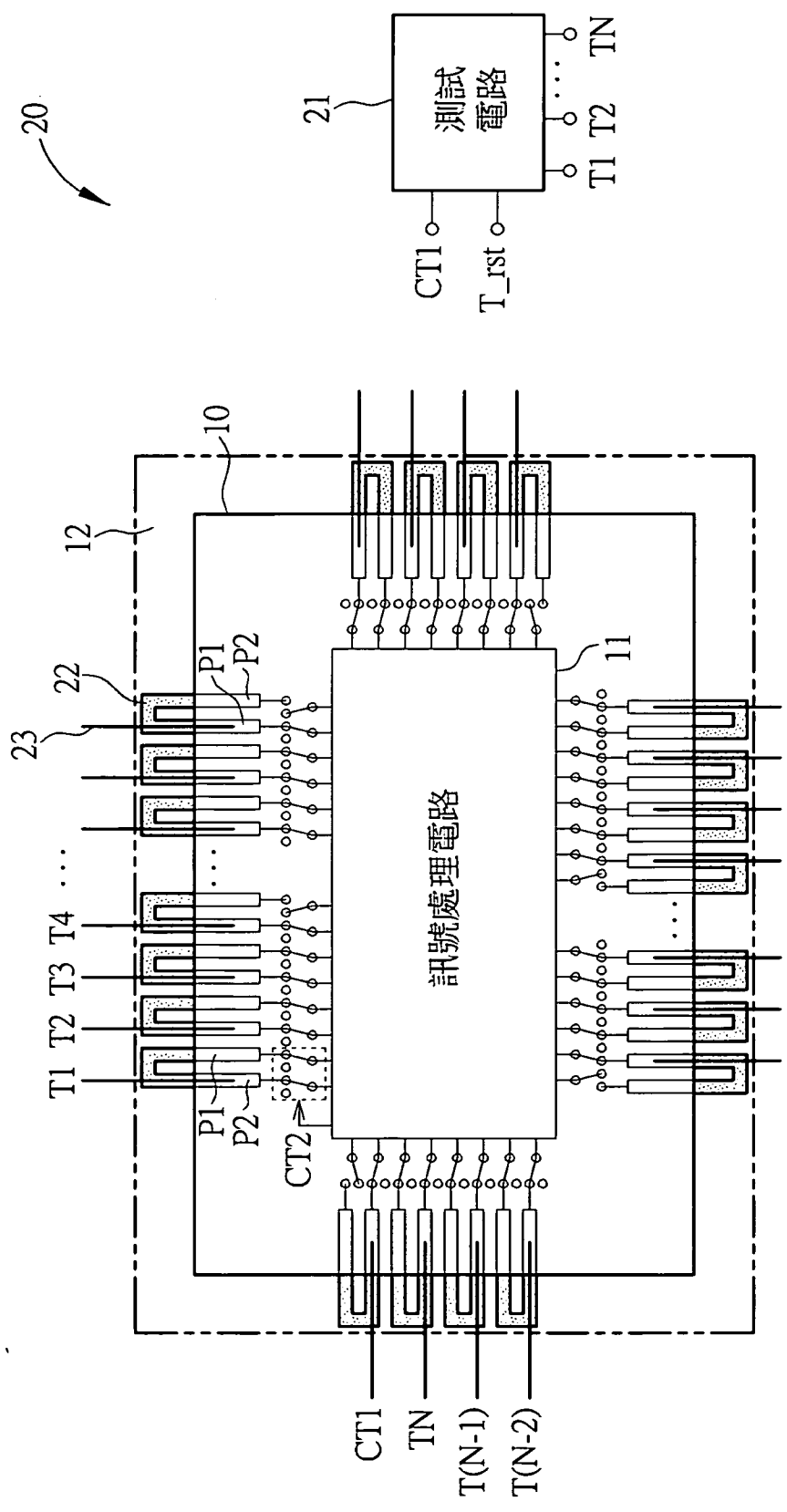
【第10項】 如請求項6所述的測試方法，其另包含：

在該至少一晶片測試完成後，沿該切割道進行一分割製程，以分離該至少一晶片並去除該複數個短路元件。

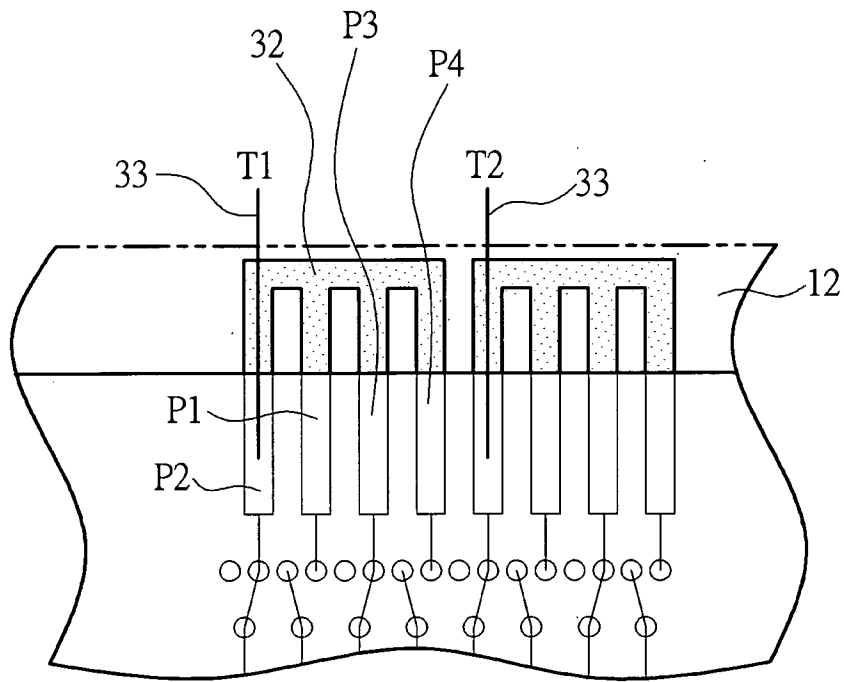
【發明圖式】



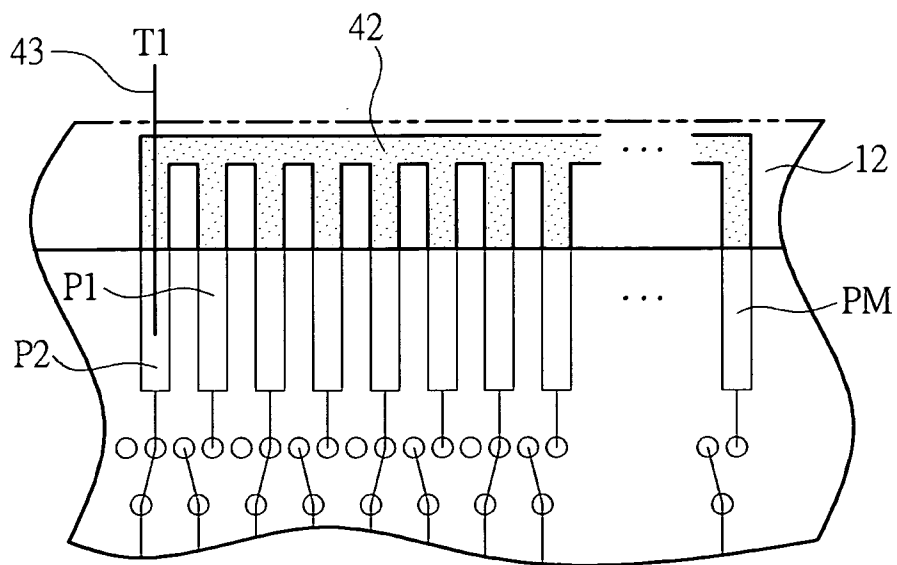
第1圖



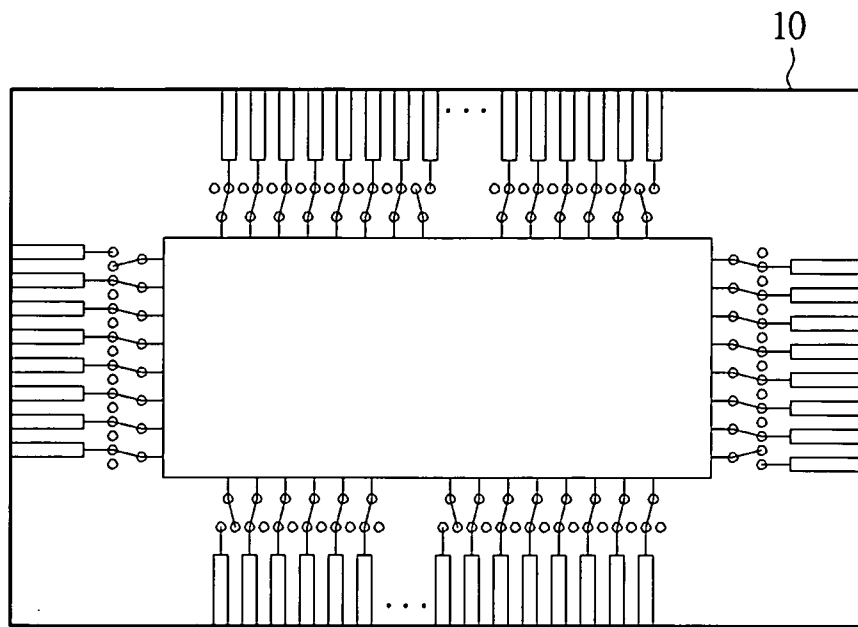
第2圖



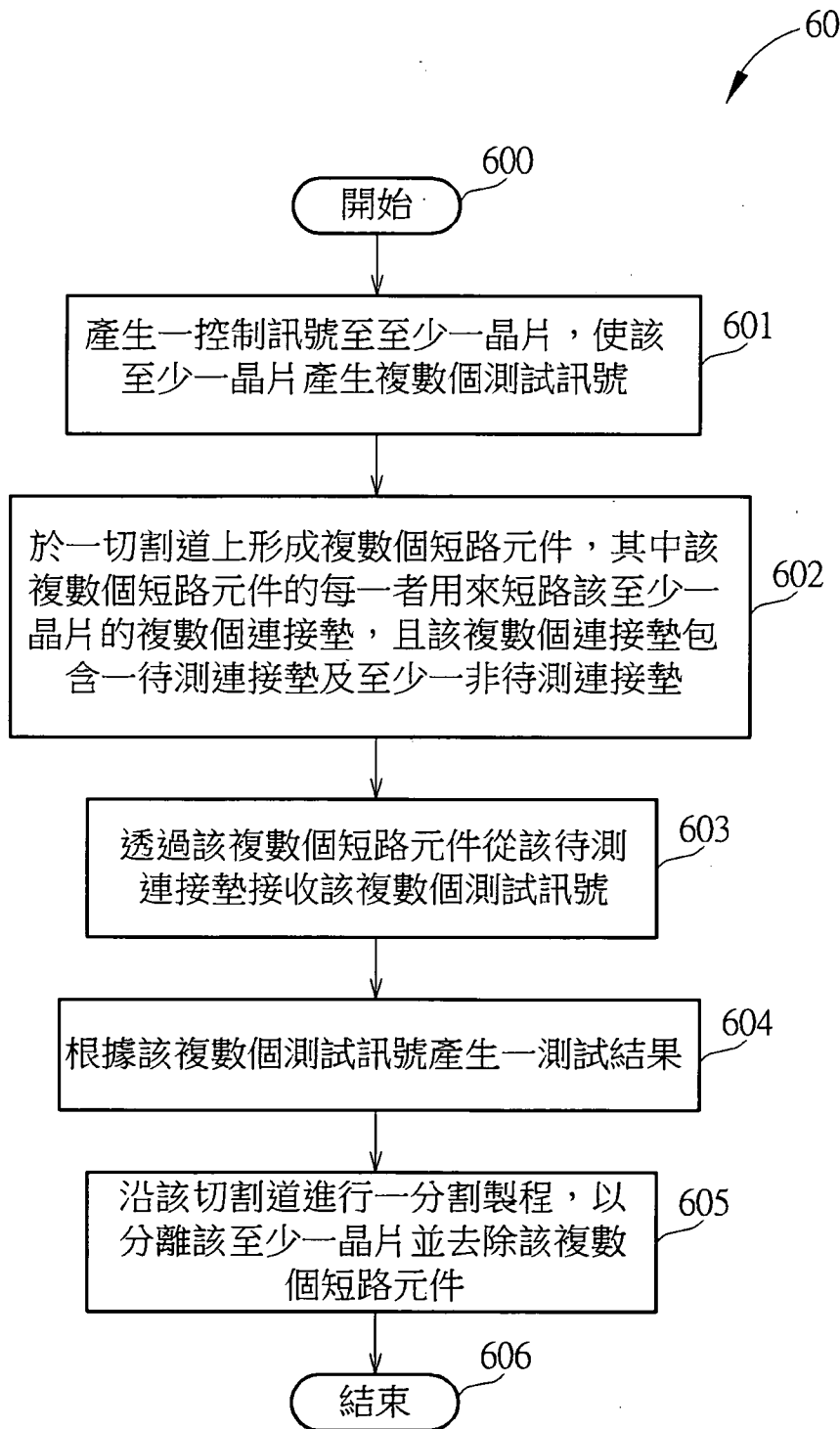
第3圖



第4圖



第5圖



第6圖