



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0071440
 (43) 공개일자 2013년06월28일

- (51) 국제특허분류(Int. Cl.)
 $H01L\ 33/40$ (2010.01) $H01L\ 33/36$ (2010.01)
- (21) 출원번호 10-2012-7033623
- (22) 출원일자(국제) 2011년05월25일
 심사청구일자 없음
- (85) 번역문제출일자 2012년12월24일
- (86) 국제출원번호 PCT/US2011/037947
- (87) 국제공개번호 WO 2011/150089
 국제공개일자 2011년12월01일
- (30) 우선권주장
 12/787,211 2010년05월25일 미국(US)

- (71) 출원인
마이크론 테크놀로지, 인크.
 미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
- (72) 발명자
후, 용준 제프
 미국 83709 아이다호주 보이세 사우스 컬페퍼 에 이브이이 2571
멜드림, 존 마크
 미국 83706 아이다호주 보이세 멜로디 씨티. 1943
 (뒷면에 계속)
- (74) 대리인
백만기, 양영준

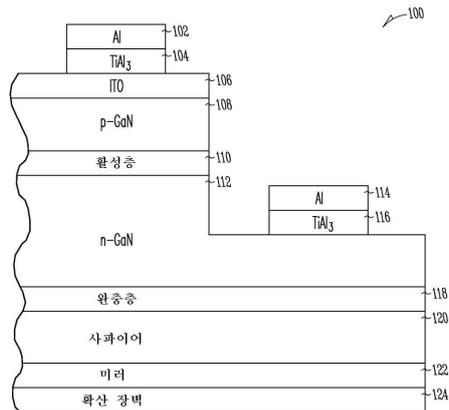
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 **반도체 구조체용 음 콘택트**

(57) 요약

반도체 구조체 상에 음 콘택트를 형성하기 위한 조성물 및 방법이 제공된다. 상기 조성물은 반도체 구조체와 적어도 부분적으로 인접한 $TiAl_xN_y$ 재료를 포함한다. $TiAl_xN_y$ 재료는 $TiAl_3$ 일 수 있다. 상기 조성물은, $TiAl_xN_y$ 재료가 알루미늄 재료와 반도체 구조체 사이에 있도록, $TiAl_xN_y$ 재료의 적어도 일부와 인접하여 알루미늄 재료를 포함할 수 있다. 상기 방법은 반도체 구조체 상에 음 콘택트를 형성하기 위하여 상기 조성물을 어닐링하는 단계를 포함한다.

대표도 - 도1



(72) 발명자

모우, 샐빙

미국 83706 아이다호주 보이즈 에이피티.267 이스
트 멜라드 디알. 125

맥티어, 에버릿 알렌

미국 83616 아이다호주 이글 노쓰 시에라 뷰 웨이
208

특허청구의 범위

청구항 1

반도체 구조체 상에 옴 콘택트(ohmic contact)를 형성하기 위한 조성물로서,
 상기 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하되,
 상기 반도체 구조체는 적어도 하나의 반도체 재료를 포함하고;
 x와 y는 동시에 0이 아니며;
 y가 0일 때, x는 1이 아닌 것인 조성물.

청구항 2

제1항에 있어서, 상기 $TiAl_xN_y$ 재료와 상기 반도체 구조체 간의 인접부(contiguity)는 n-도핑된 GaN 재료와의 적어도 부분적인 인접부를 포함하는 것인 조성물.

청구항 3

제1항에 있어서, 상기 $TiAl_xN_y$ 재료와 상기 반도체 구조체 간의 인접부는 적어도 하나의 반도체 재료와의 적어도 부분적인 인접부를 포함하는 것인 조성물.

청구항 4

제1항에 있어서, 상기 $TiAl_xN_y$ 재료와 상기 반도체 구조체 간의 인접부는 미도핑되거나, n-도핑되거나, 또는 p-도핑될 수 있는 적어도 하나의 반도체 재료와의 적어도 부분적인 인접부를 포함하되, 상기 미도핑되거나, n-도핑되거나 또는 p-도핑된 반도체 재료는, 도핑 전 혹은 도핑 후 상태의 어느 하나 혹은 양쪽 모두의 상태에서, GaN, InGaN, AlGaN, AlGaInN, InN, GaAs, AlGaAs, AlGaAs, GaAsP, AlGaInP, GaP, AlGaP, ZnSe, SiC, Si, 다이아몬드, BN, AlN, MgO, SiO, ZnO, $LiAlO_2$, SiC, Ge, InAs, InAt, InP, C, Ge, SiGe, AlSb, AlAs, AlP, BP, BAs, GaSb, InSb, $Al_zGa_{1-z}As$, InGaAs, $In_zGa_{1-z}As$, InGaP, AlInAs, AlInSb, GaAsN, AlGaP, AlGaP, InAsSb, InGaSb, AlGaAsP, AlInAsP, AlGaAsN, InGaAsN, InAlAsN, GaAlAsN, GaAsSbN, GaInAsSbP, 또는 GaInAsSbP 중 적어도 하나를 포함하는 것인 조성물.

청구항 5

제1항에 있어서, 상기 $TiAl_xN_y$ 재료는 어닐링 공정의 적어도 일부 전에 혹은 동안에 상기 반도체 구조체와 적어도 부분적으로 인접하는 것인 조성물.

청구항 6

제1항에 있어서, 상기 반도체 구조체는 발광 다이오드(light emitting diode: LED) 반도체 디바이스로 되는 것인 조성물.

청구항 7

제1항에 있어서, 상기 $TiAl_xN_y$ 재료는 원자층 증착, 물리적 기상 증착(PVD) 또는 화학적 기상 증착(CVD) 중 적어도 하나를 이용해서 첨가되는 것인 조성물.

청구항 8

제1항에 있어서, 상기 $TiAl_xN_y$ 재료는 대략 50 내지 2000Å 두께인 것인 조성물.

청구항 9

제1항에 있어서, 상기 $TiAl_xN_y$ 재료는 대략 200Å 두께인 것인 조성물.

청구항 10

제1항에 있어서, x 는 약 3이고 y 는 약 0인 것인 조성물.

청구항 11

제1항에 있어서, 상기 조성물은 알루미늄 재료를 더 포함하되;

상기 알루미늄 재료는 상기 $TiAl_xN_y$ 재료의 적어도 일부와 인접하며;

상기 $TiAl_xN_y$ 재료는 상기 반도체 구조체와 상기 알루미늄 재료 사이에 있는 것인 조성물.

청구항 12

제1항에 있어서, 상기 알루미늄 재료는 원자층 증착, 물리적 기상 증착(PVD) 또는 화학적 기상 증착(CVD) 중 적어도 하나를 이용해서 첨가되는 것인 조성물.

청구항 13

제1항에 있어서, 상기 알루미늄 재료는 약 5 내지 4000Å 두께인 것인 조성물.

청구항 14

제1항에 있어서, 상기 알루미늄 재료는 대략 1000Å 두께인 것인 조성물.

청구항 15

제1항에 있어서, 상기 $TiAl_xN_y$ 재료는 약 25 내지 300Å 두께인 것인 조성물.

청구항 16

제1항에 있어서, 상기 $TiAl_xN_y$ 재료는 대략 100Å 두께인 것인 조성물.

청구항 17

제1항에 있어서, x 는 대략 0 내지 10인 것인 조성물.

청구항 18

제1항에 있어서, y 는 약 0 내지 10인 것인 조성물.

청구항 19

반도체 구조체 상에 옴 콘택트를 형성하는 방법으로서, 제1항의 조성물을 어닐링하는 공정을 포함하는, 반도체 구조체 상에 옴 콘택트의 형성방법.

청구항 20

제19항에 있어서, 상기 어닐링하는 공정은 대략 500 내지 1500°C에서 혹은 그 미만에서 일어나는 것인, 반도체 구조체 상에 옴 콘택트의 형성방법.

청구항 21

제19항에 있어서, 상기 어닐링하는 공정은 대략 800°C에서 혹은 그 미만에서 일어나는 것인, 반도체 구조체 상에 옴 콘택트의 형성방법.

청구항 22

제19항에 있어서, 상기 어닐링하는 공정은 대략 0.001 내지 200분 동안 일어나는 것인, 반도체 구조체 상에 옴 콘택트의 형성방법.

청구항 23

제19항에 있어서, 상기 어닐링하는 공정은 대략 30 내지 60초 동안 일어나는 것인, 반도체 구조체 상에 음 콘택트의 형성방법.

청구항 24

반도체 구조체 상에 음 콘택트를 형성하는 방법으로서,

n-도핑된 GaN 재료를 포함하는 반도체 구조체를 제공하는 단계;

상기 n-도핑된 GaN 재료의 적어도 일부와 인접하여 $TiAl_xN_y$ 재료를 증착시키는 단계; 및

상기 반도체 구조체와 상기 $TiAl_xN_y$ 재료를 어닐링하는 단계를 포함하되;

상기 $TiAl_xN_y$ 재료는 대략 200 내지 2000Å 두께이고;

x와 y는 동시에 0이 아니고;

y가 0이면, x는 1이 아니며,

상기 어닐링은 대략 660 내지 800℃에서 혹은 그 미만에서 대략 30 내지 60초의 기간 동안 일어나는 것인, 반도체 구조체 상에 음 콘택트의 형성방법.

청구항 25

반도체 구조체 상에 음 콘택트를 형성하는 방법으로서,

n-도핑된 GaN 재료를 포함하는 반도체 구조체를 제공하는 단계;

상기 n-도핑된 GaN 재료의 적어도 일부와 인접하여 $TiAl_xN_y$ 재료를 증착시키는 단계;

상기 $TiAl_xN_y$ 재료가 알루미늄 재료와 상기 n-도핑된 GaN 재료 사이에 있도록, 상기 $TiAl_xN_y$ 재료의 적어도 일부와 인접하여 해당 알루미늄 재료를 증착시키는 단계; 및

상기 반도체 구조체와 상기 $TiAl_xN_y$ 재료와 상기 알루미늄 재료를 어닐링하는 단계를 포함하되;

상기 $TiAl_xN_y$ 재료는 대략 50 내지 200Å 두께이고;

x와 y는 동시에 0이 아니고;

y가 0이면, x는 1이 아니며;

상기 알루미늄 재료는 대략 1000Å 두께이고;

상기 어닐링은 대략 660℃에서 혹은 그 미만에서, 대략 30 내지 60초의 기간 동안 일어나는 것인, 반도체 구조체 상에 음 콘택트의 형성방법.

청구항 26

제19항, 제24항 및 제25항 중 어느 한 항에 기재된 방법을 포함하는 방법에 의해 적어도 부분적으로 형성된 조성물 또는 제품.

청구항 27

제19항, 제24항 및 제25항 중 어느 한 항에 기재된 방법을 포함하는 방법에 의해 적어도 부분적으로 제조되거나 또는 제1항에 기재된 조성물을 포함하는 LED.

명세서

기술분야

우선권 출원

[0001]

[0002] 본 특허 출원은 미국 특허 출원 제12/787,211호(출원일: 2010년 5월 25일)로부터의 우선권의 이득을 주장하며, 이 기초 출원은 참고로 본 명세서에 병합된다.

배경 기술

[0003] 반도체 디바이스는 오늘날 만들어진 소비자 및 상업용 전자기기의 거의 모든 부품에서 발견된다. 그들의 와이드-스패닝 사용(wide-spanning use)은 다이오드 및 트랜지스터 등과 같은 단일의 개별소자뿐만 아니라, 단일의 반도체 기판 상에 상호접속된 수 백만개의 반도체 디바이스를 포함할 수 있는 집적 회로를 포함한다. 반도체 디바이스 제조에 이용하기 위한 신소재의 발견뿐만 아니라, 새로운 반도체 디바이스 제조 방법의 개발은 지속적으로 이들 디바이스의 효율을 향상시킬 뿐만 아니라 이미 넓은 범위의 그들의 실제 용도를 확대시킨다.

[0004] 발광 다이오드(LED)는 소비자 및 상업 용도에서 광범위하게 이용되는 반도체 디바이스의 하나의 예이다. LED는 p-도핑된 반도체 재료, n-도핑된 반도체 재료, 및 이들 두 재료 간의 접합부(junction)를 포함하는 수개의 반도체 재료를 포함한다. 통상의 다이오드에서처럼, 전류는 p-측, 또는 양극(anode)으로부터, n-측 또는 음극(cathode)으로 용이하게 흐르지만, 역방향으로는 흐르지 않는다. 전압이 반도체 구조체에 올바른 극성으로 인가되면, 접합부는 순방향 바이어스되어, 전자-캐리어, 전자 및 정공이 이 접합부 내로 흐른다. 전자가 n-도핑된 영역으로부터 접합부 내로 이동함에 따라 정공과 만나게 되면, 낮은 에너지 준위로 떨어져서, 발광 광의 형태로 에너지를 방출한다. 방출된 광의 파장, 따라서 그의 색은 접합부를 형성하는 재료의 밴드갭 에너지에 의존한다. 종종 n- 및 p-도핑된 반도체 재료는 상이한 반도체 재료의 다수 층을 포함할 수 있다. 종종 활성층(active layer)은 n-도핑된 반도체 재료와 p-도핑된 반도체 재료 사이에 샌드위치되어, 전자가 접합부를 통해 이동할 경우 방출된 광자(photon)의 파장(예컨대, 색)과 방출된 광자의 수(예컨대, 휘도) 둘 모두에 대해서 더욱 제어를 가능하게 한다. 활성층은 각종 반도체 재료의 수개의 층을 포함할 수 있고, 때로는 수개의 발광층을 포함할 수 있다. 하나보다 많은 발광층을 포함하는 활성층을 구비한 LED는 통상 멀티-웰(multi-well: MW) LED 또는 다수 양자 우물(multiple quantum well: MQW) LED라 불린다. 이와 대조적으로, 활성층 내에 단일의 발광층을 지니는 LED는 통상 더블 헤테로구조(double heterostructure: DH) LED 또는 단일의 양자 우물(single quantum well: SQW) LED라 불린다.

[0005] 반도체 구조체를 반도체 디바이스로서 이용하기 위하여, 전기는 상기 구조체에 입수될 수 있어야만 하며; 예컨대, 상기 구조체를 가로질러 전압을 인가할 수 있어야만 한다. 전위 및 대응하는 전류는 일반적으로 금속 매체를 통해서 전송되므로, 금속 매체와 반도체 구조체 간의 접속부는 상기 구조체에 전압의 인가를 가능하게 하기 위하여 필요하다. 콘택트는 반도체 구조체와 금속 매체 간의 접속부로서 작용하도록 제조된 반도체 구조체의 영역이다. 낮은 저항을 지니고, 시간 경과에 따라서 각종 온도에서 안정적이며 또한 시간 경과에 따라서 각종 전기적 조건에 적용될 때 안정적인 콘택트는, 반도체 디바이스의 성능 및 신뢰성을 위하여 결정적이다. 기타 바람직한 특성은 평활한 표면 형태, 간단한 제조, 높은 생산 수율, 양호한 부식 내성 및 양호한 반도체에의 접착성을 포함한다. 이상적인 콘택트는 반도체 구조체의 성능에 하등 영향을 미치지 않고, 이는, 재료 저항을 지니며, 반도체 구조체와 금속 간에 전압 강하가 없이 요구되는 전류를 전달하는 것을 의미하고, 또한, 상기 구조체에 생성된 전류와 콘택트에 인가된 전압 간의 관계가 완전하게 선형인 것을 의미한다. 실제로, 콘택트는 일반적으로 일부 저항을 지녀야만 하지만, 대략 선형 전압-전류 관계를 제공하고 낮은 저항을 발휘하는 콘택트가 바람직하다. 이들은 옴 콘택트(ohmic contact)라 지칭된다.

[0006] 두 고체가 서로 접촉하여 배치된 경우, 이러한 고체가 소위 일 함수라고도 불리는 동일한 전기화학적 전위를 지니지 않는 한, 전자는 평형이 이루어질 때까지 하나의 고체에서 다른 고체로 흘러서 두 고체 간에 접촉 전위라 불리는 전위를 형성한다. 이 접촉 전위는, 두 고체 간의 접속부에 절연성 특성을 부여할 수 있고, 또한 다이오드 내 정류 등과 같은 현상의 근본 원인이다. 접촉 전위는 전압-전류 관계를 비선형으로 할 수 있고, 따라서 두 고체 간 접속부는 이상적인 옴 콘택트 특성에서 벗어난다. 일반적으로, 최저 저항을 지니면서 최대 선형 및 대칭적 전압-전류 관계를 지니는 옴 콘택트를 작성하기 위하여, 옴 콘택트가 형성될 특정 반도체 재료의 일 함수에 가까운 일 함수를 지니는 재료가 요구된다.

[0007] LED로 되는 구조체들을 포함하는 반도체 구조체 상에 옴 콘택트를 제작하는 전통적인 방법은, 하나 이상의 각종 재료가 반도체 구조체의 특정 부분과 단지 접촉하도록, 해당 구조체 상에 상기 하나 이상의 재료의 증착을 포함한다. 일반적으로, 반도체 상에 증착된 바와 같은 재료는 옴 콘택트를 아직 형성하지 못하는데, 그 이유는, 각 재료의 일 함수 간의 관계가 바람직하지 않은 접촉 전위가 형성되도록 하기 때문이다. 따라서, 증착 단계에 이어서, 재료를 화학적으로 변경시키는 어닐링 공정을 실시하고, 이에 따라서 그들의 일 함수를 변경할 수 있다. 어닐링 동안, 반도체 구조체의 인접한 부분 및 증착된 층들의 원자들의 확산이 일어나, 재료를 다양한 정도로

혼합시켜, 반도체 구조체의 증착된 층들 부분을 본질적으로 형성하는 한편, 여전히 그들의 기본적인 물리적 형상을 유지시킬 수 있다. 어닐링은, 원자들의 재배치를 허용함으로써, 해당 구조체의 원래 증착된 층들 혹은 인접한 부분과는 상이한 특성을 지니는 새로운 화학종의 형성을 가능하게 하며, 바람직하게는 결과적으로 목적으로 하는 옴 콘택트 특성을 지니는 반도체 구조체의 새롭게 형성된 부분으로 된다. 어닐링이 옴 콘택트의 형성에 대체로 필수이지만, 높은 온도는 반도체 구조체 내로 열 결함을 도입할 수 있어, 얻어지는 반도체 디바이스에 성능 열화 및 동작 수명 저하 등과 같은 부정적인 영향을 초래할 수 있다. 또한, 높은 온도는, 비드 형성 및 반점 형성 등과 같은, 콘택트의 표면 특징(표면 형태)에 바람직하지 않은 변화를 초래하여, 옴 콘택트에 대한 전기적 접촉을 더욱 어렵게 하고 덜 효율적이게 하는 경향이 있을 수 있다. 이러한 높은 온도의 부정적인 영향은 이들 온도에 대한 보다 긴 노출에 의해 악화된다. 따라서, 보다 단시간 어닐링을 다룰 수 있고 높은 온도를 필요로 하지 않는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물 및 방법이 요구된다.

[0008] 예를 들어, LED 반도체 디바이스, 및 기타 반도체 디바이스에 이용되는 통상의 반도체는 반도체 구조체 내 n-도핑된 및/또는 p-도핑된 재료의 층들에서 빈번하게 발견되는 갈륨 질화물(GaN)이다. 옴 콘택트는 종종 GaN의 특정 층, 예를 들어 n-도핑된 GaN(n-GaN)을 이용해서 형성되도록 요구된다. 안정적인 금속-n-GaN 시스템은, LED를 포함하는 n-GaN-함유 반도체 디바이스를 얻기 위해 필수적이다. 반도체 구조체 상에 티타늄(Ti)에 이어서 알루미늄(Al)을 증착함으로써 형성되는 콘택트는 n-GaN-함유 반도체 디바이스(Ti/Al-이중층)에서 가장 일반적이다. 그러나, Ti/Al-이중층 시스템은 중간 온도 범위에서의 열 어닐링 후 바람직하지 않은 고-저항 콘택트로 변환되기 쉬운 경향이 있다. 이것은 Al 상에 알루미늄 산화물(Al_2O_3)의 형성에 기인될 수 있었고, 따라서 접촉 저항의 증가를 초래할 수 있었다. 이 변화는 어닐링 공정 동안 티타늄 질화물(TiN)의 형성에 기인할 수 있다. Ti/Al-이중층 시스템은 옴 콘택트로 변환되어 보다 높은 온도에서 어닐링될 때 약 10^{-5} 내지 $10^{-6} \Omega cm^2$ 일 수 있는 특정 접촉 저항을 발휘할 수 있다. 그러나, 고온에서의 어닐링은, Al이 낮은 용점($\sim 660^\circ C$)을 지니고 어닐링 동안 혼란을 일으키는 경향이 있기 때문에 반도체 디바이스 성능 및 신뢰성의 열화를 초래할 수 있다. 이와 같이 해서, 대부분의 Ti/Al-이중층기반 콘택트의 표면 형태는 상당히 거칠다. 또한, 반도체 구조체에 고온의 인가는 열 결함을 도입하여, 반도체 디바이스의 성능의 열화도 초래할 수 있다.

도면의 간단한 설명

[0009] 반드시 일정 척도로 그려지지 않은 도면에서, 마찬가지로 참조 부호는 수개의 도면을 통해서 실질적으로 유사한 부분을 기술할 수 있다. 도면은, 대체로 제한으로서가 아니라 예로서, 본 문서에서 논의된 각종 실시형태 및 실시예를 예시하는 것이다.

- 도 1은 다수 LED 반도체 디바이스로 되는 반도체 구조체(100)의 2차원 엔드-온(end-on) 도면;
- 도 2는 다수 LED 반도체 디바이스로 되는 반도체 구조체(100)의 3차원 도면;
- 도 3은 다수 LED 반도체 디바이스로 되는 반도체 구조체(100)의 3차원 클로즈업 도면;
- 도 4는 Al-Ti 2원 합금 상 다이어그램;
- 도 5는 Ti 재료에 이어서 Al 재료를 이용하고 이어서 어닐링함으로써 반도체 구조체 상에 옴 콘택트를 형성하는 방법을 예시한 도면;
- 도 6은, 본 발명의 구체적인 실시형태로서, $TiAl_xN_y$ 재료를 포함시키고 이어서 어닐링함으로써 반도체 구조체 상에 옴 콘택트를 형성하는 조성물 및 방법을 도시한 도면;
- 도 7은, 본 발명의 구체적인 실시형태로서, $TiAl_3$ 재료를 이용하고 이어서 어닐링함으로써 반도체 구조체 상에 옴 콘택트를 형성하는 조성물 및 방법을 도시한 도면;
- 도 8은, 본 발명의 구체적인 실시형태로서, $TiAl_xN_y$ 재료에 이어서 Al 재료를 이용하고, 이어서 어닐링함으로써 반도체 구조체 상에 옴 콘택트를 형성하는 조성물 및 방법을 도시한 도면;
- 도 9는, 본 발명의 구체적인 실시형태로서, $TiAl_3$ 재료에 이어서 Al 재료를 이용하고, 이어서 어닐링함으로써 반도체 구조체 상에 옴 콘택트를 형성하는 조성물 및 방법을 도시한 도면;

발명을 실시하기 위한 구체적인 내용

- [0010] 본 발명은 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 제공한다. 상기 조성물은 $TiAl_xN_y$ 재료를 포함한다. $TiAl_xN_y$ 재료는 반도체 구조체와 적어도 부분적으로 인접한다. 반도체 구조체는 적어도 하나의 반도체 재료를 포함한다. 변수 x 와 y 는 동시에 제로(0)가 아니다. 변수 y 가 0일 때, x 는 1이 아니다.
- [0011] 본 발명은 반도체 구조체 상에 옴 콘택트를 형성하기 위한 방법을 제공한다. 해당 방법은 반도체 구조체를 제공하는 단계를 포함한다. 해당 반도체 구조체는 n -도핑된 GaN 재료를 포함한다. 상기 방법은 또한 $TiAl_xN_y$ 재료를 증착시키는 단계를 포함한다. $TiAl_xN_y$ 재료는 n -도핑된 GaN 재료의 적어도 일부와 인접하여 증착된다. $TiAl_xN_y$ 재료는 대략 200 내지 2000 Å 두께이다. 변수 x 와 y 는 동시에 0이 아니다. 변수 y 가 0일 때, 변수 x 는 1이 아니다. 상기 방법은 또한 반도체 구조체와 $TiAl_xN_y$ 재료를 어닐링하는 단계를 포함한다. 어닐링은 대략 660 내지 880°C에서 혹은 그 미만에서 일어난다. 어닐링은 대략 30 내지 60초의 기간 동안 일어난다.
- [0012] 본 발명은 반도체 구조체 상에 옴 콘택트를 형성하는 방법을 제공한다. 해당 방법은 반도체 구조체를 제공하는 단계를 포함한다. 해당 반도체 구조체는 n -도핑된 GaN 재료를 포함한다. 상기 방법은 $TiAl_xN_y$ 재료를 증착시키는 단계를 포함한다. $TiAl_xN_y$ 재료는 n -도핑된 GaN 재료의 적어도 일부와 인접하여 증착되고, $TiAl_xN_y$ 재료는 대략 50 내지 200 Å 두께이다. 변수 x 와 y 는 동시에 0이 아니다. 변수 y 가 0일 때, 변수 x 는 1이 아니다. 상기 방법은 또한 알루미늄 재료를 증착시키는 단계를 포함한다. 알루미늄 재료는 $TiAl_xN_y$ 재료의 적어도 일부와 인접하여 증착된다. 알루미늄 재료는 $TiAl_x$ 재료가 알루미늄 재료와 n -도핑된 GaN 재료 사이에 있도록 증착된다. 알루미늄 재료는 대략 1000 Å 두께이다. 상기 방법은 또한 반도체 구조체와 $TiAl_xN_y$ 재료와 알루미늄 재료를 어닐링하는 단계를 포함한다. 어닐링은 대략 660°C에서 혹은 그 미만에서 일어난다. 어닐링은 대략 30 내지 60초의 기간 동안 일어난다.
- [0013] 본 발명은 각종 실시형태에서 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물 및 방법을 제공한다. 각종 실시형태에 있어서, 상기 조성물은 $TiAl_xN_y$ 재료를 포함한다. $TiAl_xN_y$ 재료는 반도체 구조체와 적어도 부분적으로 인접한다. $TiAl_xN_y$ 는 $TiAl_3$ 일 수 있다. 조성물은 알루미늄을 포함할 수 있다. 알루미늄은, 해당 알루미늄과 반도체 구조체 사이에 $TiAl_xN_y$ 가 위치되도록, $TiAl_xN_y$ 의 적어도 일부와 인접할 수 있다. 상기 방법은 반도체 구조체 상에 옴 콘택트를 형성하기 위하여 상기 조성물을 어닐링하는 단계를 포함한다.
- [0014] 본 발명은 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물 및 방법에 관한 것이다. 상기 조성물 및 방법을 설명할 때, 이하의 용어들은, 달리 표시되지 않는 한, 이하의 의미를 지닌다.
- [0015] 본 명세서에서 이용되는 바와 같이, "인접부"(contiguity)란 용어는 물리적으로 닿거나 혹은 접촉하는 영역을 의미한다.
- [0016] 본 명세서에서 이용되는 바와 같이, "인접한"(혹은 인접하는)(contiguous)이란 용어는 물리적으로 임의의 정도로 닿거나 접촉하는 것을 의미한다.
- [0017] 본 명세서에서 이용되는 바와 같이, "옴 콘택트"란 대략 선형 전압-전류 관계를 제공하고 낮은 저항을 발휘하는 콘택트를 의미한다. 옴 콘택트는 반도체 구조체 또는 반도체 디바이스에 전위를 접속하는데 이용될 수 있다. 옴 콘택트는 반도체 구조체 상에 있는 것으로 간주될 수 있고, 또한 반도체 구조체의 일부인 것으로 간주될 수 있다.
- [0018] 본 명세서에서 이용되는 바와 같이, "반도체 디바이스"란 용어는, 전자기기 구성요소로서 이용하기 위하여 준비된, 또한 집적 회로 내의 구성요소로서 기능하도록 준비된 등과 같이, 그의 의도된 용도를 위해 준비된 반도체 구조체를 지칭한다. 이 용어는, 반도체 디바이스의 의도된 동작을 위해 필요한 반도체 재료의 모든 층이 적소에 있고 또한 필요한 경우 어닐링되어 있고, 필요한 패시베이션(passivation)이 수행되어 있으며, 필요한 콘택트가 반도체 구조체 상에 형성되어 있어 해당 구조체를 가로질러 목적으로 하는 전위의 인가를 가능하게 하는, 제조 상태를 지칭하지만, 이로써 제한되는 것은 아니다. 이 용어는 다수의 반도체 디바이스 및 그들의 의도된 용도를 위해 준비된 다수의 반도체 구조체를 지칭할 수 있다.
- [0019] 본 명세서에서 이용되는 바와 같이, "반도체 재료"란 용어는 화학적 화합물 혹은 화학적 화합물들을 포함하지만, 배타적으로 반드시 이들일 필요는 없는 재료를 지칭하며, 상기 화학적 화합물 혹은 화합물들은 순수한 경우 도체의 전기 전도도와 절연체의 전기 전도도 사이의 전기 전도도를 지닌다. 반도체 재료는 미도핑되

거나 n-도핑되거나 또는 p-도핑될 수 있고, 그들의 도핑 전 혹은 도핑 후 상태에서, GaN, InGaN, AlGaIn, AlGaInN, InN, GaAs, AlGaAs, AlGaAs, GaAsP, AlGalnP, GaP, AlGaP, ZnSe, SiC, Si, 다이아몬드, BN, AlN, MgO, SiO, ZnO, LiAlO₂, SiC, Ge, InAs, InAt, InP, C, Ge, SiGe, AlSb, AlAs, AlP, BP, BAs, GaSb, InSb, Al₂Ga_{1-z}As, InGaAs, In₂Ga_{1-z}As, InGaP, AlInAs, AlInSb, GaAsN, AlGaP, AlGaP, InAsSb, InGaSb, AlGaAsP, AlInAsP, AlGaAsN, InGaAsN, InAlAsN, GaAlAsN, GaAsSbN, GalnNAsSb, 또는 GalnAsSbP 중 적어도 하나를 포함할 수 있지만, 이들로 제한되는 것은 아니다.

[0020] 본 명세서에서 이용되는 바와 같이, "반도체 구조체"란 용어는, 반도체 재료의 적어도 하나의 층을 지칭하지만 이것으로 제한되는 것은 아니고, 또한 반도체 디바이스이거나 반도체 디바이스로 되는 반도체 재료의 다수의 층을 지칭할 수도 있다. 반도체 디바이스로 되는 상태는 일단 제조 공정이 완료되면 일어날 수 있다. "반도체 구조체"란 용어는 또한 제조의 중간 단계에서 하나 이상의 반도체 디바이스를 지칭할 수 있다. 이 용어는 다수의 반도체 디바이스이거나 다수의 반도체 디바이스로 되는 반도체 재료의 층 혹은 층들을 지칭하지만 이것으로 제한되는 것은 아니다. 상기 용어는 또한, 구조체 혹은 구조체들이 반도체 재료의 적어도 하나의 층, 또는 반도체 재료의 다수의 층을 포함하고 또한 구조체 혹은 구조체들이 옴 콘택트의 형성을 목적으로 하여 반도체 재료의 적어도 하나의 층과 인접하는 다른 재료들의 층들을 포함할 경우 반도체 디바이스이거나 반도체 디바이스로 되는 구조체 혹은 구조체들을 망라한다.

[0021] 본 명세서에서 이용되는 바와 같이, 화학식 "TiAl_xN_y"는 티타늄(Ti) 대 알루미늄(Al) 대 질소(N)의 몰비가 1:x:y인 화합물 또는 화합물들을 지칭하지만, 반드시 이것으로 제한되는 것은 아니며, 여기서 x와 y는 각각 독립적으로 0일 수 있다. 화학식은 또한 부가적으로 혹은 대안적으로 Ti 대 Al 대 N의 몰비가 1:x:y인 티타늄, 알루미늄 및 질소 원소의 혼합물을 지칭할 수 있지만, 이것으로 제한되는 것은 아니며, 여기서 티타늄, 알루미늄 및 질소의 원자는 화학식 TiAl_xN_y를 지니는 화합물 또는 화합물들로서 함께 결합되지 않고 오히려 균질, 반균질(semi-homogenous), 혹은 불균질(heterogenous) 혼합물로서 존재하며; 이 경우, 티타늄, 알루미늄 및/또는 질소의 원자는 화합물 또는 화합물들로서 함께 반드시 화학적 결합될 수 있지만, 반드시 그럴 필요는 없고, 이러한 화합물 또는 화합물들은 반드시 동일할 필요는 없으며, 또한 이러한 화합물 또는 화합물들은 반드시 이들 원소의 3종 모두를 동일한 비율로 함유할 필요는 없고, 이러한 화합물 또는 화합물들은 의도적으로 형성될 수 있지만 반드시 그럴 필요는 없고, 이러한 화합물 또는 화합물들은 일시 혹은 영구적인 기간 동안 존재할 수 있지만, 반드시 그럴 필요는 없다. 몇몇 실시형태에서, x 및 부가적으로 혹은 대안적으로 y는 TiAl_xN_y 재료 전체를 통해서 일정한 값은 아니다. 이와 같이 해서, 몇몇 실시형태에서, TiAl_xN_y 재료의 몇몇 위치 대 TiAl_xN_y 재료의 다른 위치에 있어서, x 혹은 y는 정확한 값을 지니기보다 오히려 소정 범위 내에 들어가는 값을 지닐 수 있다. x 혹은 y의 값이 특정되는 몇몇 실시형태에 있어서, 그 값의 특정은, x 혹은 y가 재료 전체를 통해서 특정된 값으로 일관적으로 동일한 실시형태를 포함할 뿐만 아니라, TiAl_xN_y 재료의 조성물이 그의 전체를 통해서 샘플링될 때 x 혹은 y의 값이 대략 특정된 값으로 평균되는 실시형태도 포함한다. 이에 대응해서, x 및 y의 값의 특정 쌍이 금지된 실시형태에 있어서, 해당 금지된 쌍의 값을 지니는 TiAl_xN_y의 샘플들이 TiAl_xN_y 재료 내에서 발견될 수 있는 실시형태는 금지되지 않고, 오히려, TiAl_xN_y 재료가 재료 전체를 통해서 일관성 있게 x 및 y에 대한 금지된 쌍의 값을 지니거나, TiAl_xN_y 재료의 조성물이 그의 전체를 통해서 샘플링될 때 TiAl_xN_y 재료가 x 및 y의 평균값으로서 x 및 y의 금지된 쌍의 값을 지니는 실시형태만이 금지된다.

[0022] 이하 본 발명의 소정의 실시형태를 더욱 상세히 참고할 것이고, 그 예는 첨부된 구조 및 식에서 예시된다. 본 발명은 열거된 특허청구범위와 관련하여 설명될 것이지만, 이들은 본 발명을 그러한 특허청구범위로 제한하도록 의도된 것이 아님을 이해할 수 있을 것이다. 반대로, 본 발명은 특허청구범위에 의해 규정된 바와 같은 본 발명의 범위 내에 포함될 수 있는 모든 대안에, 변형예 및 등가예를 커버하도록 의도되어 있다.

[0023] 본 명세서에서 "일 실시형태", "하나의 실시형태", "예시적인 실시형태" 등과 같은 언급은, 설명된 실시형태가 특수한 특징, 구조 혹은 특징을 포함할 수 있지만 모든 실시형태가 반드시 그러한 특수한 특징, 구조 혹은 특징을 포함할 수 있는 것이 아님을 나타낸다. 게다가, 이러한 어구는 반드시 동일한 실시형태를 지칭하는 것은 아니다. 또, 특수한 특징, 구조 혹은 특징이 일 실시형태와 관련하여 설명될 경우, 이것은 명시적으로 기재되어 있든지 그러하지 않든지 간에 다른 실시형태와 관련하여 당업자의 지식 내에서 그러한 특수한 특징, 구조 혹은 특징에 영향을 미치는 것으로 한다.

[0024] 몇몇 실시형태에서, 본 발명은 반도체 구조체와 적어도 부분적으로 인접하는 TiAl_xN_y 재료를 포함하는, 반도체

구조체 상에 옴 콘택트를 형성하기 위한 조성물을 제공하되, 여기서 x와 y는 동시에 0이 아니다. 본 발명의 몇몇 실시형태는 적어도 하나의 반도체 재료를 포함하는 반도체 구조체일 수 있다. 본 발명의 몇몇 실시형태는, 집적 회로를 비롯한, 회로들에 이용하기 위한 하나 이상의 반도체 디바이스로 되는, 또한 반도체 디바이스용의 임의의 용도를 위한 반도체 구조체일 수 있다. 본 발명의 몇몇 실시형태에서, 청구된 반도체 구조체가 될 반도체 디바이스의 유형은 무제한이며, 그 예로는 MOSFET(금속 산화물 반도체 전계효과 트랜지스터; metal oxide semiconductor field effect transistors)를 비롯한 임의의 트랜지스터 혹은 트랜지스터들, 임의의 MOS 디바이스, 모든 유형의 LED를 포함하는 임의의 다이오드(일반적으로, 단지 일 방향으로 전류를 도통시키는 디바이스), 집적 회로(다수의 반도체 디바이스를 포함하는 소형화된 전자회로), 마이크로프로세서, 및 RAM(랜덤 액세스 메모리: random access memory) 및 ROM(판독 전용 메모리: read only memory) 메모리를 비롯한 메모리를 들 수 있지만, 이들로 제한되는 것은 아니다.

[0025] 본 발명의 몇몇 실시형태에 있어서, $TiAl_xN_y$ 및 대안적으로 혹은 부가적으로 반도체 구조체는 일부 화학적 불순물을 함유할 수 있으므로, 이들 실시형태에 있어서, $TiAl_xN_y$ 는 Ti, Al 혹은 N이 아닌 일부 화학적 원소를 함유할 수 있거나 함유하지 않을 수 있으며, 반도체 구조체는 반도체 재료가 아닌 일부 화학적 원소를 함유할 수 있거나 함유하지 않을 수 있고, 알루미늄(존재할 경우)은 알루미늄이 아닌 일부 화학적 원소를 함유할 수 있거나 함유하지 않을 수 있다. 이들 실시형태에 있어서, 불순물의 존재는, $TiAl_xN_y$ 를 지칭하거나 반도체 구조체의 적어도 일부인 반도체 재료를 지칭하거나 혹은 알루미늄(존재할 경우)을 지칭하기 위하여 특정될 필요는 없다. 이들 실시형태에 있어서, 존재하는 불순물의 수준은 옴 콘택트 혹은 콘택트들의 의도된 형성을 방지하기에 충분하지 않고, 반도체 구조체가 형성되는 반도체 디바이스 혹은 디바이스들의 동작을 방지하는데도 충분하지 않다. 몇몇 실시형태에 있어서, 화학적 불순물이라 지칭될 수 있는 반도체 재료 중의 소정의 화합물의 존재가 의도되고, 이는 때로는 반도체 재료가 도핑되는 것을 유발할 수 있으며, 그 경우에 일반적으로 불순물의 존재가 반도체 디바이스의 의도된 동작을 가능하게 할 수 있다.

[0026] 본 발명의 몇몇 실시형태는 다수의 콘택트의 형성을 위한 조성물 및 방법을 포함하지만, 이것으로 제한되지 않으며, 하나의 콘택트의 형성을 위한 또는 한번에 하나의 콘택트의 형성을 위한 조성물 및 방법을 포함하지만, 이것으로 제한되는 것은 아니다. 이와 같이 해서, 본 발명의 몇몇 실시형태는 다수의 콘택트의 형성을 위한 조성물 및 방법을 포함하며, 부가적으로 본 발명의 실시형태는 한번에 다수의 콘택트의 형성을 위한 조성물 및 방법을 망라한다.

[0027] 본 발명의 일 실시형태는, 반도체 구조체를 가로질러 연장되고, 이것은 이어서 어닐링 후, 때로는 다른 단계 후에, 다수의 개별의 반도체 구조체 혹은 반도체 디바이스로 절단되거나, 잘게 썰리거나, 파손되거나 슬라이스될 수 있는 하나 이상의 옴 콘택트의 형성을 위한 조성물 및 방법을 포함한다. 도 1, 도 2 및 도 3에는, 제조가 완료된 후에, 다수 LED 반도체 디바이스로 되는 반도체 구조체(100)가 도시되어 있다. 이들 도면에 도시된 반도체 구조체는 간략화되어 있는 바; 도 1 내지 도 3에 도시되지 않은 실제의 실시형태에 있어서는 재료 및 구조의 두께 혹은 형상에 있어서 텍스처링 혹은 변형이 있을 수 있다. 도 1은 반도체 구조체(100)의 내부가 보이도록 잘라낸 2차원 형상을 도시하고 있고, 도 2는 반도체 구조체(100)의 3차원 도면을 도시하며, 도 3은 반도체 구조체(100)의 3차원 클로즈업 상태를 도시하고 있다. 이 구체적인 실시형태에 있어서, 반도체 구조체는 확산장벽(124)에 이어서, 미러(mirror)(122), 사파이어(120) 및 완충층(118)을 포함한다. 완충층(118) 상에는 n-도핑된 GaN(112)에 이어서 활성 영역(110), p-도핑된 GaN(108), 및 인듐 주석 산화물(indium tin oxide: ITO)(106)이 있다. $TiAl_3$ (116)는 반도체 구조체(100)와 적어도 부분적으로 인접, 구체적으로는, n-GaN(112)와 적어도 부분적으로 인접한다. 알루미늄(114)이 $TiAl_3$ (116)와 적어도 부분적으로 인접하고 있다. $TiAl_3$ (104)는 반도체 구조체(100)와 적어도 부분적으로 인접, 구체적으로는 ITO(106)와 적어도 부분적으로 인접하고 있다. 알루미늄(102)은 $TiAl_3$ 와 적어도 부분적으로 인접하고 있다. 도 2에서는, 반도체 구조체(100)와 적어도 부분적으로 인접, 구체적으로는 n-GaN(112)와 적어도 부분적으로 인접하는 $TiAl_3$ (117)를 볼 수 있다. Al(115)은 $TiAl_3$ (117)와 적어도 부분적으로 인접하고 있다. 재료들의 화학적 조성을 변화시키는 어닐링 후, 반도체 구조체(100)는 이어서 Al 및 $TiAl_3$ 가 위치되어 있는 위치, 구체적으로는 (115)와 (117), (102)와 (104), 및 (114)와 (116)에 3개의 별도의 넓은 옴 콘택트를 포함할 수 있고, 또한 어닐링에 의해 화학적으로 변성될 수도 있는 n-GaN의 부분을 포함한다. 어닐링 후에, 그리고 때로는 다른 단계들 후에, 반도체 구조체(100)는 이어서, 각각 다수의 옴 콘택트를 포함하는 많은 개별의 반도체 구조체 혹은 디바이스, 예를 들어 싱글레이션화된(singulated) LED로 절단되거나, 잘게 썰리거나, 파손되거나 슬라이스된다.

- [0028] 본 발명의 몇몇 실시형태는 단지 수개의 원자의 인접부, 또는 반도체 구조체들의 표면들의 대부분의 인접부 및 $TiAl_xN_y$ 를 포함하는, 반도체 구조체와 $TiAl_xN_y$ 간의 인접부의 어느 정도를 포함한다. 본 발명의 몇몇 실시형태는 반도체 구조체의 적어도 일부인 반도체 재료의 하나의 특정 부분과 $TiAl_xN_y$ 사이에 있는 인접부를 포함하고; 본 발명의 몇몇 실시형태는 부가적으로 혹은 대안적으로 반도체 구조체의 적어도 일부인 반도체 재료의 다수의 특정 부분과 $TiAl_xN_y$ 사이인 인접부를 포함한다.
- [0029] 본 발명의 일 실시형태는, 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물이며, 여기서 x 와 y 는 동시에 0이 아니다. 몇몇 실시형태에 있어서, y 가 0일 때, x 는 1이 아니다. 몇몇 실시형태에 있어서, 반도체 구조체와 $TiAl_xN_y$ 재료 사이의 인접부는 n -도핑된 GaN과의 적어도 부분적인 인접부를 포함한다. 몇몇 실시형태에 있어서, 반도체 구조체와 $TiAl_xN_y$ 재료 간의 인접부는 p -도핑된 GaN와의 적어도 부분적인 인접부를 포함한다. 몇몇 실시형태에 있어서, 반도체 구조체와 $TiAl_xN_y$ 재료 간의 인접부는 반도체 구조체의 적어도 일부분과의 적어도 부분적인 인접부를 포함한다. 본 발명의 몇몇 실시형태에 있어서, 반도체 구조체와 $TiAl_xN_y$ 재료 간의 인접부는 반도체 구조체의 하나보다 많은 부분과의 적어도 부분적인 인접부를 포함한다.
- [0030] 본 발명의 일 실시형태는, 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물이며, 여기서 $TiAl_xN_y$ 재료와 반도체 구조체 간의 인접부는 미도핑되거나, n -도핑되거나, 또는 p -도핑될 수 있는 적어도 하나의 반도체 재료와의 적어도 부분적인 인접부를 포함하되, 상기 미도핑되거나, n -도핑되거나 또는 p -도핑된 반도체 재료는, 도핑 전 혹은 도핑 후 상태의 어느 하나 혹은 양쪽 모두의 상태에서, GaN, InGaN, AlGaIn, AlGaInN, InN, GaAs, AlGaAs, AlGaAs, GaAsP, AlGaInP, GaP, AlGaP, ZnSe, SiC, Si, 다이아몬드, BN, AlN, MgO, SiO, ZnO, LiAlO₂, SiC, Ge, InAs, InAt, InP, C, Ge, SiGe, AlSb, AlAs, AlP, BP, BAs, GaSb, InSb, Al₂Ga_{1-z}As, InGaAs, In₂Ga_{1-z}As, InGaP, AlInAs, AlInSb, GaAsN, AlGaP, AlGaP, InAsSb, InGaSb, AlGaAsP, AlInAsP, AlGaAsN, InGaAsN, InAlAsN, GaAlAsN, GaAsSbN, GaInAsSb 또는 GaInAsSbP 중 적어도 하나를 포함한다.
- [0031] 본 발명의 다른 실시형태는, 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는, 해당 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물이다. 몇몇 실시형태에서, $TiAl_xN_y$ 재료는 어닐링 공정의 적어도 일부 전 혹은 그 동안 반도체 구조체와 적어도 부분적으로 인접한다. 몇몇 실시형태에 있어서, $TiAl_xN_y$ 재료는 원자층 증착, 물리적 기상 증착(PVD) 또는 화학적 기상 증착(CVD) 중 적어도 하나를 이용해서 첨가된다.
- [0032] 일 실시형태에서, 본 발명은 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 제공하되, 여기서 x 는 약 3이고 y 는 약 0이다. 다른 실시형태에 있어서, $TiAl_3$ 재료는 대략 5 내지 4000Å 두께이다. 다른 실시형태에 있어서, $TiAl_3$ 재료는 대략 50 내지 4000Å 두께이다. 다른 실시형태에 있어서, $TiAl_3$ 재료는 대략 50 내지 2000Å 두께이다. 다른 실시형태에 있어서, $TiAl_3$ 재료는 대략 100 내지 1000Å 두께이다. 다른 실시형태에 있어서, $TiAl_3$ 재료는 대략 200Å 두께이다. 다른 실시형태에 있어서, $TiAl_3$ 재료는 대략 150Å 두께이다. 다른 실시형태에 있어서, $TiAl_3$ 재료는 대략 100Å 두께이다.
- [0033] 일 실시형태에 있어서, 본 발명은, 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 제공하되, 해당 조성물은 알루미늄 재료를 더 포함하고, 해당 알루미늄 재료는 $TiAl_xN_y$ 재료의 적어도 일부와 인접한다. 관련된 실시형태에 있어서, $TiAl_xN_y$ 는 반도체 구조체와 알루미늄 사이에 있다. 다른 관련된 실시형태에 있어서, 원자층 증착, 물리적 기상 증착(PVD) 또는 화학적 기상 증착(CVD) 중 적어도 하나를 이용해서 알루미늄이 첨가된다. 다른 관련된 실시형태에 있어서, 알루미늄은 약 5 내지 4000Å 두께이다. 다른 관련된 실시형태에 있어서, 알루미늄은 약 250 내지 2000Å 두께이다. 다른 관련된 실시형태에 있어서, 알루미늄은 약 750 내지 1250Å 두께이다. 다른 관련된 실시형태에 있어서, 알루미늄은 대략 1000Å 두께이다.
- [0034] 몇몇 실시형태에서, 본 발명은, 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는, 반도체

구조체 상에 옴 콘택트를 형성하기 위한 조성물을 제공하되, 여기서 $TiAl_xN_y$ 재료는 약 5 내지 4000Å 두께이다. 다른 실시형태에 있어서, $TiAl_xN_y$ 재료는 대략 50 내지 4000Å 두께이다. 다른 실시형태에 있어서, $TiAl_xN_y$ 는 대략 50 내지 2000Å 두께이다. 다른 실시형태에 있어서, $TiAl_xN_y$ 재료는 대략 100 내지 1000Å 두께이다. 다른 실시형태에 있어서, $TiAl_xN_y$ 재료는 대략 200Å 두께이다. 다른 실시형태에 있어서, $TiAl_xN_y$ 재료는 대략 150Å 두께이다. 다른 실시형태에 있어서, $TiAl_xN_y$ 재료는 대략 100Å 두께이다.

[0035] 본 발명의 다른 실시형태는, 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 제공하되, 여기서 x 는 약 0 내지 10이다. 다른 실시형태에 있어서, x 는 약 1 내지 10이다. 다른 실시형태에 있어서, x 는 약 0 내지 5이다. 다른 실시형태에 있어서, x 는 약 0 내지 1이다. 다른 실시형태에 있어서, x 는 약 0 내지 0.5이다.

[0036] 몇몇 실시형태에서, 본 발명은, 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 제공하되, y 는 약 0 내지 10이다. 다른 실시형태에 있어서, y 는 약 0 내지 5이다. 다른 실시형태에 있어서, y 는 약 0 내지 1이다. 다른 실시형태에 있어서, y 는 약 0 내지 0.5이다.

[0037] 본 발명의 실시형태는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 방법을 포함하되, 상기 조성물은 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함한다. 몇몇 실시형태에 있어서, 반도체 구조체는 500°C 내지 1500°C 미만의 온도에서; 약 1000 내지 1500°C 미만에서; 약 800°C에서; 약 660°C 미만에서; 또는 약 500°C 미만에서 어닐링될 수 있다.

[0038] 본 발명의 실시형태는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 방법을 포함하되, 상기 조성물은 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함한다. 몇몇 실시형태에 있어서, 반도체 구조체는 대략 0.001 내지 10분 동안; 대략 5 내지 10분 동안; 대략 1 내지 5분 동안; 대략 1분 동안; 대략 30 내지 60초 동안; 또는 대략 0.001 내지 1분 동안 어닐링될 수 있다.

[0039] 몇몇 실시형태에 있어서, 본 발명은, 반도체 구조체를 제공하는 단계(여기서, 반도체 구조체는 n-도핑된 GaN 재료를 포함함), 상기 n-도핑된 GaN 재료의 적어도 일부와 인접하여 $TiAl_xN_y$ 재료를 증착시키는 단계(여기서, x 와 y 는 동시에 0이 아님), 및 상기 반도체 구조체와 상기 $TiAl_xN_y$ 를 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하는 방법을 제공한다. 관련된 실시형태에 있어서, x 는 약 3이고 y 는 약 0이다. 다른 관련된 실시형태에 있어서, $TiAl_xN_y$ 재료는 약 200 내지 2000Å 두께이다. 다른 관련된 실시형태에 있어서, $TiAl_xN_y$ 재료는 약 200Å 두께이다. 다른 관련된 실시형태에 있어서, 어닐링 공정은 약 800°C에서 일어난다. 다른 관련된 실시형태에 있어서, 어닐링 공정은 660°C 미만에서 일어난다. 다른 관련된 실시형태에 있어서, 어닐링 공정은 대략 0.1 내지 10분 동안 일어난다. 다른 관련된 실시형태에 있어서, 어닐링 공정은 대략 30 내지 60초 동안 일어난다.

[0040] 본 발명의 다른 실시형태는, 반도체 구조체를 제공하는 단계(여기서, 상기 반도체 구조체는 n-도핑된 GaN 재료를 포함함); 상기 n-도핑된 GaN의 적어도 일부와 인접하는 $TiAl_xN_y$ 재료를 증착시키는 단계(여기서 x 와 y 는 동시에 0이 아님); 상기 $TiAl_xN_y$ 재료가 Al과 상기 n-도핑된 GaN 재료 사이에 있도록, 상기 $TiAl_xN_y$ 재료의 적어도 일부와 인접하여 Al을 증착시키는 단계; 및 상기 반도체 구조체와 상기 $TiAl_xN_y$ 재료와 상기 Al 재료를 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하는 방법을 제공한다. 관련된 실시형태에 있어서, x 는 약 3이고 y 는 약 0이다. 다른 관련된 실시형태에 있어서, $TiAl_xN_y$ 재료는 약 50 내지 200Å 두께이고, Al 재료는 약 1000Å 두께이다. 다른 관련된 실시형태에 있어서, 어닐링 공정은 660°C 미만에서 일어난다. 다른 관련된 실시형태에 있어서, 어닐링 공정은 대략 0.1 내지 10분 동안 일어난다. 다른 관련된 실시형태에 있어서, 어닐링 공정은 대략 30 내지 60초 동안 일어난다.

[0041] 본 발명의 각종 실시형태는, 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하는 조성물의 용도를 포함하거나(여기서 x 와 y 는 동시에 0이 아님); 또는 반도체

구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는(여기서 x 와 y 는 동시에 0이 아님), 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하는 방법을 포함하거나; 또는 반도체 구조체를 제공하는 단계(여기서, 상기 반도체 구조체는 n -도핑된 GaN 재료를 포함함); 상기 n -도핑된 GaN의 적어도 일부와 인접하는 $TiAl_xN_y$ 재료를 증착시키는 단계(여기서 x 와 y 는 동시에 0이 아님); 및 상기 반도체 구조체와 상기 $TiAl_xN_y$ 재료를 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하는 방법을 포함하거나; 또는 반도체 구조체를 제공하는 단계(여기서, 상기 반도체 구조체는 n -도핑된 GaN 재료를 포함함); 상기 n -도핑된 GaN의 적어도 일부와 인접하는 $TiAl_xN_y$ 재료를 증착시키는 단계(여기서 x 와 y 는 동시에 0이 아님); 상기 $TiAl_xN_y$ 재료가 알루미늄과 상기 n -도핑된 GaN 재료 사이에 있도록, 상기 $TiAl_xN_y$ 재료의 적어도 일부와 인접하여 알루미늄을 증착시키는 단계; 및 상기 반도체 구조체와 상기 $TiAl_xN_y$ 재료와 상기 알루미늄 재료를 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하는 방법을 포함하는, LED를 제조하는 방법을 제공한다.

[0042] 본 발명의 각종 실시형태는, 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는(여기서 x 와 y 는 동시에 0이 아님), 반도체 구조체 상에 옴 콘택트 형성용의 조성물을 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하는 방법을 포함하거나; 또는 반도체 구조체를 제공하는 단계(여기서, 상기 반도체 구조체는 n -도핑된 GaN 재료를 포함함), n -도핑된 GaN의 적어도 일부와 인접하여 $TiAl_xN_y$ 를 증착시키는 단계(여기서 x 와 y 는 동시에 0이 아님) 및 상기 반도체 구조체와 상기 $TiAl_xN_y$ 재료를 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하는 방법을 포함하거나; 또는 반도체 구조체를 제공하는 단계(여기서, 상기 반도체 구조체는 n -도핑된 GaN 재료를 포함함); n -도핑된 GaN의 적어도 일부와 인접하여 $TiAl_xN_y$ 를 증착시키는 단계(여기서 x 와 y 는 동시에 0이 아님); 상기 $TiAl_xN_y$ 재료가 알루미늄과 상기 n -도핑된 GaN 재료 사이에 있도록, 상기 $TiAl_xN_y$ 재료의 적어도 일부와 인접하여 알루미늄 재료를 증착시키는 단계; 및 반도체 구조체와 상기 $TiAl_xN_y$ 재료와 상기 알루미늄 재료를 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 방법을 포함하는 방법 중 어느 하나에 의해 형성된 조성물 혹은 제품을 제공한다.

[0043] 본 발명의 각종 실시형태는, 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는(여기서 x 와 y 는 동시에 0이 아님), 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 포함하거나; 또는 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료를 포함하는(여기서 x 와 y 는 동시에 0이 아님), 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하는 방법을 포함하거나; 또는 반도체 구조체를 제공하는 단계(여기서, 상기 반도체 구조체는 n -도핑된 GaN 재료를 포함함), n -도핑된 GaN의 적어도 일부와 인접하여 $TiAl_xN_y$ 를 증착시키는 단계(여기서 x 와 y 는 동시에 0이 아님) 및 상기 반도체 구조체와 상기 $TiAl_xN_y$ 재료를 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하는 방법을 포함하거나; 또는 반도체 구조체를 제공하는 단계(여기서, 상기 반도체 구조체는 n -도핑된 GaN 재료를 포함함), n -도핑된 GaN 재료의 적어도 일부와 인접하여 $TiAl_xN_y$ 재료를 증착시키는 단계(여기서 x 와 y 는 동시에 0이 아님) 상기 $TiAl_xN_y$ 가 알루미늄과 상기 n -도핑된 GaN 사이에 있도록 $TiAl_xN_y$ 의 적어도 일부와 인접하여 알루미늄 재료를 증착시키는 단계, 및 상기 반도체 구조체와 상기 $TiAl_xN_y$ 재료와 상기 알루미늄 재료를 어닐링하는 단계를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하는 방법을 포함하는, LED를 제공한다.

[0044] 도 5 내지 도 9는 옴 콘택트를 형성하는 조성물 및 방법을 도시하며, 도 6 내지 도 9는 본 발명의 구체적인 실시형태를 도시하지만, 이들은 어쨌든 본 발명을 제한하도록 의도된 것은 아니다. 도 5 내지 도 9에 도시된 내부가 보이도록 잘라낸 2차원의 도면은, 재료들 간의 관련된 접합부를 도시하도록 의도되어 있고, 전체 구조에 반도체 재료의 전체를 나타낼 수 없으므로, 재료들은 그들이 도 5 내지 9에 도시된 바와 같은 형상 혹은 크기와는 전체 구조의 형상 혹은 크기가 상이할 수 있었다.

[0045] 본 발명의 일 실시형태가 아닌 n -도핑된 GaN(n -GaN) 반도체 구조체 상에 옴 콘택트를 형성하는 불리한 방법의 일례가 도 5에 도시되어 있고, 이는 n -GaN(506) 재료에 이어서 티타늄 재료(504)와 적어도 부분적으로 인접하는 대략 1000 Å 두께의 알루미늄 재료(502)를 포함하는 반도체 구조체 상에 대략 200 Å 두께의 티타늄 재료(504)의 형성을 포함한다. 단, 도 5에서 그리고 도 6 내지 도 9와 마찬가지로, 도시된 n -GaN 재료는 도시되지 않은 보

다 큰 n-GaN 재료의 일부를 잘라내어 내부가 드러나도록 되어 있다. 이 구조는 그 후 옴 콘택트(514)의 형성을 허용하기 위하여 적합한 시간과 온도인 800°C에서 1분 동안 어닐링된다. 옴 콘택트(514)에 있어서, 상기 재료들은 소정의 화학적 변화를 받으며, 결과적으로 해당 재료들을 통해서 원자가 확산되어 새로운 화합물을 생성한다. 이와 같이 해서, 옴 콘택트(514)에 있어서, 알루미늄 재료(508)는 재료(502)에 원래 존재하지 않는 기타 화합물(other compounds)을 포함할 수 있고, 티타늄 재료(510)는 재료(504)에 원래 존재하지 않는 기타 화합물을 포함할 수 있으며, 티타늄 재료(510) 근방에 있는 n-GaN 재료(512)는 재료(506)에 원래 존재하지 않는 기타 화합물을 포함할 수 있다. 어닐링 공정 동안, n-GaN 재료(506)와 알루미늄 재료(502) 사이에 있는 티타늄 재료(504)로 인해, 알루미늄 원자는 n-GaN 표면에 도달하도록 티타늄 재료(504)를 통해 확산되어, 콘택트에 그의 옴 특성을 부여할 수 있는 화학종의 형성을 허용할 필요가 있으며; 재료를 통한 확산은 보다 높은 어닐링 온도 및 부가적으로 혹은 대안적으로 더욱 연장된 어닐링 시간을 필요로 한다. 이 방법의 단점은 반도체 구조체에 열 결함을 도입할 수 있는 고온의 이용을 포함하는 점이다. 이 방법의 다른 단점은 대략 660°C에서 용융되는 알루미늄을 원소 상태로 사용하는 것(도 4 참조)을 포함하는 점이며, 이는 알루미늄이 고온 어닐링 공정 동안 용융되어 비드 형성 및 반점 형성을 초래하여 얻어지는 옴 콘택트 상에 바람직하지 않은 표면 형태를 초래하는 것을 의미한다. 이 방법의 다른 단점은 어닐링 공정이 필요로 되는 시간량을 포함하는 점이며, 이는 반도체 구조체 상에 높은 열의 부정적인 영향을 배가시키고, 또한 원소 알루미늄에 대한 높은 열의 부정적인 영향, 예컨대, 용융 및 비드 형성을 부가적으로 증가시킨다.

[0046] 본 발명의 몇몇 실시형태는, LED 반도체 디바이스로 되는 반도체 구조체를 포함하는, 반도체 구조체 상에 옴 콘택트를 형성하기 위한 공지된 조성물 및 방법에 비해 이점을 제공한다. 이점은, 어닐링 공정 동안 보다 낮은 열의 이용, 보다 짧은 어닐링 공정의 이용 및 고온 어닐링 공정에 대해 더욱 탄력적인 재료의 이용을 포함할 수 있지만, 이들로 제한되는 것은 아니다.

[0047] 본 발명의 일 실시형태가 도 6에 도시되어 있으며, 이 실시형태는 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 제공하되, 해당 조성물은 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_xN_y$ 재료(602)를 포함하고, n-GaN 재료(604)를 포함한다. 어닐링 공정 후, 옴 콘택트(612)가 형성된다. 옴 콘택트(612)에 있어서, 상기 재료들은 소정의 화학적 변화를 받으며, 결과적으로 해당 재료들을 통해서 원자가 확산되어 새로운 화합물을 생성한다. 이와 같이 해서, 옴 콘택트(612)에 있어서, $TiAl_xN_y$ 재료(608)는 재료(602)에 원래 존재하지 않는 기타 화합물을 포함할 수 있고, $TiAl_xN_y$ 재료(608) 근방에 있는 n-GaN 재료(610)는 재료(604)에 원래 존재하지 않는 기타 화합물을 포함할 수 있다. $TiAl_xN_y$ 의 몇몇 조성물은 800°C보다 높은 용점을 지닐 수 있다(y가 0일 때의 비제한적인 예에 대한 도 4 참조). 따라서, 반도체 구조체는 어닐링 온도에서 용융되는 옴 콘택트 형성용의 재료를 이용하는 단점 없이 800°C에서 어닐링될 수 있고, 이에 따라서 얻어지는 옴 콘택트의 표면 형태를 향상시키므로, 얻어지는 옴 콘택트의 품질을 향상시킨다. 본 발명의 본 실시형태는 알루미늄을 함유하는 재료($TiAl_xN_y$ 재료(602))의 반도체 재료(604)(n-GaN)와의 인접부로 인해 유리할 수 있고, 이는 알루미늄 원자가 다른 재료를 통해 확산되는 일없이 n-GaN 재료(604)에 확산가능하게 하여, 옴 콘택트의 형성에 필요한 화합물의 보다 신속한 형성을 잠재적으로 허용하여, 보다 짧은 어닐링 시간을 허용함으로써, 반도체 구조체에 형성되는 열 결함의 가능성을 저감시킨다. 이 특정 실시형태에서 알루미늄-함유 $TiAl_xN_y$ 재료(602)의 n-GaN 재료(604)에의 근접함의 추가의 이점은, 목적으로 하는 옴 콘택트를 생성하기 위하여 어닐링하는 동안에 보다 적은 열을 필요로 할 수 있고, 이는 또한 반도체 구조체에 형성될 열 결함의 가능성을 감소시킨다는 점이다.

[0048] 본 발명의 다른 실시형태가 도 7에 도시되어 있으며, 이 다른 실시형태는 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 제공하되, 해당 조성물은 반도체 구조체와 적어도 부분적으로 인접하는 $TiAl_3$ 재료(702)를 포함하고, n-GaN 재료(704)를 포함한다. 어닐링 공정 후, 옴 콘택트(712)가 형성된다. 옴 콘택트(712)에 있어서, 상기 재료들은 소정의 화학적 변화를 받으며, 결과적으로 해당 재료들을 통해서 원자가 확산되어 새로운 화합물을 생성한다. 이와 같이 해서, 옴 콘택트(712)에 있어서, $TiAl_3$ 재료(708)는 재료(702)에 원래 존재하지 않는 기타 화합물을 포함할 수 있고, $TiAl_3$ 재료(708) 근방에 있는 n-GaN 재료(710)는 재료(704)에 원래 존재하지 않는 기타 화합물을 포함할 수 있다. $TiAl_3$ 의 용점은 대략 1370°C이다(도 4). 따라서, 반도체 구조체는 어닐링 온도에서 용융되는 옴 콘택트 형성용 재료를 이용하는 단점 없이 800°C에서 어닐링될 수 있고, 이에 따라서 얻어지는 옴 콘택트의 표면 형태를 향상시키므로, 얻어지는 옴 콘택트의 품질을 향상시킨다. 본 발명의 본 실시형태는 또한 알루미늄을 함유하는 재료($TiAl_3$ 재료(702))의 반도체 재료(n-GaN 재료(704))와의 인접부로 인해 유리할 수 있고, 이는 알루미늄 원자가 다른 재료를 통해 확산되는 일없이 n-GaN 재료(704)에 확산가능하게

하여, 옴 콘택트의 형성에 필요한 화합물의 보다 신속한 형성을 잠재적으로 허용하여, 보다 짧은 어닐링 시간을 잠재적으로 허용함으로써, 반도체 구조체에 형성되는 열 결함의 가능성을 저감시킨다. 이 특정 실시형태에서 알루미늄($TiAl_3$ 재료(702))의 n-GaN 재료(704)에의 근접함의 추가의 이점은, 목적으로 하는 옴 콘택트(712)를 생성하기 위하여 어닐링하는 동안에 보다 적은 열을 필요로 할 수 있고, 이는 또한 반도체 구조체에 형성될 열 결함의 가능성을 감소시킨다는 점이다.

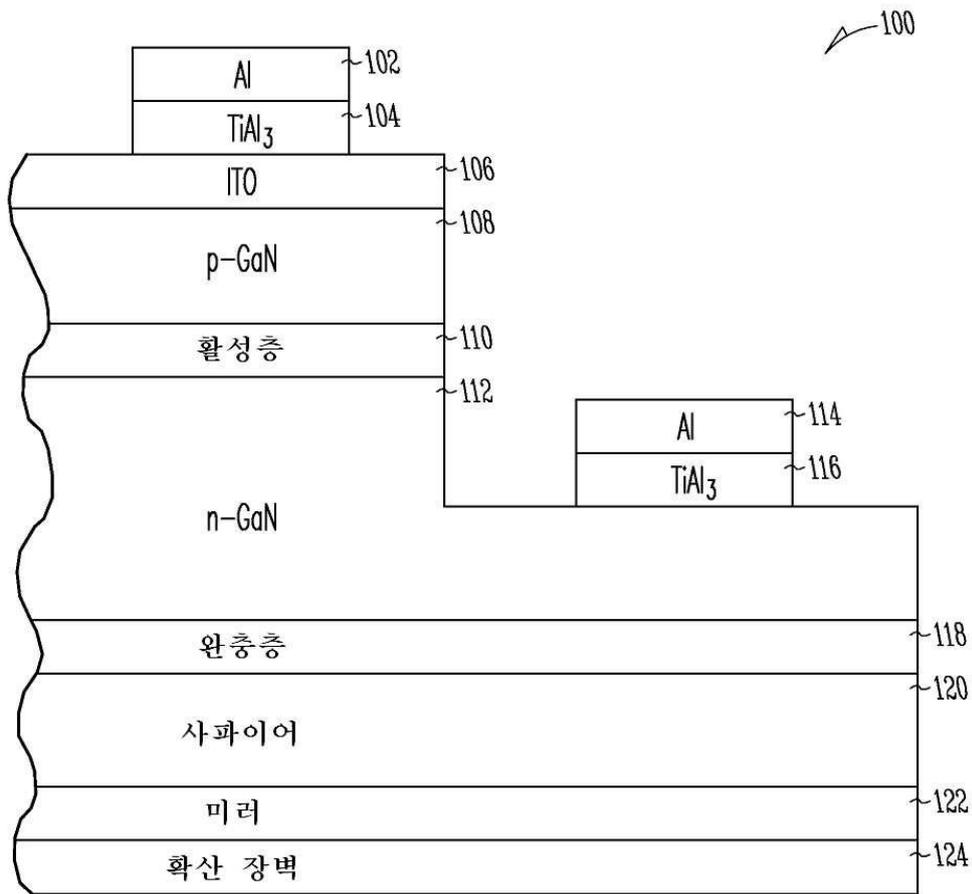
[0049] 본 발명의 다른 실시형태는 도 8에 도시되어 있으며, 해당 다른 실시형태는 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 제공하되, 해당 조성물은 반도체 구조체와 적어도 부분적으로 인접하는 대략 100Å 두께의 $TiAl_xN_y$ 재료(804)를 포함하고, n-GaN 재료(806)를 포함하며, $TiAl_xN_y$ 재료(804)와 적어도 부분적으로 인접하는 대략 1000Å 두께의 알루미늄 재료(802)를 추가로 포함한다. 어닐링 공정 후, 옴 콘택트(814)가 형성된다. 옴 콘택트(814)에 있어서, 상기 재료들은 소정의 화학적 변화를 받으며, 결과적으로 해당 재료들을 통해서 원자가 확산되어 새로운 화합물을 생성한다. 이와 같이 해서, 옴 콘택트(814)에 있어서, 알루미늄 재료(808)는 재료(802)에 원래 존재하지 않는 기타 화합물을 포함할 수 있고, $TiAl_xN_y$ 재료(810)는 재료(804)에 원래 존재하지 않는 기타 화합물을 포함할 수 있으며, $TiAl_xN_y$ 재료(810) 근방에 있는 n-GaN 재료(812)는 재료(806)에 원래 존재하지 않는 기타 화합물을 포함할 수 있다. 본 발명의 본 실시형태는 알루미늄을 함유하는 재료($TiAl_xN_y$ 재료(804))의 반도체 재료(n-GaN 재료(806))에 대한 인접부로 인해 유리할 수 있고, 이는 알루미늄 원자가 다른 재료를 통해 확산되는 일없이 n-GaN 재료(806)에 확산가능하게 하여, 옴 콘택트의 형성에 필요한 화합물의 보다 신속한 형성을 잠재적으로 허용하여, 보다 짧은 어닐링 시간을 잠재적으로 허용함으로써, 반도체 구조체에 형성되는 열 결함의 가능성을 저감시킨다. 이 특정 실시형태에서 알루미늄($TiAl_xN_y$ 재료(804))의 n-GaN 재료(806)에의 근접함의 추가의 이점은, 목적으로 하는 옴 콘택트를 생성하기 위하여 어닐링하는 동안에 보다 적은 열을 필요로 할 수 있고, 이는 또한 반도체 구조체에 형성될 열 결함의 가능성을 감소시킨다는 점이다.

[0050] 본 발명의 다른 실시형태는 도 9에 도시되어 있으며, 해당 다른 실시형태는 반도체 구조체 상에 옴 콘택트를 형성하기 위한 조성물을 제공하되, 해당 조성물은 반도체 구조체와 적어도 부분적으로 인접하여 대략 100Å 두께의 $TiAl_3$ 재료(904)를 포함하고, n-GaN 재료(906)를 포함하며, 또한 추가로 $TiAl_3$ 재료(904)와 적어도 부분적으로 인접하여 대략 1000Å 두께의 알루미늄 재료(902)를 포함한다. 어닐링 공정 후, 옴 콘택트(914)가 형성된다. 이 옴 콘택트(914)에 있어서, 상기 재료들은 소정의 화학적 변화를 받으며, 결과적으로 해당 재료들을 통해서 원자가 확산되어 새로운 화합물을 생성한다. 이와 같이 해서, 옴 콘택트(914)에 있어서, 알루미늄 재료(908)는 재료(902)에 원래 존재하지 않는 기타 화합물을 포함할 수 있고, $TiAl_3$ 재료(910)는 재료(904)에 원래 존재하지 않는 기타 화합물을 포함할 수 있으며, $TiAl_3$ 재료(910) 근방에 있는 n-GaN 재료(912)는 재료(906)에 원래 존재하지 않는 기타 화합물을 포함할 수 있다. 본 발명의 본 실시형태는 알루미늄을 함유하는 재료($TiAl_3$ 재료(904))의 n-GaN 재료(906)에 대한 인접부로 인해 유리할 수 있고, 이는 알루미늄 원자가 다른 재료를 통해 확산되는 일없이 n-GaN 재료(906)에 확산가능하게 하여, 옴 콘택트의 형성에 필요한 화합물의 보다 신속한 형성을 잠재적으로 허용하여, 보다 짧은 어닐링 시간을 잠재적으로 허용함으로써, 반도체 구조체에 형성되는 열 결함의 가능성을 저감시킨다. 이 특정 실시형태에서 알루미늄($TiAl_3$ 재료(904) 중)의 n-GaN 재료(906)에의 근접함의 추가의 이점은, 목적으로 하는 옴 콘택트를 생성하기 위하여 어닐링하는 동안에 보다 적은 열을 필요로 할 수 있고, 이는 또한 반도체 구조체에 형성될 열 결함의 가능성을 감소시킨다는 점이다. 어닐링 공정 동안 요구되는 보다 적은 열의 다른 이점은, 알루미늄 재료(902)가 용해되는 것을 피하고, 이는 얻어지는 옴 콘택트(914)의 표면 형태를 향상시키고 얻어지는 옴 콘택트(914)의 품질을 향상시킨다는 점이다.

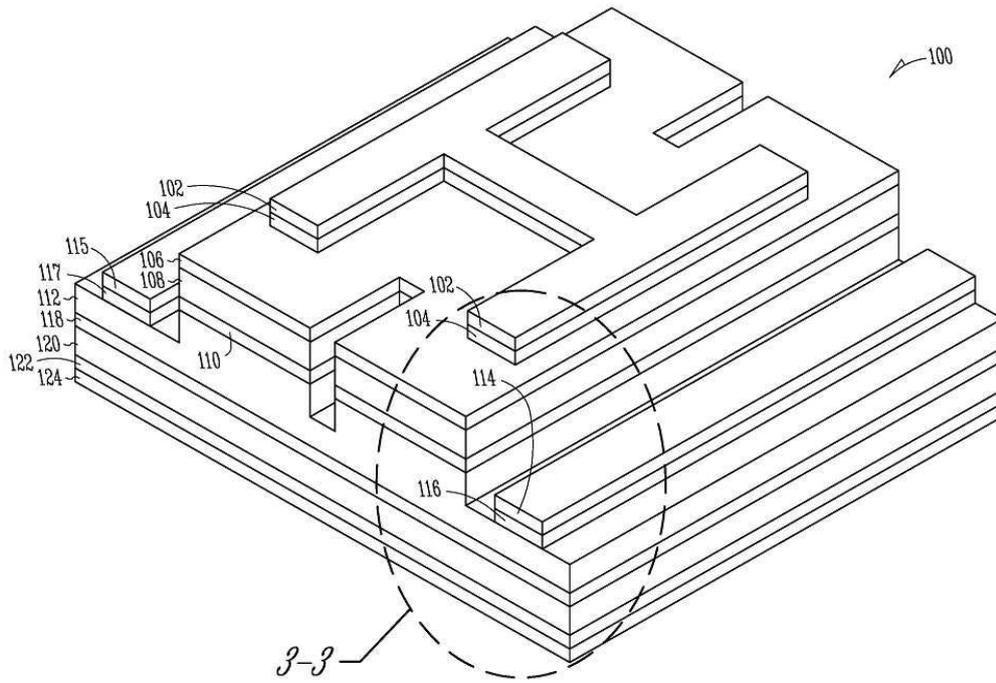
[0051] 모든 공보, 특허 및 특허 출원은 참조로 본 명세서에 병합된다. 상기 명세서에 있어서, 본 개시된 주제는 그의 소정의 바람직한 실시형태와 관련하여 설명되어 있고, 많은 상세가 예시의 목적으로 기술되어 있었지만, 개시된 주제가 추가의 실시형태가 가능하며 본 명세서에 기재된 상세의 일부가 개시된 주제의 기본적인 원리로부터 벗어나는 일없이 상당히 변경될 수 있는 것은 당업자에게 명백할 것이다.

도면

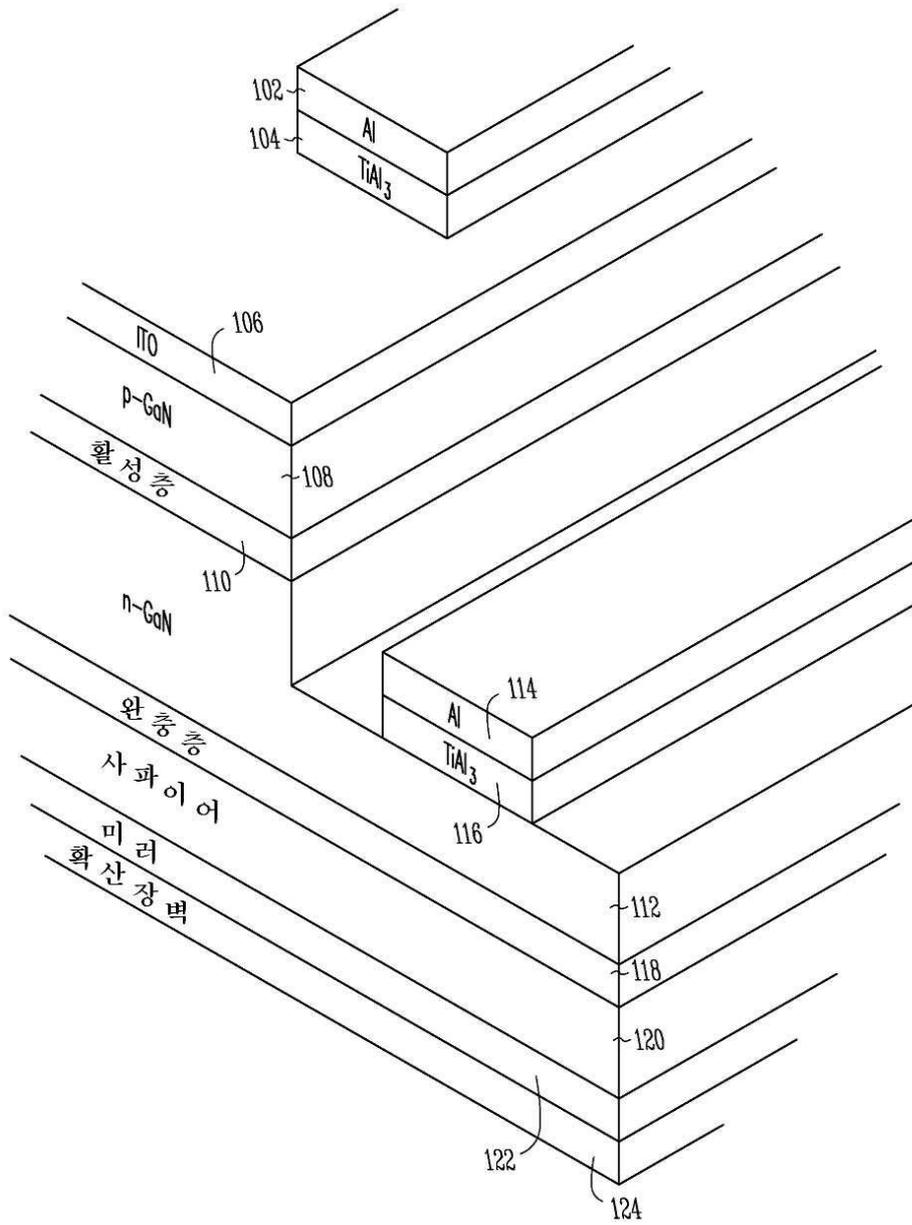
도면1



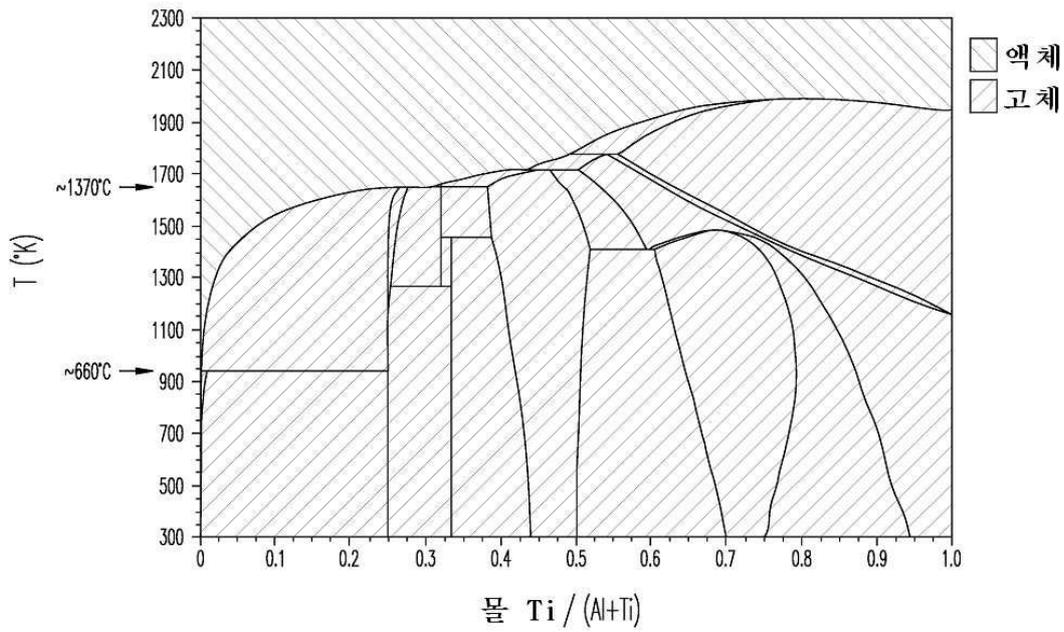
도면2



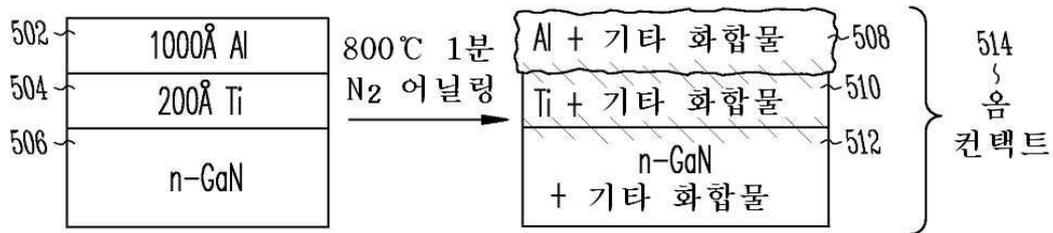
도면3



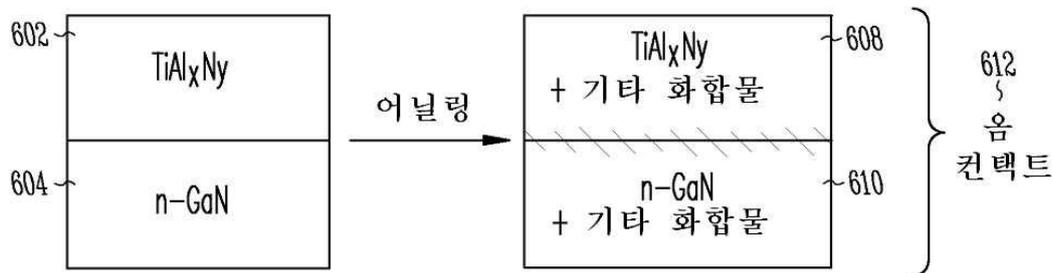
도면4



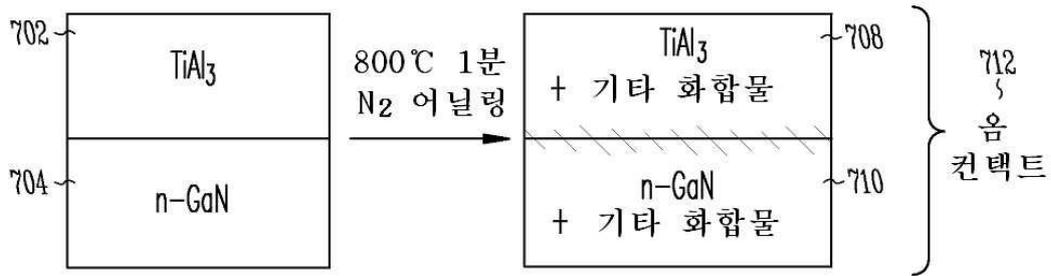
도면5



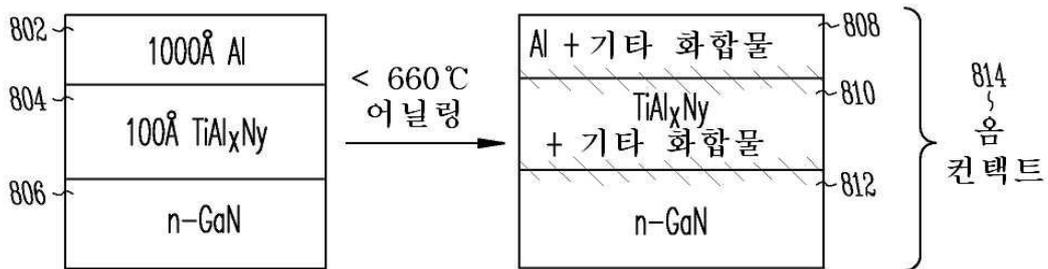
도면6



도면7



도면8



도면9

