

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-112121
(P2021-112121A)

(43) 公開日 令和3年8月2日(2021.8.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO2M 3/07 (2006.01)	HO2M 3/07	5H730
HO2M 3/155 (2006.01)	HO2M 3/155 H	

審査請求 未請求 請求項の数 15 O L 外国語出願 (全 25 頁)

(21) 出願番号	特願2021-284 (P2021-284)	(71) 出願人	517094840
(22) 出願日	令和3年1月4日 (2021.1.4)		ソーラーエッジ テクノロジーズ リミテッド
(31) 優先権主張番号	62/955, 627		イスラエル国、4673335 ヘルツリーヤ ハマダ ストリート 1
(32) 優先日	令和1年12月31日 (2019.12.31)	(74) 代理人	110001416
(33) 優先権主張国・地域又は機関	米国 (US)		特許業務法人 信栄特許事務所
		(72) 発明者	ミラン アイリック
			イスラエル、4673335、ヘルツリーヤ、1 ハマダ ストリート、ソーラーエッジ テクノロジーズ リミテッド内
		(72) 発明者	ラメシュ ゴヴィンダラヤン
			イスラエル、4673335、ヘルツリーヤ、1 ハマダ ストリート、ソーラーエッジ テクノロジーズ リミテッド内
			最終頁に続く

(54) 【発明の名称】 ZVSを備えたDCバランサ回路

(57) 【要約】 (修正有)

【課題】スイッチング損失を低減し、スイッチトキャパシタコンバータ(SCC)の効率を高めるためのSCCスイッチを制御する方法を提供する。

【解決手段】SCC100は、コントローラ101によって制御される直列に接続された4つのスイッチS1~S4及びコンデンサに結合されたインダクタを備える共振回路を備える。SCCは、ゼロ電圧条件のもとでコンバータスイッチを切り替えること及び/又はゼロ電流条件のもとでコンバータスイッチを切り替えることができる。

【選択図】図1A

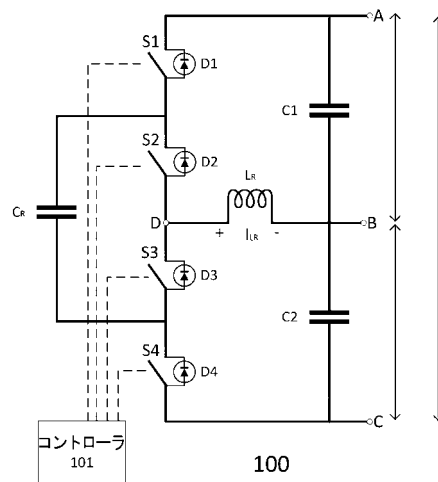


図1A

【特許請求の範囲】

【請求項 1】

第 1 のノード (A)、第 2 のノード (D)、第 3 のノード (C) および第 4 のノード (B) と、

第 1 のスイッチおよび第 2 のスイッチが、前記第 1 のノード (A) と前記第 2 のノード (D) との間で直列に結合され、第 3 のスイッチおよび第 4 のスイッチが、前記第 2 のノード (D) と前記第 3 のノード (C) との間で直列に結合され、前記第 1 のスイッチ、前記第 2 のスイッチ、前記第 3 のスイッチ、および前記第 4 のスイッチのそれぞれが、それぞれのバイパス装置 (D 1、D 2、D 3、D 4) に並列に結合される、第 1 のスイッチ (S 1)、第 2 のスイッチ (S 2)、第 3 のスイッチ (S 3)、および第 4 のスイッチ (S 4) と、

共振周波数 (f_R) において共振するように構成された回路であって、インダクタ (L_R) およびコンデンサ (C_R) を備え、

前記インダクタが、前記第 2 のノード (D) と前記第 4 のノード (B) との間に結合され、

前記コンデンサが、第 1 の端部と第 2 の端部とを備え、前記第 1 の端部が前記第 1 のスイッチと前記第 2 のスイッチとの間に結合され、前記第 2 の端部が前記第 3 のスイッチと前記第 4 のスイッチとの間に結合される、回路と、

前記第 1 のスイッチ、前記第 2 のスイッチ、前記第 3 のスイッチ、および前記第 4 のスイッチを周期的且つ順序付けられた方法で切り替えるように構成されたコントローラと、

【請求項 2】

前記コントローラが、前記第 1、第 2、第 3、および第 4 のスイッチの動作期間において、順次、

i) 前記第 1 のスイッチをオンにして前記第 3 のスイッチをオンにし、前記第 2 のスイッチをオフにして前記第 4 のスイッチをオフにし、

i i) 前記第 3 のスイッチをオフにし、

i i i) 前記第 2 のスイッチをオンにし、

i v) 前記第 1 のスイッチをオフにし、

v) 前記第 4 のスイッチをオンにし、

v i) 前記第 4 のスイッチをオフにし、

v i i) 前記第 1 のスイッチをオンにし、

v i i i) 前記第 2 のスイッチをオフにし、

i x) 前記第 3 のスイッチをオンにするように構成される、請求項 1 に記載の装置。

【請求項 3】

前記第 1 のノード (A)、前記第 3 のノード (C)、または前記第 4 のノード (B) のうちの 2 つのノードが、入力ノードとして使用するように構成され、前記第 1 のノード (A)、前記第 3 のノード (C)、または前記第 4 のノード (B) のうちの 2 つが、出力ノードとして使用するように構成される、請求項 1 または請求項 2 に記載の装置。

【請求項 4】

前記第 1 のノード (A)、前記第 3 のノード (C)、または前記第 4 のノード (B) のうちの 1 つが、入力ノードおよび出力ノードの双方として使用するために複製される、請求項 3 に記載の装置。

【請求項 5】

前記第 1 のノード (A) および前記第 4 のノード (B) が、入力端子として使用するように構成され、前記第 1 のノード (A) および前記第 3 のノード (C) が、出力端子として使用するように構成され、前記コントローラが、前記入力端子間の電圧の約 2 倍になるように前記出力端子間の電圧を制御するように構成される、請求項 3 に記載の装置。

【請求項 6】

前記第 1 のノード (A) および前記第 4 のノード (B) が、入力端子として使用するよ

10

20

30

40

50

うに構成され、前記第4のノード(B)および前記第3のノード(C)が、出力端子として使用するように構成され、前記コントローラが、前記入力端子間の電圧とほぼ同じになるように前記出力端子間の電圧を制御するように構成される、請求項3に記載の装置。

【請求項7】

前記第1のノード(A)および前記第3のノード(C)が、入力端子として使用するように構成され、前記第1のノード(A)および前記第4のノード(B)が、出力端子として使用するように構成され、前記コントローラが、前記入力端子間の電圧の約半分になるように前記出力端子間の電圧を制御するように構成される、請求項3に記載の装置。

【請求項8】

前記コントローラが、ソフトスイッチング条件のもとで前記第1、第2、第3、および第4のスイッチを切り替えるように構成される、先行する請求項のいずれか一項に記載の装置。

10

【請求項9】

前記ソフトスイッチング条件が、ゼロ電圧スイッチングまたはゼロ電流スイッチングを含む、請求項8に記載の装置。

【請求項10】

前記コントローラが、スイッチに並列なそれぞれのバイパス装置が導通しているときにゼロ電圧スイッチングおよびゼロ電流スイッチングのうち少なくとも一方により、前記スイッチを前記第1、第2、第3、または第4のスイッチから切り替えるように構成される、請求項1～9のいずれか一項に記載の装置。

20

【請求項11】

前記第1のノード(A)と前記第4のノード(B)との間に結合された第2のコンデンサと、前記第4のノード(B)と前記第3のノード(C)との間に結合された第3のコンデンサとをさらに備える、請求項1～10のいずれか一項に記載の装置。

【請求項12】

前記共振周波数および前記コントローラの制御信号の周波数が、約10kHzを超えて異なる、請求項1～11のいずれか一項に記載の装置。

【請求項13】

前記コントローラの制御信号の前記周波数が前記共振周波数よりも低い、請求項12に記載の装置。

30

【請求項14】

前記コントローラが、スイッチ遷移間に1つ以上の信号遅延を有するようにさらに構成される、請求項1～13のいずれか一項に記載の装置。

【請求項15】

前記第1のスイッチ、前記第2のスイッチ、前記第3のスイッチ、および前記第4のスイッチが周期的且つ順序付けられた方法で切り替えられる、請求項1～14のいずれか一項に記載の装置を制御する方法。

【発明の詳細な説明】

【背景技術】

【0001】

40

スイッチトキャパシタ回路は、電源スイッチと少なくとも1つのコンデンサを含み、出力電圧調整電力コンバータを実装するために使用されることができる。多くの場合、スイッチ状態が反転すると、スイッチの両端に電圧が印加されたりおよび/またはスイッチに電流が流れたりするため、スイッチングは、大きな損失を発生することがある。スイッチを高周波で動作させると、損失が大きくなることがある。

【発明の概要】

【課題を解決するための手段】

【0002】

以下の概要は、特定の特徴の簡略化された概要を提示する。この概要は、広範な大要ではなく、主要または重要な要素を特定することを意図したものではない。

50

【0003】

スイッチトキャパシタコンバータ（SCC）のシステム、装置、および方法について説明する。SCCは、インダクタを含む共振回路を含むことができる。SCCは、複数のモードで動作可能であるように構成されることができる。例えば、いくつかの特徴によれば、SCCは、入力端子または出力端子として使用されることができる端子を含むことができる。いくつかの構成では、入力電圧は、出力電圧に変換されることができる（例えば、入力電圧の約2倍である出力電圧、または入力電圧の約半分である出力電圧）。

【0004】

本明細書の本開示の態様は、コンバータの動作に関連するスイッチング損失を低減し、SCCの効率を高めるためのSCCスイッチを制御する方法（例えば、変調方法）をさらに含む。いくつかの態様によれば、制御方法を使用して、ゼロ電圧条件下またはゼロ電流条件下でコンバータスイッチを切り替えることができる。

10

【0005】

これらのおよび他の特徴および利点が、以下により詳細に記載される。

【0006】

本明細書に組み込まれ、その一部を構成する添付の図面は、本発明の実施形態を例示し、詳細な説明とともに、本発明の原理を説明および例示するのに役立つ。図面は、図示された実施形態の様々な特徴を図式的に示すことを意図している。図面は、実際の実施形態の全ての特徴または描写された要素の相対的寸法を描写することを意図しておらず、必ずしも一定の縮尺で描かれているわけではない。

20

【0007】

本発明は、一例として、添付の図面を参照して本明細書に記載される。

【図面の簡単な説明】

【0008】

【図1A】図1Aは、本明細書の開示の様々な態様にかかる第1の例示的な回路を示している。

【図1B】図1Bは、本明細書の開示の様々な態様にかかる第2の例示的な回路を示している。

【図1C】図1Cは、本明細書の開示の様々な態様にかかる第3の例示的な回路を示している。

30

【図1D】図1Dは、本明細書の開示の様々な態様にかかる他の例示的な回路を示している。

【図1E】図1Eは、本明細書の開示の様々な態様にかかる例示的なシステムを示している。

【図2A】図2Aは、本明細書の開示の様々な態様にかかる回路内の電流の流れを示している。

【図2B】図2Bは、本明細書の開示の様々な態様にかかる、回路内の電流の流れに対応するフローチャートを示している。

【図3】図3は、本明細書の開示の様々な態様にかかる、回路を制御するコントローラの例示的な信号チャートを示している。

40

【図4】図4は、本明細書の開示の様々な態様にかかる回路を示している。

【図5】図5は、本明細書の開示の様々な態様にかかる回路内の電流の流れを示している。

【図6】図6は、本明細書の開示の様々な態様にかかる回路の動作を示している。

【図7】図7は、本明細書の開示の様々な態様にかかる回路内の電流の流れを示している。

【図8】図8は、本明細書の開示の様々な態様にかかる回路の動作を示している。

【図9】図9は、本明細書の開示の様々な態様にかかる例示的な信号チャートを示している。

【発明を実施するための形態】

50

【0009】

本明細書の開示の態様は、例えば、コンバータの動作に関連するスイッチング損失を低減するため、および/またはSCCの効率を高めるためのSCCスイッチを制御する方法（例えば、変調方法）をさらに含む。いくつかの態様によれば、制御方法を使用して、ゼロ電圧条件下またはゼロ電流条件下でコンバータスイッチを切り替えることができる。いくつかの特徴は、添付の図面において、限定としてではなく、例として示されている。図面において、同様の数字は類似の要素を指す。いくつかの図は、複製可能であり、および/または同じ、類似の、または相互接続されたシステムの異なる態様を描写することができる（例えば、図1Aまたは図1Cの1つ以上の部分は、図1Dの複製とすることができる）。

10

【0010】

ここで、本明細書の開示にかかる例示的な回路100を示す図1Aを参照する。回路100は、4つのスイッチS1、S2、S3、およびS4を備える。スイッチS1、S2、S3、およびS4は、直列に接続されることができ、それぞれは、バイパス装置（例えば、ダイオード）に並列に結合されることができ、例えば、第1のスイッチS1は、第1のバイパス装置D1に並列に結合されることができ、第2のスイッチS2は、第2のバイパス装置D2に並列に結合されることができ、第3のスイッチS3は、第3のバイパス装置D3に並列に結合されることができ、および/または、第4のスイッチS4は、第4のバイパス装置D4に並列に結合されることができ、4つのスイッチは、一緒に単一のスイッチを形成するトランジスタまたはトランジスタのグループとすることができる。トランジスタは、金属酸化物シリコン電界効果トランジスタ（MOSFET）、接合ゲート電界効果トランジスタ（JFET）、バイポーラ接合トランジスタ（BJT）、絶縁ゲートバイポーラトランジスタ（IGBT）、双方向スイッチ、逆並列スイッチ（例えば、図1Cに示されるように）、および/または回路内でスイッチングする任意の適切な手段を備えることができる。バイパス装置は、バイパス装置のそれぞれのスイッチとは別の1つ以上の要素を備えることができる。バイパス装置の要素の例は、大信号ダイオード、ショットキーダイオード、トンネルダイオード、PINダイオード、および/または回路内で一方向の電流を可能にする任意の適切な手段を含む。バイパス装置は、内蔵のボディダイオードを備えることができる（例えば、それぞれがMOSFETの寄生ダイオードとすることができる）。

20

30

【0011】

4つのスイッチは、ノードAとノードCとの間に直列に接続されることができ、ノードDは、直列接続の midpoint である。スイッチS1は、ノードA（例えば、スイッチS1がMOSFETである場合など、スイッチS1のドレイン端子における）およびスイッチS2（例えば、スイッチS1がMOSFETである場合、スイッチS1のソース端子における）に結合されることができ、スイッチS2は、スイッチS1（例えば、スイッチS2がMOSFETである場合など、スイッチS2のドレイン端子における）およびノードD（例えば、スイッチS2がMOSFETである場合、スイッチS2のソース端子における）に結合されることができ、スイッチS3は、ノードD（例えば、スイッチS3がMOSFETである場合など、スイッチS3のドレイン端子における）およびスイッチS4（例えば、スイッチS3がMOSFETである場合、スイッチS3のソース端子における）に結合されることができ、スイッチS4は、スイッチS3（例えば、スイッチS4がMOSFETである場合など、スイッチS4のドレイン端子における）およびノードC（例えば、スイッチS4がMOSFETである場合、スイッチS4のソース端子における）に結合されることができ、異なるスイッチ間の接続は、所与のスイッチS1、S2、S3、およびS4のタイプに依存することができる。例えば、スイッチS1、S2、S3、およびS4間の接続は、所与のスイッチのドレイン端子、ソース端子、およびボディダイオードの配置に依存することができる。一例として、スイッチS1、S2、S3、およびS4の全ては、N型MOSFETまたはP型MOSFETのいずれかとすることができ、これらは全て、別のスイッチの1つのドレイン端子に接続されている1つのスイッチの1つのソ

40

50

ース端子に直列に接続されることができる。別の例として、スイッチS 1、S 2、S 3、およびS 4は、異なるスイッチ間の適切な接続配置を有する、異なるタイプのスイッチ、例えば、いくつかのN型MOSFETおよびいくつかのP型MOSFETの組み合わせを含むことができる。

【0012】

スイッチS 1、S 2、S 3、およびS 4は、コントローラ101によって制御されることができる。コントローラ101は、スイッチのタイプに応じて、一方向または双方向において、スイッチをオンにする（例えば、電流がスイッチを通して流れることを可能にする）またはオフにする（例えば、電流がスイッチを通して流れるのを防ぐ）ように制御することができる。スイッチS 1、S 2、S 3、およびS 4がMOSFETである例では、
 コントローラ101は、各MOSFETのゲートに結合されることができる。コントローラ101とMOSFETのゲートとの間の結合は、ゲート-ソース間電圧を生成して、MOSFETをオンまたはオフに制御することができる。結合は、直接的な場合もあれば、スイッチS 1、S 2、S 3、およびS 4のゲートへの信号を増幅するゲートドライバを介する場合もある。コントローラ101は、デジタルコントローラ、アナログコントローラ、アナログ制御回路、デジタル信号プロセッサ(DSP)コントローラ、マイクロコントローラユニット(MCU)、フィールドプログラマブルゲートアレイ(FPGA)、特定用途向け集積回路(ASIC)、マイクロプロセッサ、メモリ実行命令（例えば、マイクロプロセッサと組み合わせて）、および/またはコンピュータソフトウェア（例えば、汎用プロセッサ上で実行される）とすることができる。

10

20

【0013】

回路100は、共振回路を備えることができる。共振回路は、コンデンサに結合されたインダクタを備えることができ、

【数1】

$$f_R = \frac{1}{2 \cdot \pi \sqrt{LC}} [Hz]$$

の共振周波数で発振することができる。ここで、Lはインダクタのインダクタンスであり、Cはコンデンサの静電容量である。回路の共振回路100は、巻線L_RとパワーバンクC_Rを備え、非限定的な例により、インダクタおよびコンデンサとして示されており、

30

【数2】

$$f_R = \frac{1}{2 \cdot \pi \sqrt{L_R C_R}} [Hz]$$

の周波数で共振するように構成されている。パワーバンクC_Rは、スイッチS 2およびS 3に並列に接続されることができる。巻線L_Rは、ノードDとノードBとの間に接続されることができる。パワーバンクC_Rは、電圧差を形成および/または維持するための任意の適切な装置とすることができる。巻線L_Rは、コイル、チョーク、インダクタ、リアクタの任意の数の巻線、または磁場上にエネルギーを蓄積する任意の適切な手段とすることができる。パワーバンクC 1およびC 2は、ここではコンデンサとして示される非限定的な例によって、それぞれ、ノードAとBとの間およびノードBとCとの間の電圧差を保持することができる。共振回路の共振は、パワーバンク（例えば、パワーバンクC 1、C 2、およびC_R）によって形成された電場に電力を蓄積し、蓄積された電力を巻線（例えば、巻線L_R）によって形成された磁場に転送し、共振状態間で連続的に前後に遷移する回路によって発生することができる。

40

【0014】

ノードA、B、およびCは、入力端子、出力端子、またはその双方として使用されるこ

50

とができる。ノードのうち2つは、入力電圧を受け取るための入力端子として使用されることができる。例えば、入力端子の第1のサブセットは、3つのノードA、B、およびCのうち2つを備えることができる。回路は、3つのノードのうち2つの第2のサブセットの両端に出力電圧を供給するように動作されることができる（例えば、出力端子として使用されるノードの第2のサブセットにより）。

【0015】

端子の第1のサブセットおよび端子の第2のサブセットは、部分的に重複することができる（例えば、少なくとも1つの端子を共有することができる）。さらに、回路100の動作は、交換可能とすることができ、電力の双方向変換を可能にする。例えば、第1のサブセットは、入力端子として使用されることができ、第2のサブセットは、出力端子として使用されることができる（例えば、回路は、電力を端子の第1のサブセットから端子の第2のサブセットに変換するように動作されることができる）。別の例では、第1のサブセットは、出力端子として使用されることができ、第2のサブセットは、入力端子として使用されることができる（例えば、回路は、端子の第2のサブセットから端子の第1のサブセットに電力を変換するように動作されることができる）。

10

【0016】

ここで図1Bを参照すると、回路111は、回路100と同様の構造を有することができるが、共振回路の巻線 L_R および共振回路のパワーバンク C_R が互いに直列に接続されている。この例では、ノードBは、ノードDに直接接続されることができる。

【0017】

ここで図1Cを参照すると、回路102は、図1Aの回路100と同様または同じ構造を有することができるが、スイッチ $S_5 \sim S_8$ の追加は、スイッチ $S_1 \sim S_4$ （図1Aのスイッチ $S_1 \sim S_4$ とすることができ）に直列に接続されており、対応するバイパスダイオードの各対が突き合わせてまたは背中合わせに接続されるように、各対の直列接続されたスイッチを配向することにより、双方向スイッチを形成する。交流電圧入力の場合に使用するために、双方向スイッチを備えることができる。スイッチは、さらなる制御と自由度を可能にするだけでなく、スイッチを横切る逆電流の不要な流れを防ぐことができる。

20

【0018】

入力端子および出力端子（例えば、図1A、図1B、または図1Cの入力端子および出力端子）は、図1Dに示されることのできるような様々な配置で構成されることができる。入力端子は、電源103に結合され、出力端子は、負荷104に結合され、これはシステムを形成することができる。第1の配置100Aは、入力端子として使用するように構成されたノードAおよびBの第1のサブセットと、出力端子として使用するように構成されたノードAおよびCの第2のサブセットとを備える。第2の配置100Bは、入力端子として使用するように構成されたノードBおよびCの第1のサブセットと、出力端子として使用するように構成されたノードAおよびCの第2のサブセットとを備える。第3の配置100Cは、入力端子として使用するように構成されたノードAおよびBの第1のサブセットと、出力端子として使用するように構成されたノードBおよびCの第2のサブセットとを備える。第4の配置100Dは、入力端子として使用するように構成されたノードBおよびCの第1のサブセットと、出力端子として使用するように構成されたノードAおよびBの第2のサブセットとを備える。第5の配置100Eは、入力端子として使用するように構成されたノードAおよびCの第1のサブセットと、出力端子として使用するように構成されたノードAおよびBの第2のサブセットとを備える。第6の配置100Fは、入力端子として使用するように構成されたノードAおよびCの第1のサブセットと、出力端子として使用するように構成されたノードBおよびCの第2のサブセットとを備える。

30

40

【0019】

第1の配置100Aおよび第2の配置100Bは、実質的に同じ方法で動作することができる。第3の配置100Cおよび第4の配置100Dは、実質的に同じ方法で動作することができる。第5の配置100Eおよび第6の配置100Fは、実質的に同じ方法で動

50

作することができる。

【0020】

図1Aに戻ると、回路100の動作は、C2の両端の電圧をC1の両端の電圧に追従させるか、またはC1の両端の電圧をC2の両端の電圧に追従させるように、スイッチのスイッチングを介した共振回路の制御された共振を含むことができる。C1を超える電圧とC2を超える電圧との間に続く電圧は、例えば、おおよそ1対1の電圧比に比例することができる。1対1の比の例では、回路100は、電圧ダブラとして機能することができ、ノードAおよびB、および/またはノードBおよびCは、入力端子として使用され、ノードAおよびCは、出力端子として使用される。例えば、入力端子ノードAおよびBが約400Vの電圧差を有する場合、出力端子ノードAおよびCは、約800Vの電圧差を出力することができる。1対1の比の例では、回路100は、電圧半体として機能することができ、ノードAおよびCは入力端子として使用され、ノードAおよびBまたはノードBおよびCは出力端子として使用される。例えば、入力端子ノードAおよびCが約800Vの電圧差を有する場合、出力端子ノードAおよびBは、約400Vの電圧差を受け取ることができる。1対1の電圧比の例では、回路100は、電圧アイソレータとして機能することができ、それぞれ、ノードA、BまたはノードB、Cは入力端子として使用され、ノードB、CまたはノードA、Bは出力端子として使用される。例えば、入力端子ノードAおよびBが出力端子ノードBおよびCよりも約400Vの電圧差を有する場合、約400Vの電圧差を受け取ることができる。

10

【0021】

ここで、回路100（または本明細書に示される他の回路）の入力および出力の例を示している図1Eを参照する。回路100は、他の構成要素に結合されて、システムを形成することができる。太陽光発電（PV）システム105Aは、電源103などの発電機とすることができる。PVシステム105Aは、1つ以上のPVストリングのPVファームを備えることができ、各ストリングは、1つ以上のPVセルまたはPVパネル106を含むことができる。各PVセルまたはパネルは、DC/DCコンバータ107に結合されることができる。DC/DCコンバータ107は、ブーストコンバータ、バックコンバータ、バックブーストコンバータ、および/またはDCをDCに変換する任意の適切な手段とすることができる。DC/DCコンバータ107は、最大電力点追従（MPPT）機能および/または要素を含むことができる。PVストリングは、さらに、1つ以上のPVパネル106の電圧とインバータまたは変圧器105Bを組み合わせてPVパネル106から電圧を受け取るコンバイナボックスに結合されることができる。インバータまたは変圧器105Bは、無停電電源装置（UPS）をさらに備えることができる。PVシステム105Aは、例示的なPVシステムであり、図示された構造に限定されない。回路100は、PVシステム105Aの任意の部分に結合されることができる。例えば、回路100のPVパネルは、DC/DCコンバータに結合されることができる。別の例では、回路100のDC/DCコンバータは、PVストリングに結合されることができる。別の例では、回路100のDC/DCコンバータは、ジャンクションまたはコンバイナボックスに結合されることができる。別の例では、回路100のDC/DCコンバータは、PVストリングまたはジャンクションまたはコンバイナボックスからインバータまたは変圧器105Bに結合されることができる。別の例では、回路100のDC/DCコンバータは、PVストリングまたはジャンクションまたはコンバイナボックスからUPSに結合されることができる。別の例では、回路100のDC/DCコンバータは、UPSからインバータまたは変圧器105Bに結合されることができる。

20

30

40

【0022】

別の例示的なシステムは、バッテリー105Cである。回路は、（例えば、システムがバッテリー105Cである場合）出力端子を介してバッテリーを充電するか、入力端子を介してバッテリーを放電するか、または双方の組み合わせと組み合わせで使用されることができる。別の例示的なシステム105Dは、インダクタまたは変圧器とすることができる。回路100または回路102は、システム105Dの端部に結合され、AC電圧を受け取るこ

50

とができる。回路100または回路102は、タップを備えたインバータの端部に配置されることができる。インバータは、3レベル中性点クランプインバータ(NPCインバータ)とすることができる。回路100または回路102を使用して、中間点タップを2つの等しい電圧値側にバランスさせることができる。システム105Dは、回路100または回路102がインバータまたは変圧器の出力を半分にして、等しい比率の2つの半分の電圧を生成することができる単相システムを模倣することができる。これは、米国の家庭や米国の電力網など、単相3線式で動作する電気システムとの互換性が向上するという利点を有することができる。

【0023】

ここで、コントローラ101によって回路100の制御された周期的スイッチング状態の例を示している図2Aおよび図2Bを参照する。状態から状態へのスイッチングは、ソフトスイッチに向けることができる。ソフトスイッチングは、スイッチング損失が少ないという利点を有することができる。ソフトスイッチングは、ゼロ電流スイッチング(ZCS)、ゼロ電圧スイッチング(ZVS)、またはその双方を含むことができる。ZCSは、スイッチをオンまたはオフにする前に、スイッチを流れる電流をゼロまたはゼロに近付けることで実現されることができる。追加的または代替的に、ZVSは、スイッチがオンまたはオフになる前に、スイッチの両端の電圧がゼロ(またはゼロに近い)にされることによって実現されることができる。回路100は、1つ以上のスイッチング遷移においてソフトスイッチングを使用することができ、スイッチング遷移の大部分をソフトスイッチすることができる。

10

20

【0024】

スイッチング周波数、または f_{sw} は、1つ以上の状態が切り替わる速度を指すことができる。スイッチング周波数 f_{sw} は、共振周波数 f_r (Hz)よりも高い値であっても、または低い値であってもよい。共振周波数 f_r およびスイッチング周波数 f_{sw} は、双方とも、(Hzで)近接して近くすることができ、例えば、互いに15kHz、10kHz、または5kHzよりも離れなくすることができる。例えば、共振周波数 f_r が50kHzである場合、スイッチング周波数 f_{sw} は、40kHz~60kHz(例えば、10kHzの範囲の例では45kHz)とすることができる。回路100は、開ループフィードバックシステムにおいてスイッチング周波数 f_{sw} によって動作されることができ、プロセス出力から独立することができる。

30

【0025】

制御された周期的スイッチング状態を構成する周期的状態は、200A、201A、202A、203A、200B、201B、202B、203Bである。A状態およびB状態は、形態が類似することができる(例えば、状態200Aは、状態200Bに類似することができるなど)。正方向または負方向の電流の流れは、特定の方向に限定されるものではなく、電流の極性が互いに逆であることを示す。スイッチのオフおよび/またはオンは、能動的および/または受動的に行うことができ、信号ありまたは信号なしで行うことができる。共振回路は、正および負の方向に電流を前後に振動および/または反転することができる。状態200Aでは、スイッチS1およびS3は「オン」であり、スイッチS2およびS4は「オフ」であり、巻線電流ILRは、正の方向に流れている。スイッチS1は、ZCSのもとにオンになる前に、最初は並列バイパス装置に流れる電流を有することができる。状態201Aでは、スイッチS1およびS3は「オン」であり、スイッチS2およびS4は「オフ」であり、巻線電流ILRは、反転して負の方向に流れることができる。巻線電流ILRは、共振回路の発振により反転することができる。状態202Aでは、スイッチS1およびS2は「オン」であり、スイッチS3およびS4は「オフ」であり、巻線電流ILRは、負の方向に流れている。電流の大きさが小さい場合(例えば、ZCSに近い場合)、スイッチS3をオフにすることができる。電流は、スイッチS2がオンになる前に、スイッチS2の並列バイパス装置を流れ始め、ZVSのもとにオンになることができる。状態203Aでは、スイッチS1およびS2は「オン」であり、スイッチS3およびS4は「オフ」であり、巻線電流ILRは、反転して正の方向に流れることが

40

50

できる。スイッチS 1は、並列バイパス装置を流れる電流によってオンになり、ZVSおよび/またはZCSにおいてまたはその近くでスイッチがオフになることができる。巻線電流ILRは、共振回路の発振により反転することができる。状態200Bでは、スイッチS 2およびS 4は「オン」であり、スイッチS 1およびS 3は「オフ」であり、巻線電流ILRは、正の方向に流れている。スイッチS 4は、最初は並列バイパス装置に電流が流れることができ、ZCSのもとにオンになることができる。状態201Bでは、スイッチS 2およびS 4は「オン」であり、スイッチS 1およびS 3は「オフ」であり、巻線電流ILRは、反転して負の方向に流れることができる。巻線電流ILRは、共振回路の発振により反転することができる。状態202Bでは、スイッチS 1およびS 2は「オン」であり、スイッチS 3およびS 4は「オフ」であり、巻線電流ILRは、負の方向に流れることができる。電流の大きさが小さい場合（例えば、ZCSに近い場合）、スイッチS 4をオフにすることができる。電流は、スイッチS 1がオンになる前に、スイッチS 1の並列バイパス装置を流れ始め、ZVSのもとにオンになることができる。状態203Bでは、スイッチS 1およびS 2は「オン」であり、スイッチS 3およびS 4は「オフ」であり、巻線電流ILRは、反転して正の方向に流れることができる。スイッチS 2は、電流が並列バイパス装置を流れている間にオフにすることができる。ZVSおよび/またはZCSまたはその近くにおいてオフになることができる。巻線電流ILRは、共振回路の発振により反転することができる。状態203Bの後、周期的に次の状態が状態200Aに戻り、サイクルが繰り返される。いくつかの例では、状態200Aおよび状態201Aは、正弦波の一部とすることができる。状態202Aは、線形とすることができる。状態202Bは、一部が線形で一部が正弦波とすることができる。同様に、状態200Bおよび状態201Bは、正弦波の一部とすることができる。状態202Bは、線形とすることができる。状態203Bは、一部が線形で一部が正弦波とすることができる。

10

20

30

40

50

【0026】

ここで、コントローラ101によってスイッチに送信される制御信号の例を示している図3を参照する。遅延のセット300A、301A、および302Aと、300B、301B、および302Bとが存在する。遅延セットAおよび遅延セットBは、互いに類似していてもよく、同様の所望の効果（例えば、遅延300Aは、遅延300Bと類似することができるなど）を有することができる。セットAの遅延300A、301A、および302A、ならびにセットBの遅延300B、301B、および302Bは、ZVSおよび/またはZCSを達成するためのものであり、スイッチのスイッチング特性に基づくことができ、効率を高め、スイッチングのオーバーシュートを低減するという利点を有することができる。遅延300Aおよび遅延300Bは、スイッチがオンになる前に並列バイパス装置が導通することを可能にすることができる。遅延300Aおよび遅延300Bは、閉路スイッチのターンオフ特性に基づくことができる。遅延300Aに関する一例では、スイッチS 3の過渡現象が消散する間、制御信号に遅延が存在することができる。消散後、制御信号は、スイッチS 2にオンを指示することができる。遅延300Aおよび遅延300Bは、新たにオンになったスイッチでZVSを可能にすることができる。遅延301Aおよび遅延301Bは、閉路スイッチのターンオフ時間によって決定されることができ、および/または巻線電流がゼロまたはゼロに近いレベルに低下するようにタイミングを合わせることができる。遅延301Aおよび遅延301Bの長さは、スイッチの逆回復およびターンオフ特性の関数とすることができる（例えば、ZCSまたはほぼZCSを達成することができる）。例えば、1つのターンオフ特性は、遅延301AのスイッチS 1のターンオフ時間とすることができる。別の例では、1つのターンオフ特性は、遅延301BのスイッチS 2のターンオフ時間とすることができる。遅延302Aおよび遅延302Bは、オンにされるスイッチの並列バイパス装置に対応する導通時間によって決定されることができる。例えば、並列バイパス装置が導通している間にスイッチをオンにすると、導通損失を低減することができるため、有利とすることができる。遅延302Aおよび遅延302Bを低減することは、伝導損失を低減することができるが、場合によっては、遅延が小さすぎると、進行中の（例えば、オンになっている）スイッチにおいて高い過電圧

オーバーシュートが生じる可能性があるため、遅延を特定の閾値までにのみ低減することが有利とすることができる。例えば、遅延 302 A のためにスイッチ S 1 に進む前にスイッチ S 4 の導通時間を考慮に入れること、または遅延 302 B のためにスイッチ S 2 に進む前にスイッチ S 3 の導通時間を考慮することが有利とすることができる。

【0027】

以下は、上述した説明および図と重複するか、または補足することができる説明および図を含むことができる。

【0028】

この文書では、共振スイッチトキャパシタコンバータのソフトスイッチング変調アプローチについて詳述する。共振スイッチトキャパシタの例示的なトポロジーが図 4 に示されている。提案された変調アプローチは、いくつかの利点を有することができる。最初のいくつかのスイッチは、ゼロ電圧スイッチング (ZVS) またはゼロ電流スイッチング (ZCS) 遷移を有し、これは、高効率のコンバータ動作につながる。第 2 に、コンバータは、(インダクタおよびコンデンサによって形成される共振回路の周波数 f_R と比較して) 低いスイッチング周波数 f_{SW} で動作することができ、これは、設計の実装を簡素化し、スイッチング損失をさらに低減することができる ($f_{SW} < f_R$)。

【0029】

図 5 は、提案された変調アプローチのもとでの例示的な共振インダクタ波形を示している。図 5 は、共振インダクタ (L_R) (例えば、図 4 に示されるような共振インダクタ) における電流の例示的な波形を示している。動作モードは、図 5 において、「0 a」、「1」、「2」、「3」、および「0 b」として注釈が付けられている。図 5 は、様々なスイッチング装置間のソフトスイッチング遷移とともに、いくつかの動作モード中に電流を担持するスイッチング装置を示している。図 5 は、[S 1、S 3] 共振から [S 2、S 4] 共振に遷移するコンバータの例を示している。

【0030】

波形は、以下のように図 5 に注釈が付けられたモード間で遷移することができる。モード「0 a」の間、共振インダクタおよびコンデンサは共振することができる。スイッチ S 1 および S 3 はオンのままとすることができ、電流は正とすることができる。スイッチ S 2 および S 4 はオフになっている。モード「1」の間、共振サイクルが続くと共振電流が負になることができる。同じスイッチ S 1 および S 3 は引き続き導通することができる。スイッチ S 2 および S 4 はオフのままとなることができる。モード「2」の間、スイッチ S 3 はオフになることができる。電流はゼロ以外とすることができるが、大きさは小さくすることができる。したがって、スイッチング動作は、ZCS スwitching と見なすことができる。電流は、スイッチ S 1 を流れ続けることができ、スイッチ S 2 のボディダイオードを通過することができる。ここで、スイッチ S 2 ゲートは、ZVS スwitching のもとにオンになることができる。電流は、その方向を変えることができ、 V_{IN} の正の電圧を見ると上昇し始めることができる。モード「3」の間、電流が上昇すると、電流はその極性を反転させて正になることができる。スイッチ S 1 ゲートは、ZVS のもとでモード「2」とモード「3」との間でオフになることができる (例えば、ZCS に近いスイッチング動作)。しかしながら、スイッチ S 1 は、ダイオードの逆回復プロセスとその出力コンデンサの充電プロセスにより、導通し続けることができる。モード「0 b」の間、スイッチ S 1 はオフになり、電圧をブロックし始めると、スイッチ S 4 のボディダイオードが電流を引き継いで導通し始めることができる。第 2 の共振サイクルは、共振電流がスイッチ S 2 および S 4 を通って流れる場合に開始することができる。ここで、スイッチ S 4 ゲートはオンになることができる。SCC が図 5 に示されているモード間で遷移することができる方法の一例が図 6 において与えられることができる。図 6 は、[S 1、S 3] 共振と [S 2、S 4] 共振との間の遷移中の ZVS および ZCS プロセスの例を示す例示的なスイッチング回路を示している。

【0031】

次のセクションでは、[S 2、S 4] 共振から [S 1、S 3] 共振への別の例示的な遷

10

20

30

40

50

移の概要を説明する。図7は、例示的なアプローチを示している。図7は、共振インダクタ (L_R) (例えば、図4に示されるような共振インダクタ) における電流の例示的な波形を示している。

【0032】

波形は、以下のように図7に注釈が付けられたモード間で遷移することができる。モード「0b」の間、共振インダクタおよびコンデンサは共振することができる。スイッチS2およびS4はオン(導通)になることができ、電流は正とすることができる。スイッチS1およびS3はオフになることができる。モード「4」の間、共振サイクルが続くと共振電流が負になることができる。同じスイッチS2およびS4は引き続き導通することができる。スイッチS1およびS3は、なおもオフになることができる。モード「5」の間、スイッチS4はオフになることができる。電流はゼロ以外とすることができるが、大きさは小さくすることができる。したがって、スイッチング動作は、ZCSスイッチングと見なすことができる。電流は、スイッチS2を流れ続けることができ、スイッチS1のボディダイオードを通過することができる。ここで、スイッチS1ゲートは、ZVSスイッチングのもとにオンになることができる。電流は、その方向を変えることができ、 V_{IN} の正の電圧を見ると上昇し始めることができる。モード「6」の間、(例えば、電流が上昇すると)電流はその極性を反転させて正になることができる。スイッチS2ゲートは、ZVSおよびZCSに近いスイッチング動作のもとでモード「5」とモード「6」との間でオフになることができる。しかしながら、スイッチS2は、ダイオードの逆回復プロセスとその出力コンデンサの充電プロセスにより、導通し続けることができる。モード「0a」の間、(例えば、スイッチS2はオフになり、電圧をブロックし始めると)スイッチS3のボディダイオードが電流を引き継いで導通し始めることができる。第2の共振サイクルを開始することができる(例えば、共振電流がスイッチS1およびS3を流ることができる)。ここで、スイッチS3ゲートはオンになることができる。SCCが図7に示されているモード間で遷移することができる方法の一例が図8において与えられることができる。図8は、[S2、S4]共振と[S1、S3]共振との間の遷移中のZVSおよびZCSプロセスを示す例示的なスイッチング回路を示している。

10

20

【0033】

図9は、4つのスイッチS1~S4の例示的なゲート信号を示している。図9は、ZVSおよびZCSスイッチング動作のためのスイッチング装置のための例示的なゲート駆動信号を示している。遅延「a」、「b」、および「c」は、効率を高め、スイッチングのオーバーシュートを低減するように、スイッチのスイッチング特性に基づいて決定されることができる。ゲート信号の遅延は、「a」、「b」、および「c」で表される。[S1、S3]共振から[S2、S4]共振への遷移を考慮すると、遅延「a」、「b」、および「c」は、以下のように決定されることができる。スイッチS3のターンオフ中に、負のインダクタ電流がモード「1」からモード「2」に移行することができる。電流は、スイッチS3からスイッチS2に転送することができる。遅延「a」については、スイッチS2のボディダイオードが導通を開始した後、スイッチS2がオンになることができる。遅延間隔は、スイッチS3のターンオフ特性と負の電流の大きさに基づいて決定されることができる。遅延「b」に関して、遅延間隔「b」は、スイッチS1のターンオフ時間を決定することができる。この間隔は、スイッチS1が導通を停止したときにインダクタ電流がゼロに近いことを確認するためにタイミングを合わせることができる。遅延長は、スイッチS1の逆回復およびターンオフ特性の関数とすることができる。遅延「c」に関して、遅延「c」は、スイッチS4のボディダイオードの導通時間を決定することができる。導通損失は、例えば、スイッチS4がボディダイオードとして導通している間にオンにされたときに低減されることができる。したがって、遅延を最小限に抑えて伝導損失を減らすことができる。他方では、場合によっては、遅延を閾値よりも上に保つことが有利とすることができる。これは、スイッチS1における過電圧オーバーシュートを低減することができる(例えば、電荷移動がS1とスイッチS4との間で起こるとき)。

30

40

【0034】

50

実施例が上述されているが、それらの実施例の特徴および/またはステップは、任意の所望の様式で組み合わせ、分割し、省略し、再配設し、修正し、および/または増強することができる。例えば、図1Cに示されるコントローラ101は、図2Aおよび/または図2Bに記載されるような動作を引き起こすことができる。別の例では、図1Cの回路は、図1Eに示されるように、電源および/または負荷と組み合わせることができる。そのような変更、修正、および改良は、本明細書で明示的に述べられていないが、本明細書の一部であることが意図されており、本開示の趣旨および範囲内にあることが意図されている。したがって、前述の説明は、例示に過ぎず、限定的ではない。

【0035】

条項

10

【0036】

A1. 第1のノード(A)、第2のノード(B)、第3のノード(C)、および第4のノード(D)と、第1のスイッチおよび第2のスイッチが、第1のノードと第2のノードとの間で直列に結合され、第3のスイッチおよび第4のスイッチが、第2のノードと第3のノードとの間に結合され、第1のスイッチ、第2のスイッチ、第3のスイッチ、および第4のスイッチのそれぞれが、それぞれのバイパス装置(D1、D2、D3、D4)に並列に結合される、第1のスイッチ(S1)、第2のスイッチ(S2)、第3のスイッチ(S3)、および第4のスイッチ(S4)と、共振周波数(f_R)において共振するように構成された回路であって、巻線(L_R)およびパワーバンク(C_R)を備え、巻線が第2のノードと第4のノードとの間に結合され、パワーバンクが第1の端部と第2の端部とを備え、第1の端部が第1のスイッチと第2のスイッチとの間に結合され、第2の端部が第3のスイッチと第4のスイッチとの間に結合される、回路と、第1のスイッチ、第2のスイッチ、第3のスイッチ、および第4のスイッチを周期的且つ順序付けられた方法で切り替えるように構成されたコントローラと、を備える、装置。

20

【0037】

A2. コントローラが、第1、第2、第3および第4のスイッチの動作期間において、順次、(i)第1のスイッチおよび第3のスイッチをオンにし、第2のスイッチおよび第4のスイッチをオフにし、(ii)第3のスイッチをオフにして第2のスイッチをオンにし、(iii)第1のスイッチをオフにして第4のスイッチをオンにし、(iv)第4のスイッチをオフにして第1のスイッチをオンにし、(v)第2のスイッチをオフにして第3のスイッチをオンにするように構成される、条項A1に記載の装置。

30

【0038】

A3. 第1のノード、第3のノード、または第4のノードのうちの2つのノードが入力ノードとして使用するように構成され、第1のノード、第3のノード、または第4のノードのうちの2つが出力ノードとして使用するように構成される、条項A1に記載の装置。

【0039】

A4. 第1のノード、第3のノード、または第4のノードのうちの1つが、入力ノードおよび出力ノードの双方として使用するために複製される、条項A3に記載の装置。

【0040】

A5. 第1のノードおよび第4のノードが入力端子として使用するように構成され、第1のノードおよび第3のノードが出力端子として使用するように構成され、コントローラが、入力端子間の電圧の約2倍になるように出力端子間の電圧を制御するように構成される、条項A3に記載の装置。

40

【0041】

A6. 第4のノードおよび第3のノードが入力端子として使用するように構成され、第1のノードおよび第3のノードが出力端子として使用するように構成され、コントローラが、入力端子間の電圧の約2倍になるように出力端子間の電圧を制御するように構成される、条項A3に記載の装置。

【0042】

A7. 第1のノードおよび第4のノードが入力端子として使用するように構成され、第

50

4のノードおよび第3のノードが出力端子として使用するように構成され、コントローラが、入力端子間の電圧とほぼ同じになるように出力端子間の電圧を制御するように構成される、条項A3に記載の装置。

【0043】

A8. 第4のノードおよび第3のノードが入力端子として使用するように構成され、第1のノードおよび第4のノードが出力端子として使用するように構成され、コントローラが、入力端子間の電圧とほぼ同じになるように出力端子間の電圧を制御するように構成される、条項A3に記載の装置。

【0044】

A9. 第1のノードおよび第3のノードが入力端子として使用するように構成され、第1のノードおよび第4のノードが出力端子として使用するように構成され、コントローラが、入力端子間の電圧の約半分になるように出力端子間の電圧を制御するように構成される、条項A3に記載の装置。

10

【0045】

A10. 第1のノードおよび第3のノードが入力端子として使用するように構成され、第4のノードおよび第3のノードが出力端子として使用するように構成され、コントローラが、入力端子間の電圧の約半分になるように出力端子間の電圧を制御するように構成される、条項A3に記載の装置。

【0046】

A11. コントローラが、ソフトスイッチング条件のもとで第1、第2、第3、および第4のスイッチを切り替えるように構成される、条項A1に記載の装置。

20

【0047】

A12. コントローラが、スイッチ遷移の大部分の間、ソフトスイッチング条件のもとで第1、第2、第3、および第4のスイッチを切り替えるように構成される、条項A11に記載の装置。

【0048】

A13. ソフトスイッチングがゼロ電圧スイッチングを含む、条項A11に記載の装置。

【0049】

A14. ソフトスイッチングがゼロ電流スイッチングを含む、条項A11に記載の装置。

30

【0050】

A15. コントローラが、スイッチに並列なバイパス装置が導通しているときにゼロ電圧スイッチングおよびゼロ電流スイッチングのうちの少なくとも一方により、第1、第2、第3、または第4のスイッチからスイッチを切り替えるように構成される、条項A13およびA14に記載の装置。

【0051】

A16. 第1のノードから第4のノードに結合された第2のパワーバンクと、第4のノードから第3のノードに結合された第3のパワーバンクとをさらに備える、条項A1に記載の装置。

40

【0052】

A17. コントローラが、開ループフィードバックを使用して動作するように構成される、条項A1に記載の装置。

【0053】

A18. 共振周波数およびコントローラの制御信号の周波数 (f_{sw}) が 10 KHz を超えて異ならない、条項A1に記載の装置。

【0054】

A19. 制御信号の周波数 (f_{sw}) が共振周波数よりも低い、条項A1に記載の装置。

【0055】

50

A 20 . コントローラが、スイッチ遷移間に1つ以上の信号遅延を有するようにさらに構成される、条項 A 1 ~ A 19 に記載のシステム。

【0056】

A 21 . 1つ以上の遅延が、少なくとも1つのスイッチのスイッチング特性の1つに基づいている、条項 A 20 に記載のシステム。

【0057】

A 22 . 1つ以上の遅延が、スイッチがオンになる前にスイッチの並列バイパス装置が導通することを可能にすることができる、条項 A 20 に記載のシステム。

【0058】

A 23 . 1つ以上の遅延が、過渡現象が少なくとも1つのスイッチにおいて消散するのを待つ制御信号に基づいている、条項 A 20 に記載のシステム。

10

【0059】

A 24 . 1つ以上の遅延が、オンにされたスイッチのソフトスイッチングを可能にすることができる、条項 A 20 に記載のシステム。

【0060】

A 25 . 1つ以上の遅延が、ゼロまたはゼロに近いレベルに低下するように巻線電流にタイミングを合わせることができる、条項 A 20 に記載のシステム。

【0061】

A 26 . 1つ以上の遅延が、少なくとも1つのスイッチの逆回復の関数とすることができる、条項 A 20 に記載のシステム。

20

【0062】

A 27 . 1つ以上の遅延が、オンにされるスイッチの並列バイパス装置の導通時間によって決定されることができる、条項 A 20 に記載のシステム。

【0063】

A 28 . 伝導損失を低減するために1つ以上の遅延が最小化されることができる、条項 A 20 に記載のシステム。

【0064】

A 29 . 1つ以上の遅延が、オンにされる進行中のスイッチにおける高い過電圧オーバーシュートを回避するのに十分に大きい、条項 A 20 に記載のシステム。

【0065】

A 30 . 回路が無停電電源装置として使用される、条項 A 1 ~ 29 に記載のシステム。

30

【0066】

A 31 . コントローラを使用して、第1のノード(A)、第2のノード(B)、第3のノード(C)および第4のノード(D)と、第1のスイッチおよび第2のスイッチが、第1のノードと第2のノードとの間に直列に結合され、第3のスイッチおよび第4のスイッチが、第2のノードと第3のノードとの間に結合され、第1のスイッチ、第2のスイッチ、第3のスイッチおよび第4のスイッチのそれぞれが、それぞれのバイパス装置(D1、D2、D3、D4)に並列に結合される、第1のスイッチ(S1)、第2のスイッチ(S2)、第3のスイッチ(S3)および第4のスイッチ(S4)と、を備える共振回路を制御することと、共振周波数(f_R)において、巻線(L_R)およびパワーバンク(C_R)によって共振回路を共振させることと、コントローラによって、(i)第1のスイッチおよび第3のスイッチをオンにし、(ii)第3のスイッチをオフにして第2のスイッチをオンにし、(iii)第1のスイッチをオフにして第4のスイッチをオンにし、(iv)第4のスイッチをオフにして第1のスイッチをオンにし、(v)第2のスイッチをオフにして第3のスイッチをオンにするという順序で周期的且つ順序付けられた方法で第1、第2、第3、および第4のスイッチを切り替えることを決定することと、を備える、方法。

40

【0067】

A 32 . 第1のノード、第3のノード、および第4のノードのうち2つのノードを入力ノードとして使用するために構成し、第1のノード、第3のノード、および第4のノードのうち2つを出力ノードとして使用するために構成することをさらに備える、条項 A

50

3 1の方法。

【0068】

A 3 3 . 入力ノードおよび出力ノードの双方として使用するために、第 1 のノード、第 3 のノード、および第 4 のノードのうちの 1 つを複製することをさらに備える、条項 A 3 2 の方法。

【0069】

A 3 4 . 出力端子間の電圧を制御することにより、入力端子と出力端子との間の電圧を 2 倍にすることをさらに備え、第 1 のノードおよび第 4 のノードが入力端子として使用するように構成され、第 1 のノードおよび第 3 のノードが出力端子として使用するように構成される、条項 A 3 2 に記載の方法。

10

【0070】

A 3 5 . 出力端子間の電圧を制御することにより、入力端子と出力端子との間の電圧を 2 倍にすることをさらに備え、第 4 のノードおよび第 3 のノードが入力端子として使用するように構成され、第 1 のノードおよび第 3 のノードが出力端子として使用するように構成される、条項 A 3 2 に記載の方法。

【0071】

A 3 6 . 出力端子間の電圧を制御することにより、入力端子と出力端子との間の同様の電圧のミラーリングを行うことをさらに備え、第 1 のノードおよび第 4 のノードが入力端子として使用するように構成され、第 4 のノードおよび第 3 のノードが出力端子として使用するように構成される、条項 A 3 2 に記載の方法。

20

【0072】

A 3 7 . 出力端子間の電圧を制御することにより、入力端子と出力端子との間の同様の電圧のミラーリングを行うことをさらに備え、第 4 のノードおよび第 3 のノードが入力端子として使用するように構成され、第 1 のノードおよび第 4 のノードが出力端子として使用するように構成される、条項 A 3 2 に記載の方法。

【0073】

A 3 8 . 出力端子間の電圧を制御することにより、入力端子と出力端子との間の電圧を半分にすることをさらに備え、第 1 のノードおよび第 3 のノードが入力端子として使用するように構成され、第 1 のノードおよび第 4 のノードが出力端子として使用するように構成される、条項 A 3 2 に記載の方法。

30

【0074】

A 3 9 . 出力端子間の電圧を制御することにより、入力端子と出力端子との間の電圧を半分にすることをさらに備え、第 1 のノードおよび第 3 のノードが入力端子として使用するように構成され、第 4 のノードおよび第 3 のノードが出力端子として使用するように構成される、条項 A 3 2 に記載の方法。

【0075】

A 4 0 . 切り替えを決定することが、ソフトスイッチング条件のもとで第 1、第 2、第 3、および第 4 のスイッチを切り替えるように決定することを備える、条項 A 3 1 に記載の方法。

【0076】

A 4 1 . 切り替えを決定することが、スイッチ遷移の大部分の間、ソフトスイッチング条件のもとで第 1、第 2、第 3、および第 4 のスイッチを切り替えるように決定することを備える、条項 A 4 0 に記載の方法。

40

【0077】

A 4 2 . ソフトスイッチングがゼロ電圧スイッチングを含む、条項 A 4 0 に記載の方法。

【0078】

A 4 3 . ソフトスイッチングがゼロ電流スイッチングを含む、条項 A 4 0 に記載の方法。

【0079】

50

A 4 4 . 切り替えを決定することが、バイパス装置が導通しているときにスイッチに並列なバイパス装置によるバイパス中にゼロ電圧スイッチングおよびゼロ電流スイッチングのうちの少なくとも一方により、スイッチを第 1、第 2、第 3、または第 4 のスイッチから切り替えるように決定することを備える、条項 A 4 2 および A 4 3 に記載の方法。

【 0 0 8 0 】

A 4 5 . 第 1 のノードから第 4 のノードに結合された第 2 のパワーバンクと、第 4 のノードから第 3 のノードに結合された第 3 のパワーバンクとをさらに備える、条項 A 3 1 に記載の方法。

【 0 0 8 1 】

A 4 6 . 開ループフィードバックをコントローラによって制御することをさらに備える、条項 A 3 1 の方法。

10

【 0 0 8 2 】

A 4 7 . 互いに 1 0 K H z の範囲内にある共振周波数およびコントローラの制御信号の周波数 (f_{sw}) をさらに備える、条項 A 3 1 に記載の方法。

【 0 0 8 3 】

A 4 8 . 共振周波数よりも低い制御信号の周波数をさらに備える、条項 A 3 1 に記載の方法。

【 0 0 8 4 】

A 4 9 . スイッチ遷移間の少なくとも 1 つの信号遅延をコントローラによって制御することをさらに備える、条項 A 3 1 ~ A 4 8 に記載のシステム。

20

【 0 0 8 5 】

A 5 0 . 1 つ以上の遅延が、少なくとも 1 つのスイッチのスイッチング特性の 1 つに基づいている、条項 A 4 9 に記載のシステム。

【 0 0 8 6 】

A 5 1 . 1 つ以上の遅延が、スイッチがオンになる前にスイッチの並列バイパス装置が導通することを可能にすることができる、条項 A 4 9 に記載のシステム。

【 0 0 8 7 】

A 5 2 . 1 つ以上の遅延が、過渡現象が少なくとも 1 つのスイッチにおいて消散するのを待つ制御信号に基づいている、条項 A 4 9 に記載のシステム。

【 0 0 8 8 】

A 5 3 . 1 つ以上の遅延が、オンにされたスイッチのソフトスイッチングを可能にすることができる、条項 A 4 9 に記載のシステム。

30

【 0 0 8 9 】

A 5 4 . 1 つ以上の遅延が、ゼロまたはゼロに近いレベルに低下するように巻線電流にタイミングを合わせることができる、条項 A 4 9 に記載のシステム。

【 0 0 9 0 】

A 5 5 . 1 つ以上の遅延が、少なくとも 1 つのスイッチの逆回復の関数とすることができる、条項 A 4 9 に記載のシステム。

【 0 0 9 1 】

A 5 6 . 1 つ以上の遅延が、オンにされるスイッチの並列バイパス装置の導通時間によって決定されることができる、条項 A 4 9 に記載のシステム。

40

【 0 0 9 2 】

A 5 7 . 伝導損失を低減するために 1 つ以上の遅延が最小化されることができる、条項 A 4 9 に記載のシステム。

【 0 0 9 3 】

A 5 8 . 1 つ以上の遅延が、オンにされる進行中のスイッチにおける高い過電圧オーバーシュートを回避するのに十分に大きい、条項 A 4 9 に記載のシステム。

【 0 0 9 4 】

A 5 9 . 回路が無停電電源装置として使用される、条項 A 3 1 ~ A 5 8 に記載のシステム。

50

【 0 0 9 5 】

A 6 0 . 第 1 の ノード (A)、第 2 の ノード (B)、第 3 の ノード (C)、および 第 4 の ノード (D) と、第 1 の スイッチ および 第 2 の スイッチ が、第 1 の ノード と 第 2 の ノード との間で直列に結合され、第 3 の スイッチ および 第 4 の スイッチ が、第 2 の ノード と 第 3 の ノード との間に結合され、第 1 の スイッチ、第 2 の スイッチ、第 3 の スイッチ、および 第 4 の スイッチ のそれぞれが、それぞれのバイパス装置 (D 1、D 2、D 3、D 4) に並列に結合される、第 1 の スイッチ (S 1)、第 2 の スイッチ (S 2)、第 3 の スイッチ (S 3)、および 第 4 の スイッチ (S 4) と、共振周波数 (f_R) において共振するように構成された回路であって、巻線 (L_R) および パワーバンク (C_R) を備え、巻線が第 2 の ノード と 第 4 の ノード との間に結合され、パワーバンクが第 1 の 端部 と 第 2 の 端部 とを備え、第 1 の 端部 が 第 1 の スイッチ と 第 2 の スイッチ との間に結合され、第 2 の 端部 が 第 3 の スイッチ と 第 4 の スイッチ との間に結合される、回路と、第 1 の スイッチ、第 2 の スイッチ、第 3 の スイッチ、および 第 4 の スイッチ を周期的且つ順序付けられた方法で切り替えるように構成されたコントローラと、第 1、第 2、第 3、および 第 4 の ノード の 第 1 の サブセット に接続された電源と、第 1、第 2、第 3、および 第 4 の ノード の 第 2 の サブセット に接続された負荷と、を備える回路を備える、システム。

10

【 0 0 9 6 】

A 6 1 . 第 1 の ノード および 第 4 の ノード が電源に結合され、第 1 の ノード および 第 3 の ノード が負荷に結合され、コントローラが、入力端子間の電圧の約 2 倍になるように出力端子間の電圧を制御するように構成される、条項 A 6 1 に記載のシステム。

20

【 0 0 9 7 】

A 6 2 . 第 4 の ノード および 第 3 の ノード が電源に結合され、第 1 の ノード および 第 3 の ノード が負荷に結合され、コントローラが、入力端子間の電圧の約 2 倍になるように出力端子間の電圧を制御するように構成される、条項 A 6 1 に記載のシステム。

【 0 0 9 8 】

A 6 3 . 第 1 の ノード および 第 4 の ノード が電源に結合され、第 4 の ノード および 第 3 の ノード が負荷に結合され、コントローラが、入力端子間の電圧とほぼ同じになるように出力端子間の電圧を制御するように構成される、条項 A 6 1 に記載のシステム。

【 0 0 9 9 】

A 6 4 . 第 4 の ノード および 第 3 の ノード が電源に結合され、第 1 の ノード および 第 4 の ノード が負荷に結合され、コントローラが、入力端子間の電圧とほぼ同じになるように出力端子間の電圧を制御するように構成される、条項 A 6 1 に記載のシステム。

30

【 0 1 0 0 】

A 6 5 . 第 1 の ノード および 第 3 の ノード が電源に結合され、第 1 の ノード および 第 4 の ノード が負荷に結合され、コントローラが、入力端子間の電圧の約半分になるように出力端子間の電圧を制御するように構成される、条項 A 6 1 に記載のシステム。

【 0 1 0 1 】

A 6 6 . 第 1 の ノード および 第 3 の ノード が電源に結合され、第 4 の ノード および 第 3 の ノード が負荷に結合され、コントローラが、入力端子間の電圧の約半分になるように出力端子間の電圧を制御するように構成される、条項 A 6 1 に記載のシステム。

40

【 0 1 0 2 】

A 6 7 . 電源が太陽電池である、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 0 3 】

A 6 8 . 電源が太陽電池のストリングである、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 0 4 】

A 6 9 . 電源がコンバイナボックスである、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 0 5 】

A 7 0 . 電源がジャンクションボックスである、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 0 6 】

50

A 7 1 . 電源が無停電電源装置 (U P S) である、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 0 7 】

A 7 2 . 電源がバッテリーである、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 0 8 】

A 7 3 . 電源が最大電力点追従 (M P P T) 回路である、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 0 9 】

A 7 4 . 電源が直流 (D C) 電力コンバータである、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 1 0 】

A 7 5 . 負荷が太陽電池である、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 1 1 】

A 7 6 . 負荷が太陽電池のストリングである、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 1 2 】

A 7 7 . 負荷がコンパイナボックスである、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 1 3 】

A 7 8 . 負荷がジャンクションボックスである、条項 A 6 1 ~ A 6 6 に記載のシステム

。

【 0 1 1 4 】

A 7 9 . 負荷が無停電電源装置 (U P S) である、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 1 5 】

A 8 0 . 負荷が最大電力点追従 (M P P T) 回路である、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 1 6 】

A 8 1 . 負荷がバッテリーである、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 1 7 】

A 8 2 . 負荷がインバータである、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 1 8 】

A 8 3 . 負荷が変圧器である、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 1 9 】

A 8 4 . 負荷が交流 (A C) 電力コンバータである、条項 A 6 1 ~ A 6 6 に記載のシステム。

【 0 1 2 0 】

A 8 5 . コントローラが、スイッチ遷移間に 1 つ以上の信号遅延を有するようにさらに構成される、条項 A 6 1 ~ A 8 4 に記載のシステム。

【 0 1 2 1 】

A 8 6 . 1 つ以上の遅延が、少なくとも 1 つのスイッチのスイッチング特性の 1 つに基づいている、条項 A 8 5 に記載のシステム。

【 0 1 2 2 】

A 8 7 . 1 つ以上の遅延が、スイッチがオンになる前にスイッチの並列バイパス装置が導通することを可能にすることができる、条項 A 8 5 に記載のシステム。

【 0 1 2 3 】

A 8 8 . 1 つ以上の遅延が、過渡現象が少なくとも 1 つのスイッチにおいて消散するのを待つ制御信号に基づいている、条項 A 8 5 に記載のシステム。

【 0 1 2 4 】

A 8 9 . 1 つ以上の遅延が、オンにされたスイッチのソフトスイッチングを可能にすることができる、条項 A 8 5 に記載のシステム。

【 0 1 2 5 】

10

20

30

40

50

A 9 0 . 1 つ以上の遅延が、ゼロまたはゼロに近いレベルに低下するように巻線電流にタイミングを合わせることができる、条項 A 8 5 に記載のシステム。

【 0 1 2 6 】

A 9 1 . 1 つ以上の遅延が、少なくとも 1 つのスイッチの逆回復の関数とすることができる、条項 A 8 5 に記載のシステム。

【 0 1 2 7 】

A 9 2 . 1 つ以上の遅延が、オンにされるスイッチの並列バイパス装置の導通時間によって決定されることができる、条項 A 8 5 に記載のシステム。

【 0 1 2 8 】

A 9 3 . 伝導損失を低減するために 1 つ以上の遅延が最小化されることができる、条項 A 8 5 に記載のシステム。

10

【 0 1 2 9 】

A 9 4 . 1 つ以上の遅延が、オンにされる進行中のスイッチにおける高い過電圧オーバーシュートを回避するのに十分に大きい、条項 A 8 5 に記載のシステム。

【 0 1 3 0 】

A 9 5 . 回路が無停電電源装置 (U P S) として使用される、条項 A 6 1 ~ A 9 4 に記載のシステム。

【 0 1 3 1 】

A 9 6 . スtring 電圧が調整された電圧レベルに保たれる、条項 A 6 8 に記載のシステム。

20

【 図 1 A 】

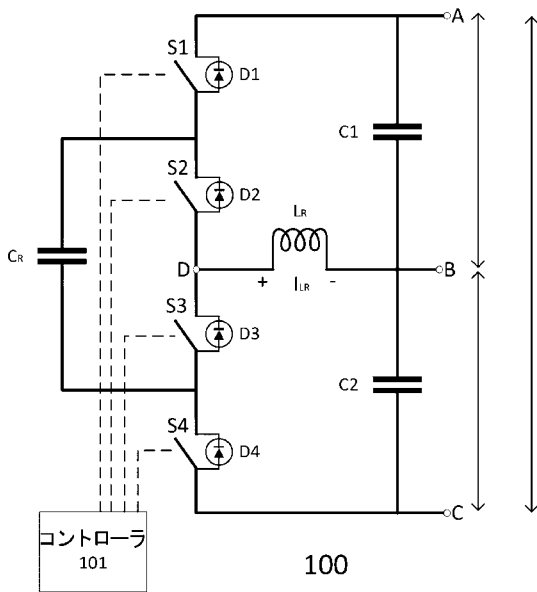


図 1 A

【 図 1 B 】

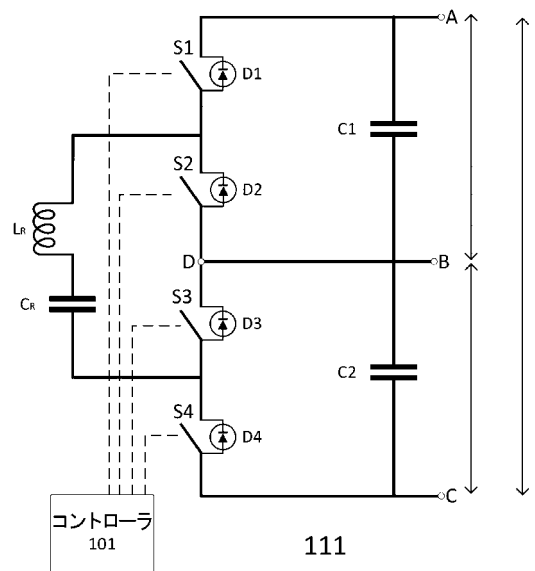


図 1 B

【図 1 C】

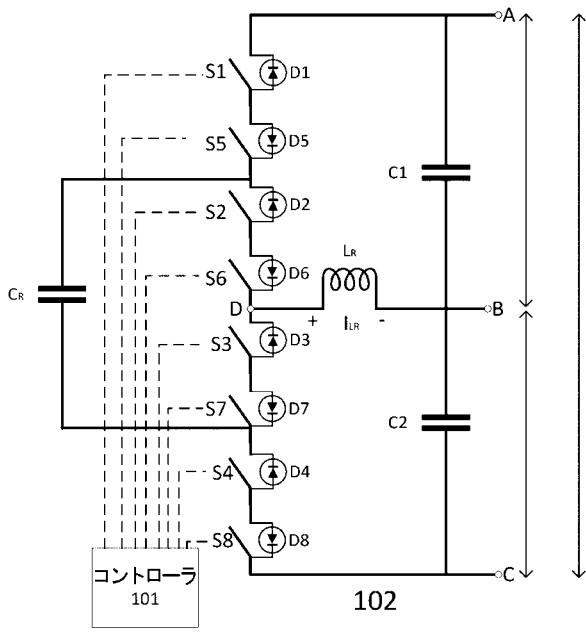


図 1 C

【図 1 D】

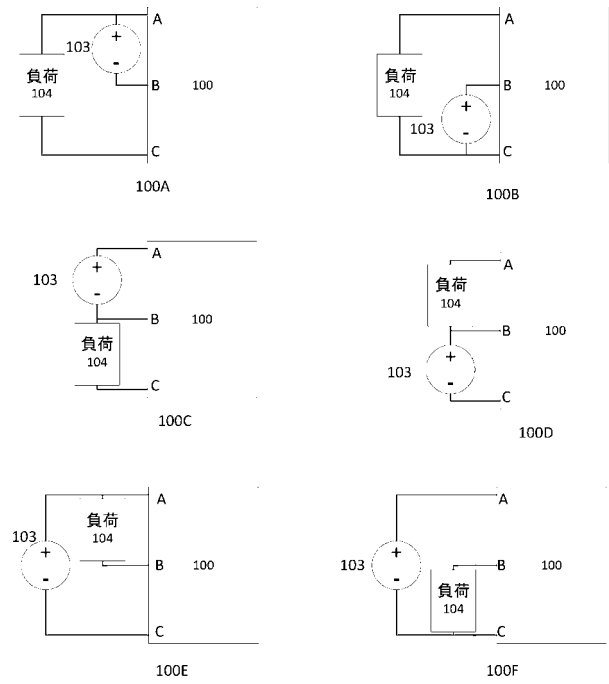


図 1 D

【図 1 E】

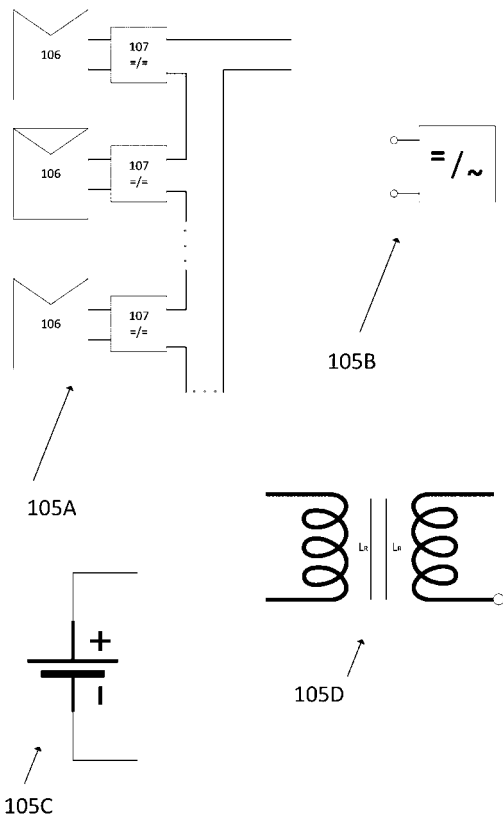


図 1 E

【図 2 A】

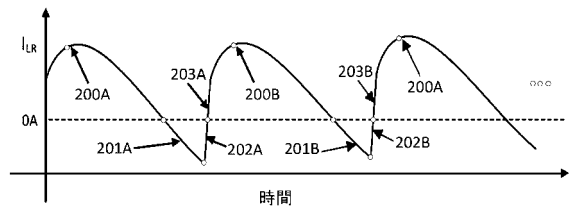


図 2 A

【 図 2 B 】

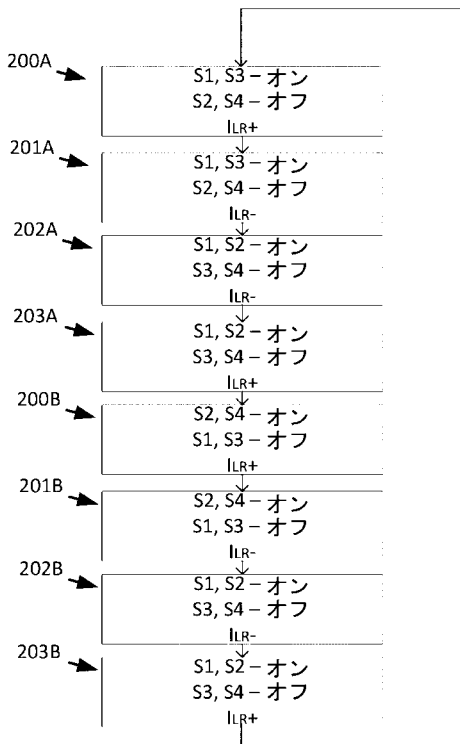


図 2 B

【 図 3 】

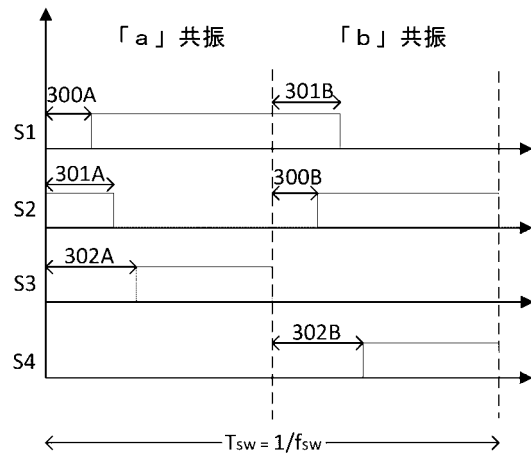


図 3

【 図 4 】

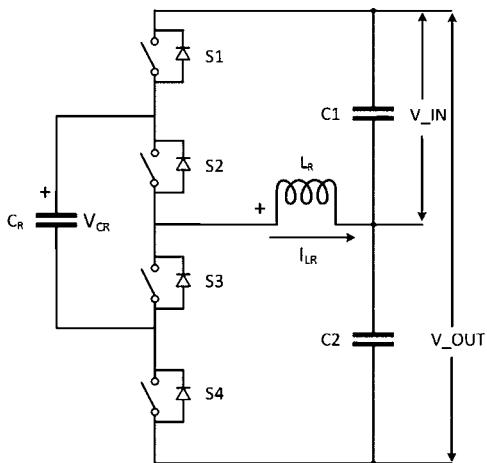


図 4

【 図 5 】

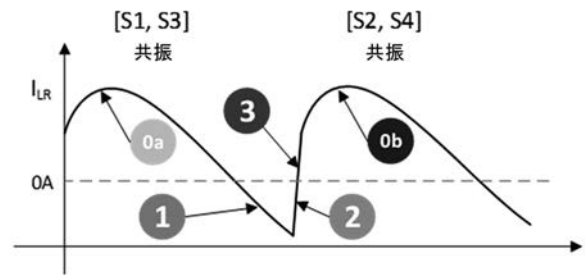


図 5

【 図 6 】

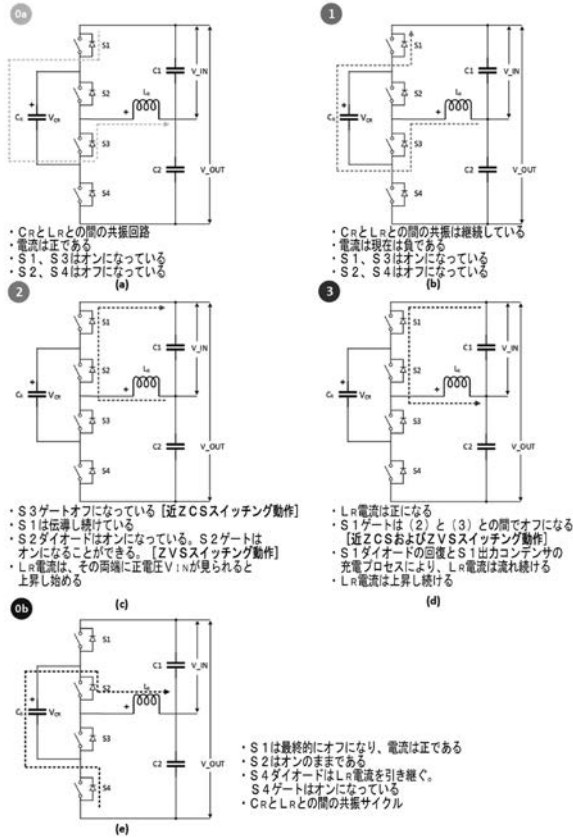


図 6

【 図 7 】

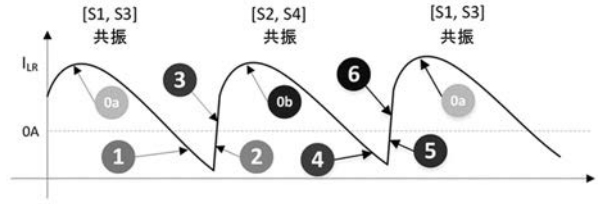


図 7

【 図 8 】

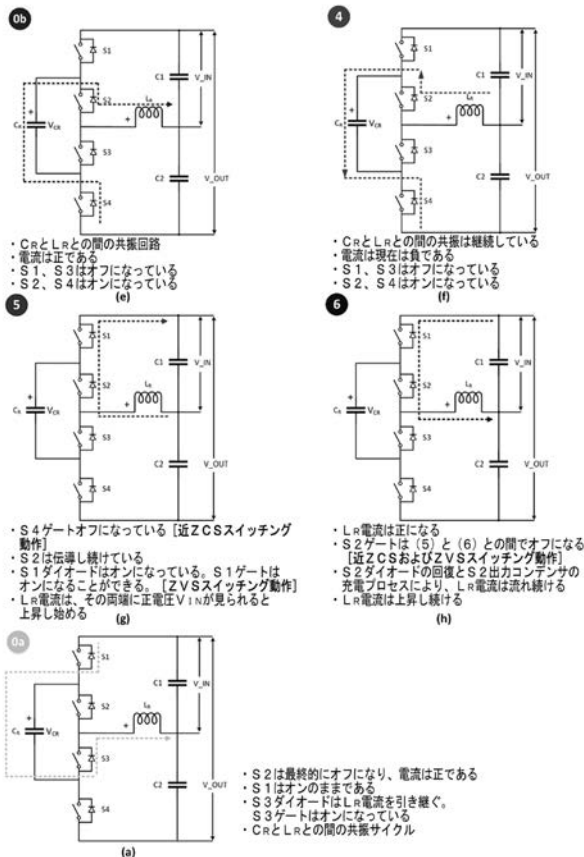


図 8

【 図 9 】

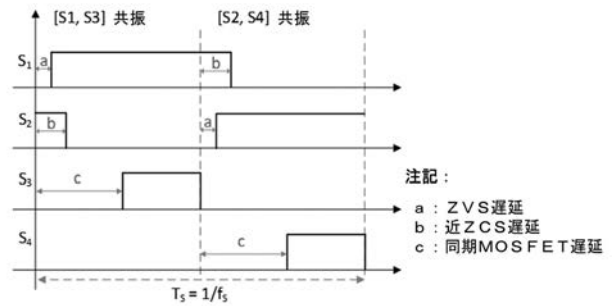


図 9

フロントページの続き

(72)発明者 サン トン リー

イスラエル, 4 6 7 3 3 3 5 , ヘルツリーヤ, 1 ハマダ ストリート, ソーラーエッジ テクノ
ロジーズ リミテッド内

Fターム(参考) 5H730 AA14 AS04 AS05 AS08 BB02 BB03 BB61 DD03 DD04 DD16
FG01

【外国語明細書】

2021112121000001.pdf