

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 韓國 2000/11/23 2000-70039

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(|)

本發明是有關於一種半導體元件，且特別是有關於一種半導體記憶元件及確定其之程式化缺陷位址的方法。

在一般的半導體記憶元件中，當缺陷記憶胞被確認時，此缺陷的記憶胞會被其他備份的記憶胞取代，以增加製程良率。

在半導體記憶元件中的記憶胞陣列通常包括負數個記憶胞陣列區塊，而每一個記憶胞陣列區塊包括有正常的記憶胞陣列區塊以及備份的記憶胞陣列區塊，所以當在一個正常的記憶胞陣列區塊中發現缺陷的記憶胞時，正常的記憶胞陣列區塊中的缺陷記憶胞就會被備份記憶胞陣列區塊中的備份記憶胞給取代，因此因為缺陷記憶胞會被備份的記憶胞取代，製程的良率可因此被提昇。

更進一步的說明，當在晶圓級的記憶胞陣列區塊中發現缺陷的記憶胞時，這些缺陷的記憶胞的缺陷位址會以一種方法被程式化，此方法就是利用雷射燒斷的方式將備份引信程式化電路的引信(fuse)切斷或不切斷，因此半導體記憶元件進行正常的操作，缺陷位址被輸入時，備份的引信程式化電路會運作，使其不會存取到缺陷記憶胞而是存取到備份記憶胞陣列區塊的備份記憶胞，因此資料會被輸入到或由備份記憶胞處輸出。

但是，即使在晶圓階段經過測試確認是沒有缺陷的記憶胞陣列，當在封裝階段再次測試此記憶胞陣列時，可能會發現缺陷記憶胞陣列，在這些封裝階段出現缺陷的記憶胞陣列中，超過 80%是來自於 1-bit 記憶胞或是 2-bit 記憶

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（）

胞的失效，因此假如在 1-bit 或 2-bit 中缺陷的記憶胞可以被修復，就可以明顯的提高半導體記憶元件的良率。

根據前述理由，一般的半導體記憶元件包括一個備份引信程式化電路，用以在封裝階段修復缺陷的記憶胞，這樣的備份引信程式化電路在程式化缺陷位址時，並不是利用雷射直接燒斷引信，而是利用電力燒斷導電的引信。

但是，因為備份的引信程式化電路會在封裝階段進行程式化操作，由外部並無法確定缺陷位址有沒有確實的被程式化，另外也無法由外部確認備份的引信程式化電路有沒有使用。

為了解決上述的問題，本發明的較佳實施例提供了一種半導體元件，可以由備份引信程式化電路的外部程式化缺陷位址來加以確認，並可以確認在封裝階段備份引信程式化電路有沒有用到。

本發明的另一個目的在於提供一種確定半導體記憶元件之程式化缺陷位址，以達到上述目的的方法。

為了達到上述與其他目的，本發明之較佳實施例提供一種半導體記憶元件，包括：含有複數個記憶胞的記憶胞陣列；一個缺陷位址程式化裝置，用以回應一個外部區域施加的一個第一控制訊號與位址訊號，在封裝階段於複數個記憶胞上程式化一個缺陷記憶胞的備份控制訊號與缺陷位址；一個備份許可訊號產生裝置，用以在一個測試操作期間回應一個第二控制訊號，產生一個比較相符訊號到一個外部區域；以及一個模式控制訊號設定裝置，用以回應

五、發明說明(3)

來自於外部區域的一個命令訊號與一個模式設定訊號，設定第一與第二控制訊號的狀態。

本發明之較佳實施例進一步提供一種半導體記憶元件，包括：含有複數個記憶胞的記憶胞陣列；一個缺陷位址程式化裝置，用以回應一個外部區域施加的一個第一控制訊號與位址訊號，在封裝階段於複數個記憶胞上程式化一個缺陷記憶胞的備份控制訊號與缺陷位址；一個外部裝置，用以在一個測試操作期間回應一個第二控制訊號，將缺陷位址程式化裝置輸出的缺陷位址輸出到外部區域上；以及一個模式控制訊號設定裝置，用以回應來自於外部區域的一個命令訊號與一個模式設定訊號，設定第一與第二控制訊號的狀態。

本發明之較佳實施例進一步提供了一種在半導體記憶元件中確認程式化缺陷位址的方法，此半導體記憶元件包括具有複數個記憶胞的記憶胞陣列，以及用以回應一個外部區域施加的一個第一控制訊號與位址訊號，在封裝階段於複數個記憶胞上程式化一個缺陷記憶胞的備份控制訊號與缺陷位址的一個缺陷位址程式化裝置。此方法包括：對應於施加在外部區域的一個命令訊號與一個模式設定訊號產生一個第一控制訊號；對應第一控制訊號與自外部區域供應之缺陷位址來程式化缺陷位址程式化裝置，以產生一個備份控制訊號與一個缺陷位址；對應於命令訊號與模式設定訊號產生第二控制訊號；以及當外部區域提供的位址與缺陷位址相符時，對應於第二控制訊號輸出一比較相符

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (ㄟ)

第 5 圖為依照本發明一較佳實施例的一種半導體記憶元件的結構方塊圖；

第 6 圖為第 5 圖之半導體記憶元件中產生控制訊號的電路之電路方塊圖；

第 7 圖為第 5 圖之半導體記憶元件中資料輸出緩衝器的結構方塊圖；

第 8 圖為依照本發明另一較佳實施例之一種半導體記憶元件之結構方塊圖；以及

第 9 圖為第 8 圖之半導體記憶元件的列與行的備份引信程式化電路之結構方塊圖。

圖示標記說明：

10	記憶體胞陣列	12	行備份記憶體胞陣列
14	列備份記憶體胞陣列	16	列解碼器
18	行解碼器	20	列解碼器
22	備份的行解碼器	24	備份引信程式化電路
26	行備份引信程式化電路		
28	位址緩衝器	30	多工器
32	列備份引信程式化電路		
34	行備份引信程式化電路		
36, 36'	模式設定紀錄器		
40-1 至 40-k, 42-1 至 42-k	引信電路		
44-1 至 44-k, 45-1 至 46-k	比較電路		
48, 50	AND 電路	52, 54	主引信電路
F1, F2	引信	N1~N6	NMOS 電晶體

五、發明說明 (6)

LA1~LA5 閉鎖 I1~I20 反轉器
 60-1, 60-2, 72-1, 72-2 備份許可訊號輸出電路
 62-1, 62-2 備份控制訊號輸出電路
 64-1, 64-2, 74, 76 資料輸出緩衝器
 C1~C3 CMOS 傳送閘極
 70-1, 70-2 位址輸出電路

實施例

接下來配合圖示進一步對本發明作詳細的敘述。

請參照第 1 圖，繪示為習知的一種半導體記憶元件的結構方塊圖，包括一個一般的記憶體胞陣列 10、一個行備份記憶胞陣列 12、一個列備份記憶胞陣列 14、一個列解碼器 16、一個行解碼器 18、一個備份的列解碼器 20、一個備份的行解碼器 22、一個列備份引信程式化電路 24、一個行備份引信程式化電路 26、一個位址緩衝器 28、一個多工器 30、一個列備份引信程式化電路 32、一個行備份引信程式化電路 34、以及一個模式設定紀錄器 36。

列與行備份引信程式化電路 24 與 26 是在晶圓階段用來修復缺陷的記憶胞，而列與行備份引信程式化電路 34 與 34 則是在封裝階段用來修復缺陷的記憶胞之用。

一般的記憶胞陣列 10 包括複數個記憶胞 MC 連接在 m 條字元線 WL1 至 WLn 與 n 對位元線 BL1/BL1B 至 BLn/BLnB 之間，經過 n 對位元線 BL1/BL1B 至 BLn/BLnB 接收或輸出資料。行備份記憶胞陣列 12 包括備份記憶胞(未

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明()

顯示)連接在 m 條字元線 $WL1$ 至 WLm 與備份位元線對(未顯示)之間，經過備份位元線對接收或輸出資料，當在一般的記憶胞陣列 10 中的記憶胞中發現缺陷時，行備份記憶胞陣列 12 會代替接到備份位元線對的記憶胞中缺陷的記憶胞。

列備份記憶胞陣列 14 包括連接在備份字元線(未顯示)與 n 對位元線對 $BL1/BL1B$ 至 $BLn/BLnB$ 之間的備份記憶胞，並經過 n 對位元線對 $BL1/BL1B$ 至 $BLn/BLnB$ 接收並輸出資料，當在一般的記憶胞陣列 10 中的記憶胞中發現缺陷時，列備份記憶胞陣列 14 會代替接到備份字元線 RWL_a 的記憶胞中缺陷的記憶胞。列解碼器 16 會解開列的位址 RA_j ，以產生訊號來選擇 n 條字元線 $WL1$ 至 WLm ，並對應於列備份許可訊號 PRE_x 與 $PRRE$ 而受到抑制。行解碼器 18 會解開行的位址 CA_i ，以產生 n 個行選擇訊號 $Y1$ 至 Yn ，並對應於行備份許可訊號 PCE_y 與 $PRCE$ 而受到抑制。備份列解碼器 20 會解開列備份可訊號 PRE_x 與 $PRRE$ 而產生一個訊號，藉以選擇 a 個備份字元線 RWL_a ；備份行解碼器 22 會解開行備份可訊號 PCE_y 與 $PRCE$ 而產生一個 b 的備份行選擇訊號 RY_b 。當缺陷位址在晶圓階段被程式化，且在一個正常操作期間提供的列位址 RA_j 為程式化的缺陷位址時，列備份引信程式化電路 24 會產生列備份許可訊號 PRE_x ；而當缺陷位址在晶圓階段被程式化，且在一個正常操作期間提供的列位址 CA_j 為程式化的缺陷位址時，列備份引信程式化電路 26 會產生列備份許可訊

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

號 PCEy。位址緩衝器 28 會緩衝位址 Ak 而後輸出；當反轉的列位址頻閃訊號 RASB 變成主動的時候，多工器 30 會產生自位址緩衝器 28 輸出的位址就像列位址 RAj，而當反轉的行位址頻閃訊號 CASB 變成主動的時候，輸出的位址就像列位址 CAj。對應於封裝階段的控制訊號 MRS0，列備份引信程式化電路 32 會被許可，接收缺陷列位址 Ak，以程式化缺陷列位址，且在一個正常操作列位址 Ak 為缺陷的列位址時，產生列備份許可訊號 PRRE；而對應於封裝階段的控制訊號 MRS1，行備份引信程式化電路 34 會被許可，接收缺陷行位址 Ak，以程式化缺陷行位址，且在一個正常操作行位址 Ak 為缺陷的行位址時，產生行備份許可訊號 PRCE。當被提供的反轉的晶片選擇訊號 CSB、反轉的列位址頻閃訊號 RASB、反轉的行位址頻閃訊號 CASB、以及反轉的寫入許可訊號 WEB 均為”低”的邏輯狀態時，對應於經過接腳(未顯示)提供位址 Ak 輸入的一個訊號，模式設定紀錄器 36 會設定並輸出模式控制訊號 PTMRS 與 PMRS，以及控制訊號 MRS0 與 MRS1。

第 2 圖為第 1 圖之半導體記憶元件的列與行的備份引信程式化電路 32 與 34 之結構方塊圖。列備份引信程式化電路 32 包括引信電路 40-1 至 40-k、比較電路 44-1 至 44-k、一個 AND 電路 48、以及一個主引信電路 52；行備份引信程式化電路 34 包括引信電路 42-1 至 42-k、比較電路 45-1 至 46-k、一個 AND 電路 50、以及一個主引信電路 54。

在封裝階段對應於控制訊號 MRS0，引信電路 40-1 至

五、發明說明 (9)

40-k 會被位址標示為 A0-Ak 缺陷的列位址給程式化，而輸出缺陷列位址 PR0-PRk；而在封裝階段對應於控制訊號 MRS1，引信電路 42-1 至 42-k 會被位址標示為 A0-Ak 缺陷的行位址給程式化，而輸出缺陷行位址 PC0-PCk。

當位址 A0-Ak 與引信電路 40-1 至 40-k 的輸出訊號 PR0-PRk 相符時，比較電路 44-1 至 44-k 會將位址 A0-Ak 與引信電路 40-1 至 40-k 的輸出訊號 PR0-PRk 做比較，並分別產生一個比較相符訊號；而當位址 A0-Ak 與引信電路 42-1 至 42-k 的輸出訊號 PR0-PRk 相符時，比較電路 46-1 至 46-k 會將位址 A0-Ak 與引信電路 42-1 至 42-k 的輸出訊號 PR0-PRk 做比較，並分別產生一個比較相符訊號。

主引信電路 52 會對應於控制訊號 MRS0 產生列備份控制訊號 RRE，而主引信電路 54 則會對應於控制訊號 MRS1 產生行備份控制訊號 RCE。

AND 電路 48 透過結合來自於比較電路 44-1 至 44-k 與控制訊號 MRS0 的比較相似訊號，會產生列備份許可訊號 PRRE；而 AND 電路 50 透過結合來自於比較電路 46-1 至 46-k 與控制訊號 MRS1 的比較相似訊號，會產生列備份許可訊號 PRCE。

第 3 圖為第 2 圖之引信電路之結構方塊圖；引信電路包括一個引信 F1、NMOS 電晶體 N1 與 N2、具有反轉器 I1 與 I2 的閉鎖 LA1，以及反轉器 I3 與 I4。

第 3 圖的引信電路之操作如下，在程式化缺陷位址的情況下，當具有”高”邏輯狀態的控制訊號 MRS0(MRS1)被

五、發明說明 (10)

提供時，NMOS 電晶體 N2 會被開啓；而當具有”低”邏輯狀態的訊號被供應到位址 A0(A1-Ak)時，NMOS 電晶體 N1 會被開啓。結果終端 A 會變成”低”的邏輯狀態，而電流會沿著引信 F1 流動，此時當有一個電流高於平均電流沿著引信 F1 流動時，引信 F1 會斷線，閉鎖 LA1 會反轉，且將具有”低”邏輯狀態的訊號鎖住，以產生一個具有”高”邏輯狀態的訊號，而含有反轉器 I3, I4 的電路會緩衝具有”高”邏輯狀態的訊號，以產生具有”高”邏輯狀態的缺陷列位址訊號 PR0(PR1-PRk, PC0-PCk)。

另一方面，當具有”低”邏輯狀態的訊號被供應到位址 A0(A1-Ak)時，引信 F1 不會斷線，因此終端 A 會變成”高”邏輯狀態，閉鎖 LA1 會反轉並將具有”高”邏輯狀態的訊號鎖住，以產生一個具有”低”邏輯狀態的訊號；而具有反轉器 I3, I4 的電路會緩衝具有”低”邏輯狀態的訊號，而產生具有”低”邏輯狀態的缺陷列位址訊號 PR0(PR1-PRk, PC0-PCk)。

就是說，當控制訊號 MRS0(MRS1)具有”高”的邏輯狀態，而位址 A0(A1-Ak)具有”高”的邏輯狀態被提供時，引信電路會產生具有”高”邏輯狀態的缺陷列位址訊號 PR0(Pr1-PRk, PC0-PCk)。當控制訊號 MRS0(MRS1)具有”高”的邏輯狀態，而位址 A0(A1-Ak)具有”低”的邏輯狀態被提供時，引信電路會產生具有”低”邏輯狀態的缺陷列位址訊號 PR0(Pr1-PRk, PC0-PCk)。

第 4 圖為第 2 圖之列與行的備份引信程式化電路的主

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (11)

引信電路的結構方塊圖。如第 4 圖所示，主引信電路包括一個引信 F2、NMOS 電晶體 N3、具有反轉器 I5, I6 的閉鎖 LA2、以及反轉器 I7, I8。

第 4 圖之引信電路的操作如下所述。在程式化缺陷位址的情況下，當具有”高”邏輯狀態的控制訊號 MRS0(MRS1) 被提供時，NMOS 電晶體 N3 會被開啓，結果終端 B 會變成”低”的邏輯狀態，而電流會沿著引信 F2 流動，此時當有一個電流高於平均電流沿著引信 F2 流動時，引信 F2 會斷線，閉鎖 LA2 會反轉，且將具有”低”邏輯狀態的訊號鎖住，以產生一個具有”高”邏輯狀態的訊號，而含有反轉器 I7, I8 的電路會緩衝具有”高”邏輯狀態的訊號，以產生具有”高”邏輯狀態的備份控制訊號 RRE(RCE)。

另一方面，當具有”低”邏輯狀態的訊號被供應時，NMOS 電晶體 N3 會被關閉，而主引信電路會產生具有”低”邏輯狀態的備份控制訊號 RRE(RCE)。

就是說，當控制訊號 MRS0(MRS1)具有”高”的邏輯狀態時，主引信電路會產生具有”高”邏輯狀態的備份控制訊號 RRE(RCE)；而當控制訊號 MRS0(MRS1)具有”低”的邏輯狀態時，主引信電路會產生具有”低”邏輯狀態的備份控制訊號 RRE(RCE)。

在封裝階段的備份操作係參考第 1 圖至第 3 圖作詳盡的說明。

舉例來說，假設在封裝階段透過測試，發現缺陷的記憶胞是位於連接到字元線 WL1 的正常記憶胞陣列 10 上的

五、發明說明 (1~)

記憶胞中，且與對應的字元線 WL1 相連的缺陷記憶胞被連接到列備份記憶胞陣列 14 上的備份字元線 RWLa 之備份記憶胞給取代，在此例子中，缺陷的列位址會被程式化成”00...0”。

具有”低”邏輯狀態的命令訊號 CSB、CASB、RASB 以及 WEB 會被供應到模式設定紀錄器 36 上，而且模式設定訊號會被提供到提供位址 Ak 的接腳(未顯示)上，所以測試模式訊號可以被設定在”高”的邏輯狀態，而控制訊號 MRS0 可以被設定在”高”的邏輯狀態且控制訊號 MRS1 可以被設定在”低”的邏輯狀態上，結果列備份引信程式化電路 32 會被變成可被程式化的狀態，而行備份引信程式化電路 34 會變成不可程式化的狀態。在此情況下，當缺陷列位址”00...0”像具有”低”邏輯狀態的反轉列位址頻閃訊號 RASB 一樣且位址 Ak 被輸入，缺陷的列位址”00...0”會被程式化。

在另一個例子中，假設在封裝階段透過測試，發現缺陷的記憶胞是位於連接到位元線對 BL2 與 BL2B 的正常記憶胞陣列 10 上的記憶胞中，且與對應的位元線對 BL2 與 BL2B 相連的缺陷記憶胞被連接到行備份記憶胞陣列 12 上的備份位元線對 RBL2 與 RBL2B 之備份記憶胞給取代，在此例子中，缺陷的行位址會被程式化成”00...1”。具有”低”邏輯狀態的命令訊號 CSB、CASB、RASB 以及 WEB 會被供應到模式設定紀錄器 36 上，而且模式設定訊號會被提供到提供位址 Ak 的接腳(未顯示)上，所以測試模式

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (13)

訊號可以被設定在”高”的邏輯狀態，而控制訊號 MRS0 可以被設定在”低”的邏輯狀態且控制訊號 MRS1 可以被設定在”高”的邏輯狀態上，結果列備份引信程式化電路 32 會被變成可被程式化的狀態，而行備份引信程式化電路 34 會變成不可程式化的狀態。在此情況下，當缺陷列位址”00...1”像具有”低”邏輯狀態的反轉行位址頻閃訊號 CASB 一樣且位址 Ak 被輸入，缺陷的行位址”00...1”即被程式化。

如上所述，缺陷的列與行位址會在封裝階段，透過列與行的備份引信程式化電路 32 與 34 來程式化。

習知的半導體記憶元件的正常操作說明如下。命令訊號 CSB、CASB、RASB、與 WEB 會被供應到模式設定紀錄器 36 上，而且模式設定訊號會被提供到提供位址 Ak 的接腳上，所以正常模式訊號 PMRS 會被設定在”高”的邏輯狀態，而控制訊號 MRS0 與 MRS1 可以被設定在”低”的邏輯狀態上。

之後，當位址”00...0”對應於具有”低”邏輯狀態的反轉列位址頻閃訊號 RASB 被輸入到提供列位址 Ak 的接腳上時，列的備份引信程式化電路 32 會產生列備份許可訊號 PRRE，結果列解碼器 16 會無法操作，而備份列解碼器 20 會將備份許可訊號 PREx 與 PRRE 解碼，以產生一個訊號，藉以選擇備份的字元線 RWLa，如此可以選出連接到列備份記憶胞陣列 14 上被選定的字元線上的備份記憶胞。

當位址”00...0”對應於具有”低”邏輯狀態的反轉行位址

五、發明說明 (14)

頻閃訊號 CASB 被輸入到提供列位址 Ak 的接腳上時，行的備份引信程式化電路 34 會產生行備份許可訊號 PRCE，此時輸入的行位址 "00...0" 會透過位址緩衝器 28 與多工器 30 被輸入到行解碼器 18 上，此行解碼器 18 對訊號 Cai 解碼，其中行位址 "00...0" 會被緩衝以選擇行選擇訊號 Y1。結果，連接在列備份記憶胞陣列 14 上被選定之備份字元線與位元線對 BLA 與 BL1B 之間的記憶胞會被存取。

如上所述，習知的半導體記憶元件會利用列與行備份引信程式化電路 32 與 34 在封裝階段程式化缺陷位址，然後再次進行操作。

但是，雖然缺陷位址被程式化，半導體記憶元件可能在測試操作期間還是被視為是一個缺陷的元件，在此狀況中，測試器無法由外部來判斷缺陷位址有沒有被程式化了；另外也無法在封裝階段由外部判斷備份引信程式化電路 32 與 34 有沒有用到。

第 5 圖為依照本發明一較佳實施例的一種半導體記憶元件的結構方塊圖；在第 1 圖所示的習知半導體記憶元件結構以外，本發明的半導體記憶元件進一步包括列與行備份許可訊號輸出電路 60-1 與 60-2、列與行備份控制訊號輸出電路 62-1 與 62-2、以及資料輸出緩衝器 64-1 與 64-2。另外，用模式設定紀錄器 36' 來取代第 1 圖中的模式設定紀錄器 36。第 5 圖中的資料輸出緩衝器 64 不是一個新加入的方塊，而是在一般半導體記憶元件的資料 I/O 終端的方塊中。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (15)

在第 1 圖中與第 5 圖中相同的元件以相同的標號表示，相同的元件也表示有相同的操作方式，因此就不加以贅述。

當具有”低”邏輯狀態的命令訊號 CSB、CASB、RASB、與 WEB 被提供以程式化缺陷位址時，對應於輸入到提供位址 Ak 之接腳上的模式設定訊號，模式設定紀錄器 36' 會產生具有”高”邏輯狀態的測試模式訊號 PTMRS 以及控制訊號 MRS0 與 MRS1。也就是說，為了確認缺陷位址有無被正確的程式化，當具有”低”邏輯狀態的命令訊號 CSB、CASB、RASB、與 WEB 被提供以程式化缺陷位址時，模式設定紀錄器 36' 會對應於輸入到提供位址 Ak 之接腳上的模式設定訊號，產生具有”高”邏輯狀態的測試模式訊號 PTMRS 以及控制訊號 MRS0 與 MRS1。

列備份許可訊號輸出電路 60-1 會對應於具有”高”邏輯狀態的控制訊號 MRS2，產生一個訊號 PEFD1 作為列備份許可訊號 PRRE；而行備份許可訊號輸出電路 60-2 會對應於具有”高”邏輯狀態的控制訊號 MRS3，產生一個訊號 PEFD2 作為列備份許可訊號 PRCE。

列備份控制訊號輸出電路 62-1 會對應於具有”高”邏輯狀態的控制訊號 MRS2，產生一個訊號 PEF1 作為列備份控制訊號 PRE；而行備份控制訊號輸出電路 62-2 會對應於具有”高”邏輯狀態的控制訊號 MRS3，產生一個訊號 PEF2 作為列備份許可訊號 RCE。

資料輸出緩衝器 64-1 會對應於時序訊號 CLKDQ，在

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (16)

正常操作期間緩衝並輸出一個資料輸出訊號 DO0，並在封裝階段緩衝並輸出訊號 PEFD1 與 PEFD2；而資料輸出緩衝器 64-2 會對應於時序訊號 CLKDQ，在正常操作期間緩衝並輸出一個資料輸出訊號 DO1，並在封裝階段緩衝並輸出訊號 PEF1 與 PEF2。

也就是說，在第 5 圖所示的半導體記憶元件會自備份引信電路 32 與 34，將備份輸出許可訊號輸出到外部，而因此可以由外部確認缺陷位址是否有被準確的程式化。另外，因為備份控制訊號會被輸出到外部，可以由外部確認備份引信程式化電路 32 與 34 有沒有被用到。

在第 5 圖所示的半導體記憶元件中，模式設定紀錄器 36' 會直接產生控制訊號 MRS2 與 MRS3，通常模式設定紀錄器 36' 會產生訊號 PTMRS 與 PMRS，以辨別半導體記憶元件是在測試模式還是在一般正常模式，因此半導體記憶元件可以被整合，利用訊號 PTMRS 與 PMRS 產生控制訊號 MRS2 與 MRS3。

第 6 圖為一種控制訊號產生電路的電路圖，此控制訊號產生電路會產生第 5 圖所示的控制訊號 MRS2 與 MRS3。此控制訊號產生電路包括 CMOS 傳送閘極 C1、反轉器 I9 與 I12、NMOS 電晶體 N4、與具有反轉器 I10, I11 的閉鎖 LA3。

第 6 圖的控制訊號產生電路之操作如下所述。當具有”高”的邏輯狀態之測試模式訊號 PTMRS 被提供時，CMOS 傳送閘極 C1 會傳送位址 A0，閉鎖 LA3 會反轉並鎖住位

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (17)

址 A0，反轉器 I12 會將閉鎖 LA3 上的一個輸出訊號反轉，使其變成控制訊號 MRS2(MRS3)而後輸出。

也就是說，當具有”高”的邏輯狀態之測試模式訊號 PTMRS 被提供，且提供具有”高”邏輯狀態的位址 A0 時，控制訊號產生電路會產生具有”高”邏輯狀態的控制訊號 MRS2(MRS3)；而當具有”低”的邏輯狀態之測試模式訊號 PTMRS 被提供，且提供具有”低”邏輯狀態的位址 A0 時，控制訊號產生電路會產生具有”低”邏輯狀態的控制訊號 MRS2(MRS3)。

而且，當在正常操作期間產生具有”高”的邏輯狀態之正常模式訊號 PMRS 時，NMOS 電晶體 N4 會被開啓，所以終端 C 會變成”低”的邏輯狀態，閉鎖 LA3 會反轉並鎖住具有”低”邏輯狀態的訊號，以產生一個具有”高”邏輯狀態的訊號，反轉器 I12 會將具有”高”邏輯狀態的訊號反轉，以產生具有”低”邏輯狀態的控制訊號 MRS2(MRS3)。

第 7 圖為第 5 圖之半導體記憶元件中資料輸出緩衝器的結構方塊圖。資料輸出緩衝器包括反轉器 I13, I14, I17, I18 與 I21、NOR 閘極 NOR、NAND 閘極 NA1 與 NA2、CMOS 傳送閘極 C2 與 C3、具有反轉器 I15 與 I16 的閉鎖 LA4、具有反轉器 I19 與 I20 的閉鎖 LA5、NMOS 電晶體 N5 與 N6。

第 7 圖的資料輸出緩衝器之操作如下所述。在封裝階段的一個測試操作期間，當具有”高”邏輯狀態的訊號 PEFD1 與 PEFD2(PEF1 與 PEF2)時，NAND 閘極 NA1 與 NA2

五、發明說明 (18)

會產生具有”低”邏輯狀態的訊號，而 NOR 閘極 NOR 則會產生一個具有”低”邏輯狀態的訊號，對應於具有”低”邏輯狀態的訊號，CMOS 傳送閘極 C2 與 C3 會開啓，以傳送自 NAND 閘極 NA1 與 NA2 輸出的具有”高”邏輯狀態的訊號；閉鎖 LA5 與 LA6 會反轉並鎖住具有”高”邏輯狀態的訊號，以產生具有”低”邏輯狀態的訊號，反轉器 I17 與 I18 會緩衝具有”低”邏輯狀態的訊號，以產生具有具有”高”邏輯狀態的訊號；NMOS 電晶體 N5 會關閉，而 NMOS 電晶體 N6 會開啓，所以會產生具有”低”邏輯狀態的資料 DQ0(DQ1)。

也就是說，當具有”低”邏輯狀態的資料 DQ0(DQ1)產生時，表示缺陷位址被準確的程式化於列與行備份引信程式化電路 32 與 34 中；當具有”高”邏輯狀態的資料 DQ0(DQ1)產生時，表示缺陷位址沒有被準確的程式化於列與行備份引信程式化電路 32 與 34 中。

即使列與行備份許可訊號輸出電路 60-1 與 60-2 以及列與行備份控制訊號輸出電路 62-1 與 62-2 的結構沒有被顯示出來，列與行備份許可訊號輸出電路 60-1 與 60-2 以及列與行備份控制訊號輸出電路 62-1 與 62-2，也可以利用一個結合兩個輸入訊號的 AND 電路，或藉由一個對應於具有”高”邏輯狀態的控制訊號 MRS2 與 MRS3，傳送訊號 PRRE、PRCE、RRE 與 RCE 的 CMOS 傳送閘極來組成。

第 8 圖為依照本發明另一較佳實施例之一種半導體記憶元件之結構方塊圖。如第 8 圖所示，在第 1 圖的半導體記憶元件以外，增加有列與行位址輸出電路 70-1 與 70-2、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

列與行備份控制訊號輸出電路 72-1 與 72-2、以及資料輸出緩衝器 74 與 76，而模式設定紀錄器 36'則取代模式設定紀錄器 36。在第 8 圖中資料輸出緩衝器 74 並不是一個新加入個方塊，而是用於一般半導體記憶元件之資料 I/O 終端的一個方塊。

在第 1 圖中與第 8 圖中相同的元件以相同的標號表示，相同的元件也表示有相同的操作方式，因此就不加以贅述。

對應於控制訊號 MRS2，缺陷列位址輸出電路 70-1 會輸出自列備份引信程式化電路 32 產生的一個缺陷列位址訊號 PRk，作為一個訊號 PPRk；對應於控制訊號 MRS3，缺陷行位址輸出電路 70-2 會輸出自行備份引信程式化電路 34 產生的一個缺陷列位址訊號 PCk，作為一個訊號 PPCK。

在正常操作期間，資料輸出緩衝器 74 會對應於時序訊號 CLKDQ，緩衝資料 DO0 與 DOk，並輸出資料 DQ0 與 DQk，然後在封裝階段的一個測試操作期間，分別緩衝與輸出訊號 PPRk 與 PPCK。

列與行備份控制訊號輸出電路 72-1 與 72-2 以及資料輸出緩衝器 76 會與第 5 圖中的行與列備份控制訊號輸出電路 62-1 與 62-2 以及資料輸出緩衝器 64-2 進行相同的運作。

也就是說，因為，第 8 圖中的半導體記憶元件在封裝階段的測試操作中，會透過資料輸出緩衝器 74 輸出程式

五、發明說明(つ)

化缺陷位址，測試者可以由外部判斷缺陷位址有沒有準確的被程式化。另外，像第 5 圖的半導體記憶元件一樣，可以由外部確認列與行備份引信程式化電路 32 與 34 有沒有被用到。

另外，在第 8 圖中的半導體記憶元件可以被整合，利用自第 1 圖的模式設定記憶器 36 輸出之訊號 PTMRS 與 PMRS 產生控制訊號 MRS2 與 MRS3。

第 9 圖為根據本發明另一較佳實施例的半導體記憶元件的列與行的備份引信程式化電路之結構方塊圖。在第 9 圖中的引信電路 40-1 至 40-k 表示設置在第 2 圖的列備份引信程式化電路 32 上的引信電路，而引信電路 42-1 至 42-k 表示設置在第 2 圖的行備份引信程式化電路 34 上的引信電路。

缺陷列位址輸出電路 70-1 包括 CMOS 傳送閘極 C4-1 至 C4-k，會對應控制訊號 MRS2 產生引信電路 40-1 至 40-k 之輸出訊號 PR0 至 PRk，也就是說，輸出訊號 PR0 至 PRk 就是缺陷位址。CMOS 傳送閘極 C5-1 至 C5-k，會對應控制訊號 MRS3 產生引信電路 42-1 至 42-k 之輸出訊號 PC0 至 Pck，也就是說，輸出訊號 PC0 至 Pck 就是缺陷位址。在測試操作期間，資料輸出緩衝器 74-1 至 74-k 會緩衝並輸出輸出訊號 PR0 至 PRk、或是輸出訊號 PC0 至 Pck；並且緩衝，並輸出資料 DO0 至 DOk 作為資料輸出訊號 DQ0 至 DQk，也就是說程式化的缺陷列與行位址會經過資料輸出緩衝器 74-1 至 74-k 被輸出。

五、發明說明（ ≥ 1 ）

因為本發明另一實施例的半導體記憶元件在測試操作期間，會透過資料輸出緩衝器輸出在列與行備份引信程式化電路中的程式化的缺陷位址，測試者可以確認缺陷位址有沒有準確的被程式化。此外，因為備份控制訊號會輸出到外部，可以由外部確認備份引信程式化電路 32 與 34 有沒有被用到。

因此，假如缺陷被不正確的程式化的話，記憶胞會被視為是有缺陷的，因為缺陷位址可以利用另外的引信電路再次程式化，缺陷的半導體記憶元件可以被修復。雖然另外的引信電路沒有繪示出來，這類額外的引信電路可以透過額外的控制訊號，特別是由模式設定記憶路 36 產生的控制訊號 MRS0 與 MRS1 來組成，而對應於額外的控制訊號的被程式化的引信電路會被另外設置在列與行備份引信程式化電路 32 與 34 中。

如上所述，根據半導體記憶元件及確定其之程式化缺陷位址的方法，可以很輕易的由外部確認缺陷位址有沒有準確的被程式化，而備份引信程式化電路有沒有被用到。另外，在有缺陷存在備份引線程式化電路中的情形中，因為額外的備份引信程式化電路可以在被程式化，所以製造良率可以明顯的改善。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

六、申請專利範圍

1.一種半導體記憶元件，包括：

一記憶胞陣列，含有複數個記憶胞；

一缺陷位址程式化裝置，用以回應一外部區域施加的一第一控制訊號與一位址訊號，在一封裝階段於該些記憶胞上程式化一缺陷記憶胞的一備份控制訊號與一缺陷位址；

一備份許可訊號產生裝置，當該位址與該缺陷位址相符時，回應該備份控制訊號產生一比較相符訊號；

一輸出裝置，以在一測試操作期間回應一第二控制訊號，輸出該比較相符訊號到一外部區域；以及

一模式控制訊號設定裝置，用以回應來自於一外部區域的一命令訊號與一模式設定訊號，設定該第一與該第二控制訊號之狀態。

2.如申請專利範圍第 1 項所述之元件，其中該輸出裝置進一步對應於該第二控制訊號輸出該備份控制訊號。

3.如申請專利範圍第 1 項所述之元件，其中該模式控制訊號設定裝置包括：

一模式設定紀錄器，以在封裝階段的一測試操作期間，對應於該命令訊號與該模式設定訊號來設定該第一控制訊號、一測試模式訊好與一正常模式訊號之狀態；

一控制訊號產生裝置，當該測試模式訊號為該第二控制訊號時，自一外部區域產生一訊號，並對應於該正常模式訊號抑制該第二控制訊號。

4.如申請專利範圍第 3 項所述之元件，其中該控制訊

六、申請專利範圍

號產生裝置包括：

一 CMOS 傳送閘極，用以對應於該測試模式訊號傳送自該外部區域提供之訊號；

一第一閉鎖，用以反轉並鎖住該 CMOS 傳送閘極之一輸出訊號；

一反轉器，用以反轉該第一閉鎖之一輸出訊號以產生該第二控制訊號；以及

一重置電晶體，以對應於該正常模式訊號重新設定該第二控制訊號。

5.如申請專利範圍第 1 項所述之元件，其中該缺陷位址程式化裝置包括：

一備份控制訊號產生電路，以對應於該第一控制訊號產生一備份控制訊號；以及

一缺陷位址程式化電路，以對應於該第一控制訊號接收該位址以程式化一引信，因此該缺陷位址會被程式化。

6.如申請專利範圍第 5 項所述之元件，其中該備份控制訊號產生電路包括：

一第一引信，連接在一電源電壓與一第一終端之間；

一第一 NMOS 電晶體，依序連接在該第一終端與一接地電壓之間，用以接收該位址與該第一控制訊號；以及

一第二閉鎖，用以反轉與鎖住該第一終端欲輸出的一輸出訊號。

7.如申請專利範圍第 5 項所述之元件，其中該缺陷位址程式化電路包括：

六、申請專利範圍

一第二引信，連接在一電源電壓與一第二終端之間；

一第二 NMOS 電晶體，依序連接在該第二終端與一接地電壓之間，用以接收該位址與該第一控制訊號；以及

一第三閉鎖，用以反轉與鎖住該第二終端欲輸出的一輸出訊號。

8.如申請專利範圍第 2 項所述之元件，其中該輸出裝置包括：

一訊號輸出裝置，用以對應於該第二控制訊號，輸出該備份控制訊號與該比較相符訊號；以及

一資料輸出緩衝器，用以在一測試操作期間自該訊號輸出電路緩衝並輸出一訊號到一外部區域。

9.一種半導體記憶元件，包括：

一記憶胞陣列，含有複數個記憶胞的；

一缺陷位址程式化裝置，用以回應一外部區域施加的一第一控制訊號與一位址訊號，在一封裝階段於該些記憶胞上程式化一缺陷記憶胞的一備份控制訊號與一缺陷位址；

一外部裝置，用以在一測試操作期間回應一第二控制訊號，將該缺陷位址程式化裝置輸出的該缺陷位址輸出到一外部區域上；以及

一模式控制訊號設定裝置，用以回應來自於一外部區域的一命令訊號與一模式設定訊號，設定該第一與該第二控制訊號的狀態。

10.如申請專利範圍第 9 項所述之元件，其中該輸出裝

六、申請專利範圍

置進一步對應於該第二控制訊號輸出該備份控制訊號。

11.如申請專利範圍第 9 項所述之元件，其中該模式控制訊號設定裝置包括：

一模式設定紀錄器，以在封裝階段的一測試操作期間，對應於該命令訊號與該模式設定訊號來設定該第一控制訊號、一測試模式訊好與一正常模式訊號之狀態；以及

一控制訊號產生裝置，當該測試模式訊號為該第二控制訊號時，自一外部區域產生一訊號，並對應於該正常模式訊號抑制該第二控制訊號。

12.如申請專利範圍第 11 項所述之元件，其中該控制訊號產生裝置包括：

一 CMOS 傳送閘極，用以對應於該測試模式訊號傳送自該外部區域提供之訊號；

一第一閉鎖，用以反轉並鎖住該 CMOS 傳送閘極之一輸出訊號；

一反轉器，用以反轉該第一閉鎖之一輸出訊號以產生該第二控制訊號；以及

一重置電晶體，以對應於該正常模式訊號重新設定該第二控制訊號。

13.如申請專利範圍第 9 項所述之元件，其中該缺陷位址程式化裝置包括：

一備份控制訊號產生電路，以對應於該第一控制訊號產生一備份控制訊號；以及

一缺陷位址程式化電路，以對應於該第一控制訊號接

六、申請專利範圍

收該位址以程式化一引信，因此該缺陷位址會被程式化。

14.如申請專利範圍第 13 項所述之元件，其中該備份控制訊號產生電路包括：

一第一引信，連接在一電源電壓與一第一終端之間；

一第一 NMOS 電晶體，依序連接在該第一終端與一接地電壓之間，用以接收該位址與該第一控制訊號；以及

一第二閉鎖，用以反轉與鎖住該第一終端欲輸出的一輸出訊號。

15.如申請專利範圍第 13 項所述之元件，其中該缺陷位址程式化電路包括：

一第二引信，連接在一電源電壓與一第二終端之間；

一第二 NMOS 電晶體，依序連接在該第二終端與一接地電壓之間，用以接收該位址與該第一控制訊號；以及

一第三閉鎖，用以反轉與鎖住該第二終端欲輸出的一輸出訊號。

16.如申請專利範圍第 10 項所述之元件，其中該輸出裝置包括：

一訊號輸出裝置，用以對應於該第二控制訊號，輸出該備份控制訊號與該比較相符訊號；以及

一資料輸出緩衝器，用以在一測試操作期間自該訊號輸出電路緩衝並輸出一訊號到一外部區域。

17.一種在一半導體記憶元件中確認一程式化缺陷位址的方法，其中該半導體記憶元件包括具有複數個記憶胞的一記憶胞陣列，以及用以回應一外部區域施加的一第一控

六、申請專利範圍

制訊號與一位址訊號，在一封裝階段於該些記憶胞上程式化一缺陷記憶胞的一備份控制訊號與一缺陷位址的一缺陷位址程式化裝置，此方法包括：

對應於施加在一外部區域的一命令訊號與一模式設定訊號，產生一第一控制訊號；

對應該第一控制訊號與自一外部區域供應之一缺陷位址來程式化該缺陷位址程式化裝置，以產生一備份控制訊號與一缺陷位址；

對應於該命令訊號與該模式設定訊號產生一第二控制訊號；以及

當自一外部區域提供的該位址與該缺陷位址相符時，對應於該第二控制訊號輸出一比較相符訊號到一外部區域上。

18.如申請專利範圍第 17 項所述之方法，進一步包括對應於該第二控制訊號輸出該備份控制訊號。

19.一種在一半導體記憶元件中確認一程式化缺陷位址的方法，其中該半導體記憶元件包括具有複數個記憶胞的一記憶胞陣列，以及用以回應一外部區域施加的一第一控制訊號與一位址訊號，在一封裝階段於該些記憶胞上程式化一缺陷記憶胞的一備份控制訊號與一缺陷位址的一缺陷位址程式化裝置，此方法包括：

對應於施加在一外部區域的一命令訊號與一模式設定訊號，產生一第一控制訊號；

對應該第一控制訊號與自一外部區域供應之一缺陷位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

址來程式化該缺陷位址程式化裝置，以產生一備份控制訊號與一缺陷位址；

對應於該命令訊號與該模式設定訊號產生一第二控制訊號；以及

對應於該第二控制訊號輸出一比較相符訊號到一外部區域上。

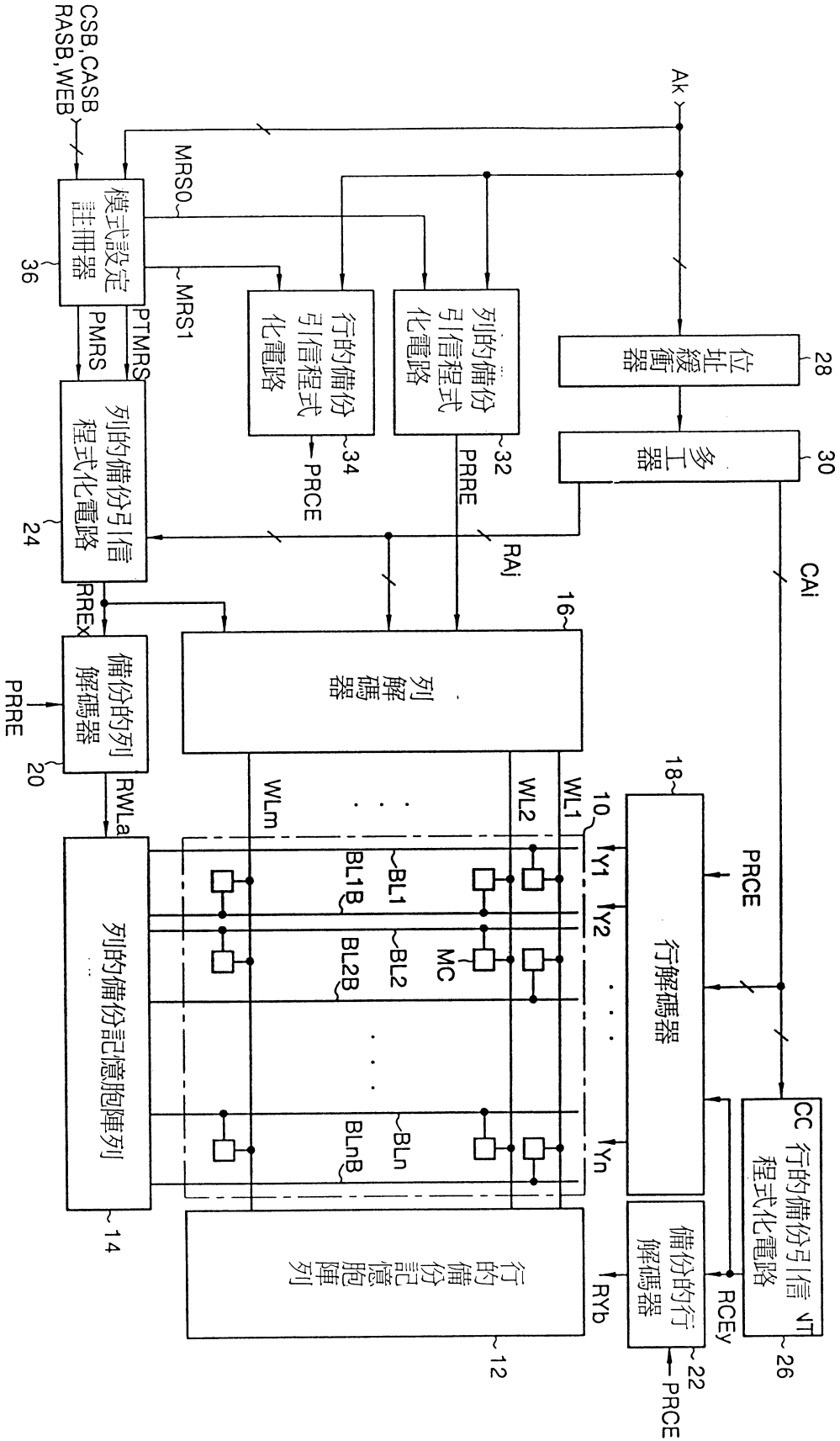
20.如申請專利範圍第 19 項所述之方法，進一步包括對應於該第二控制訊號輸出該備份控制訊號。

裝

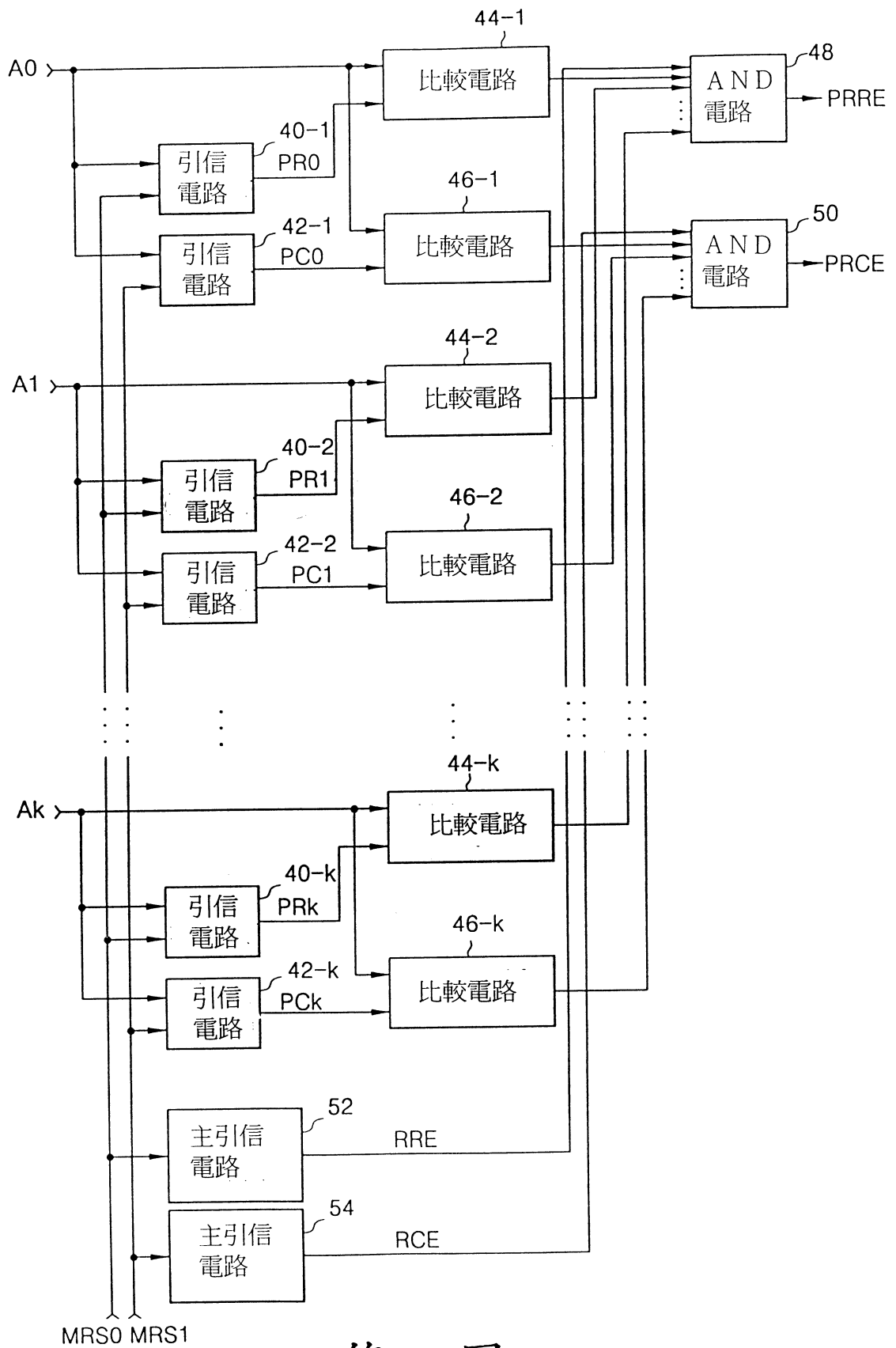
訂

線

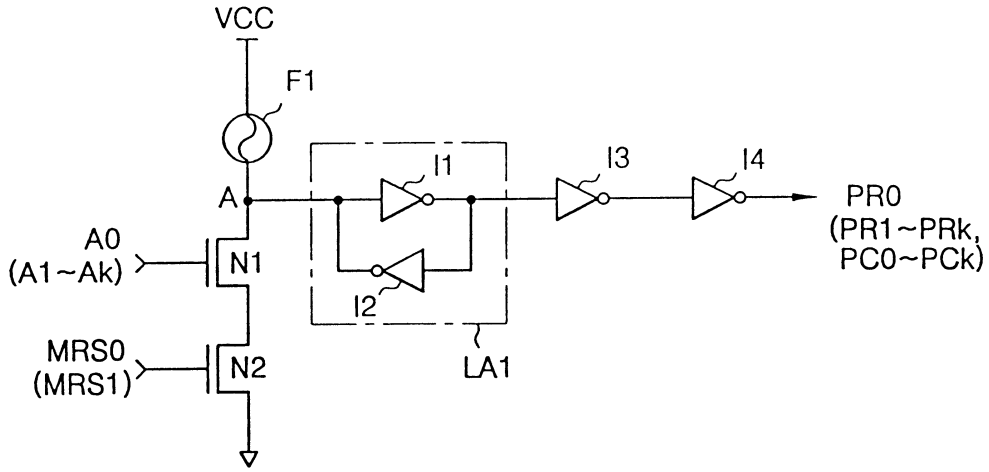
90115529



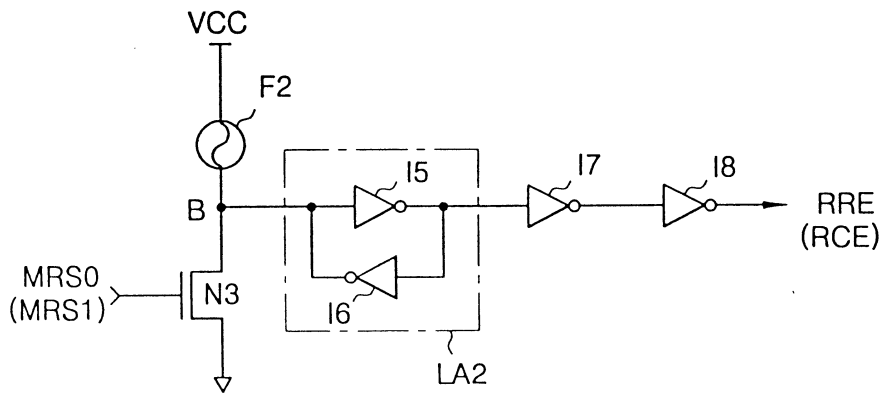
第 1 圖



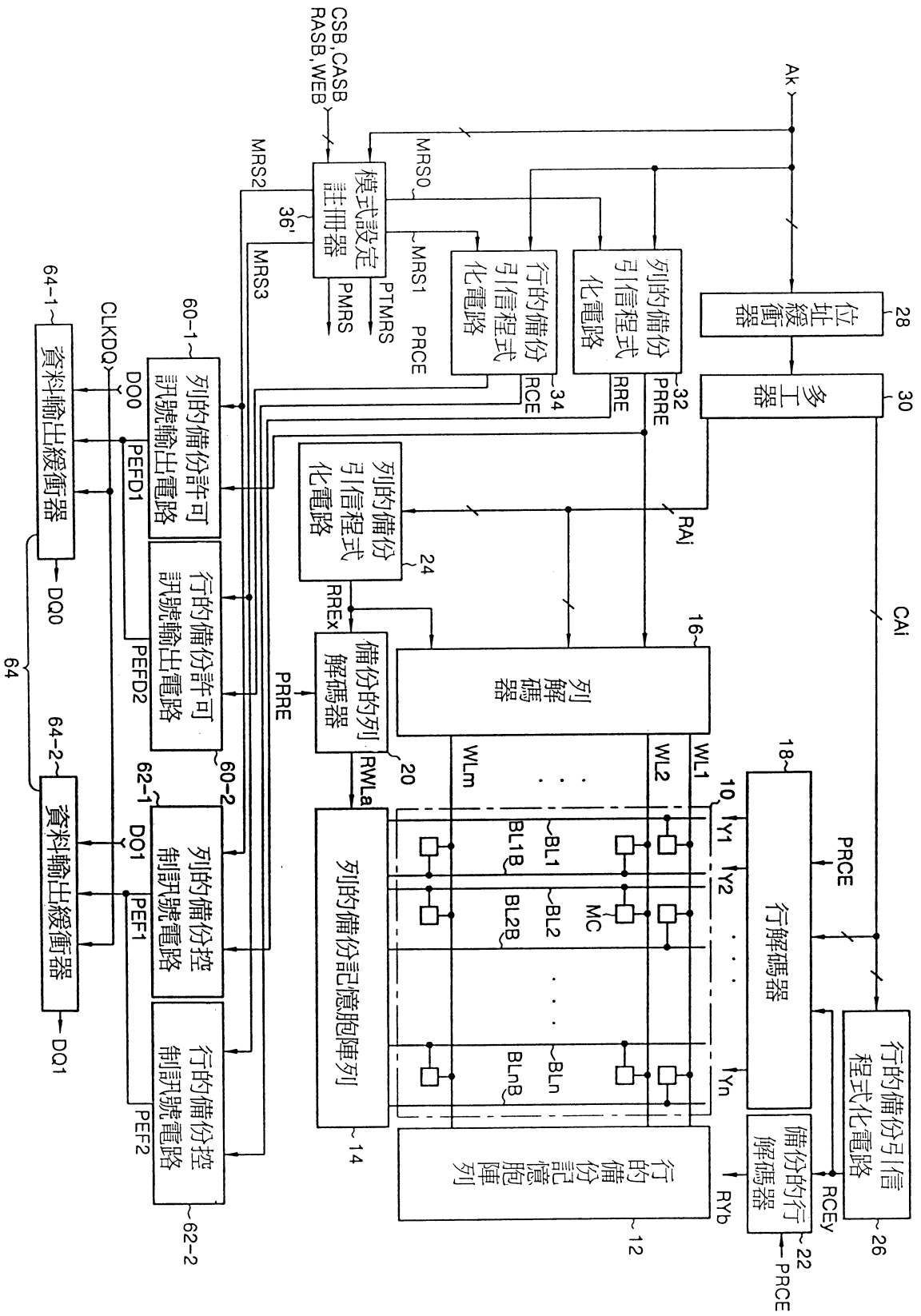
第 2 圖



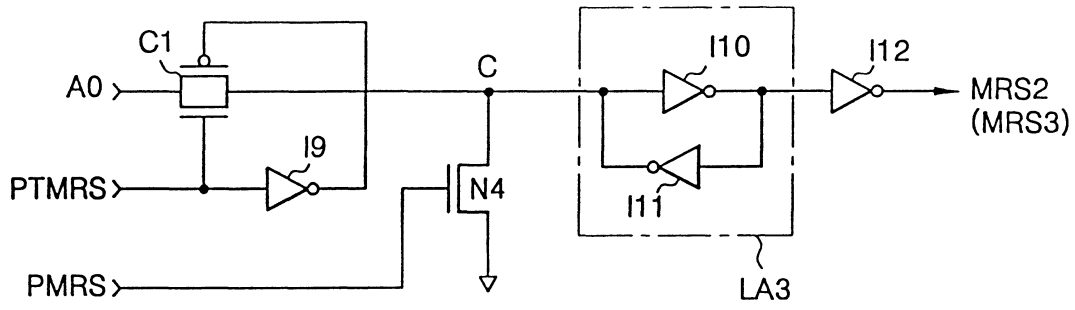
第 3 圖



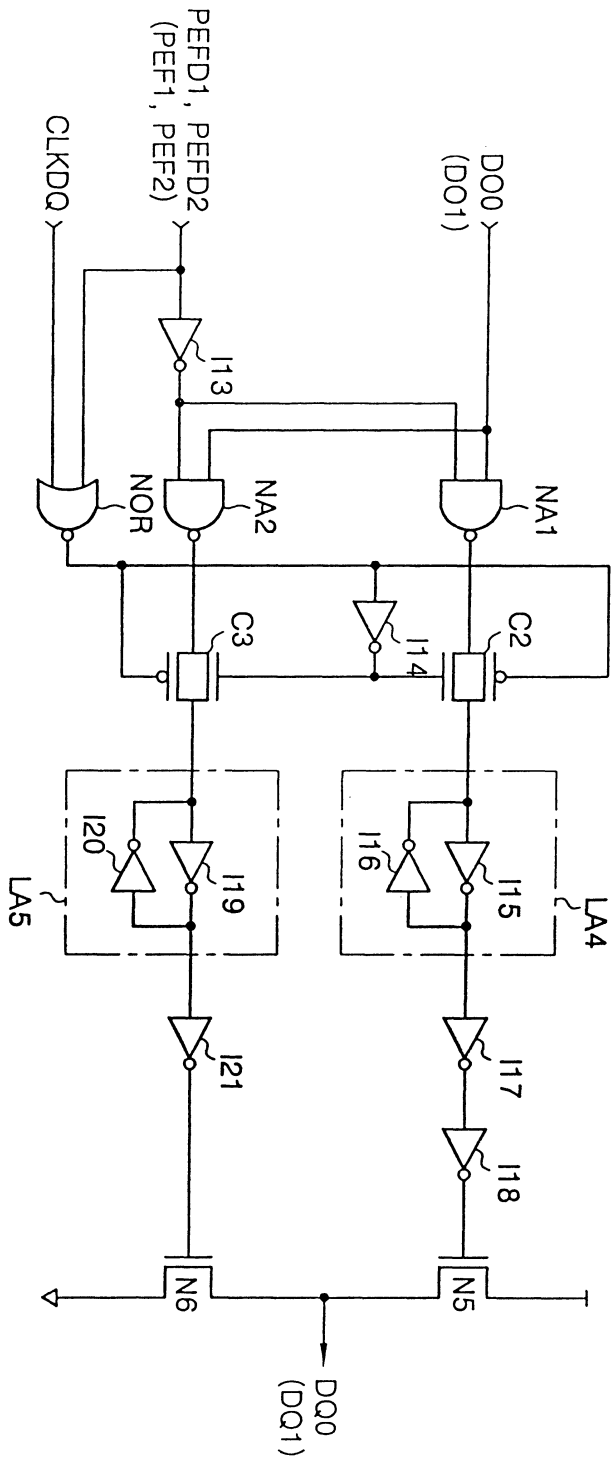
第 4 圖



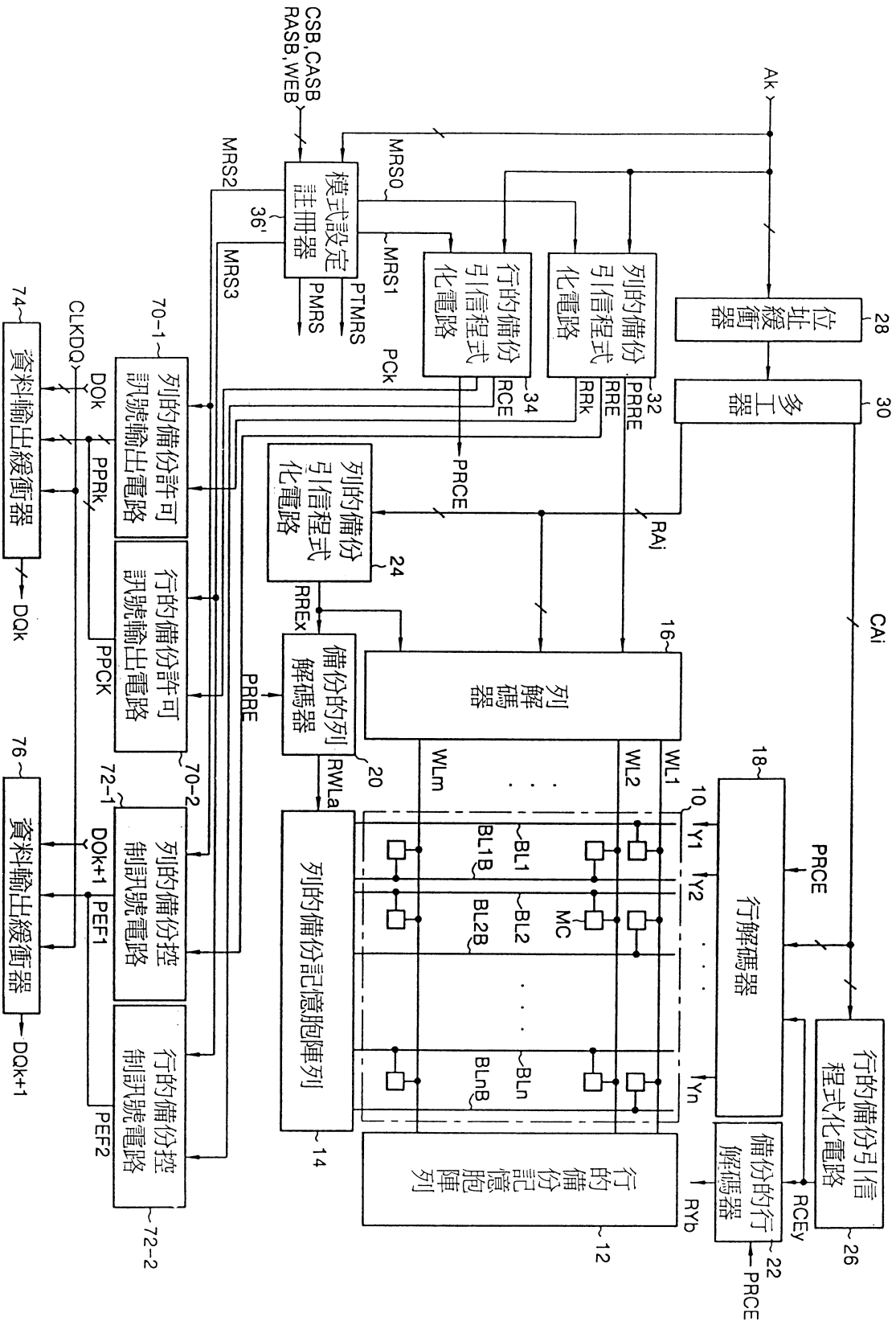
第 5 圖



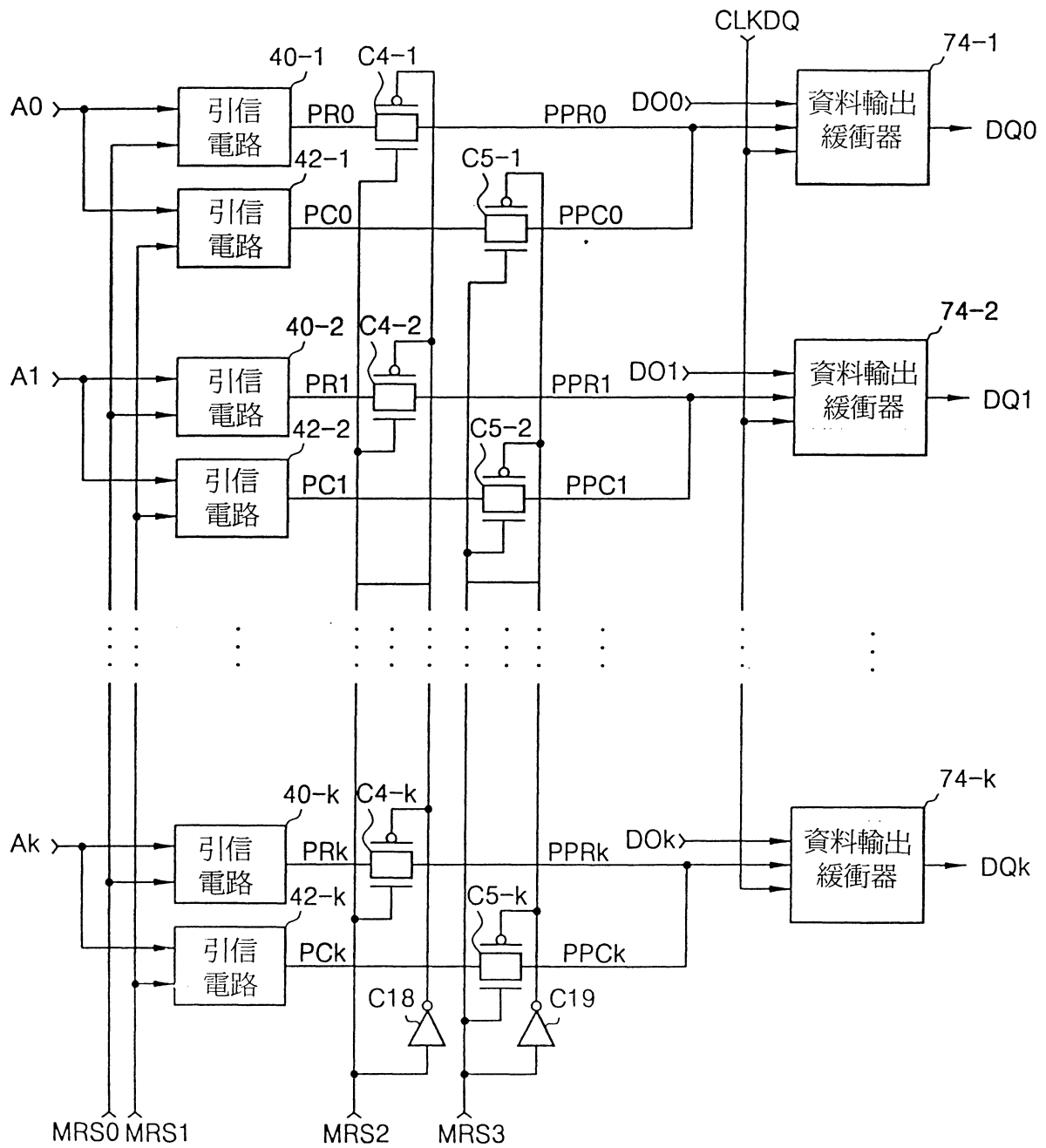
第 6 圖



第 7 圖

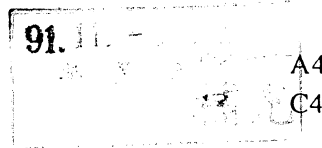


第 8 圖



第 9 圖

申請日期	90.6.27
案號	90115524
類別	GMC 7/00



519661

(以上各欄由本局填註)

發 明 型 專 利 說 明 書

一、發明 名稱	中 文	半導體記憶元件及確定其之程式化缺陷位址的方法
	英 文	SEMICONDUCTOR MEMORY DEVICE AND METHOD OF IDENTIFYING PROGRAMMED DEFECTIVE ADDRESS THEREOF
二、發明 創作人	姓 名	1 崔鐘賢 2 姜尙錫 3 李潤相
	國 籍	大韓民國
	住、居所	1 大韓民國京畿道水原市八達區靈通洞壁積高住公 Apt., 9 團地 901-1304 2 大韓民國京畿道水原市勸善區勸善洞 1196-2 3 大韓民國京畿道龍仁市水枝邑相玄理成園 Apt. 102-602
三、申請人	姓 名 (名稱)	三星電子股份有限公司
	國 籍	大韓民國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞 416 番地
	代 表 人 姓 名	尹鍾龍

五、發明說明 (4)

訊號。

本發明之較佳實施例進一步提供一種在半導體記憶元件中確認程式化缺陷位址的方法，此半導體記憶元件包括具有複數個記憶胞的記憶胞陣列，以及用以回應一個外部區域施加的一個第一控制訊號與位址訊號，在封裝階段於複數個記憶胞上程式化一個缺陷記憶胞的備份控制訊號與缺陷位址的一個缺陷位址程式化裝置。此方法包括：對應於施加在外部區域的一個命令訊號與一個模式設定訊號產生一個第一控制訊號；對應第一控制訊號與自外部區域供應之缺陷位址來程式化缺陷位址程式化裝置，以產生一個備份控制訊號與一個缺陷位址；對應於命令訊號與模式設定訊號產生第二控制訊號；以及對應於第二控制訊號將缺陷位址輸出外部區域。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖為習知的一種半導體記憶元件的結構方塊圖；

第 2 圖為第 1 圖之半導體記憶元件的列與行的備份引信程式化電路之結構方塊圖；

第 3 圖為第 2 圖之列與行的備份引信程式化電路中的一個引信電路之結構方塊圖；

第 4 圖為第 2 圖之列與行的備份引信程式化電路的主引信電路的結構方塊圖；

四、中文發明摘要(發明之名稱: 半導體記憶元件及確定其之程式化
缺陷位址的方法)

一種半導體記憶元件，包括記憶胞陣列、缺陷位址程式化裝置、備份許可訊號產生裝置、輸出裝置以及模式控制訊號設定裝置。此記憶胞陣列含有複數個記憶胞；缺陷位址程式化裝置，用以回應一個外部區域施加的一個第一控制訊號與位址訊號，在封裝階段於複數個記憶胞上程式化一個缺陷記憶胞的備份控制訊號與缺陷位址；備份許可訊號產生裝置在位址與缺陷位址相符時，會回應備份控制訊號，產生一個比較相符訊號到一個外部區域；輸出裝置會在一個測試操作期間對應於第二控制訊號，將比較相符訊號輸出到外部區域；而模式控制訊號設定裝置，會回應來自於外部區域的一個命令訊號與一個模式設定訊號，來設定第一與第二控制訊號的狀態。

英文發明摘要(發明之名稱: SEMICONDUCTOR MEMORY DEVICE AND
METHOD OF IDENTIFYING PROGRAMMED DEFECTIVE ADDRESS THEREOF)

A semiconductor memory device includes a memory cell array, a defective address programming means, a redundant enable signal generating means, an output means, and a mode control signal setting means. The memory cell array includes a plurality of memory cells. The defective address programming means programs a redundant control signal and a defective address of defective memory cell among the plurality of the memory cells at a package level in response to a first control signal and an address signal applied from an external portion. The redundant enable signal generating means generates a comparison coincident signal in response to the redundant control signal when the address is consistent with the defective address. The output means outputs the comparison coincident signal to an external portion in response to a second control signal during a test operation. The mode control signal setting means sets state of the first and second control signals in response to a command signal and mode setting signal applied from an external portion.