



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 601 28 960 T2 2008.02.14

(12)

Übersetzung der europäischen Patentschrift

(97) EP 1 354 404 B1

(51) Int Cl.⁸: **H03K 19/177 (2006.01)**

(21) Deutsches Aktenzeichen: **601 28 960.9**

(86) PCT-Aktenzeichen: **PCT/US01/27172**

(96) Europäisches Aktenzeichen: **01 966 470.5**

(87) PCT-Veröffentlichungs-Nr.: **WO 2002/021694**

(86) PCT-Anmeldetag: **31.08.2001**

(87) Veröffentlichungstag

der PCT-Anmeldung: **14.03.2002**

(97) Erstveröffentlichung durch das EPA: **22.10.2003**

(97) Veröffentlichungstag
der Patenterteilung beim EPA: **13.06.2007**

(47) Veröffentlichungstag im Patentblatt: **14.02.2008**

(30) Unionspriorität:

654240 02.09.2000 US

(84) Benannte Vertragsstaaten:

DE, FR, GB, IT, NL

(73) Patentinhaber:

Actel Corp., Sunnyvale, Calif., US

(72) Erfinder:

LIEN, Jung-Cheun, Sunnyvale, CA 94086, US

(74) Vertreter:

**Manitz, Finsterwald & Partner GbR, 80336
München**

(54) Bezeichnung: **ARCHITEKTUR FÜR ZIEGELFÖRMIG AUFBAUBARES NUTZERPROGRAMMIERBARES GATTERFELD**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelebt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Hintergrund der Erfindung

1. Gebiet der Erfindung

[0001] Die vorliegende Erfindung bezieht sich auf feldprogrammierbare Gate-Arrays und insbesondere auf eine Architektur für durch Bausteine konstruierbare (tileable) feldprogrammierbare Gate-Arrays.

2. Beschreibung des Standes der Technik

[0002] Ein feldprogrammierbares Gate-Array (FPGA) ist eine integrierte Schaltung (IC), die ein zweidimensionales Array von Universallogikschaltungen enthält, die Zellen oder Logikblöcke genannt werden, deren Funktionen programmierbar sind. Die Zellen sind durch programmierbare Busse miteinander verknüpft. Die Zellen können kleine Multifunktionsschaltungen (oder konfigurierbare Funktionsblöcke oder -gruppen sein), die alle booleschen Funktionen weniger Variablen realisieren können. Die Zellentypen sind nicht auf Gatter beschränkt. Zum Beispiel enthalten die konfigurierbaren Funktionsgruppen üblicherweise Speicherzellen und Verbindungstransistoren, die verwendet werden können, um innerhalb des FPGA logische Funktionen wie etwa Addition, Subtraktion usw. zu konfigurieren. Außerdem kann eine Zelle ein oder zwei Flipflops enthalten. Zwei Typen von Logikzellen, die in FPGAs zu finden sind, sind jene, die auf Multiplexern beruhen, und jene, die auf programmierbaren Nur-Lese-Speicher-Tabellen-nachschlagespeichern (Nur-Lese-Speicher-PROM-Tabellennachschlagespeichern) beruhen. Löschbare FPGAs können viele Male neu programmiert werden. Besonders zweckmäßig ist diese Technologie, wenn für ein neues Produkt ein Prototypentwurf entwickelt und ausgetestet wird, sowie für die Einzelfertigung.

[0003] FPGAs enthalten üblicherweise eine physikalische Schablone, die ein Array von Schaltungen, Mengen nicht gebundener Routing-Verdrahtungen und Mengen anwenderprogrammierbarer Schalter, die sowohl den Schaltungen als auch den Routing-Verdrahtungen zugeordnet sind, enthalten. Wenn diese Schalter richtig programmiert sind (auf Ein- oder Aus-Zustände eingestellt sind), ist die Schablone oder die zugrundeliegende Schaltung und Verdrahtung des FPGA zum Ausführen spezifischer angepasster Funktionen angepasst oder konfiguriert. Durch Neuprogrammieren der Ein-Aus-Zustände dieser Schalter kann ein FPGA viele verschiedene Funktionen ausführen. Wenn eine spezifische Konfiguration eines FPGA entschieden worden ist, kann es so konfiguriert werden, dass es diese eine spezifische Konfiguration ausführt.

[0004] Die anwenderprogrammierbaren Schalter in

einem FPGA können in verschiedenen Technologien wie etwa ONO-Antifuse, M-M-Antifuse, SRAM-Speicherzelle, Flash-EPROM-Speicherzelle und EEPROM-Speicherzelle implementiert werden. FPGAs, die als Schalter Sicherungen oder Antifuses nutzen, können nur einmal programmiert werden. Eine speicherzellengesteuerte Schalterimplementierung eines FPGA kann wiederholt neu programmiert werden. In diesem Szenarium wird üblicherweise ein NMOS-Transistor als der Schalter verwendet, um zwei ausgewählte Punkte (A, B) in der Schaltung entweder zu verbinden oder zu trennen. Der Source- und der Drain-Knoten des NMOS sind mit Punkten A, B verbunden und sein Gate-Knoten ist direkt oder indirekt mit der Speicherzelle verbunden. Dadurch, dass der Zustand der Speicherzelle entweder auf eine logische "1" oder auf eine logische "0" eingestellt wird, kann der Schalter ein- oder ausgeschaltet werden, wobei die Punkte A und B somit entweder verbunden oder getrennt werden. Somit schafft die Fähigkeit, diese Schalter zu programmieren, eine sehr flexible Vorrichtung.

[0005] FPGAs können das Programm, das die zu implementierende Schaltung bestimmt, in einem RAM oder PROM auf dem FPGA-Chip speichern. Das Muster der Daten in diesem Konfigurationsspeicher CM bestimmt die Funktionen der Zellen und ihre Verbindungsverdrahtung. Jedes Bit des CM steuert einen Transistorschalter in der Zielschaltung, der eine Zellenfunktion auswählen oder eine Verbindung herstellen (oder trennen) kann. Durch Ersetzen der Inhalte des CM können Entwickler Entwurfsänderungen vornehmen oder Entwurfsfehler korrigieren. Der CM kann von einer externen Quelle heruntergeladen oder on-Chip gespeichert werden. Dieser Typ eines FPGA kann wiederholt neu programmiert werden, was die Entwicklungs- und Herstellungskosten wesentlich verringert.

[0006] Im Allgemeinen ist ein FPGA ein Typ einer programmierbaren Logikvorrichtung (PLD), d. h. einer Vorrichtung, die viele Gatter oder andere Universalzellen enthält, deren Verbindungen konfiguriert oder "programmiert" werden können, um irgendeine gewünschte Kombinations- oder Folgefunktion zu implementieren. Wie sein Name bedeutet, ist ein FPGA "feldprogrammierbar", d. h., dass die Vorrichtung allgemein durch Entwickler oder Endanwender über kleine, preiswerte Programmereinheiten "im Feld" programmiert wird. Dies steht im Gegensatz zu maschenprogrammierbaren Vorrichtungen, die spezielle Schritte in dem IC-Chip-Herstellungsprozess erfordern.

[0007] Eine feldprogrammierbare Einheit verwendet üblicherweise Entwurfssoftware, um das FPGA zu programmieren. Die Entwurfssoftware kompiliert einen spezifischen Anwenderentwurf, d. h. eine spezifische von dem Endanwender gewünschte Konfigu-

ration der programmierbaren Schalter, in FPGA-Konfigurationsdaten. Die Entwurfssoftware assembliert die Konfigurationsdaten zu einem Bitstrom, d. h. zu einem Strom von Einsen und Nullen, der in das FPGA eingespeist und zum Programmieren der Konfigurationsspeicher für die programmierbaren Schalter verwendet wird. Der Bitstrom erzeugt das Muster der Daten in dem Konfigurationsspeicher CM, das bestimmt, ob jede Speicherzelle eine "1" oder eine "0" speichert. Das gespeicherte Bit in jedem CM steuert, ob sein zugeordneter Transistorschalter ein- oder ausgeschaltet ist. Endanwender verwenden üblicherweise Entwurfssoftware, um verschiedene Entwürfe zu testen und Simulationen für FPGAs laufen zu lassen.

[0008] Wenn ein FPGA, das zur Ausführung einer spezifischen Funktion programmiert worden ist, mit einer anwendungsspezifischen integrierten Schaltung (ASIC) verglichen wird, die zur Ausführung derselben spezifischen Funktion entworfen und hergestellt worden ist, ist das FPGA notwendig eine größere Vorrichtung als die ASIC. Dies liegt daran, dass FPGAs sehr flexible Vorrichtungen sind, die viele verschiedene Funktionen implementieren können, und somit eine große Menge Zusatzschaltungsanordnung enthalten, die entweder nicht verwendet wird oder durch fest verdrahtete Verbindungen ersetzt werden könnte, wenn eine spezifische Funktion ausgeführt wird. Diese Zusatzschaltungsanordnung enthält allgemein die zahlreichen programmierbaren Transistorschalter und entsprechende Speicherzellen, die bei der Implementierung einer spezifischen Funktion nicht verwendet werden, die Speicherzellen innerhalb der Funktionsgruppen und die FPGA-Programmierungsschaltungsanordnung. Diese Zusatzschaltungsanordnung wird beim Entwurf einer ASIC üblicherweise weggelassen, was die ASIC zu einer kleineren Vorrichtung macht.

[0009] Andererseits ist eine ASIC keine flexible Vorrichtung. Mit anderen Worten, wenn eine ASIC entworfen und hergestellt worden ist, kann sie nicht, wie es bei einem FPGA möglich ist, neu konfiguriert werden, um eine andere Funktion auszuführen.

[0010] Entwickler von FPGAs (sowie von anderen PLDs) stellen ihre Schaltungsentwürfe häufig für IC-Hersteller bereit, die die FPGAs üblicherweise auf zwei verschiedenen Wegen herstellen. Zunächst kann ein FPGA-Entwurf als sein eigener Chip hergestellt werden, wobei in dem IC-Gehäuse keine weiteren Vorrichtungen enthalten sind. Zweitens kann ein FPGA-Entwurf in eine größere IC eingebettet sein. Ein Beispiel einer solchen größeren IC ist ein System auf einem Chip (SOC), das das eingebettete FPGA sowie mehrere weitere Komponenten enthält. Die mehreren weiteren Komponenten können z. B. einen Mikroprozessor, einen Speicher, eine Arithmetik-Logik-Einheit (ALU), eine Zustandsmaschine usw. ent-

halten. In diesem Szenario kann das eingebettete FPGA nur ein kleiner Teil des gesamten SOC sein.

[0011] Gleich, ob ein FPGA als seine eigene IC hergestellt oder in eine größere IC (z. B. in einen SOC) eingebettet werden soll, bestimmt die beabsichtigte Anwendung/Verwendung der IC die Größe und die Komplexität des benötigten FPGA. In einigen Szenarien wird ein großes FPGA benötigt und in anderen Szenarien wird ein kleines FPGA benötigt. Da herkömmliche FPGAs üblicherweise für die beabsichtigte Anwendung/Verwendung entworfen worden sind, muss ein zur Erfüllung einer Notwendigkeit eines kleinen FPGA entworfenes FPGA für die Verwendung, wo ein größeres FPGA benötigt wird, im Wesentlichen neu entworfen werden. Somit wäre es sehr vorteilhaft, eine FPGA-Vorrichtung und ein FPGA-Verfahren zu haben, die leicht für die Verwendung sowohl in ICs, die große FPGAs erfordern, als auch in ICs, die kleine FPGAs erfordern, angepasst werden könnten. Darüber hinaus wäre es sehr vorteilhaft, wenn diese FPGA-Vorrichtung und dieses FPGA-Verfahren sowohl in dem Szenario, in dem das FPGA als seine eigene IC hergestellt werden soll, als auch in dem Szenario, in dem das FPGA in eine größere IC eingebettet werden soll, verwendet werden könnte.

[0012] US 5,874,834 A offenbart ein FGPA mit verteilter Gate-Array-Funktionalität gemäß dem Oberbegriff von Anspruch 1, das eine Vielzahl konfigurierbarer Logikblöcke besitzt. Diese Blöcke enthalten feldprogrammierbare Logikelemente und entsprechende nicht feldprogrammierbare Gate-Arrays.

[0013] GB 2 346 240 A offenbart außerdem ein FGPA und eine darin enthaltene programmierbare Zelle. Die Zellen sind mit einem Verbindungsnetz verbunden, um Steuereinformationen an sie zu senden. Jede der programmierbaren Zellen wählt in Übereinstimmung mit den Steuereinformationen geeignete konfigurierbare Informationen aus.

KURZZUSAMMENFASSUNG DER ERFINDUNG

[0014] Die vorliegende Erfindung schafft eine Vorrichtung, die ein feldprogrammierbares Gate-Array (FPGA) enthält. Das FPGA enthält einen ersten FPGA-Baustein und der erste FPGA-Baustein enthält eine Vielzahl von Funktionsgruppen (FGs), eine reguläre Routing-Struktur und eine Vielzahl von Schnittstellengruppen (IGs). Die Vielzahl von FGs sind in Zeilen und Spalten angeordnet, wobei jede der FGs konfiguriert ist, um reguläre Eingangssignale zu empfangen, eine logische Operation auszuführen und reguläre Ausgangssignale zu erzeugen. Die reguläre Routing-Struktur ist mit den FGs gekoppelt und konfiguriert, um die regulären Ausgangssignale zu empfangen, Signale nach innerhalb von dem ersten FPGA-Baustein zu routen und die regulären Ein-

gangssignale an die FGs zu liefern. Die Vielzahl von IGs umgeben die Vielzahl von FGs, sodass an jedem Ende jeder Zeile und Spalte eine IG angeordnet ist. Jede der IGs ist mit der regulären Routing-Struktur gekoppelt und konfiguriert, um Signale von der regulären Routing-Struktur nach außerhalb von dem ersten FPGA-Baustein zu übertragen. Darüber hinaus enthält die Vorrichtung eine Vielzahl von Eingangsmultiplexern, die konfiguriert sind, um von der regulären Routing-Struktur empfangene Signale auszuwählen und die ausgewählten Signale nach außerhalb von dem FPGA-Baustein zu liefern, und eine Vielzahl von Eingangs/Ausgangs-Anschlussflächen (E/As), wobei jeder der Eingangsmultiplexer zumindest mit einer der E/A direkt gekoppelt ist.

[0015] Ein besseres Verständnis der Merkmale und Vorteile der vorliegenden Erfindung wird anhand der folgenden ausführlichen Beschreibung der Erfindung und der beigefügten Zeichnungen erhalten, die eine veranschaulichende Ausführungsform angeben, in der die Prinzipien der Erfindung genutzt werden.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0016] [Fig. 1](#) ist ein Blockschaltplan, der einen FPGA-Baustein in Übereinstimmung mit der vorliegenden Erfindung veranschaulicht.

[0017] [Fig. 2](#), [Fig. 3A](#), [Fig. 3B](#) und [Fig. 4](#) sind Blockschaltpläne, die verschiedene Konfigurationen von FPGA-Bausteinen in Übereinstimmung mit der vorliegenden Erfindung veranschaulichen.

[0018] [Fig. 5](#) ist ein Blockschaltplan, der den in [Fig. 1](#) gezeigten FPGA-Baustein ausführlicher veranschaulicht.

[0019] [Fig. 6](#) ist ein Blockschaltplan, der eine der in [Fig. 5](#) gezeigten Funktionsgruppen (FGs) ausführlicher veranschaulicht.

[0020] [Fig. 7](#) ist ein Prinzipschaltbild, das die in [Fig. 6](#) gezeigte FG ausführlicher veranschaulicht.

[0021] [Fig. 8](#) ist ein Prinzipschaltbild, das die in [Fig. 7](#) gezeigte LGG-Auswahlschaltung ausführlicher veranschaulicht.

[0022] [Fig. 9](#) ist ein Prinzipschaltbild, das die in [Fig. 7](#) gezeigte C/E/P/C-Auswahlschaltung ausführlicher veranschaulicht.

[0023] [Fig. 10](#) ist ein Prinzipschaltbild, das eine der in [Fig. 7](#) gezeigten Logikeinheiten (LU) ausführlicher veranschaulicht.

[0024] [Fig. 11](#) ist ein Blockschaltplan, der eine der in [Fig. 5](#) gezeigten Schnittstellengruppen (IGs) ausführlicher veranschaulicht.

[0025] [Fig. 12](#) ist ein Blockschaltplan, der eine alternative Version einer der in [Fig. 5](#) gezeigten Schnittstellengruppen (IGs) ausführlicher veranschaulicht.

[0026] [Fig. 13](#) ist ein Prinzipschaltbild, das einen Abschnitt des in [Fig. 5](#) gezeigten FPGA-Bausteins ausführlicher veranschaulicht.

[0027] [Fig. 14](#) ist ein Prinzipschaltbild, das einen Abschnitt der in [Fig. 13](#) gezeigten regulären Routing-Struktur ausführlicher veranschaulicht.

[0028] [Fig. 15](#) ist ein Prinzipschaltbild, das einen Abschnitt der in [Fig. 14](#) gezeigten regulären Routing-Struktur ausführlicher veranschaulicht.

[0029] [Fig. 16A](#) und [Fig. 16B](#) sind Prinzipschaltbilder, die die in dem in [Fig. 5](#) gezeigten FPGA-Baustein enthaltene sekundäre Routing-Struktur veranschaulichen.

[0030] [Fig. 17](#) ist ein Prinzipschaltbild, das die in [Fig. 4](#) gezeigte globale Signal-Routing-Struktur ausführlicher veranschaulicht.

[0031] [Fig. 18](#) ist ein Prinzipschaltbild, das ein optionales Verfahren der Kopplung zweier FPGA-Bausteine miteinander veranschaulicht.

AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

[0032] Anhand von [Fig. 1](#) ist ein feldprogrammierbarer Gate-Array-Baustein (FPGA-Baustein) **20** in Übereinstimmung mit der vorliegenden Erfindung veranschaulicht. Der FPGA-Baustein **20** überwindet viele der Nachteile herkömmlicher FPGAs dahingehend, dass er leicht sowohl für die Verwendung in integrierten Schaltungen (ICs), die große FPGAs erfordern, als auch in ICs, die kleine FPGAs erfordern, angepasst werden kann. Darüber hinaus kann der FPGA-Baustein **20** verwendet werden, wo das FPGA als seine eigene IC hergestellt werden soll und wo das FPGA in eine größere IC (z. B. in ein System auf einem Chip (SOC)) eingebettet werden soll.

[0033] Ein Merkmal des FPGA-Bausteins **20**, das ihn zu einer so flexiblen und anpassungsfähigen Vorrichtung macht, ist, dass er "durch Bausteine kombinierbar" ist. Wie der Begriff "durch Bausteine kombinierbar" hier verwendet wird, bedeutet er, dass der FPGA-Baustein **20** mit weiteren FPGA-Bausteinen kombiniert werden kann, um ein größeres FPGA zu bilden. Zum Beispiel veranschaulicht [Fig. 2](#) ein FPGA **22**, das durch Kombinieren zweier FPGA-Bausteine **20** gebildet ist. Die zwei FPGA-Bausteine **20** arbeiten zusammen und kommunizieren miteinander, um das größere FPGA **22** zu bilden. Es ist zu erkennen, dass in Übereinstimmung mit der vorliegenden Erfindung irgendeine Anzahl von FPGA-Bausteinen

20 kombiniert werden können, um ein größeres FPGA zu bilden. Zum Beispiel veranschaulicht [Fig. 3A](#) ein FPGA **24**, das durch Kombination vierer FPGA-Bausteine **20** gebildet ist.

[0034] In Übereinstimmung mit der vorliegenden Erfindung können FPGA-Bausteine **20** kombiniert werden, um ein größeres FPGA zu bilden, das als seine eigene IC hergestellt werden soll oder das in eine größere IC eingebettet werden soll. In Bezug auf das letztere Szenarium können z. B. die FPGAs **22**, **24** in SOCs eingebettet werden. [Fig. 3B](#) zeigt ein SOC **25** mit dem darin eingebetteten FPGA **24**. Das SOC **25** enthält mehrere weitere Komponenten. Die weiteren Komponenten können z. B. einen Nur-Lese-Speicher (ROM) **27**, einen Schreib-Lese-Speicher (RAM) **29**, einen Mikroprozessor **31** und irgendwelche weiteren Komponenten **33** enthalten. Es ist zu erkennen, dass die spezifischen Typen weiterer Komponenten und die Anzahl weiterer Komponenten, die auf dem SOC **25** enthalten sind, je nach der bestimmten Anwendung stark variieren. In Bezug auf das erstere Szenarium veranschaulicht [Fig. 4](#) ein FPGA **26**, das als seine eigene IC hergestellt worden ist. Genauer enthält das FPGA **26** vier FPGA-Bausteine **20** und vier Anschlussflächenringe **28**, **30**, **32**, **34**. Die Anschlussflächenringe **28**, **30**, **32**, **34** werden verwendet, um die FPGA-Bausteine **20** mit den IC-Gehäuse-Anschlussflächen des FPGA **26** zu koppeln.

[0035] Außerdem ist in [Fig. 4](#) eine globale Signal-Routing-Struktur **36** veranschaulicht. Die globale Signal-Routing-Struktur **36** wird im Folgenden ausführlicher beschrieben, wird im Allgemeinen aber verwendet, um globale Inter-Baustein-Signale zwischen den FPGA-Bausteinen **20** zu routen. Es ist zu erkennen, dass die globale Signal-Routing-Struktur **36** in Übereinstimmung mit der vorliegenden Erfindung in irgendeiner Kombination von FPGA-Bausteinen **20** einschließlich z. B. der FPGAs **22**, **24** enthalten sein kann. Darüber hinaus kann die globale Signal-Routing-Struktur **36** verwendet werden, gleich, ob die kombinierten FPGA-Bausteine **20** als ihre eigene IC hergestellt oder in eine größere IC eingebettet sind.

[0036] Die FPGA-Bausteine, die kombiniert werden, können in Übereinstimmung mit der vorliegenden Erfindung (wie die Bausteine in den FPGAs **22**, **24**, **26**) gleich sein oder verschiedene Größen und Entwürfe haben. Ein Vorteil dessen, gleiche FPGA-Bausteine zu verwenden, ist, dass es eine wirtschaftliche Lösung dafür schafft, FPGAs mit Größen bereitzustellen, die für die beabsichtigten Verwendungen/Anwendungen geeignet sind. Da nur ein FPGA-Baustein entworfen zu werden braucht und daraufhin die notwendige Anzahl von Bausteinen kombiniert werden, um ein FPGA zu bilden, ist eine solche Lösung wirtschaftlich. Es ist festzustellen, dass ein "FPGA-Baustein" hier außerdem als ein FPGA betrachtet wird. Mit anderen Worten, ein einzelner FP-

GA-Baustein **20** kann selbst verwendet werden, um ein FPGA zu bilden.

[0037] Anhand von [Fig. 5](#) sind einige der inneren Komponenten des FPGA-Bausteins **20** veranschaulicht. Genauer enthält der FPGA-Baustein **20** mehrere Funktionsgruppen (FGs) **40**, die von mehreren Schnittstellengruppen (IGs) **42** umgeben sind. Die FGs **40** sind kleine Multifunktionsschaltungen, die viele oder alle booleschen Funktionen realisieren können. Die FGs **40** enthalten Nachschlagtabellen (LUTs) und weitere Schaltungen, die boolesche Funktionen realisieren können, sowie Speicherzellen, die verwendet werden, um logische Funktionen wie etwa Addition, Subtraktion usw. zu konfigurieren. Die IGs **42** werden als Schnittstelle des FPGA-Bausteins **20** mit weiteren FPGA-Bausteinen oder Vorrichtungen oder zu Anschlussflächenringen zum Verbinden des FPGA-Bausteins **20** mit IC-Gehäuseanschlussstiften verwendet. Im Allgemeinen ist die Logikstruktur des FPGA-Bausteins **20** durch die FGs **40** und durch die IGs **42** bereitgestellt. Außerdem sind in dem FPGA-Baustein **20** mehrere horizontale und vertikale reguläre Routing-Busse, Routing-Verdrahtungsbereiche, Schalttransistoren und eine globale Routing-Struktur enthalten, die alle im Folgenden diskutiert werden, in [Fig. 5](#) aber nicht gezeigt sind.

[0038] Anhand von [Fig. 6](#) ist eine beispielhafte Version der ersten Menge der Eingangs- und Ausgangsports **44**, der globalen Intra-Baustein-Eingangs- und Ausgangsports **46** und des globalen Inter-Baustein-Eingangports **48** der FG **40** gezeigt. Die erste Menge von Eingangs- und Ausgangsports **44** übermitteln Eingangssignale [EUI[0:4]] (oberer Eingang) und EBI[0:4] (unterer Eingang). Dies sind die Basiseingänge, an denen die booleschen Funktionen und die logische Operation der FG **40** ausgeführt werden. Die erste Menge von Eingangs- und Ausgangsports **44** enthält außerdem Ausgangssignale Y[0:4]. Dies sind die Basisausgänge, die das Ergebnis der booleschen Funktionen und der logischen Operation der FG **40** übermitteln. Die erste Menge der Eingangs- und Ausgangsports **44** routet Signale, die innerhalb des FPGA-Bausteins **20** auf horizontalen und vertikalen regulären Routing-Bussen und Routing-Verdrahtungsbereichen übermittelt werden. Falls irgendeines der über die ersten Eingangs- und Ausgangsports **44** gesendeten Signale zu einem anderen FPGA-Baustein gesendet werden soll, werden sie wie in [Fig. 5](#) gezeigt über eine IG **42** übergeben.

[0039] Die globalen Intra-Baustein-Eingangs- und -Ausgangsports **46** übermitteln Eingangssignale LGG[0:5] und ein Ausgangssignal LINT. Das Signal LINT wird über eine sekundäre Routing-Struktur übermittelt. Genauer können die regulären Ausgangssignale Y[0:4] in einigen Situationen nicht an die beabsichtigte FG **40** gesendet werden, da die regulären Routing-Leiter und Routing-Verdrahtungsbe-

reiche nicht die notwendigen Verbindungen bereitstellen. Außerdem kann es in anderen Situationen erwünscht sein, nicht die Zeit der Systemzentraleinheit (System-CPU) zu verwenden, um ein Signal über die regulären Routing-Leiter und Routing-Verdrahtungsbereiche zu senden. In diesen Situationen können die benötigten der regulären Routing-Ausgangssignale $Y[0:4]$ als das Signal LINT ausgewählt werden. Das Signal LINT wird durch eine Routing-Struktur, die von den regulären Routing-Leitern und Routing-Verdrahtungsbereichen, die zum Routen der ersten Menge von Ausgangssignalen $Y[0:4]$ verwendet werden, getrennt ist, um den FPGA-Baustein **20** herum geroutet. Somit kann das Signal LINT unabhängig davon, ob die regulären Routing-Leiter und Routing-Verdrahtungsbereiche die notwendigen Verbindungen bereitstellen, an irgendeine FG **40** oder IG **42** gesendet werden. Die Signale LINT werden über Eingangssports LGG[0:5], die Teil der sekundären Routing-Struktur sind, von der FG **40** empfangen. Wie der Name besagt, übermittelt der globale Intra-Baustein-Eingangs- und -Ausgangsport **46** Signale, die innerhalb der Grenzen des FPGA-Bausteins **20** geroutet werden und vorzugsweise nicht zwischen FPGA-Bausteinen geroutet werden. Die globalen Intra-Baustein-Eingangs- und -Ausgangsports **46** und die Erzeugung und Verwendung des Signals LINT werden im Folgenden ausführlicher diskutiert.

[0040] Der globale Inter-Baustein-Eingangsport **48** übermittelt die Eingangssignale GG[0:7]. Diese Signale werden an jede FG **40** in allen FPGA-Bausteinen gesendet. Wie im Folgenden diskutiert wird, werden Ausgewählte der Eingangssignale GG[0:7] verwendet, um die Takt/Freigabe/Voreinstellungs/Lösch-Eingänge (C/E/P/C-Eingänge) der in jeder FG **40** enthaltenen Flipflops zu steuern.

[0041] Außerdem enthält jede FG **40** einen Eingang CL und einen Ausgang CO. Der Zweck dieser Eingangs- und Ausgangsports ist es, eine Übermittlungskette für die schnellere Nutzung von Logiktriebsmitteln zu implementieren.

[0042] Anhand von [Fig. 7](#) enthält jede FG **40** vorzugsweise vier Logikeinheiten (LU) **50, 52, 54, 56**. Die LUs **50, 52, 54, 56** stellen die booleschen Funktionen und die logischen Operationen der FG **40** bereit. Jede der LUs **50, 52, 54, 56** enthält mehrere Eingänge, an denen boolesche Funktionen und logische Operationen ausgeführt werden. Wie gezeigt ist, enthält jede der LUs **50, 52, 54, 56** zwanzig solcher Eingänge, wobei aber festzustellen ist, dass die Anzahl der Eingänge in Übereinstimmung mit der vorliegenden Erfindung variieren kann. Genauer empfängt jede der LUs **50, 52, 54, 56** über die Eingangssports UI[0:4] und BI[0:4] Signale, die Signalen entsprechen, die über die oben diskutierten regulären Eingangssports EUI[0:4] und EBI[0:4] empfangen werden. Darüber hinaus empfängt jede der LUs **50, 52,**

54, 56 Signale über den Eingangsport GI[0:1]. Die Eingangssignale GI[0:1] werden durch die LGG-Auswahlschaltung **58** erzeugt, die zwei der Eingangssignale LGG[0:5] auswählt. Wie oben erwähnt wurde, übermittelt der Eingangsport LGG[0:5] Ausgewählte der Signale, die über den LINT-Bus laufen. Schließlich empfängt jede der LUs **50, 52, 54, 56** Signale über den Eingangsport JI[0:7]. Die Eingangssignale über den Eingangsport JI[0:7] enthalten zwei Ausgangssignale von jeder der LUs **50, 52, 54, 56**. Somit werden zwei Ausgangssignale jeder der LUs **50, 52, 54, 56** über JI[0:7] zu den Eingängen rückgekoppelt.

[0043] Außerdem enthält jede der LUs **50, 52, 54, 56** einen Takt/Freigabe/Voreinstellungs/Lösch-Eingang (C/E/P/C-Eingang). Dieser Eingang wird verwendet, um ein innerhalb jeder der LUs **50, 52, 54, 56** enthaltenes Flipflop zu steuern. Die C/E/P/C-Eingabe wird durch eine C/E/P/C-Auswahlschaltung **60** erzeugt. Die C/E/P/C-Auswahlschaltung **60** empfängt Eingaben EUI[0:4], EBI[0:4], JI[0:7], GI[0:1] und GG[0:7]. Die C/E/P/C-Auswahlschaltung **60** wählt aus diesen Signalen vier Signale aus, die als die C/E/P/C-Signale zu verwenden sind.

[0044] Anhand von [Fig. 9](#) ist eine beispielhafte Version der C/E/P/C-Auswahlschaltung **60** veranschaulicht. Die Auswahlschaltung **60** enthält zwei Zwanzig-zu-eins-Multiplexer **70, 72**. Jeder Multiplexer **70, 72** wählt ein Signal von den Bussen EUI[0:4], EBI[0:4], JI[0:7] und GI[0:1] aus. Das durch den Multiplexer **70** ausgewählte Signal wird zu dem Signal GX[0] und das durch den Multiplexer **72** ausgewählte Signal wird zu dem Signal GX[1]. Der Bus GX[0:1] wird an die Eingänge von vier Elf-zu-eins-Multiplexern **74, 76, 78, 80** geliefert. Außerdem werden der Bus GG[0:7] und eine Massesignalleitung an die Eingänge der vier Multiplexer **74, 76, 78, 80** geliefert. Das durch den Multiplexer **74** ausgewählte Signal wird zu dem Taktsignal CLK, das durch den Multiplexer **76** ausgewählte Signal wird zu dem Freigabesignal E, das durch den Multiplexer **78** ausgewählte Signal wird zu dem Voreinstellungssignal PRSTN und das durch den Multiplexer **80** ausgewählte Signal wird zu dem Löschsignal CLRN. Die Verwendung der vier Multiplexer **74, 76, 78, 80** ermöglicht, dass irgendwelche der Signale GX[0:1], GG[0:7] und die Masse als eines der C/E/P/C-Signale ausgewählt werden.

[0045] Unter Verwendung eines Multiplexers **64** kann das Signal LINT als eines der Signale $Y[0:4]$ ausgewählt werden. Da das Signal LINT an irgendeine der FGs **40** oder IGs **42** gesendet werden kann, fügt die Verwendung des Signals LINT zu den FPGA-Baustein **20** eine gewaltige Menge an Flexibilität hinzu. Dies liegt daran, dass das Signal LINT unter Verwendung einer Routing-Struktur, die von der des Busses $Y[0:4]$ getrennt und unabhängig ist, um den FPGA-Baustein **20** herum geroutet wird. In jenen Si-

tuationen, in denen eines der Signale auf dem Bus Y[0:4] nicht an das gewünschte Ziel gesendet werden kann oder CPU-Zeit gespart werden muss, kann der Multiplexer **64** verwendet werden, um dieses eine der Signale Y[0:4] als das Signal LINT auszuwählen, um das Signal an das gewünschte Ziel zu senden.

[0046] Anhand von [Fig. 8](#) enthält eine beispielhafte Version der LGG-Auswahlschaltung **58** zwei Sechs-zu-eins-Multiplexer **66**, **68**. Jeder Multiplexer **66**, **68** wählt eines der Eingangssignale LGG[0:5] aus. Das durch den Multiplexer **66** ausgewählte Signal wird zu dem Signal GI[0] und das durch den Multiplexer **68** ausgewählte Signal wird zu dem Signal GI[1]. Da der Bus LGG[0:5] an beide Multiplexer **66**, **68** geliefert wird, ist es möglich, dass die Signale GI[0] und GI[1] dasselbe Signal sind. Wie oben erwähnt wurde, ist der Bus LGG[0:5] eine Möglichkeit, damit die Signale LINT von irgendeiner FG **40** oder IG **42** an irgendeine FG **40** oder IG **42** gesendet werden. Die gezeigte beispielhafte Version der LGG-Auswahlschaltung **58** kann irgendeines dieser Signale LINT zum Senden über den Bus GI[0:1] an die LUs **50**, **52**, **54**, **56** auswählen. Es ist festzustellen, dass in Übereinstimmung mit der vorliegenden Erfindung viele verschiedene Entwürfe der LGG-Auswahlschaltung **58** verwendet werden können, um für die LUs **50**, **52**, **54**, **56** viele verschiedene Anzahlen von Signalen von dem Bus LGG[0:5] auszuwählen.

[0047] Anhand von [Fig. 9](#) ist eine beispielhafte Version der C/E/P/C-Auswahlschaltung **60** veranschaulicht. Die Schaltung **60** enthält zwei Zwanzig-zu-eins-Multiplexer **70**, **72**. Jeder Multiplexer **70**, **72** wählt ein Signal von den Bussen EUI[0:4], EBI[0:4], JI[0:7] und GI[0:1] aus. Das durch den Multiplexer **70** ausgewählte Signal wird zu dem Signal GX[0] und das durch den Multiplexer **72** ausgewählte Signal wird zu dem Signal GX[1]. Der Bus GX[0:1] wird an die Eingänge von vier Elf-zu-eins-Multiplexern **74**, **76**, **78**, **80** geliefert. Außerdem werden der Bus GG[0:7] und ein Massesignal an die Eingänge der vier Multiplexer **74**, **76**, **78**, **80** geliefert. Das durch den Multiplexer **74** ausgewählte Signal wird zu dem Taktsignal CLK, das durch den Multiplexer **76** ausgewählte Signal wird zu dem Freigabesignal E, das durch den Multiplexer **78** ausgewählte Signal wird zu dem Voreinstellungssignal PRSTN und das durch den Multiplexer **80** ausgewählte Signal wird zu dem Löschsignal CLRN. Die Verwendung der vier Multiplexer **74**, **76**, **78**, **80** ermöglicht, dass irgendwelche der Signale GX[0:1], GG[0:7] und die Masse als eines der Signale C/E/P/C ausgewählt werden.

[0048] Wie oben diskutiert wurde, ist der Bus GG[0:7] ein globaler Inter-Baustein-Bus, der an jede FG **40** in allen FPGA-Bausteinen gesendet wird. Die Signale in dem Bus GG[0:7] werden häufig als die Signale C/E/P/C ausgewählt. Außerdem ermöglicht die C/E/P/C-Auswahlschaltung **60** vorteilhaft, dass die

zwei Signale GX[0:1] als die Signale C/E/P/C ausgewählt werden. Außerdem können die zwei Signale in dem Bus GX[0:1] von irgendeinem der Busse EUI[0:4], EBI[0:4], JI[0:7] und GI[0:1] ausgewählt werden. Somit ermöglicht die C/E/P/C-Auswahlschaltung **60**, dass zahlreiche verschiedene Signale als die Signale C/E/P/C ausgewählt werden, was eine sehr flexible Vorrichtung schafft. Es ist festzustellen, dass die veranschaulichte C/E/P/C-Auswahlschaltung **60** aber nur eine beispielhafte Version einer solchen Auswahlschaltung ist, wobei in Übereinstimmung mit der vorliegenden Erfindung viele verschiedene Entwürfe der C/E/P/C-Auswahlschaltung **60** verwendet werden können, um viele verschiedene Signale auszuwählen.

[0049] Anhand von [Fig. 10](#) ist eine beispielhafte Version der LU **50** veranschaulicht. Die LUs **50**, **52**, **54**, **56** haben vorzugsweise alle denselben Entwurf, wobei aber festzustellen ist, dass dies in Übereinstimmung mit der vorliegenden Erfindung nicht notwendig ist. Die LU **50** enthält zwei Nachschlagtabellen (LUT) **82**, **84**. Jede LUT **82**, **84** enthält drei Eingänge A, B, C, einen Ausgang Y und mehrere interne Speicherzellen (nicht gezeigt). Die LUTs **82**, **84** werden durch Programmieren der internen Speicherzellen konfiguriert, wobei die spezifische Einstellung der internen Speicherzellen zusammengekommen eine spezifische Konfiguration für jede der LUTs **82**, **84** schafft. Die zum Programmieren der internen Speicherzellen verwendeten Konfigurationsdaten werden durch Entwurfssoftware erzeugt. Wenn eine spezifische Konfiguration der internen Speicherzellen entschieden wird, können die Eingangssignale A, B, C verwendet werden, um in Übereinstimmung mit der gewünschten logischen Funktion das Ausgangssignal Y zu erzeugen.

[0050] Die Eingaben A, B, C der LUT **82** werden in dieser Reihenfolge durch die Zwanzig-zu-eins-Multiplexer **86**, **88**, **90** geliefert und die Eingaben A, B, C der LUT **84** werden in dieser Reihenfolge durch die Zwanzig-zu-eins-Multiplexer **92**, **94**, **96** geliefert. Jeder der Multiplexer **86**, **88**, **90**, **92**, **94**, **96** empfängt als Eingaben die vier Busse EUI[0:4], EBI[0:4], JI[0:7] und GI[0:1]. Somit werden für jede der LUTs **82**, **84** aus jedem dieser zwanzig Signale drei Signale als die Eingaben A, B, C ausgewählt.

[0051] Wenn nur eine Drei-Eingangs-LUT benötigt wird, kann die LUT **82** selbst verwendet werden und wird die LUT **84** nicht benötigt. Die Ausgabe Y der LUT **82** kann direkt an den Ausgang JO der LUT **50** gesendet werden oder die Ausgabe Y der LUT **82** kann unter Verwendung des Zwei-zu-eins-Multiplexers **104** an den Ausgang Y der LU **50** gesendet werden, um den Ausgang Y der LUT **82** auszuwählen. Außerdem kann die Ausgabe Y der LUT **82** unter Verwendung des Zwei-zu-eins-Multiplexers **98**, um den Ausgang Y der LUT **82** auszuwählen, und unter Ver-

wendung des Zwei-zu-eins-Multiplexers **102**, um den Ausgang des Multiplexers **98** auszuwählen, an den Ausgang JPO der LU **50** gesendet werden. Somit können die Multiplexer **98, 102, 104** verwendet werden, um die Ausgabe Y der LUT **82** an irgendeinen der Ausgänge Y, JO, JPO der LU **50** zu senden.

[0052] Ein Zweck der Aufnahme zweier LUTs **82, 84** in die LU **50** ist, dass sie zusammen verwendet werden können, um eine Vier-Eingangs-LUT bereitzustellen. Genauer sind der Ausgang Y der LUT **82** und der Ausgang Y der LUT **84** mit den Eingängen des Zwei-zu-eins-Multiplexers **98** verbunden. Der Multiplexer **98** wird durch den Zwanzig-zu-eins-Multiplexer **100** gesteuert, der als seine Eingaben die vier Busse EUI[0:4], EBI[0:4], JI[0:7] und GI[0:1] empfängt. Die LUTs **82, 84** empfangen beide die erste, die zweite und die dritte Eingabe als ihre Eingaben A, B, C und der Multiplexer **100** wird so programmiert, dass er die vierte Eingabe auswählt und sie an den Steuereingang des Multiplexers **98** liefert. Gemäß den gut bekannten Techniken boolescher Logik und der Shannon-Erweiterung simuliert das Verbinden der Drei-Eingangs-LUTs **82, 84** auf diese Weise eine Drei-Eingangs-LUT, wobei das Ergebnis am Eingang des Multiplexers **98** erzeugt wird. Die Ausgabe des Multiplexers **98** kann mittels des Multiplexers **102** an den Ausgang JPO der LU **50** geliefert werden oder mittels der Multiplexer **102, 104** an den Ausgang Y der LU **50** geliefert werden.

[0053] Außerdem ist in der LU **50** vorzugsweise ein Flipflop **106** enthalten. Genauer ist der Eingang D des Flipflops **106** mit dem Ausgang des Multiplexers **98** verbunden und ist der Ausgang Q des Flipflops **106** mit einem der Eingänge des Multiplexers **102** verbunden. Der Takt-, der Freigabe-, der Setz- und der Rücksetz-Eingang des Flipflops **106** sind mit den entsprechenden Signalen des C/E/P/C-Busses verbunden. Ein Zweck des Flipflops **106** ist das Speichern der Ausgangsdaten des Multiplexers **98**. Diese Daten können durch Auswählen des Ausgangs Q mit dem Multiplexer **102** gespeichert und später an den Ausgang JPO der LU **50** gesendet werden. Außerdem können die gespeicherten Daten durch Auswählen des JPO-Signals mit dem Multiplexer **104** an den Ausgang Y der LU **50** gesendet werden. Die Aufnahme des Flipflops **106** in die LU **50** trägt dahingehend, dass die Ausgangsdaten der LU **50** gespeichert und zu einer späteren Zeit verwendet werden können, zur Flexibilität der Vorrichtung bei.

[0054] Ähnlich der FG **40** empfängt die IG **42** über die sekundäre Routing-Struktur ebenfalls Signale LINT. Genauer ist der Bus PI[0:9] für in den FPGA-Baustein **20** kommende Signale mit zehn Zwölf-zu-eins-Multiplexern **110** gekoppelt, die die Signale auswählen, die den Bus CI[0:9] bilden. Falls die mit dem Bus CI[0:9] gekoppelte reguläre Routing-Struktur dagegen kein Signal an den gewünsch-

ten Ort in dem FPGA-Baustein **20** routen kann, kann das Signal durch den Zwölf-zu-eins-Multiplexer **112** als das Signal "bLINT" ausgewählt werden. Das Signal bLINT wird durch dieselbe sekundäre Routing-Struktur geroutet, die für das Routen der durch die FGs **40** erzeugten Signale LINT verwendet wird. Somit kann das Signal bLINT entlang dieser sekundären Routing-Struktur zu irgendeiner der FGs **40** und/oder IGs **42** in dem FPGA-Baustein **20** geroutet werden. Dies schafft eine Möglichkeit, irgendwelche der ankommenden Signale PI[0:9] selbst dann zu irgendeinem Ziel in dem FPGA-Baustein **20** zu routen, wenn die reguläre Routing-Struktur, die den Bus CI[0:9] übermittelt, keinen Weg zu diesem Ziel bereitstellt.

[0055] Ähnlich der FG **40** enthält die IG **42** ebenfalls Signale LINT und Busse LGG. Genauer ist der Bus PI[0:9] für in den FPGA-Baustein **20** kommende Signale mit zehn Zwölf-zu-eins-Multiplexern **110** gekoppelt, die die Signale auswählen, die den Bus CI[0:9] bilden. Falls mit dem Bus CI[0:9] gekoppelte reguläre Routing-Struktur dagegen keine Signal zu dem gewünschten Ort in dem FPGA-Baustein **20** routen kann, kann das Signal durch den Zwölf-zu-eins-Multiplexer **112** als das "bLINT"-Signal ausgewählt werden. Das Signal bLINT wird durch die gleiche sekundäre Routing-Struktur geroutet, die zum Routen der durch die FGs **40** erzeugten Signale LINT verwendet wird. Somit kann das Signal bLINT entlang dieser sekundären Routing-Struktur zu irgendeiner der FGs **40** und/oder IGs **42** in dem FPGA-Baustein **20** geroutet werden. Dies schafft eine Möglichkeit, irgendwelche der ankommenden Signale PI[0:9] selbst dann zu irgendeinem Ziel in dem FPGA-Baustein **20** zu routen, wenn die reguläre Routing-Struktur, die den Bus CI[0:9] übermittelt, keinen Weg zu diesem Ziel bereitstellt.

[0056] Ähnlich ist der Bus CO[0:9] für Signale, die den FPGA-Baustein **20** verlassen, mit zehn Zwölf-zu-eins-Multiplexern **114** gekoppelt, die die Signale auswählen, die den Bus PO[0:9] bilden. Falls dagegen die Routing-Struktur, die mit dem Bus PO[0:9] gekoppelt ist, kein Signal zu dem gewünschten Ort nach außerhalb von dem FPGA-Baustein **20** (z. B. in einem benachbarten FPGA-Baustein) routen kann, kann das Signal durch den Zwölf-zu-eins-Multiplexer **116** als das "tLINT"-Signal ausgewählt werden. Das Signal tLINT wird durch eine sekundäre Routing-Struktur geroutet, die zum Routen der Signale LINT in den benachbarten FPGA-Baustein verwendet wird, sodass das Signal tLINT zu irgendeiner der FGs und/oder IGs in dem benachbarten FPGA-Baustein geroutet werden kann. Dies schafft eine Möglichkeit, irgendeines der abgehenden Signale CO[0:9] selbst dann zu irgendeinem Ziel in dem benachbarten FPGA-Baustein zu routen, wenn die reguläre Routing-Struktur, die den Bus PO[0:9] übermittelt, keinen Weg zu diesem Ziel bereitstellt.

[0057] Wie oben erwähnt wurde, enthält die sekundäre Routing-Struktur in dem FPGA-Baustein **20**, die Signale LINT übermittelt, den Bus LGG[0:5]. Genauer werden mehrere Signale LINT, die um den FPGA-Baustein **20** herum geroutet werden müssen, miteinander gruppiert, um den Bus LGG[0:5] zu bilden. Der Bus LGG[0:5] wird für jede FG **40** und IG **42** bereitgestellt, sodass die Signale LINT zu jeder Vorrhichtung gesendet werden können. Die IGs **42** empfangen den Bus LGG[0:5] von innerhalb des FPGA-Bausteins **20** am Eingang bLGG[0:5]. Der Eingang bLGG[0:5] ist mit den Sechs-zu-eins-Multiplexern **118**, **120** gekoppelt, deren Ausgänge mit den Multiplexern **114**, **116** gekoppelt sind. Auf diese Weise kann irgendein innerhalb des FPGA-Bausteins **20** erzeugtes Signal LINT durch Programmierung der geeigneten Multiplexer **114**, **116** zur Auswahl der Ausgänge der geeigneten Multiplexer **118**, **120** auf dem Bus PO[0:9] oder als das Signal tLINT nach außerhalb von dem FPGA-Baustein **20** gesendet werden.

[0058] Ähnlich kann ein Bus LGG in einem benachbarten FPGA-Baustein mit dem Eingang tLGG[0:5] der IG **42** verbunden werden. Der Eingang tLGG[0:5] ist mit den Sechs-zu-eins-Multiplexern **122**, **124** gekoppelt, deren Ausgänge mit den Multiplexern **110**, **112** gekoppelt sind. Auf diese Weise kann irgendein nach außerhalb von dem FPGA-Baustein **20** erzeugtes Signal LINT auf dem Bus CI[0:9] oder als das Signal bLINT durch Programmierung der geeigneten Multiplexer **110**, **112** zur Auswahl der Ausgänge der geeigneten Multiplexer **122**, **124** nach innerhalb von dem FPGA-Baustein **20** gesendet werden.

[0059] **Fig. 13** veranschaulicht die reguläre Routing-Struktur des FPGA-Bausteins **20**, die zum Routen der [regulären] Signale über die Eingangs- und Ausgangsports **44** der FGs **40** verwendet wird. Wie oben diskutiert wurde, übermitteln die Eingangs- und Ausgangsports **44** [der regulären Routing-Signale **44** einschließlich der Signale] die Signale an die ersten Eingangsports EUI[0:4], EBI[0:4] und die Signale von den ersten Ausgangs-[Signal-]Ports Y[0:4]. Außerdem behandelt die reguläre Routing-Struktur des FPGA-Bausteins **20** das Routing der Busse CO[0:9] und CI[0:9] zu und von den IGs **42**.

[0060] **Fig. 12** veranschaulicht außerdem ein weiteres wichtiges Merkmal der vorliegenden Erfindung. Genauer können in dem Szenarium, in dem eine Seite des FPGA-Bausteins **20** für E/A-Zwecke mit einem Anschlussflächenring gekoppelt werden soll, die E/As **101**, **103**, **105**, **107**, **109** direkt mit der IG **42** gekoppelt sein. Darüber hinaus können die E/As **101**, **103**, **105**, **107**, **109** direkt mit den Multiplexern **126**, **128** gekoppelt sein. Mit anderen Worten, die E/As **101**, **103**, **105**, **107**, **109** können direkt mit den Multiplexern **126**, **128** gekoppelt sein, ohne zuerst mit einem Routing-Kanal verbunden zu sein. Die Verbin-

dung mit einem Routing-Kanal wird nach der IG **42** und den Multiplexern **126**, **128** hergestellt. Somit sind in diesem Szenarium E/As direkt mit den Multiplexern **126**, **128** gekoppelt und gehen daraufhin zu dem Routing-Kanal oder zu anderen Routing-Betriebsmitteln über.

[0061] Es ist festzustellen, dass die IGs zweier benachbarter FPGA-Bausteine in Übereinstimmung mit der vorliegenden Erfindung zu einer IG kombiniert werden können. Zum Beispiel sind bei der in **Fig. 11** gezeigten IG **42** die Busse PO[0:9], PI[0:9], tLGG[0:5] und das Signal tLINT üblicherweise nicht mit einer getrennten IG eines benachbarten Bausteins gekoppelt, sondern sind diese Signale eher mit den Routing-Strukturen des benachbarten FPGA-Bausteins gekoppelt, wobei die IG **42** außerdem als die IG des Nachbarbausteins dient.

[0062] Irgendwelche der hier diskutierten Multiplexer (Auswahlschaltungen) wie etwa z. B. die Multiplexer **86**, **88**, **90**, **92**, **94**, **96**, **98**, **100**, **102**, **104** können beispielhaft irgendwelche der Auswahlschaltungen umfassen, die in der gleichzeitig anhängigen US-Patentanmeldung Nr. 09/250.781, eingereicht am 12. Februar 1999, mit dem Titel "MULTI-DIMENSIONAL PROGRAMMABLE INPUT SELECTION APPARATUS AND METHOD", erfunden von Chung-yuan Sun und gemeinsam hiermit übertragen, beschrieben sind.

[0063] Anhand von **Fig. 13** ist ein ausführlicheres Diagramm veranschaulicht, das näherungsweise ein Viertel einer beispielhaften Version des FPGA-Bausteins **20** zeigt. Der Abschnitt des FPGA-Bausteins **20**, der veranschaulicht ist, ist in **Fig. 5** mit **129** bezeichnet. Der Durchschnittsfachmann auf dem Gebiet wird würdigen, dass die verbleibenden Abschnitte des FPGA-Bausteins **20** Spiegelbilder des veranschaulichten Abschnitts **129** sind.

[0064] **Fig. 13** veranschaulicht die reguläre Routing-Struktur des FPGA-Bausteins **20**, der zum Routen der regulären Routing-Signale **44** der FGs **40** verwendet wird. Wie oben diskutiert wurde, enthalten die regulären Routing-Signale **44** die Eingangssignale EUI[0:4], EBI[0:4] und die Ausgangssignale Y[0:4]. Die reguläre Routing-Struktur des FPGA-Bausteins **20** behandelt außerdem das Routing der Busse CO[0:9] und CI[0:9] zu und von den IGs **42**.

[0065] Die reguläre Routing-Struktur des FPGA-Bausteins **20** enthält mehrere horizontale reguläre Routing-Busse **150**, **152**, **154**, **156** und mehrere vertikale Routing-Busse **158**, **160**, **162**. Beispielsweise können die horizontalen Routing-Busse **150**, **152**, **154**, **156** jeweils eine Anzahl X von Leitungen enthalten, kann der horizontale Routing-Bus **164** eine Anzahl A von Leitungen enthalten, können die vertikalen Routing-Busse **160**, **162** jeweils eine Anzahl Y von

Leitungen enthalten und kann der vertikale Routing-Bus **158** eine Anzahl B von Leitungen enthalten. Als weiteres Beispiel können die horizontalen Routing-Busse **150**, **152**, **154**, **156** jeweils 50 Leitungen enthalten, kann der horizontale Routing-Bus **164** 70 Leitungen enthalten, können die vertikalen Routing-Busse **160**, **162** jeweils 60 Leitungen enthalten und kann der vertikale Routing-Bus **158** 70 Leitungen enthalten.

[0066] Um Daten von einem Routing-Bus zu einem weiteren Routing-Bus oder zu einer FG **40** oder zu einer IG **42** zu übertragen, sind in dem FPGA-Baustein **20** mehrere Routing-Verdrahtungsbereiche **130**, **132**, **134**, **136**, **138**, **140**, **142**, **144**, **146**, **148** enthalten. Die Routing-Verdrahtungsbereiche **130**, **138**, **144**, **146** werden verwendet, um Daten von einem der vertikalen Routing-Busse zu einem der horizontalen Routing-Busse zu übertragen. Die weiteren Routing-Verdrahtungsbereiche **132**, **134**, **134**, **140**, **142**, **148** werden verwendet, um Daten zu und von einer der IGs **42** oder einer der FGs **40** zu und von einem der vertikalen Routing-Busse oder einem der horizontalen Routing-Busse zu übertragen. Im Allgemeinen bilden die Routing-Busse und die Routing-Verdrahtungsbereiche die reguläre Routing-Struktur des FPGA-Bausteins **20**.

[0067] [Fig. 14](#) veranschaulicht eine beispielhafte Struktur für die Routing-Bereiche **130**, **132**, **134**. In diesem Beispiel enthält der horizontale Routing-Bus **152** 50 Leitungen und enthält der vertikale Routing-Bus **160** 60 Leitungen. Allerdings ist festzustellen, dass die spezifische Anzahl der Leitungen in irgendeinem der Routing-Busse in Übereinstimmung mit der vorliegenden Erfindung selbstverständlich variieren kann. Darüber hinaus sollte gut verständlich sein, dass die spezifische Anzahl der Leitungen in irgendeinem der Signalbusse wie etwa z. B. EUI[0:4], EBI[0:4], Y[0:4], LGG[0:5], GG[0:7], JI[0:7], GI[0:1], CO[0:9], CI[0:9], PO[0:9], PI[0:9] in Übereinstimmung mit der vorliegenden Erfindung variieren kann.

[0068] Jeder der Routing-Verdrahtungsbereiche **130**, **132**, **134** enthält mehrere Transistorschalter und entsprechende Speicherzellen, die dazu verwendet werden, die Verbindungen zwischen den verschiedenen Bussen herzustellen. Jeder Transistorschalter und jede Speicherzelle ist in der Figur als ein Kreis (oder als eine Blase) veranschaulicht, der/die bei dem Schnittpunkt der miteinander zu koppelnden Signalleitungen gezeichnet ist. Um dies zu veranschaulichen, zeigt [Fig. 15](#) eine Einzelheit der mit **170** bezeichneten Kreise. Die Kreise **172**, **174**, **176**, **178**, **180** enthalten in dieser Reihenfolge Transistorschalter M2, M4, M6, M8, M10. Die Source und der Drain jedes der Transistorschalter M2, M4, M6, M8, M10 sind mit den sich schneidenden Signalleitungen gekoppelt und ihr Gate ist mit einer entsprechenden Speicherzelle **182**, **184**, **186**, **188**, **190** gekoppelt.

Jede der Speicherzellen speichert ein Bit Konfigurationsdaten, um zu steuern, ob der entsprechende Transistorschalter ein- oder ausgeschaltet wird oder nicht. Wenn ein Transistorschalter eingeschaltet ist, sind die Leitungen, mit denen er verbunden ist, miteinander gekoppelt.

[0069] Wieder anhand von [Fig. 14](#) werden der Betrieb der Routing-Busse und der der Routing-Verdrahtungsbereiche ausführlicher beschrieben. Es sind eine der FGs **40** und ihre nahegelegenen Routing-Verdrahtungsbereiche **130**, **132**, **134** veranschaulicht. Der Bus Y[0:4] der FG **40** ist mit dem Routing-Verdrahtungsbereich **134** gekoppelt und der Bus EBI[0:4] der FG **40** ist mit dem Routing-Verdrahtungsbereich **132** gekoppelt. In einem typischen Szenario gibt die FG **40** Daten auf den Bus Y[0:4] aus und wird der Routing-Verdrahtungsbereich **134** zum Übertragen dieser Daten auf den Bus **160** verwendet. Dies erfolgt dadurch, dass der Transistorschalter innerhalb des veranschaulichten Kreises (oder innerhalb der veranschaulichten Blase) bei dem richtigen Schnittpunkt von Signalleitungen eingeschaltet wird. Jeder Transistorschalter wird durch Programmieren seiner entsprechenden Speicherzelle eingeschaltet. Ähnlich wird der Routing-Verdrahtungsbereich **132** verwendet, um Daten vom Bus **152** auf den Bus EBI[0:4] der FG **40** zu übertragen. Dies wird wieder dadurch ausgeführt, dass die Speicherzelle zum Einschalten des Transistorschalters bei dem richtigen Schnittpunkt programmiert wird. Der Routing-Verdrahtungsbereich **130** wird wieder durch Programmieren der Speicherzelle zum Einschalten des Transistorschalters bei dem richtigen Schnittpunkt zum Übertragen von Daten vom Bus **160** auf den Bus **152** verwendet.

[0070] Wie veranschaulicht ist, enthalten die Routing-Verdrahtungsbereiche **130**, **132**, **134** bei vielen Schnittpunkten von Signalleitungen, jedoch nicht bei allen Schnittpunkten, Transistorschalter und Speicherzellen. (Die Transistorschalter und Speicherzellen sind wieder innerhalb der veranschaulichten Kreise oder Blasen). Wenn bei jedem Schnittpunkt der Signalleitungen ein Transistorschalter und eine Speicherzelle enthalten sind, ist dies als ein "vollständig besiedelter" Routing-Verdrahtungsabschnitt bekannt. In dem Routing-Verdrahtungsbereich **132** ist bei **192** ein vollständig bevölkter Routing-Verdrahtungsabschnitt gezeigt. Es ist festzustellen, dass die spezifischen Schnittpunkte, die so gewählt worden sind, dass sie einen Transistorschalter und eine Speicherzelle haben, und welche Bereiche (wenn überhaupt) vollständig besiedelt sind, in Übereinstimmung mit der vorliegenden Erfindung weit variieren können. Mit anderen Worten, in Übereinstimmung mit der vorliegenden Erfindung können in den Routing-Verdrahtungsbereichen **130**, **132**, **134** viele verschiedene Muster von Transistorschaltern in Speicherzellen verwendet werden.

[0071] Die weiteren Routing-Verdrahtungsbereiche **136, 138, 140, 142, 144, 146, 148** in dem FPGA-Baustein **20** sind ähnlich den Routing-Verdrahtungsbereichen **130, 132, 134**. Allerdings haben einige verschiedene Anzahlen von Signalleitungen und Schnittpunkten. Zum Beispiel können die Routing-Verdrahtungsbereiche **136, 144** in dem horizontalen Bus **164**, teilweise infolgedessen, dass an den Bus CO[0:9] der IGs **42** zehn Signale (anstelle von fünf) übertragen werden, eine größere Anzahl von Signalleitungen haben. Ähnlich haben die Routing-Verdrahtungsbereiche **146, 148** weniger Eingänge und/oder Ausgänge, da sie sich am Ende einer Zeile befinden.

[0072] Die Anzahl der verwendeten Transistorschalter und ihre Anordnung in dem FPGA-Baustein **20** können sich in Übereinstimmung mit der vorliegenden Erfindung ändern. Die spezifische Anordnung und Positionierung der IGs, FGs, Routing-Busse, Routing-Verdrahtungsbereiche und Schalttransistoren innerhalb des Routing-Verdrahtungsbereichs variieren je nach der bestimmten Anwendung stark. Es ist festzustellen, dass die hier in den Figuren veranschaulichten Konfigurationen Beispielkonfigurationen sind.

[0073] Die [Fig. 16A](#) und [Fig. 16B](#) veranschaulichen die zweite Menge von Routing-Leitern des FPGA-Bausteins **20**. Wie oben diskutiert wurde, ist die sekundäre Routing-Struktur von der regulären Routing-Struktur und von den zum Routen der Ausgangssignale Y[0:4] verwendeten Routing-Verdrahtungsbereichen getrennt. Die sekundäre Routing-Struktur wird für das Routing globaler Intra-Baustein-Signale über die Eingangs- und Ausgangssports **46** verwendet, die den Eingangsport LGG[0:5] und den Ausgangsport LINT enthalten. Die LINT-Routing-Struktur ist eine sekundäre Routing-Struktur, die verwendet werden kann, um in Situationen ein Signal zu senden, wenn die reguläre Routing-Struktur nicht zum Senden eines Signals an ein gewünschtes Ziel verwendet werden kann. Dies kann auftreten, da ein Transistorschalter und eine Speicherzelle nicht bei dem benötigten Schnittpunkt der Signalleitungen in einem oder in mehreren der regulären Routing-Verdrahtungsbereiche **130, 132, 134, 136, 138, 140, 142, 144, 146, 148** angeordnet worden sein können. Falls die benötigten Verbindungen mit den regulären Routing-Verdrahtungsbereichen nicht hergestellt werden können, kann das Signal dadurch zu irgendeiner der FGs **40** und/oder IGs **42** gesendet werden, dass die benötigten der Ausgangssignale Y[0:4] wie oben beschrieben als das Signal LINT ausgewählt werden und es über die sekundäre Routing-Struktur gesendet wird.

[0074] Die über den LINT-Ausgangsport der sechs Vorrichtungen, die irgendeine der Kombination von FGs **40** und/oder IGs **42** sein können, gesendeten Si-

gnale [LINT-Signale] werden zusammengesetzt, um den Bus LGG[0:5] zu bilden. Während der Bus LGG[0:5] als ein Sechs-Signal-Bus veranschaulicht ist, ist festzustellen, dass die Anzahl der Signale in dem LGG-Bus in Übereinstimmung mit der vorliegenden Erfindung selbstverständlich Variieren kann. Darüber besteht der LGG-Bus aus Signalen LINT von den FGs **40** und aus Signalen bLINT von den IGs **42**. Wie oben diskutiert wurde, gibt die Bezeichnung "b" an den Signalen bLINT der IGs **42** an, dass diese Signale im Gegensatz zu den externen Signalen tLINT intern zu dem FPGA-Baustein **20** sind. Somit soll die Verwendung des Begriffs "LINT" bei der Diskussion der Bildung des Busses LGG[0:5] allgemein sowohl das durch die FGs **40** erzeugte Signal LINT als auch das durch die IGs **42** erzeugte Signal bLINT umfassen.

[0075] Der Bus LGG[0:5] ist wie folgt zusammengesetzt. Die bLINT-Ausgänge der ersten Spalte der IGs **42** sind mit einem Acht-Signal-Bus **200** gekoppelt. Mit dem Bus **200** sind sechs Acht-zu-eins-Multiplexer **202** gekoppelt. Der Ausgang jedes der Multiplexer **202** ist mit einem entsprechenden Dreizustandspuffer **204** gekoppelt. Die Ausgänge der Dreizustandspuffer **204** sind mit dem Bus LGG[0:5] gekoppelt. In der zweiten Spalte der FGs **40** und der zwei IGs **42** sind die Ausgabe LINT jeder FG **40** und die Ausgabe bLINT jeder der IG **42** mit einem Zehn-Signal-Bus **206** gekoppelt. Mit dem Bus **206** sind sechs Zehn-zu-eins-Multiplexer **208** gekoppelt. Der Ausgang jedes der Multiplexer **208** ist mit einem entsprechenden Dreizustandspuffer **204** gekoppelt, der wiederum mit dem Bus LGG[0:5] gekoppelt ist.

[0076] Auf ähnliche Weise sind die bLINT-Ausgänge der letzten Spalte der IGs **42** mit einem Acht-Signal-Bus **210** gekoppelt. Sechs Acht-zu-eins-Multiplexer **202** und Dreizustandspuffer **204** koppeln den Bus **210** mit dem Bus LGG[0:5]. In der zweiten bis letzten Spalte der FGs **40** und der zwei IGs **42** sind der Ausgang LINT jeder der FG **40** und der Ausgang bLINT jeder IG **42** mit einem Zehn-Signal-Bus **212** gekoppelt, der wiederum über sechs Zehn-zu-eins-Multiplexer **208** und Dreizustandspuffer **204** mit dem Bus LGG[0:5] gekoppelt ist. Es ist festzustellen, dass der Rest der FGs **40** und IGs **42** in dem FPGA-Baustein **20**, die in den [Fig. 16A](#) und [Fig. 16B](#) nicht gezeigt sind, auf ähnliche Weise mit dem Bus LGG[0:5] verbunden ist.

[0077] Während des Betriebs wählt jeder der Multiplexer **202, 208** ein Signal LINT von seinem Eingangsbuss, d. h. den jeweils einen der Busse **200, 206, 210, 212**, aus. Bis zu sechs dieser ausgewählten Signale LINT können auf dem Bus LGG[0:5] angeordnet werden. Dies erfolgt dadurch, dass sechs der Dreizustandspuffer **204** in einen leitenden Zustand versetzt werden und die verbleibenden Dreizustandspuffer in einen nicht leitenden Zustand versetzt

werden. Die sechs Dreizustandspuffer **204**, die in einen leitenden Zustand versetzt werden, sollten den Multiplexern **202**, **208** entsprechen, die die gewünschten Signale LINT ausgewählt haben.

[0078] Der Bus LGG[0:5] wird zu allen der FGs **40** und IGs **42** in dem FPGA-Baustein **20** geroutet. Auf diese Weise kann ein Signal LINT von irgendeiner der FGs **40** und IGs **42** unabhängig von der für den Bus Y[0:4] verwendeten regulären Routing-Struktur an irgendeine der FGs **40** und IGs **42** gesendet werden.

[0079] Die [Fig. 16A](#) und [Fig. 16B](#) zeigen außerdem das Routing des Busses GG[0:7]. Wie oben diskutiert wurde, bildet der Bus GG[0:7] die globalen Inter-Baustein-Signale **48**. Diese Signale werden an jede FG **40** in allen FPGA-Bausteinen gesendet. Wie bei **214** angegeben ist, verläuft der Bus GG[0:7] somit über die Grenze des FPGA-Bausteins **20** hinaus, sodass er zu anderen FPGA-Bausteinen gehen kann. Der Bus GG[0:7] verläuft über die Grenze des FPGA-Bausteins **20** hinaus, ohne über eine IG **42** zu gehen. Wie oben diskutiert wurde, können ausgewählte der Eingangssignale GG[0:7] verwendet werden, um die Takt/Freigabe/Voreinstellung/Löschen-Eingänge (C/E/P/C-Eingänge) der in jeder FG **40** enthaltenen Flipflops zu steuern. Es ist festzustellen, dass der Bus GG[0:7] in Übereinstimmung mit der vorliegenden Erfindung mehr oder weniger Signale enthalten kann.

[0080] Anhand von [Fig. 17](#) ist die globale Signal-Routing-Struktur **36** ausführlicher veranschaulicht. Wie oben erwähnt wurde, wird die globale Signal-Routing-Struktur **36** zum Routen globaler Inter-Baustein-Signale zwischen den FPGA-Bausteinen **20** verwendet. Zum Beispiel ist der GG[0:7] in der globalen Routing-Struktur **36** enthalten und in der Weise gezeigt, dass er alle vier FPGA-Bausteine **20** verbindet. Der Bus GG[0:7] kann mit den Eingängen **220**, **222** gekoppelt sein, um Signale zu senden, die an den Bus GG[0:7] gesendet werden sollen. Ausgewählte der Eingänge **220**, **222** können mittels Transistorschaltern und Speicherzellen (wie oben beschrieben worden ist) mit dem Bus GG[0:7] gekoppelt sein, wobei Beispiele davon durch die Kreise **224**, **226** angegeben sind.

[0081] Wie gezeigt ist, enthält die globale Signal-Routing-Struktur **36** außerdem einen Bus **230** zum Verbinden mit dem Anschlussflächenring.

[0082] Wenn zwei FPGA-Bausteine **20** miteinander gekoppelt sind, sind die IG-Ausgänge eines Bausteins üblicherweise direkt mit den IG-Eingängen des anderen Bausteins gekoppelt. Außerdem können die IGs der zwei Bausteine, wie oben diskutiert wurde, als eine IG kombiniert sein. [Fig. 18](#) veranschaulicht eine weitere Option, um zwei FPGA-Bausteine **20**

miteinander zu koppeln. Genauer kann eine Zwischen-Routing-Bahn **240** verwendet werden. Der Ausgangsbus PO[0:9] der IG **42** eines Bausteins **20** ist mit der Bahn **240** gekoppelt und der Eingangsbus PI[0:9] der IG **42** des anderen Bausteins **20** ist an einem anderen Ort mit der Bahn **240** gekoppelt. Die Verbindungen mit der Bahn **240**, z. B. bei den Punkten **242**, **244**, **246**, können wie oben beschrieben mittels fest verdrahteter Verbindungen oder mittels Transistorschaltern und Speicherzellen sein. Die Letzteren wären natürlich programmierbar. Es ist festzustellen, dass die Verwendung der Zwischen-Routing-Bahn **240** optional ist.

[0083] Selbstverständlich können bei der Verwirklichung der Erfindung verschiedene Alternativen zu den hier beschriebenen Ausführungsformen der Erfindung genutzt werden. Die folgenden Ansprüche sollen den Umfang der Erfindung definieren, wobei die Strukturen und Verfahren im Umfang dieser Ansprüche auf diese Weise enthalten sein sollen.

Patentansprüche

1. Vorrichtung mit einem feldprogrammierbaren Gate-Array (FPGA), wobei das FPGA umfasst: einen ersten FPGA-Baustein, der aufweist: eine Vielzahl von Funktionsgruppen, die in Zeilen und Spalten angeordnet sind, wobei jede der Funktionsgruppen konfiguriert ist, um reguläre Eingangssignale zu empfangen, eine logische Operation durchzuführen und reguläre Ausgangssignale zu erzeugen; eine reguläre Routing-Struktur, die mit den Funktionsgruppen gekoppelt und konfiguriert ist, um die regulären Ausgangssignale zu empfangen, Signale innerhalb des ersten FPGA-Bausteins zu routen und die regulären Ausgangssignale an die Funktionsgruppen zu liefern; und eine Vielzahl von Schnittstellengruppen, die die Vielzahl von Funktionsgruppen umgeben, sodass eine Schnittstellengruppe an jedem Ende jeder Zeile und Spalte angeordnet ist, wobei eine jede der Schnittstellengruppen mit der regulären Routing-Struktur gekoppelt und konfiguriert ist, um Signale von der regulären Routing-Struktur nach außerhalb von dem ersten FPGA-Baustein zu übertragen, und jede der Schnittstellengruppen eine Vielzahl von Eingangsmultiplexern umfasst, die konfiguriert sind, um Signale, die von außerhalb des FPGA-Bausteins empfangen werden, auszuwählen und die ausgewählten Signale an die reguläre Routing-Struktur innerhalb des FPGA-Bausteins zu liefern,

dadurch gekennzeichnet, dass

die Vorrichtung darüber hinaus eine Vielzahl von Eingangs/Ausgangs-Anschlussflächen umfasst und ein jeder der Eingangsmultiplexer direkt mit zumindest einer der Eingangs/Ausgangs-Anschlussflächen gekoppelt ist.

2. Vorrichtung nach Anspruch 1,

wobei eine jede der Schnittstellengruppen darüber hinaus umfasst:
eine Vielzahl von Ausgangsmultiplexern, die konfiguriert sind, um Signale, die von der regulären Routing-Struktur empfangen werden, auszuwählen und die ausgewählten Signale nach außerhalb von dem FPGA-Baustein zu liefern.

3. Vorrichtung nach Anspruch 1,
wobei das FPGA darüber hinaus umfasst:
einen zweiten FPGA-Baustein, der eine Vielzahl von Funktionsgruppen, eine reguläre Routing-Struktur und eine Vielzahl von Schnittstellengruppen umfasst, die auf im Wesentlichen ähnliche Weise wie bei dem ersten FPGA-Baustein angeordnet sind, wobei zumindest eine Schnittstellengruppe des ersten FPGA-Bausteins mit zumindest einer Schnittstellengruppe des zweiten FPGA-Bausteins gekoppelt ist.

4. Vorrichtung nach Anspruch 3,
wobei das FPGA darüber hinaus umfasst:
einen dritten FPGA-Baustein, der eine Vielzahl von Funktionsgruppen, eine reguläre Routing-Struktur und eine Vielzahl von Schnittstellengruppen umfasst, die auf im Wesentlichen ähnliche Weise wie bei dem ersten FPGA-Baustein angeordnet sind, wobei zumindest eine Schnittstellengruppe des ersten FPGA-Bausteins mit zumindest einer Schnittstellengruppe des dritten FPGA-Bausteins gekoppelt ist.

5. Vorrichtung nach Anspruch 1, wobei die Vorrichtung darüber hinaus ein System-on-a-Chip umfasst.

6. Vorrichtung nach Anspruch 1,
wobei jede der Funktionsgruppen darüber hinaus umfasst:
einen Multiplexer, der konfiguriert ist, um eines der regulären Ausgangssignale als ein sekundäres Funktionsgruppen-Routing-Signal auszuwählen.

7. Vorrichtung nach Anspruch 6,
wobei der erste FPGA-Baustein darüber hinaus umfasst:
eine sekundäre Routing-Struktur, die unabhängig von der regulären Routing-Struktur ist und die konfiguriert ist, um das sekundäre Funktionsgruppen-Routing-Signal um den ersten FPGA-Baustein herum zu routen.

8. Vorrichtung nach Anspruch 7,
wobei jede der Schnittstellengruppen darüber hinaus umfasst:
einen Multiplexer, der konfiguriert ist, um ein Signal, das von außerhalb des FPGA-Bausteins empfangen wird, als ein sekundäres Schnittstellengruppen-Routing-Signal auszuwählen, wobei die sekundäre Routing-Struktur konfiguriert ist, um das sekundäre Schnittstellengruppen-Routing-Signal auszuwählen und um den ersten FPGA-Baustein herum zu routen.

9. Vorrichtung nach Anspruch 7,
wobei die sekundäre Routing-Struktur darüber hinaus umfasst:
einen sekundären Routing-Bus, der mit einem sekundären Routing-Eingang jeder Funktionsgruppe gekoppelt ist.

10. Vorrichtung nach Anspruch 9,
wobei die sekundäre Routing-Struktur darüber hinaus umfasst:
eine Vielzahl von ersten Bussen, wobei ein unterschiedlicher erster Bus jeder Zeile von Funktionsgruppen entspricht, und dieser gekoppelt ist, um das sekundäre Funktionsgruppen-Routing-Signal von jeder Funktionsgruppe zu empfangen;
eine Vielzahl von sekundären Multiplexern, wobei zumindest ein sekundärer Multiplexer mit jedem ersten Bus gekoppelt ist, um von dort ein Signal auszuwählen; und
eine Vielzahl von Puffern, wobei ein unterschiedlicher Puffer mit jedem sekundären Multiplexer gekoppelt ist und einen Ausgang aufweist, der mit dem sekundären Routing-Bus gekoppelt ist.

Es folgen 21 Blatt Zeichnungen

Anhängende Zeichnungen

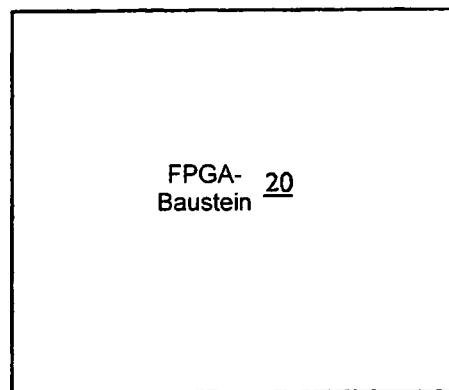


Fig. 1

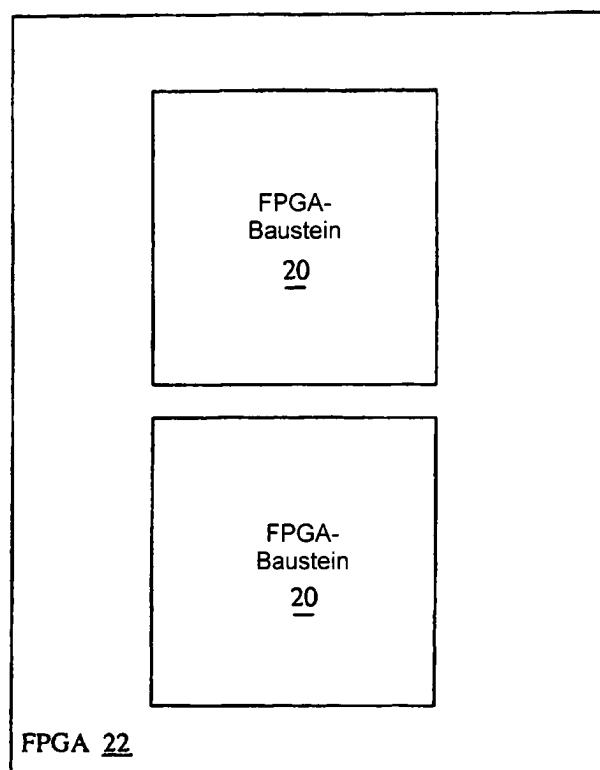


Fig. 2

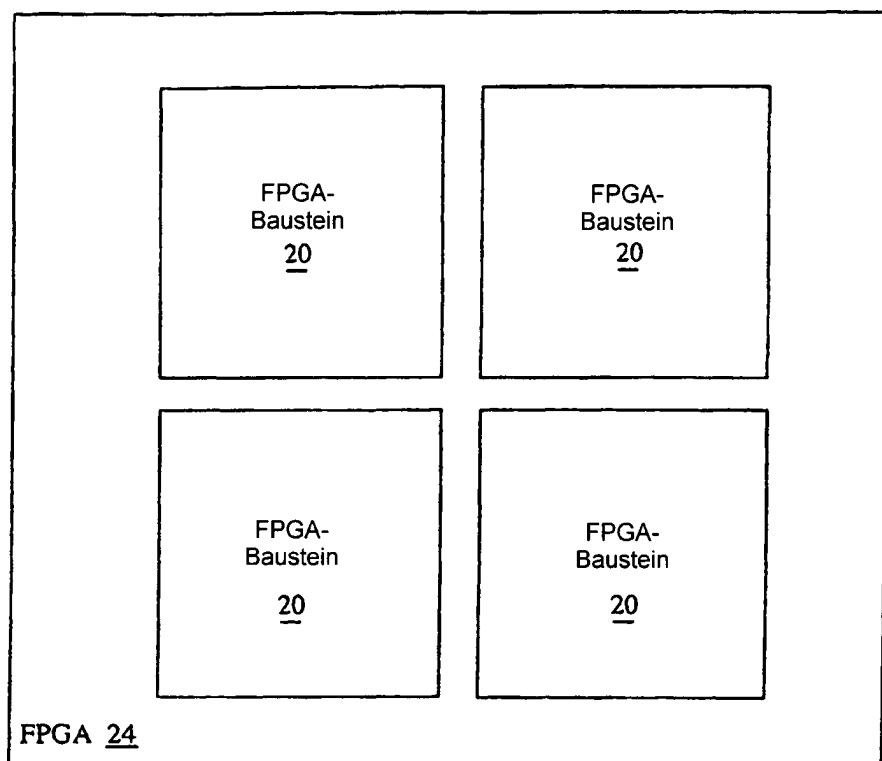


Fig.3A

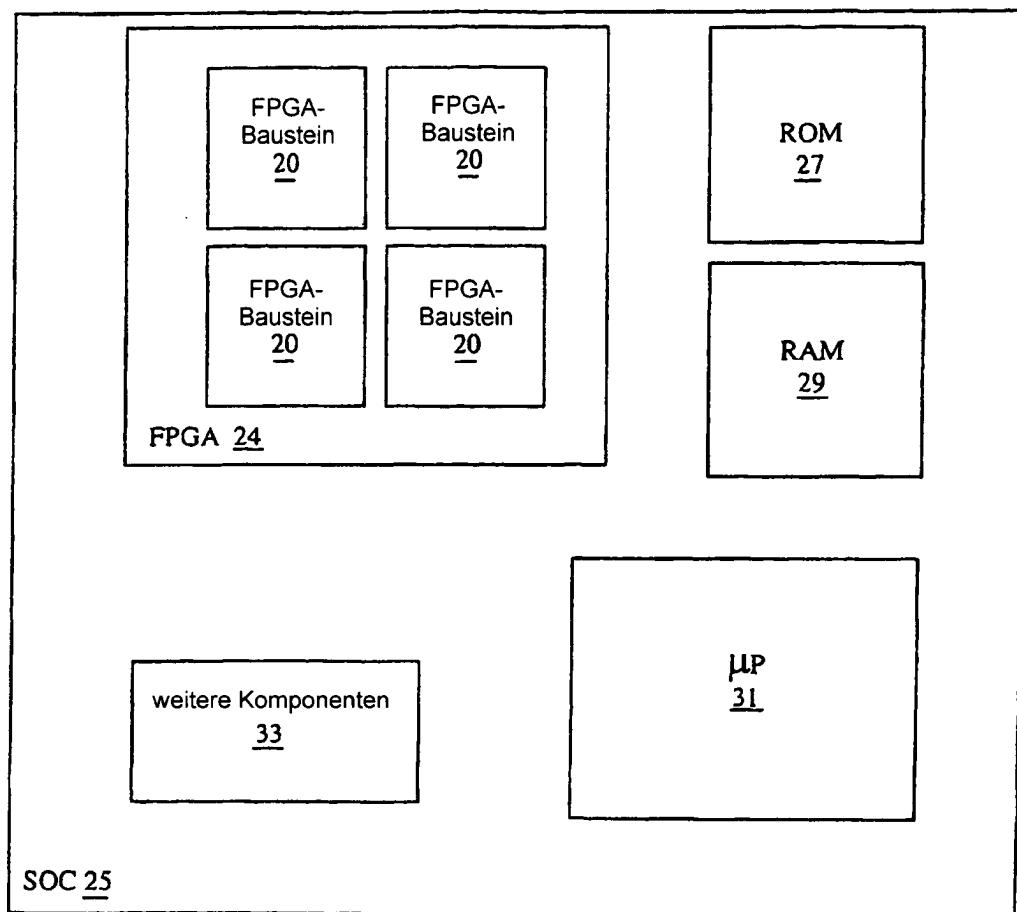


Fig. 3B

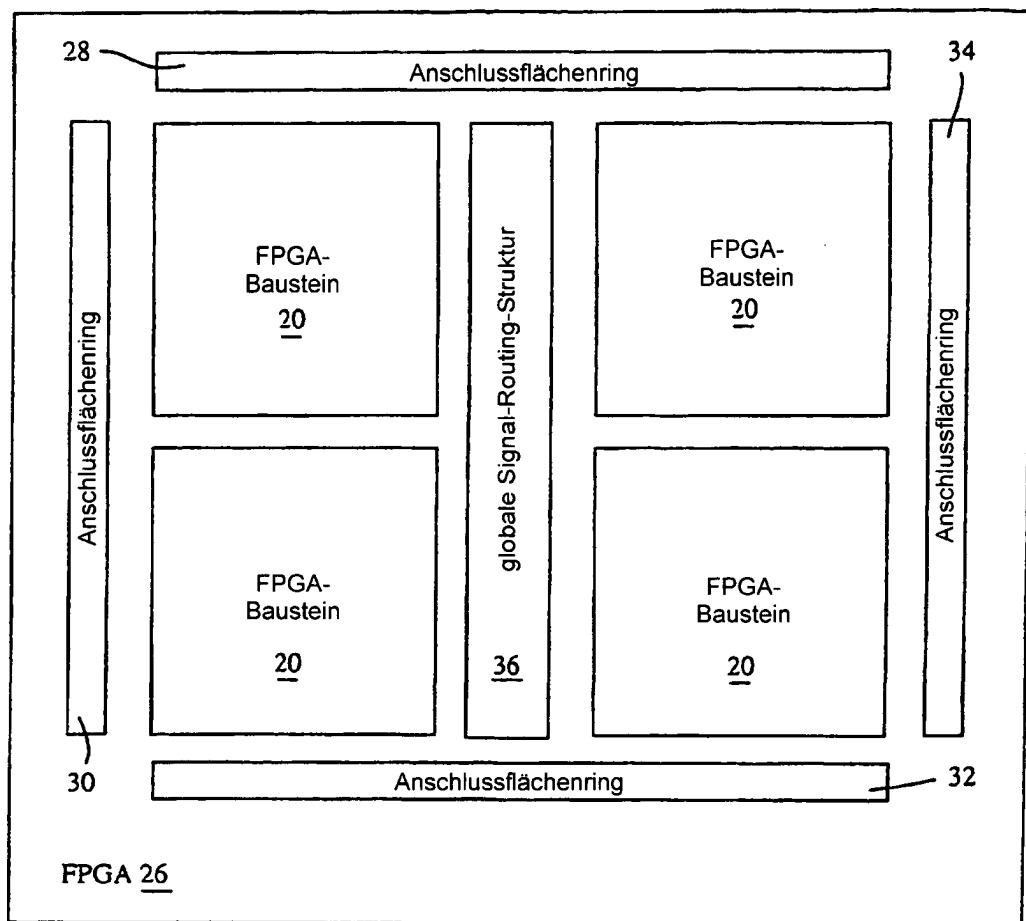


Fig.4

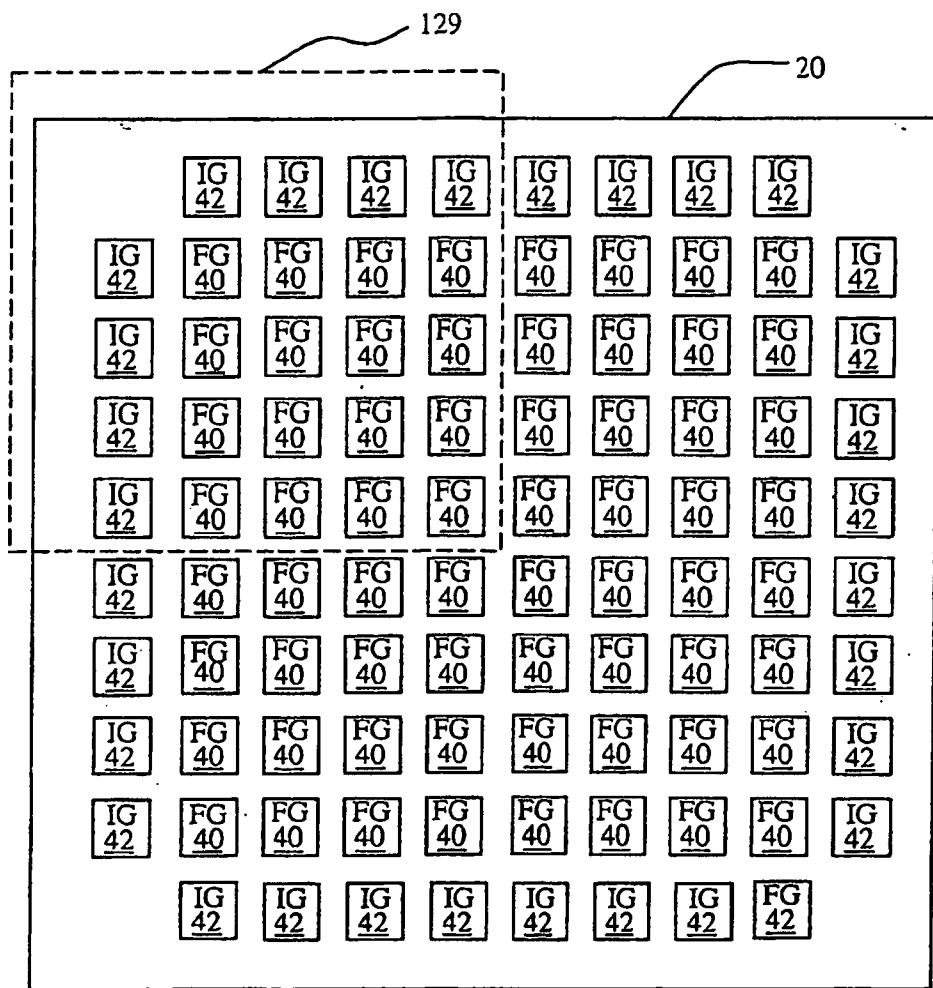


Fig. 5

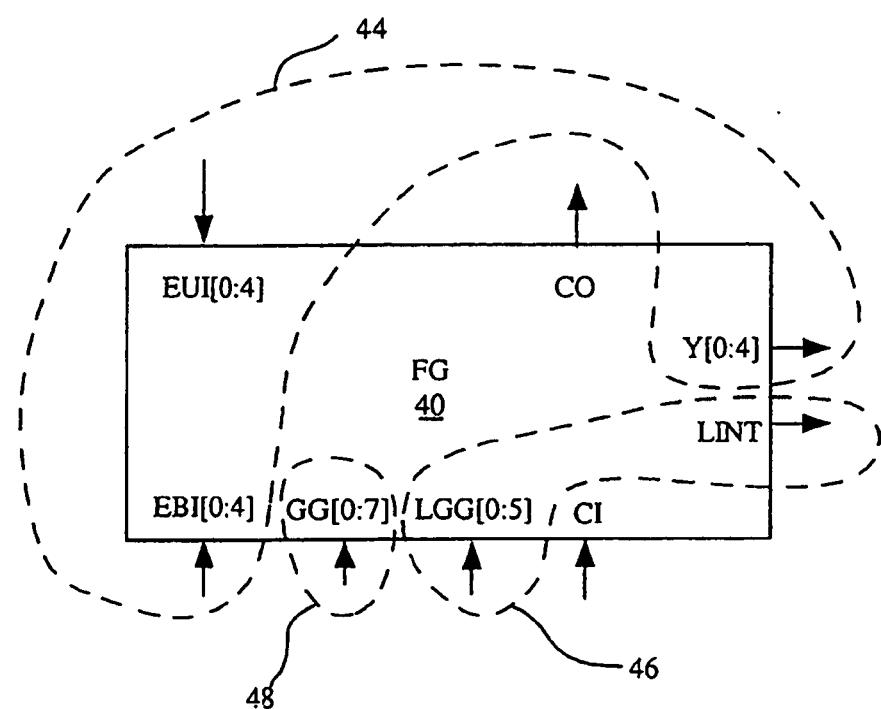


Fig. 6

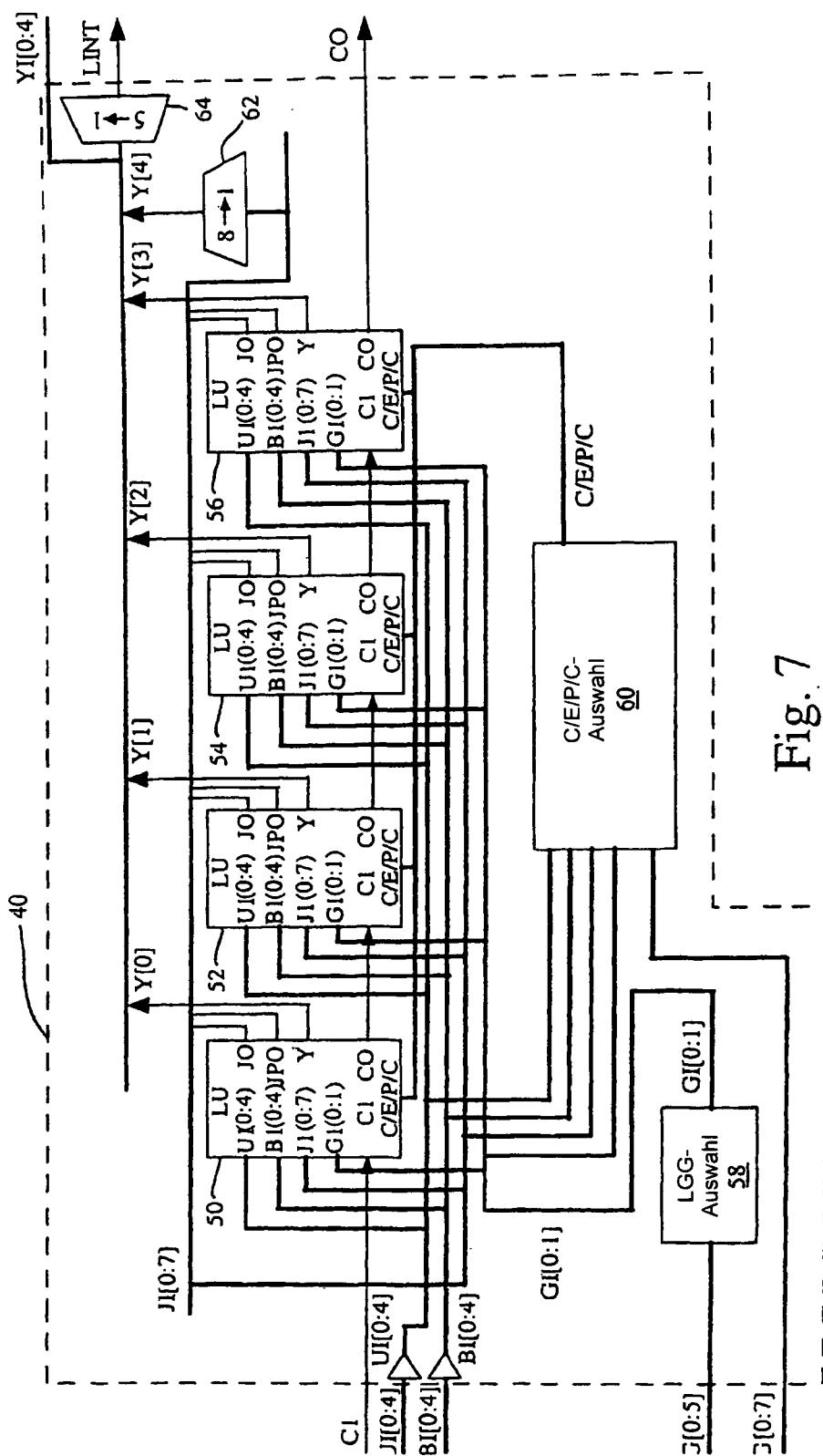


Fig. 7

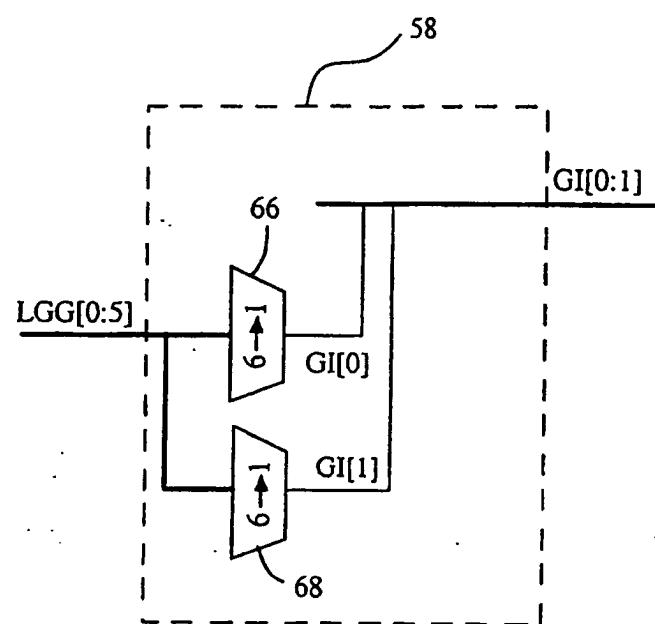


Fig.8

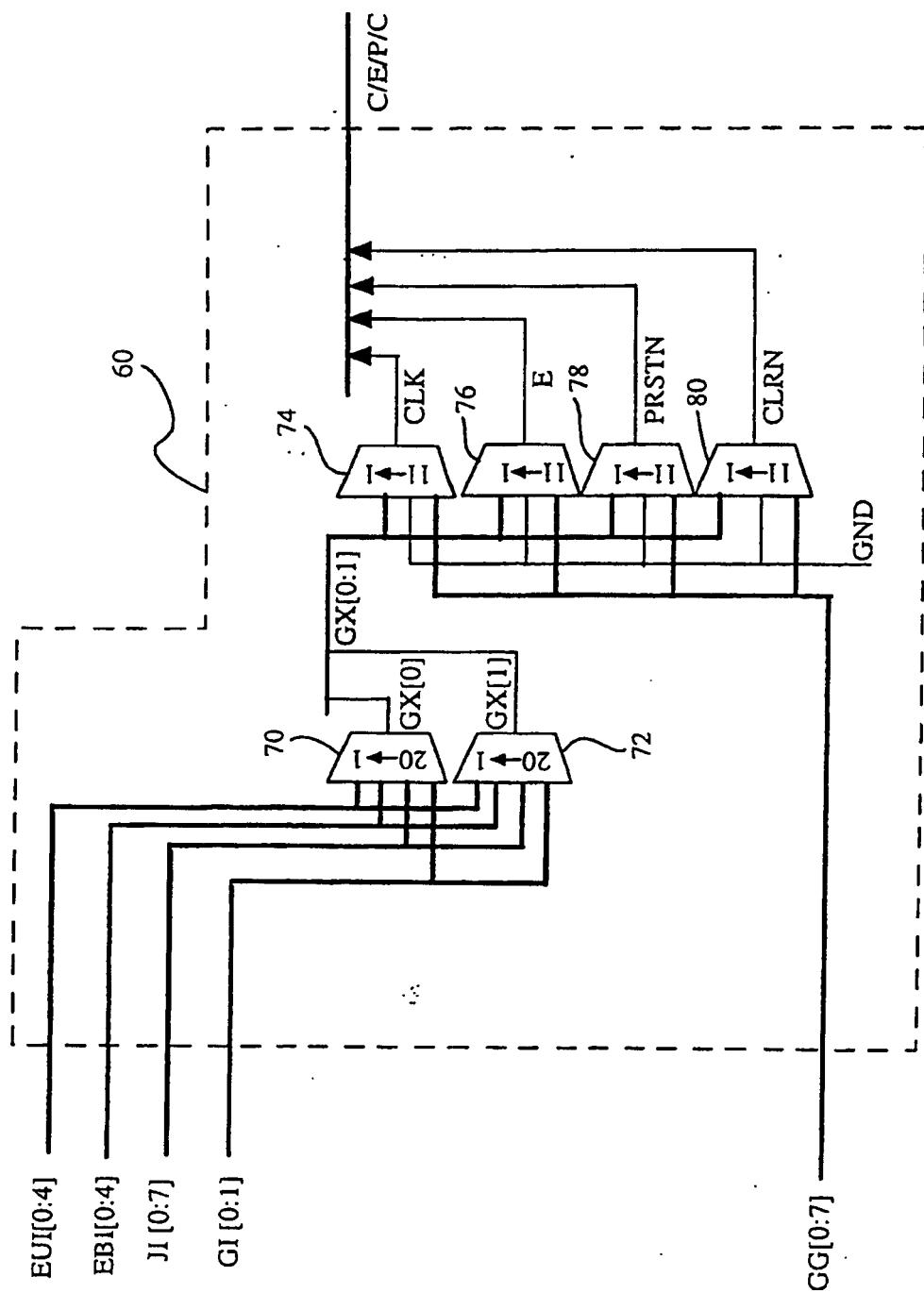


Fig.9

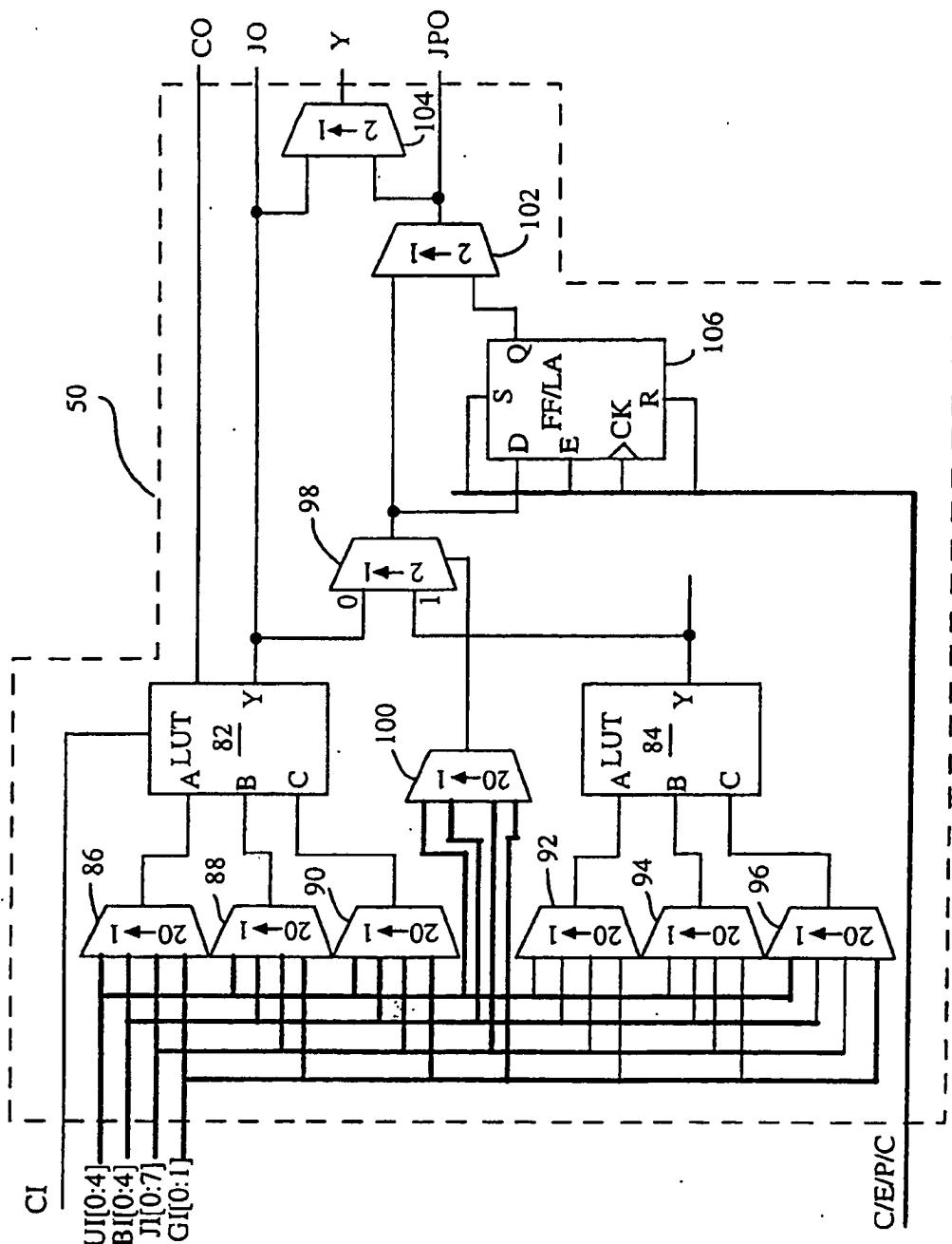


Fig. 10

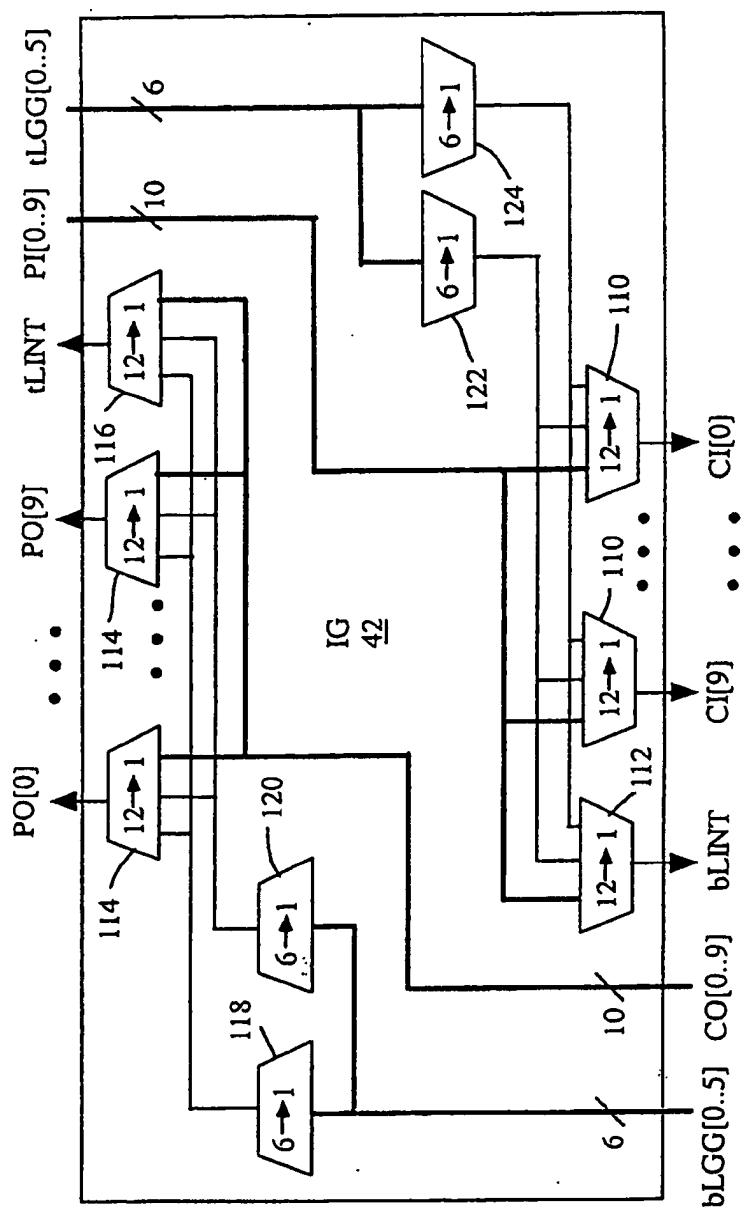


Fig.11

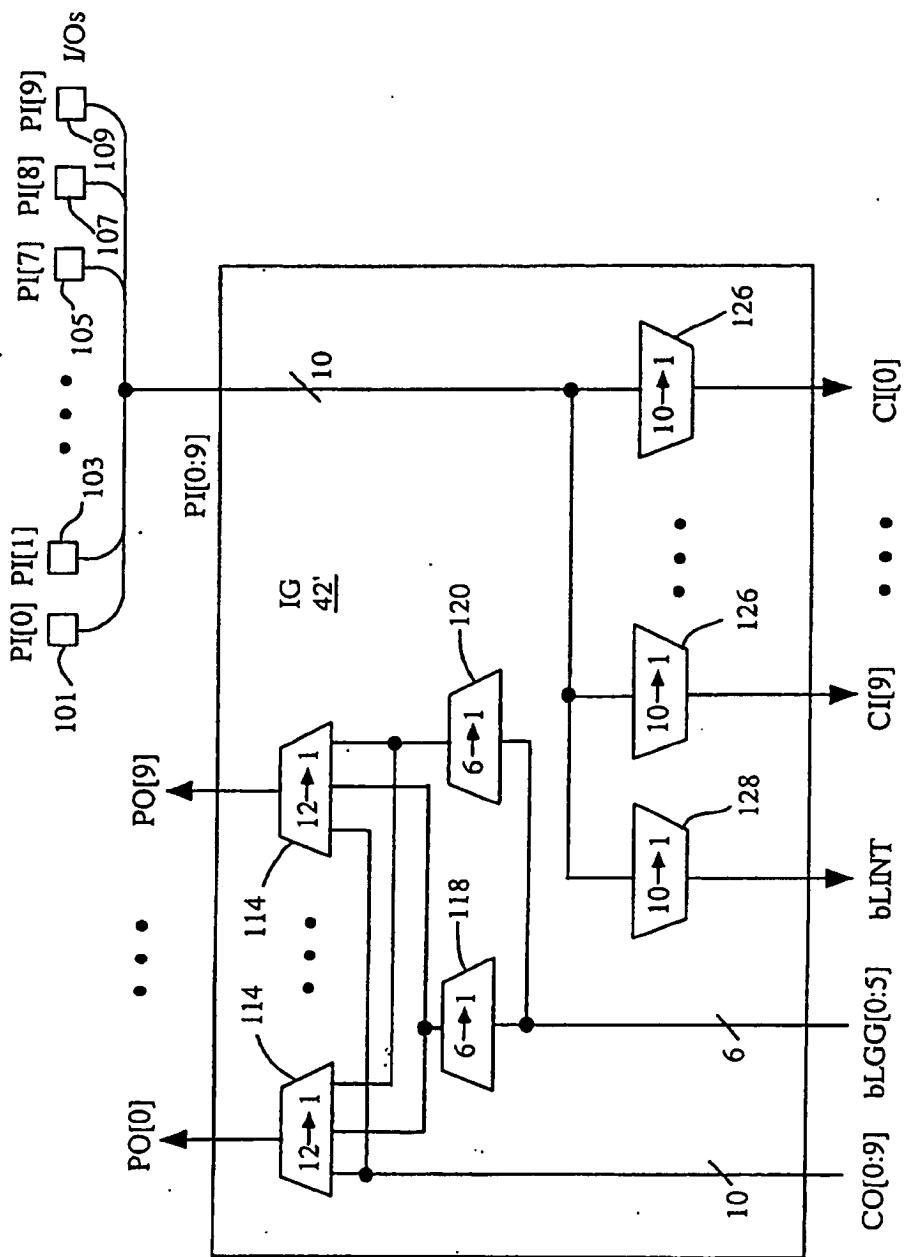


Fig. 1.2

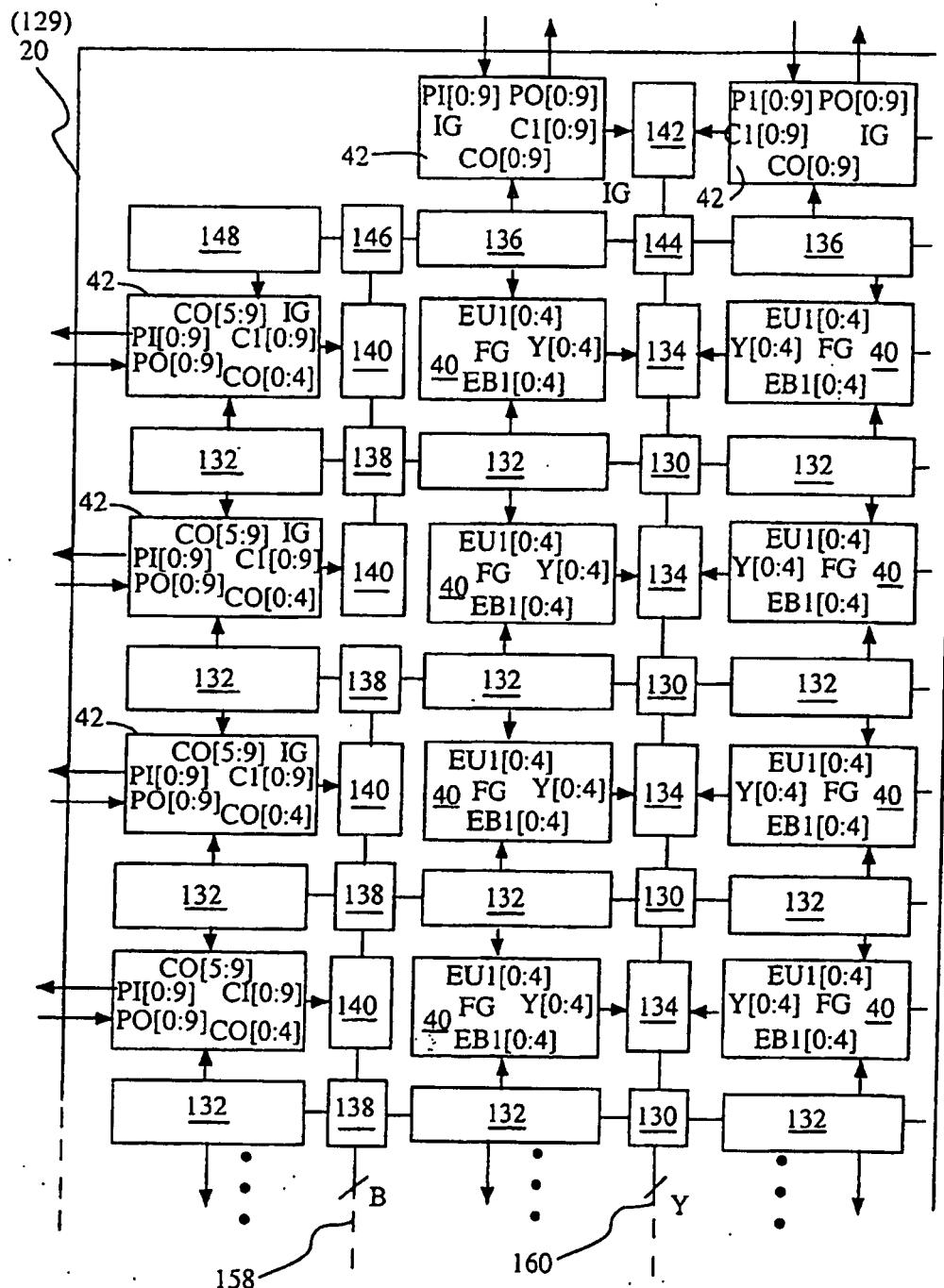


Fig. 13A

Fig.
13B

Fig. 13A-

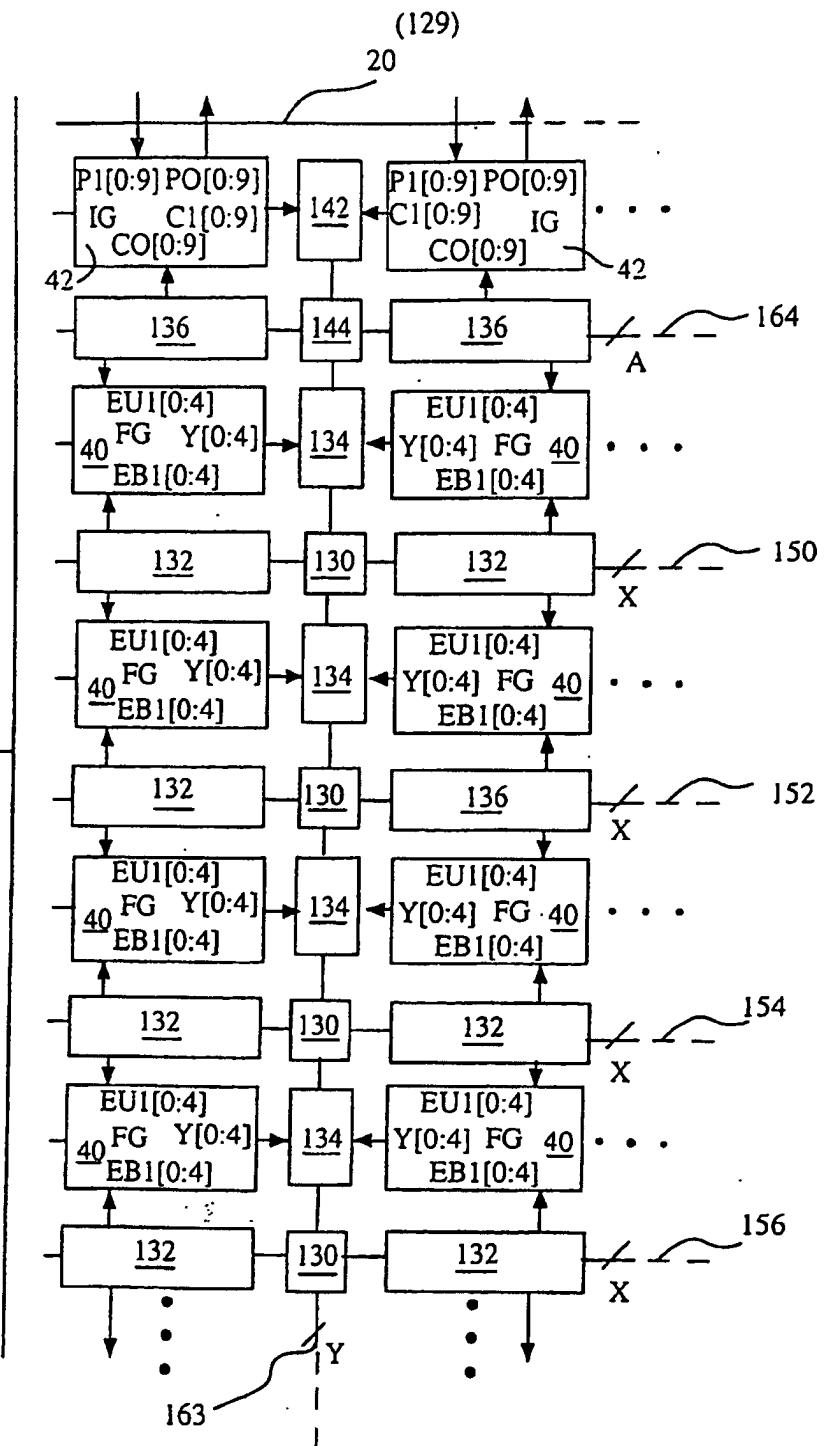


Fig. 13B

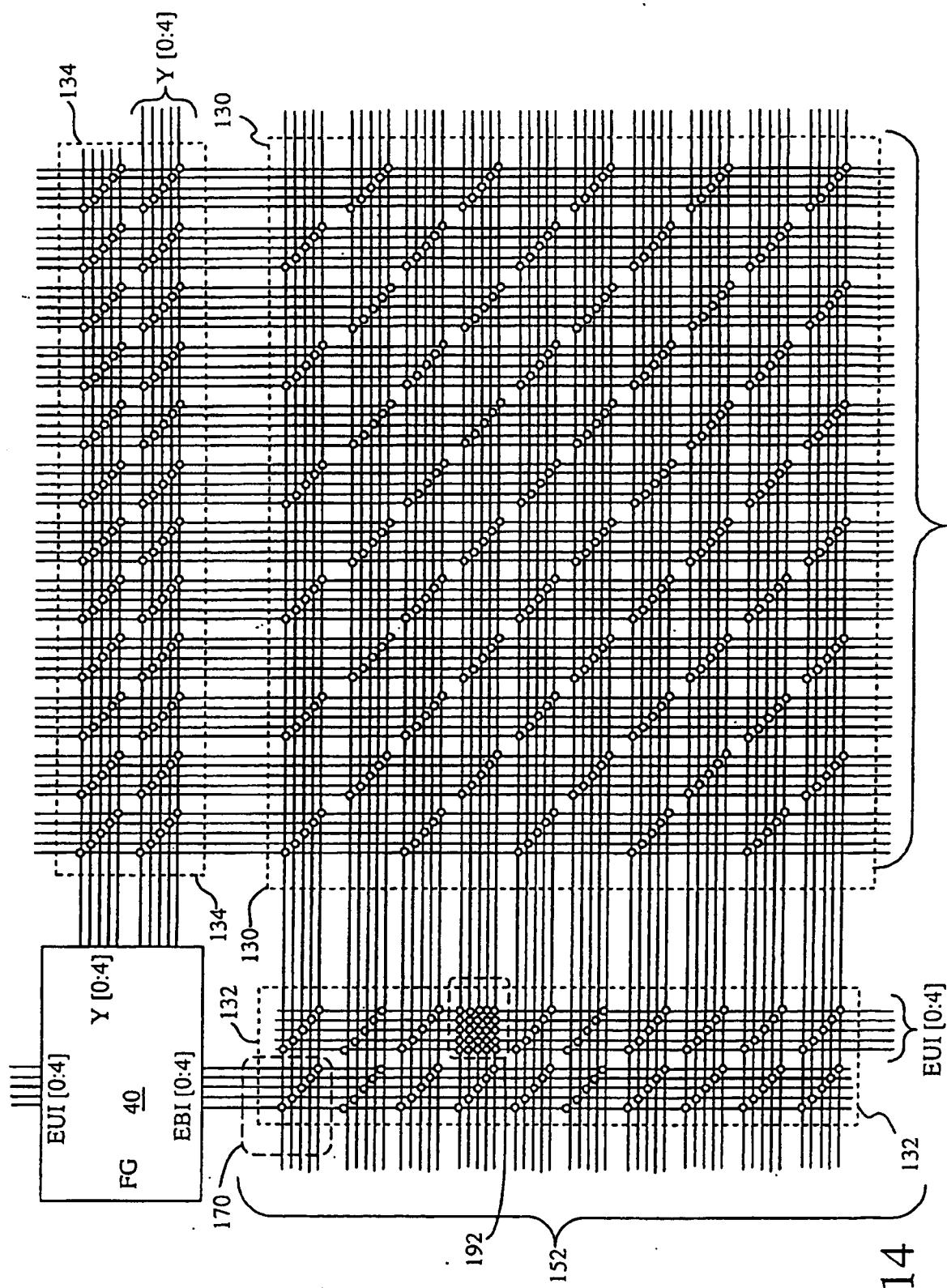


Fig. 14

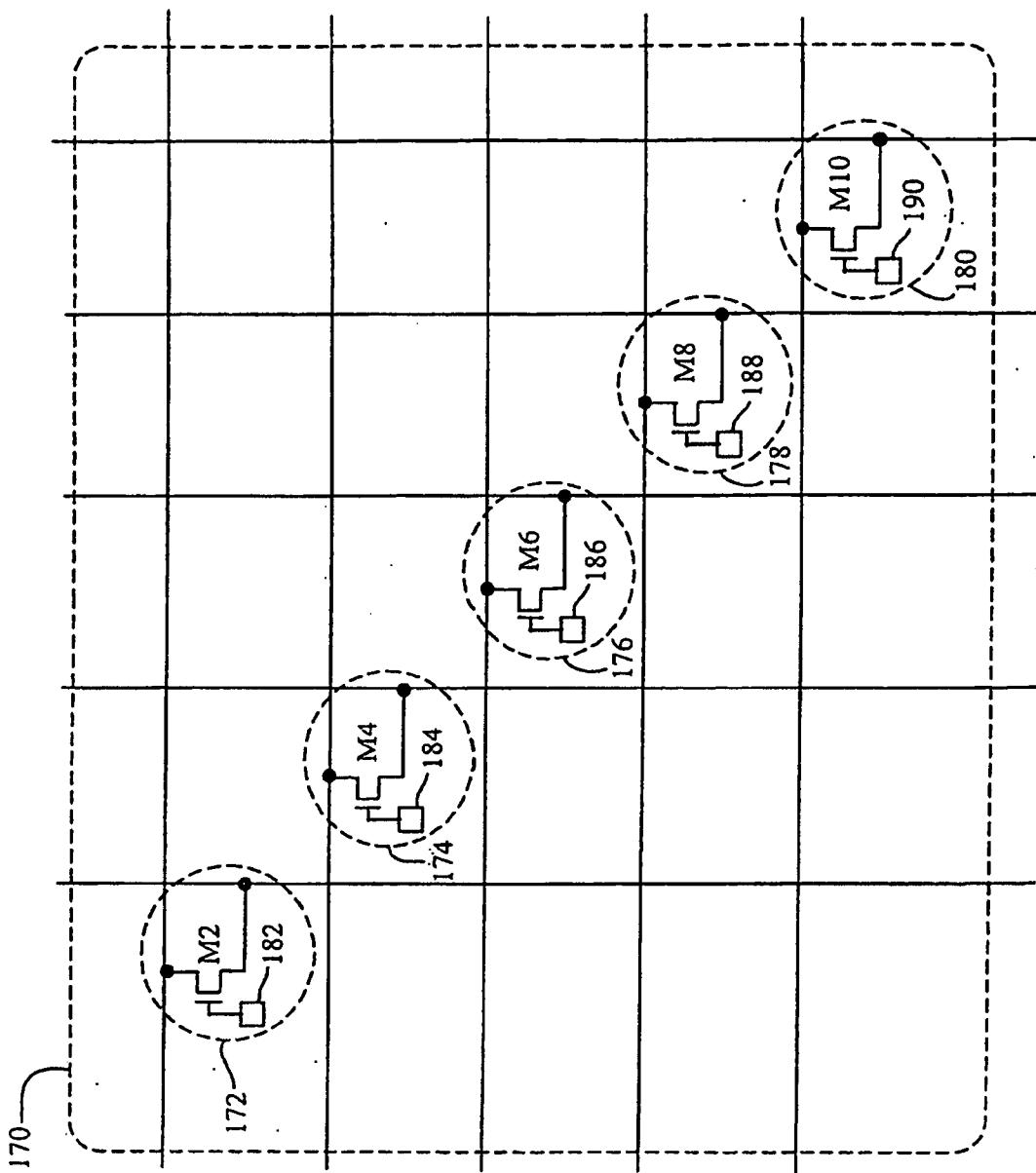


Fig. 15

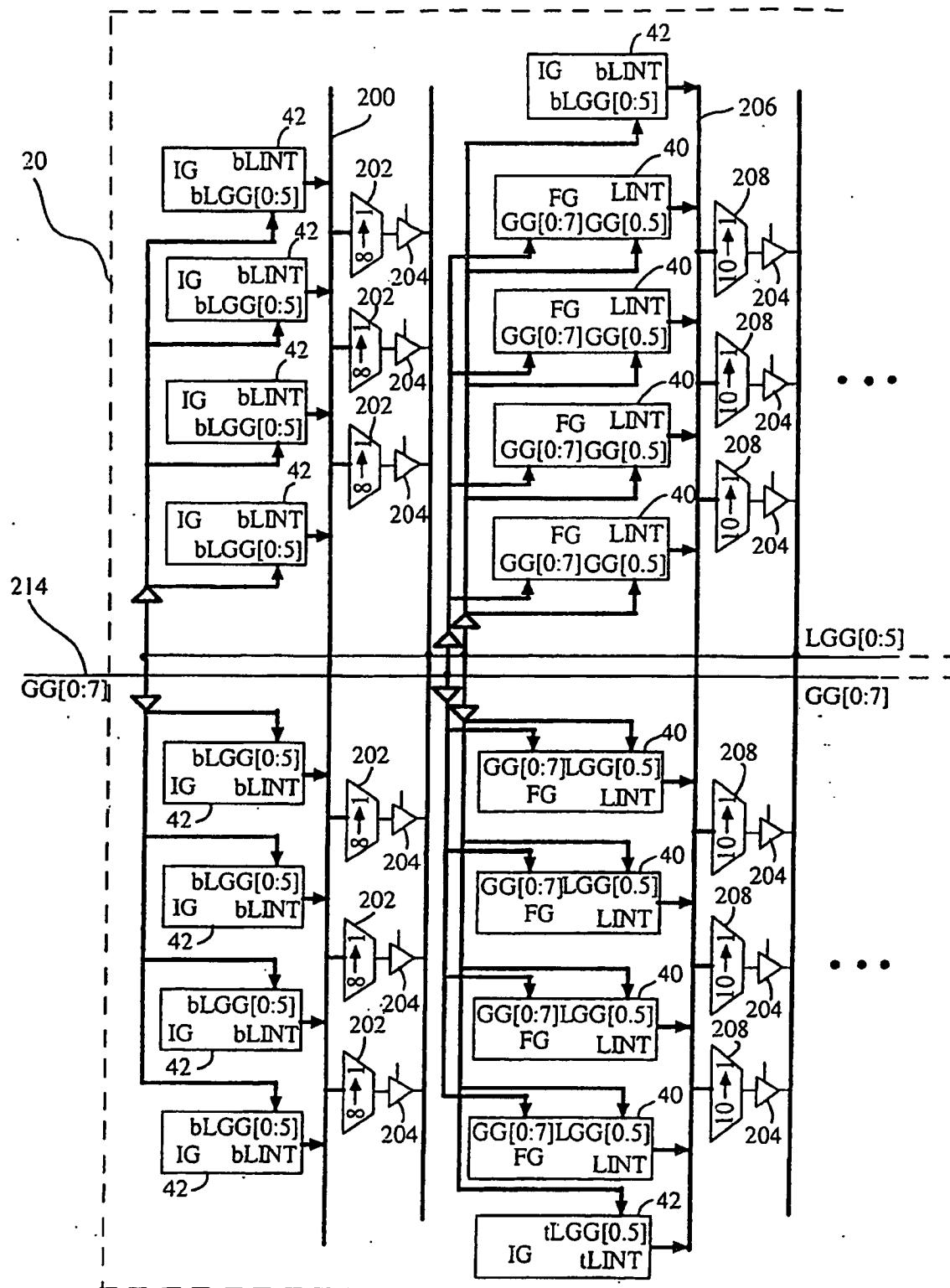


Fig. 16A

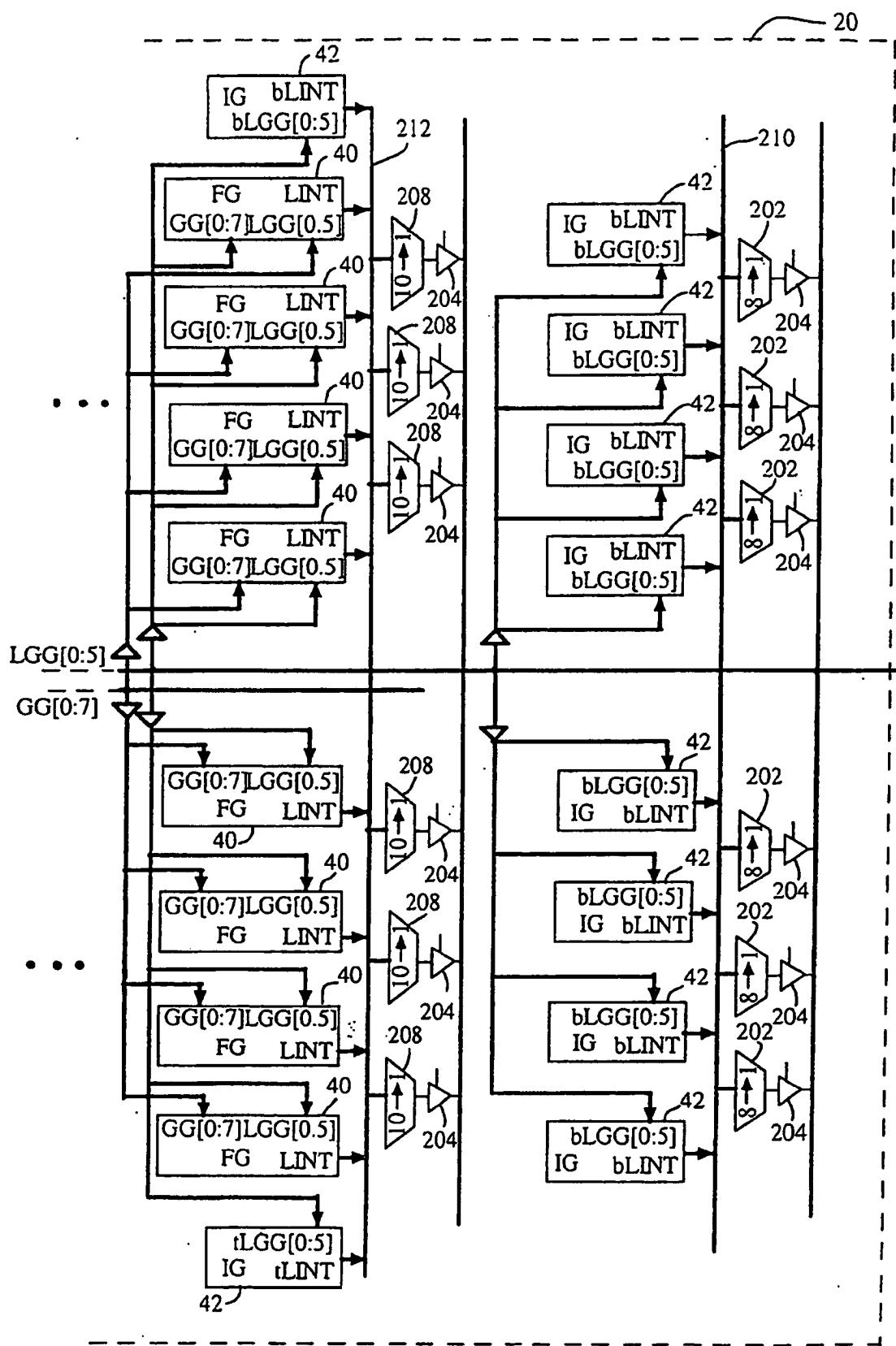


Fig. 16B

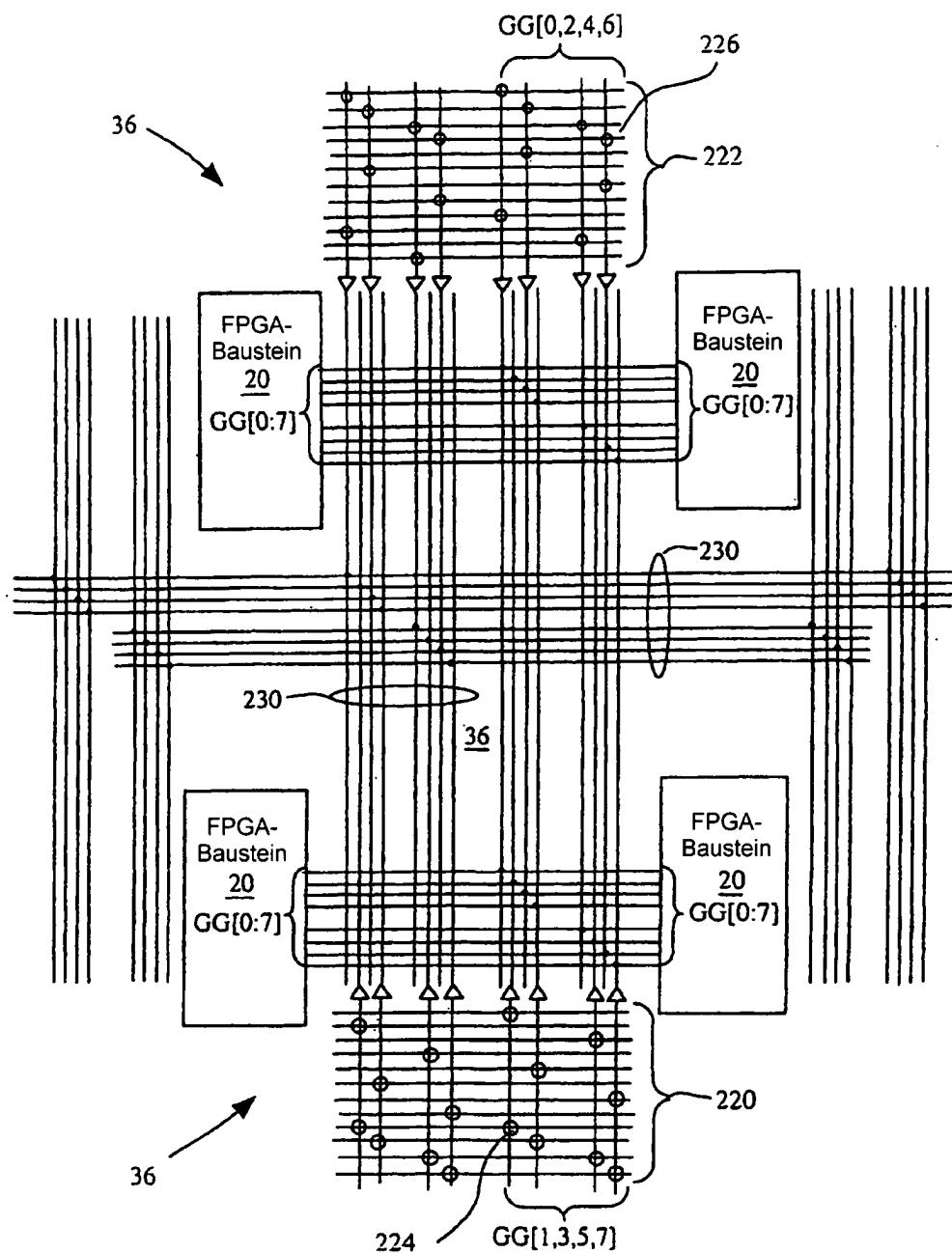


Fig. 17

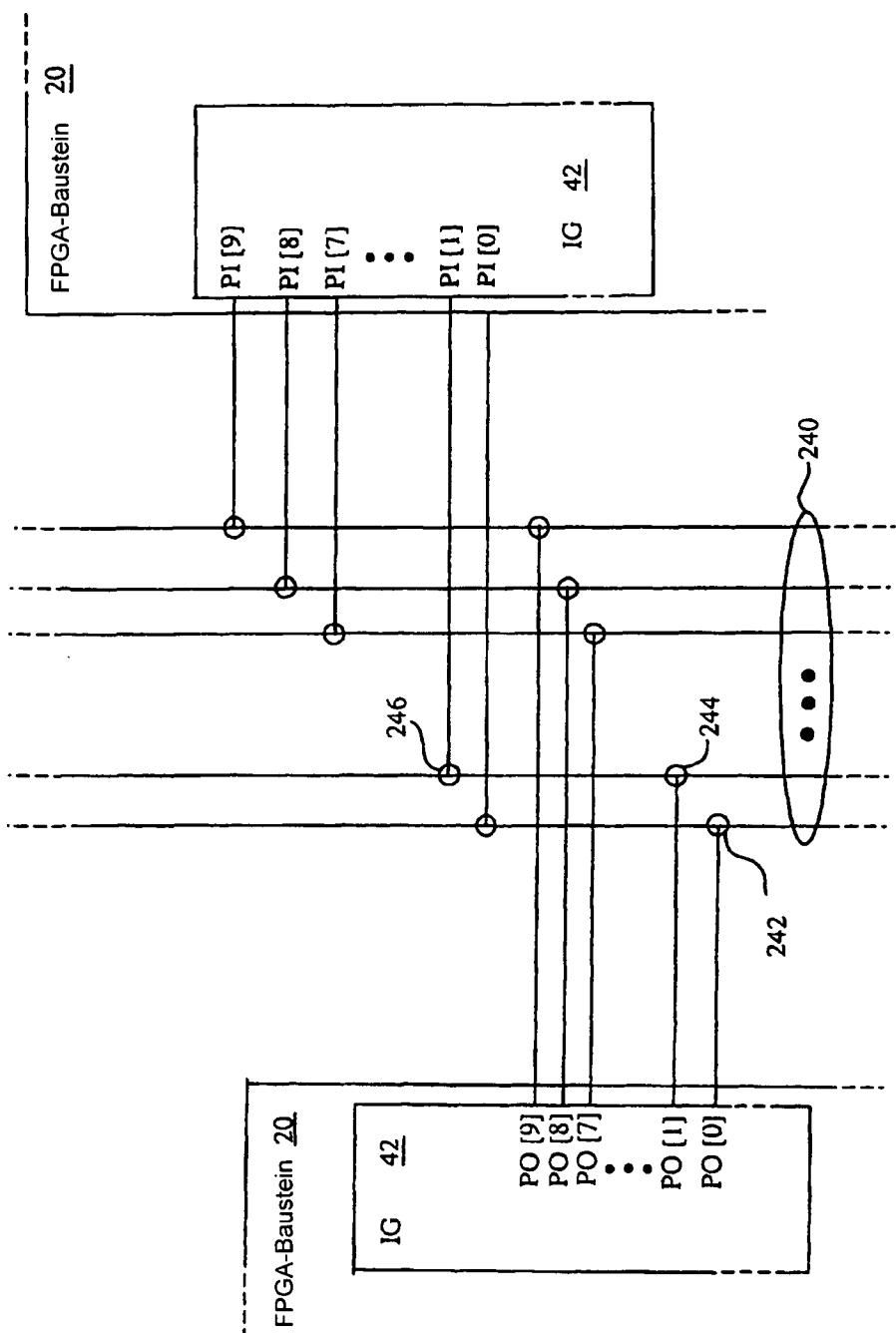


Fig. 18