



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

265 641

(11) (B1)

(13)

(51) Int. Cl.⁴

H 03 K 19/00,
G 01 P 3/44

(22) Přihlášeno 30 12 87

(21) PV 10 140-87.F

(40) Zveřejněno 10 02 89

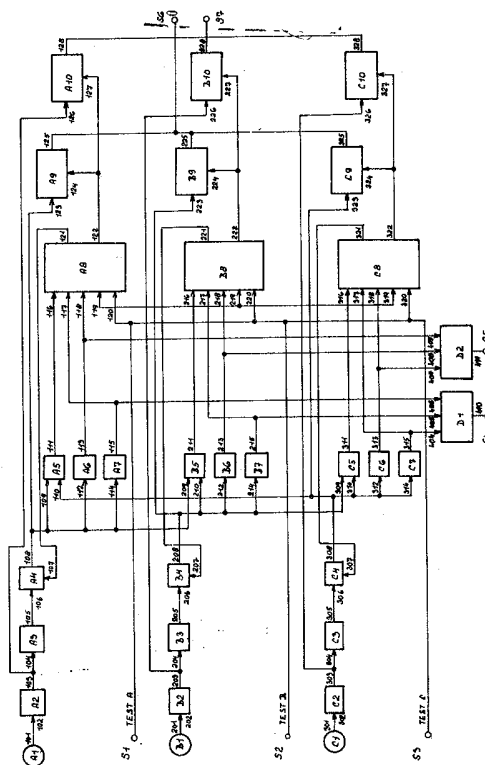
(45) Vydáno 15 12 89

(75)
Autor vynálezu

SÝKORA JINDŘICH ing. CSc., MIČKALOVÁ LUDMILA ing.,
BUREŠ ZDENĚK ing., BRICHTA ZDENĚK ing.,
POKORNÝ FRANTIŠEK ing., PLZEŇ

(54) Zařízení pro měření otáček parní turbíny a její zabezpečení proti nadměrným otáčkám

(57) Řeší s vysokou spolehlivostí generování signálů překročení zrychlení a překročení hladiny otáček rotoru, provádí měření otáček a umožňuje diagnostické testování zařízení během provozu turbíny. Zařízení sestává z čidel, převodníků, obvodů pro testování komparačních obvodů, dále zařízení sestává z obvodů pro vyhodnocení zrychlení, logických obvodů, řízených výběrových obvodů analogového signálu, řízených výběrových obvodů impulsního signálu a z obvodů pro majoritní výběr signálu překročení hladiny a zrychlení.



Vynález se týká elektronického zařízení pro měření otáček parní turbíny a zabezpečení rotoru proti nadměrným otáčkám.

Až dosud se pro měření otáček parní turbíny a pro její zabezpečení proti nadměrným otáčkám používaly otáčkoměry vybavené jedním čidlem otáček. Ve snaze zvýšit úroveň zabezpečení parní turbíny proti vzniku nadměrných otáček a tím zvýšit spolehlivost měření otáček rotoru se postupovalo dvěma způsoby. První způsob je zvyšování spolehlivosti jednotlivých komponentů součástek, funkčních celků a zjednodušování zařízení. Tento způsob je velmi pracný, je nutno provádět např. výběr součástek, jejich zahořování apod. a výsledky této metody jsou závislé na použití součástkové základně a technologii výroby, takže nad určitou mez již zvyšování spolehlivosti tímto způsobem není technicky ani ekonomicky únosné. Druhý způsob je zněkolikanásobení zabezpečovacích zařízení. Touto cestou se sice radikálně sníží možnost vzniku nebezpečné poruchy, tj. situace, kdy by došlo ke vzniku nadměrných otáček a žádné zabezpečovací zařízení nereagovalo.

Na druhé straně se zvyšuje možnost vzniku bezpečných poruch, to znamená poruchových neoprávněných zásahů zabezpečovacího systému v době, kdy nedochází k vzniku nadměrných otáček. Každý takový poruchový zásah vede ke zbytečnému odstavení parní turbíny, nutnosti jejího opětovného najetí a přifázování, což s sebou přináší značné hospodářské škody.

Uvedené nevýhody odstraňuje zařízení pro měření otáček parní turbíny a její zabezpečení proti nadměrným otáčkám, jehož podstata spočívá v tom, že výstup prvního čidla otáček je připojen na vstup prvního vstupního obvodu, jehož výstup je připojen na vstup prvního převodníku a současně na první vstup prvního řízeného výběrového obvodu impulsního signálu a výstup prvního převodníku je připojen na vstup prvního obvodu pro testování, jehož výstup je spojen s prvním vstupem prvního komparačního obvodu a současně se vstupem prvního obvodu pro vyhodnocení zrychlení a se vstupem prvního obvodu pro vyhodnocení překročení hladiny a se vstupem druhého komparačního obvodu a s prvním vstupem prvního řízeného výběrového obvodu analogového signálu.

Výstup druhého čidla otáček je připojen na vstup druhého vstupního obvodu, jehož výstup je připojen na vstup druhého převodníku a současně na první vstup druhého řízeného výběrového obvodu impulsního signálu. Výstup druhého převodníku je připojen na vstup druhého obvodu pro testování, jehož výstup je spojen jednak s prvním vstupem druhého komparačního obvodu, jednak se vstupem druhého obvodu pro vyhodnocení zrychlení, jednak se vstupem druhého obvodu pro vyhodnocení překročení hladiny, jednak s prvním vstupem třetího komparačního obvodu a jednak s prvním vstupem druhého řízeného výběrového obvodu analogového signálu a výstup třetího čidla otáček je připojen na vstup třetího vstupního obvodu, jehož výstup je připojen na vstup třetího převodníku a současně na první vstup třetího řízeného výběrového obvodu impulsního signálu a výstup třetího převodníku je připojen na první vstup třetího obvodu pro testování, jehož výstup je spojen s prvním vstupem třetího komparačního obvodu a současně se vstupem třetího obvodu pro vyhodnocení zrychlení a se vstupem třetího obvodu pro vyhodnocení překročení hladiny a s druhým vstupem prvního komparačního obvodu a s prvním vstupem třetího řízeného výběrového obvodu analogového signálu.

Výstup prvního komparačního obvodu je připojen na první vstup prvního logického bloku a výstup prvního obvodu pro vyhodnocení zrychlení je připojen na třetí vstup prvního logického bloku a současně na třetí vstup obvodu pro majoritní výběr signálu zrychlení. Výstup prvního obvodu pro vyhodnocení překročení hladiny je připojen na druhý vstup prvního logického bloku a současně na třetí vstup obvodu pro majoritní výběr signálu překročení hladiny. Výstup druhého komparačního obvodu je připojen na první vstup druhého logického bloku a výstup druhého obvodu pro vyhodnocení zrychlení je připojen na třetí vstup druhého logického bloku a současně na druhý vstup obvodu pro majoritní výběr signálu zrychlení a výstup druhého obvodu pro vyhodnocení překročení hladiny je připojen na druhý vstup druhého logického bloku a současně na druhý vstup obvodu pro majoritní výběr signálu překročení hladiny a výstup třetího komparačního obvodu je připojen na první vstup třetího logického bloku a výstup třetího obvodu

pro vyhodnocení zrychlení je připojen na třetí vstup třetího logického bloku a současně na první vstup obvodu pro majoritní výběr signálu zrychlení.

Výstup třetího obvodu pro vyhodnocení překročení hladiny je připojen na druhý vstup třetího logického bloku a současně na první vstup obvodu pro majoritní výběr signálu překročení hladiny a vstup/výstup diagnostické sběrnice prvního logického bloku je připojen na vstup/výstup diagnostické sběrnice druhého logického bloku a současně na vstup/výstup diagnostické sběrnice třetího logického bloku a vstupní svorka testovacího signálu první větve je spojena jednak se vstup/výstup testovací sběrnice prvního logického bloku, jednak se vstup/výstupem testovací sběrnice třetího logického bloku, jednak se vstupní svorkou testovacího signálu druhé větve a jednak se vstupní svorkou testovacího signálu třetí větve.

Výstup prvního logického bloku je připojen na druhý řídicí vstup prvního obvodu pro testování a první výstup druhého logického bloku je připojen na druhý řídicí vstup druhého obvodu pro testování a první výstup třetího logického bloku je připojen na druhý řídicí vstup třetího obvodu pro testování a druhý výstup prvního logického bloku je připojen na druhý řídicí vstup prvního řízeného výběrového obvodu analogového signálu a současně na druhý řídicí vstup prvního řízeného výběrového obvodu impulsního signálu a druhý výstup druhého logického bloku je připojen na druhý řídicí vstup druhého řízeného výběrového obvodu analogového signálu a současně na druhý řídicí vstup druhého řízeného výběrového obvodu impulsního signálu a druhý výstup třetího logického bloku je připojen na druhý řídicí vstup třetího řízeného výběrového obvodu analogového signálu a současně na druhý řídicí vstup třetího řízeného výběrového obvodu impulsního signálu.

Výstup prvního řízeného výběrového analogového signálu je spojen s výstupem druhého řízeného výběrového obvodu analogového signálu a s výstupem třetího řízeného výběrového obvodu analogového signálu a současně se společnou výstupní svorkou analogového signálu a výstup prvního řízeného výběrového obvodu impulsního signálu je spojen s výstupem druhého řízeného výběrového obvodu impulsního signálu a s výstupem třetího řízeného výběrového obvodu impulsního signálu a současně se společnou výstupní svorkou impulsního signálu.

Výstup obvodu pro majoritní výběr signálu překročení hladiny je připojen na výstupní svorku majoritního signálu překročení hladiny a výstup obvodu pro majoritní výběr signálu zrychlení je připojen na výstupní svorku majoritního signálu zrychlení.

Výhodou zařízení podle vynálezu je zejména skutečnost, že signály použité pro zabezpečení parní turbíny proti nadměrným otáčkám jsou získávány majoritním výběrem dva ze tří, přičemž celé zařízení je provedeno tříkanálově s použitím trojic čidel a vyhodnocovacích obvodů. Takové zařízení toleruje první poruchu jak čidla nebo vyhodnocovacího obvodu, tak i výstupního bloku pro majoritní výběr a tím účinně zvyšuje spolehlivost celého zařízení a jeho bezpečnost jak proti nebezpečným, tak i bezpečným poruchám.

Další výhodou je možnost testování zařízení jak před spuštěním parní turbíny, tak i za jejího provozu. Periodické diagnostické testy zamezují vzniku latentních poruch zařízení a jsou pomůckou pro opravy zařízení. V neposlední řadě je zařízení podle vynálezu výhodné tím, že zabezpečuje měřenou analogovou hodnotu otáček porovnáním tří signálů a výběrem jedna ze tří. Tento zabezpečený analogový signál se pak s výhodou používá jako údaj o skutečné hodnotě v regulační smyčce otáček turbíny.

Stejným způsobem, tj. výběrem jedna ze tří, je zabezpečen i impulsní signál pro číslicový otáčkoměr turbíny. Zařízení generuje s vysokou spolehlivostí signál o překročení nastavení hladiny maximálních otáček a o překročení nastaveného zrychlení otáček. Vysoká spolehlivost těchto signálů je zajištěna ztrojením čidel a vyhodnocovacích obvodů a výběrem výstupního signálu majoritním systémem dva ze tří. Dále zařízení provádí zabezpečené měření otáček rotoru pro potřeby regulátoru otáček parní turbíny a poskytuje zabezpečený impulsní signál pro číslicový otáčkoměr turbíny.

Příklad praktického provedení zařízení pro měření otáček parní turbíny a její zabezpečení proti nadměrným otáčkám je znázorněn blokovým schématem na připojeném výkresu.

Zařízení podle vynálezu sestávající z prvního čidla A1 otáček jehož výstup 101 je připojen na vstup 102 prvního vstupního obvodu A2, jehož výstup 103 je připojen na vstup 104 prvního převodníku A3 a současně na první vstup 126 prvního řízeného výběrového obvodu A10 impulsního signálu a výstup 105 prvního převodníku A3 je připojen na vstup 106 prvního obvodu A4 pro testování, jehož výstup 108 je spojen s prvním vstupem 109 prvního komparačního obvodu A5 a současně se vstupem 112 prvního obvodu A6 pro vyhodnocení zrychlení a se vstupem 114 prvního obvodu A7 pro vyhodnocení překročení hladiny a se vstupem 209 druhého komparačního obvodu B5 a s prvním vstupem 123 prvního řízeného výběrového obvodu A9 analogového signálu, přičemž výstup 201 druhého čidla otáček B1 je připojen na vstup 202 druhého vstupního obvodu B2, jehož výstup 203 je připojen na vstup 204 druhého převodníku B3 a současně na první vstup 226 druhého řízeného výběrového obvodu B10 impulsního signálu, zatímco výstup 205 druhého převodníku B3 je připojen na vstup 206 druhého obvodu B4 pro testování, jehož výstup 208 je spojen jednak s prvním vstupem 210 druhého komparačního obvodu B5, jednak se vstupem 212 druhého obvodu B6 pro vyhodnocení zrychlení, jednak se vstupem 214 druhého obvodu B7 pro vyhodnocení překročení hladiny, jednak s prvním vstupem 309 třetího komparačního obvodu C5 a jednak s prvním vstupem 223 druhého řízeného výběrového obvodu B9 analogového signálu a výstup 301 třetího čidla otáček C1 je připojen na vstup 302 třetího vstupního obvodu C2, jehož výstup 303 je připojen na vstup 304 třetího převodníku C3 a současně na první vstup 326 třetího řízeného výběrového obvodu C10 impulsního signálu a výstup 305 třetího převodníku C3 je připojen na první vstup 306 třetího obvodu C4 pro testování, jehož výstup 308 je spojen s prvním vstupem 309 třetího komparačního obvodu C5 a současně se vstupem 312 třetího obvodu C6 pro vyhodnocení zrychlení a se vstupem 314 třetího obvodu C7 pro vyhodnocení překročení hladiny a s druhým vstupem 110 prvního komparačního obvodu A5 a s prvním vstupem 323 třetího řízeného výběrového obvodu C9 analogového signálu, přičemž výstup 111 prvního komparačního obvodu A5 je připojen na první vstup 116 prvního logického bloku A8 a výstup 113 prvního obvodu A6 pro vyhodnocení zrychlení je připojen na třetí vstup 118 prvního logického bloku A8 a současně na třetí vstup 409 obvodu D2 pro majoritní výběr signálu zrychlení a že výstup 115 prvního obvodu A7 pro vyhodnocení překročení hladiny je připojen na druhý vstup 117 prvního logického bloku A8 a současně na třetí vstup 406 obvodu D1 pro majoritní výběr signálu překročení hladiny zatímco výstup 211 druhého komparačního obvodu B5 je připojen na první vstup 216 druhého logického bloku B8 a výstup 213 druhého obvodu B6 pro vyhodnocení zrychlení je připojen na třetí vstup 218 druhého logického bloku B8 a současně na druhý vstup 408 obvodu D2 pro majoritní výběr signálu zrychlení a výstup 215 druhého obvodu B7 pro vyhodnocení překročení hladiny je připojen na druhý vstup 217 druhého logického bloku B8 a současně na druhý vstup 405 obvodu D1 pro majoritní výběr signálu překročení hladiny a výstup 311 třetího komparačního obvodu C5 je připojen na první vstup 316 třetího logického bloku C8 a výstup 313 třetího obvodu C6 pro vyhodnocení zrychlení je připojen na třetí vstup 318 třetího logického bloku C8 a současně na první vstup 407 obvodu D2 pro majoritní výběr signálu zrychlení, přičemž výstup 315 třetího obvodu C7 pro vyhodnocení překročení hladiny je připojen na druhý vstup 317 třetího logického bloku C8 a současně na první vstup 404 obvodu D1 pro majoritní výběr signálu překročení hladiny a vstup/výstup diagnostické sběrnice 119 prvního logického bloku A8 je připojen na vstup/výstup diagnostické sběrnice 219 druhého logického bloku B8 a současně na vstup/výstup diagnostické sběrnice 319 třetího logického bloku C8 a vstupní svorka S1 testovacího signálu první větve A je spojena jednak se vstup/výstupem testovací sběrnice 120 prvního logického bloku A8, jednak se vstup/výstupem testovací sběrnice 320 třetího logického bloku C8, jednak se vstupní svorkou S2 testovacího signálu druhé větve B a jednak se vstupní svorkou S3 testovacího signálu třetí větve C, přičemž výstup 121 prvního logického bloku A8 je připojen na druhý řídicí vstup 107 prvního obvodu A4 pro testování a první výstup 221 druhého logického bloku B8 je připojen na druhý řídicí vstup 207 druhého obvodu B4 pro testování a první výstup 321 třetího logického bloku C8 je připojen na druhý řídicí vstup 307 třetího obvodu C4 pro testování a druhý výstup 122 prvního logického bloku A8 je připojen na druhý řídicí vstup 124 prvního řízeného výběrového obvodu A9 analogového signálu a současně na druhý řídicí vstup

127 prvního řízeného výběrového obvodu A10 impulsního signálu a druhý výstup 222 druhého logického bloku B8 je připojen na druhý řídicí vstup 224 druhého řízeného výběrového obvodu B9 analogového signálu a současně na druhý řídicí vstup 227 druhého řízeného výběrového obvodu B10 impulsního signálu a druhý výstup 322 třetího logického bloku C8 je připojen na druhý řídicí vstup 324 třetího řízeného výběrového obvodu C9 analogového signálu a současně na druhý řídicí vstup 327 třetího řízeného výběrového obvodu C10 impulsního signálu, zatímco výstup 125 prvního řízeného výběrového obvodu A9 analogového signálu je spojen s výstupem 225 druhého řízeného výběrového obvodu B9 analogového signálu a s výstupem 325 třetího řízeného výběrového obvodu C9 analogového signálu a současně se společnou výstupní svorkou S6 analogového signálu a výstup 128 prvního řízeného výběrového obvodu A10 impulsního signálu je spojen s výstupem 228 druhého řízeného výběrového obvodu B10 impulsního signálu a s výstupem 328 třetího řízeného výběrového obvodu C10 impulsního signálu a současně se společnou výstupní svorkou S7 impulsního signálu, přičemž výstup 410 obvodu pro majoritní výběr signálu překročení hladiny je připojen na výstupní svorku S4 majoritního signálu překročení hladiny a výstup 411 obvodu D2 pro majoritní výběr signálu zrychlení je připojen na výstupní svorku S5 majoritního signálu zrychlení.

Zařízení podle vynálezu pracuje tak, že nejprve pomocí trojice čidel A1, B1 a C1 měří otáčky rotoru parní turbíny. Signál z čidel se zpracovává pomocí vstupních obvodů A2, B2 a C2 a převádí na analogový signál pomocí převodníků A3, B3 a C3. Správnost funkce měření a zpracování signálu o skutečných otáčkách turbíny je kontrolována tím, že v komparačních obvodech A5, B5 a C5 jsou porovnány analogové signály z jednotlivých větví. Z výsledku těchto porovnání potom logické bloky A8, B8 a C8 určují, zda jsou všechny kanály v pořádku nebo zda někde nastala porucha. Na základě této informace jsou potom řízeny výběrové obvody A9, B9, C9 analogového signálu a výběrové obvody A10, B10, C10 impulsního signálu tak, aby na společné výstupní svorky S6 a S7 byly přiváděny vždy signály z té větve, kde není porucha. Signály o překročení nastavené hladiny maximálních otáček jsou vytvářeny pomocí obvodů A7, B7, C7 pro vyhodnocení překročení hladiny v každé větvi separátně. Stejně tak je provedeno i vyhodnocení, zda nedochází k překročení velikosti zrychlení otáček rotoru.

Vyhodnocení derivace otáček, prováděné pomocí obvodů A6, B6 a C6 je důležité tím, že umožňuje chránit rotor turbíny proti nadměrným otáčkám v okamžiku vzniku nebezpečné situace ještě před tím, než skutečné otáčky vzrostou nad hladinu dovolených otáček. Signály o překročení hladiny a zrychlení otáček jsou zpracovávány v majoritních vyhodnocovacích obvodech D1 a D2. Tyto obvody umožňují, aby se na výstupní svorky S4 a S5 dostaly vždy dva shodné signály ze tří možných. Budou-li všechny tři větve v pořádku, budou i všechny tři logické signály shodné a na výstup S4 nebo S5 se převede hodnota jednoho z nich. Dojde-li k první poruše, bude se signál na porouchané větvi lišit od ostatních dvou a na výstup se přivede logická úroveň odpovídající většinovému signálu, tj. signálu dvou správných větví. Ztrojení čidel a vyhodnocovacích obvodů spolu s výběrovými majoritními obvody dva ze tří tedy umožňuje tolerovat první poruchu.

U takto koncipovaných obvodů s tolerancí první poruchy je velmi důležité diagnostické testování, protože tato porucha se neprojeví na správné funkci zařízení. Poruchu však je nutno zjistit a odstranit, protože další porucha by již mohla vést k poruše projevující se na výstupech celého zařízení. Testování se provádí pomocí vstupních svorek S1, S2, S3 testovacího signálu tak, že logické bloky A8, B8 a C8 dovolí testovat pomocí obvodů A4, B4 a C4 pouze jeden kanál. Po přivedení testovacího signálu např. na vstup S1 nejprve logické obvody zkontrolují, zda jsou větve B a C v pořádku a zároveň zablokuje možnost testování větví B a C.

Dále je prostřednictvím testovacího obvodu A4 do větve A zaveden testovací signál, na který musí obvody A5, A6 a A7 reagovat. Jejich reakci testujeme pomocí logického bloku A8, zároveň však pomocí logických bloků B8 a C8 zjišťujeme, zda vyhodnocovací obvody B5, B6, B7, C5, C6 a C7 zůstaly v původním stavu. Testujeme tedy nejen větev A, kde vyhodnocovací obvody musí změnit svůj stav, ale i větve B a C, kde stav vyhodnocovacích obvodů musí zůstat nezmě-

něn. O výsledku testu je operátor informován pomocí světelné signalizace, testy se provádějí postupně ve všech třech větvích A, B, C. Během testu se nemění údaje na výstupních svorkách S4, S5, S6 a S7, takže test je možno provádět za provozu zařízení.

Zařízení podle vynálezu lze použít všude tam, kde je třeba s vysokou přesností, spolehlivostí a provozní bezpečností hlídat a měřit otáčky rotujících částí. Typickým příkladem takové rotační části je rotor parní turbíny, u kterého je třeba před přifázováním zapotřebí regulovat otáčky a po přifázování je třeba zabezpečovat turbínu proti nadměrným otáčkám, které mohou vzniknout při náhlém odlehčení generátoru.

P R E D M Ě T V Y N Á L E Z U

Zařízení pro měření otáček parní turbíny a její zabezpečení proti nadměrným otáčkám vynášené tím, že výstup (101) prvního čidla (A1) otáček je připojen na vstup (102) prvního vstupního obvodu (A2), jehož výstup (103) je připojen na vstup (104) prvního převodníku (A3) a současně na první vstup (126) prvního řízeného výběrového obvodu (A10) impulsního signálu a výstup (105) prvního převodníku (A3) je připojen na vstup (106) prvního obvodu (A4) pro testování jehož výstup (108) je spojen s prvním vstupem (109) prvního komparačního obvodu (A5) a současně se vstupem (112) prvního obvodu (A6) pro vyhodnocení zrychlení a se vstupem (114) prvního obvodu (A7) pro vyhodnocení překročení hladiny a se vstupem (209) druhého komparačního obvodu (B5) a s prvním vstupem (123) prvního řízeného výběrového obvodu (A9) analogového signálu, přičemž výstup (201) druhého čidla (B1) otáček je připojen na vstup (202) druhého vstupního obvodu (B2), jehož výstup (203) je připojen na vstup (204) druhého převodníku (B3) a současně na první vstup (226) druhého řízeného výběrového obvodu (B10) impulsního signálu, zatímco výstup (205) druhého převodníku (B3) je připojen na vstup (206) druhého obvodu (B4) pro testování, jehož výstup (208) je spojen jednak s prvním vstupem (210) druhého komparačního obvodu (B5), jednak se vstupem (212) druhého obvodu (B6) pro vyhodnocení zrychlení, jednak se vstupem (214) druhého obvodu (B7) pro vyhodnocení překročení hladiny, jednak s prvním vstupem (309) třetího komparačního obvodu (C5) a jednak s prvním vstupem (223) druhého řízeného výběrového obvodu (B9) analogového signálu a výstup (301) třetího čidla (C1) otáček je připojen na vstup (302) třetího vstupního obvodu (C2), jehož výstup (303) je připojen na vstup (304) třetího převodníku (C3) a současně na první vstup (326) třetího řízeného výběrového obvodu (C10) impulsního signálu a výstup (305) třetího převodníku (C3) je připojen na první vstup (306) třetího obvodu (C4) pro testování, jehož výstup (308) je spojen s prvním vstupem (309) třetího komparačního obvodu (C5) a současně se vstupem (312) třetího obvodu (C6) pro vyhodnocení zrychlení a se vstupem (314) třetího obvodu (C7) pro vyhodnocení překročení hladiny a s druhým vstupem (110) prvního komparačního obvodu (A5) a s prvním vstupem (323) třetího řízeného výběrového obvodu (C9) analogového signálu, přičemž výstup (111) prvního komparačního obvodu (A5) je připojen na první vstup (116) prvního logického bloku (A8) a výstup (113) prvního obvodu (A6) pro vyhodnocení zrychlení je připojen na třetí vstup (118) prvního logického bloku (A8) a současně na třetí vstup (409) obvodu (D2) pro majoritní výběr signálu zrychlení a že výstup (115) prvního obvodu (A7) pro vyhodnocení překročení hladiny je připojen na druhý vstup (117) prvního logického bloku (A8) a současně na třetí vstup (406) obvodu (D1) pro majoritní výběr signálu překročení hladiny zatímco výstup (211) druhého komparačního obvodu (B5) je připojen na první vstup (216) druhého logického bloku (B8) a výstup (213) druhého obvodu (B6) pro vyhodnocení zrychlení je připojen na třetí vstup (218) druhého logického bloku (B8) a současně na druhý vstup (408) obvodu (D2) pro majoritní výběr signálu zrychlení a výstup (215) druhého obvodu (B7) pro vyhodnocení překročení hladiny je připojen na druhý vstup (217) druhého logického bloku (B8) a současně na druhý vstup (405) obvodu (D1) pro majoritní výběr signálu překročení hladiny a výstup (311) třetího komparačního obvodu (C5) je připojen na první vstup (316) třetího logického bloku (C8) a výstup (313) třetího obvodu (C6) pro vyhodnocení zrychlení je připojen na třetí vstup (318) třetího logického bloku (C8) a současně na první vstup (407) obvodu (D2) pro majoritní výběr signálu zrychlení, přičemž výstup (315) třetího obvodu (C7) pro vyhodnocení překročení hladiny je připojen na druhý vstup (317) třetího logického bloku (C8) a současně na první vstup (404) obvodu (D1) pro majoritní výběr signálu překročení hla-

diny a vstup/výstup diagnostické sběrnice (119) prvního logického bloku (A8) je připojen na vstup/výstup diagnostické sběrnice (219) druhého logického bloku (B8) a současně na vstup/výstup diagnostické sběrnice (319) třetího logického bloku (C8) a vstupní svorka (S1) testovacího signálu první větve (A) je spojena jednak se vstup/výstupem testovací sběrnice (120) prvního logického bloku (A8), jednak se vstup/výstupem testovací sběrnice (220) druhého logického bloku (B8), jednak se vstup/výstupem testovací sběrnice (320) třetího logického bloku (C8), jednak se vstupní svorkou (S2) testovacího signálu druhé větve (B) a jednak se vstupní svorkou (S3) testovacího signálu třetí větve (C), přičemž výstup (121) prvního logického bloku (A8) je připojen na druhý řídicí vstup (107) prvního obvodu (A4) pro testování a první výstup (221) druhého logického bloku (B8) je připojen na druhý řídicí vstup (207) druhého obvodu (B4) pro testování a první výstup (321) třetího logického bloku (C8) je připojen na druhý řídicí vstup (307) třetího obvodu (C4) pro testování a druhý výstup (122) prvního logického bloku (A8) je připojen na druhý řídicí vstup (124) prvního řízeného výběrového obvodu (A9) analogového signálu a současně na druhý řídicí vstup (127) prvního řízeného výběrového obvodu (A10) impulsního signálu a druhý výstup (222) druhého logického bloku (B8) je připojen na druhý řídicí vstup (224) druhého řízeného výběrového obvodu (B9) analogového signálu a současně na druhý řídicí vstup (227) druhého řízeného výběrového obvodu (B10) impulsního signálu a druhý výstup (322) třetího logického bloku (C8) je připojen na druhý řídicí vstup (324) třetího řízeného výběrového obvodu (C9) analogového signálu a současně na druhý řídicí vstup (327) třetího řízeného výběrového obvodu (C10) impulsního signálu, zatímco výstup (125) prvního řízeného výběrového obvodu (A9) analogového signálu je spojen s výstupem (225) druhého řízeného výběrového obvodu (B9) analogového signálu a s výstupem (325) třetího řízeného výběrového obvodu (C9) analogového signálu a současně se společnou výstupní svorkou (S6) analogového signálu a výstup (128) prvního řízeného výběrového obvodu (A10) impulsního signálu je spojen s výstupem (228) druhého řízeného výběrového obvodu (B10) impulsního signálu a s výstupem (328) třetího řízeného výběrového obvodu (C10) impulsního signálu a současně se společnou výstupní svorkou (S7) impulsního signálu, přičemž výstup (410) obvodu pro majoritní výběr signálu překročení hladiny je připojen na výstupní svorku (S4) majoritního signálu překročení hladiny a výstup (411) obvodu (D2) pro majoritní výběr signálu zrychlení je připojen na výstupní svorku (S5) majoritního signálu zrychlení.

