

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 5 月 30 日 (30.05.2003)

PCT

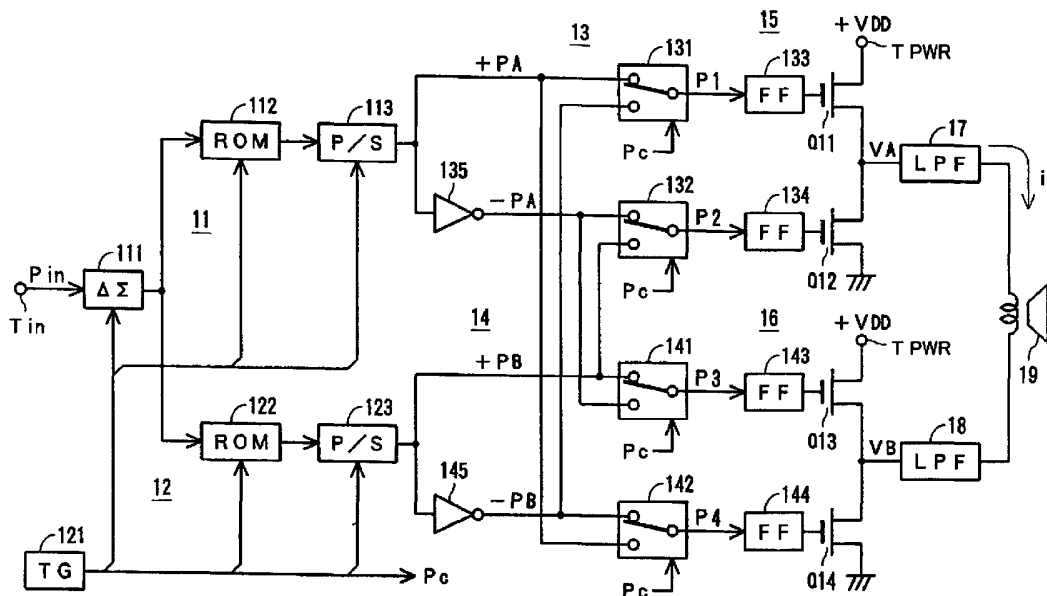
(10) 国際公開番号
WO 03/044947 A1

- (51) 国際特許分類: H03F 3/217 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 増田 稔彦 (MA-SUDA, Toshihiko) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 大栗一敦 (OHKURI, Kazunobu) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP02/11597
- (22) 国際出願日: 2002 年 11 月 7 日 (07.11.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2001-352922 2001 年 11 月 19 日 (19.11.2001) JP
特願 2002-162437 2002 年 6 月 4 日 (04.06.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (81) 指定国 (国内): KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: POWER AMPLIFIER

(54) 発明の名称: パワーアンプ



(57) Abstract: A power amplifier for reducing radiation arising from the edge of an output voltage. The amplifier is provided with a pair of PWM modulation circuits (11, 12) to be supplied with an input signal, a pair of push-pull circuits (15, 16), and drive circuits (13, 14) which supply the output of the PWM modulation circuits (11, 12) as a drive signal to the push-pull circuits (15, 16). A loudspeaker (19) is connected between the output end of the push-pull circuit (15) and the output end of the push-pull circuit (16). The drive circuits (13, 14) are switched every cycle of a pulse modulation signal so that the drive signal to be supplied to the push-pull circuits (15, 16) may not change to a break point of every cycle of the pulse modulation signal.

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

出力電圧のエッジにより発生する輻射を低減するパワーアンプである。入力信号の供給される1対のPWM変調回路(11)、(12)と、1対のプッシュプル回路(15)、(16)と、PWM変調回路(11)(12)の出力をドライブ信号としてプッシュプル回路(15)、(16)に供給するドライブ回路(13)、(14)とを設ける。プッシュプル回路(15)の出力端と、プッシュプル回路(16)の出力端との間に、スピーカ(19)を接続する。プッシュプル回路(15)、(16)に供給されるドライブ信号が、パルス変調信号の各1サイクル期間の区切りの時点に変化しないように、ドライブ回路(13)、(14)を、パルス変調信号の1サイクル期間ごとに切り換える。

明細書

パワーアンプ

5 技術分野

この発明は、パワーアンプに関する。

背景技術

オーディオ用のパワーアンプとして、いわゆるD級アンプがある。このD級アンプは、スイッチングにより電力増幅を行うものであるが、例えば第10図に示すように構成される。

すなわち、デジタルオーディオ信号Pinが、入力端子Tinを通じてPWM (Pulse Width Modulation) 変調回路11、12に供給され、その入力信号Pinは1対のPWM信号PA、PBに変換される。

15 この場合、PWM信号PA、PBのパルス幅は、入力信号Pinの示すレベル（信号Pinとなったアナログ信号のサンプルごとのレベル。以下同様）に対応して変化するものであるが、第12図に示すように、一方のPWM信号PAのパルス幅は、入力信号Pinの示すレベルに対応した大きさとされ、他方のPWM信号PBのパルス幅は、入力信号Pinの示すレベルの2の補数に対応した大きさとされる。また、PWM信号PA、PBは、その立ち上がり時点が、PWM信号PA、PBの1サイクル期間（基準周期）Tcの開始時点に固定され、その立ち下がり時点が入力信号Pinの示すレベルに対応して変化するものとされる。

さらに、PWM信号PA、PBのキャリア周波数fc（ $= 1 / Tc$ ）は、
25 入力デジタルオーディオ信号Pinのサンプリング周波数fsの例えば16倍とされ、 $fs = 48 \text{ kHz}$ とすれば、

$$f_c = 16 f_s = 16 \times 48 \text{ kHz} = 768 \text{ kHz}$$

とされる。

そして、そのようなPWM信号PAがドライブ回路13に供給されて第11図Aに示すように、信号PAと同レベルおよびレベル反転した1
5 対のドライブ電圧+PA、-PAが形成され、これらドライブ電圧+PA、
-PAが、1対のnチャンネルのMOS-FET (Metal Oxide
Semiconductor type-Field Effect Transistor) (Q11、Q12)
のゲートにそれぞれ供給される。この場合、FET (Q11、Q12) は
プッシュプル回路15を構成するものであり、FET (Q11) のドレ
10 インが電源端子TPWRに接続され、そのソースがFET (Q12) のドレ
インに接続され、このFET (Q12) のソースが接地に接続される。
また、電源端子TPWRには、安定した直流電圧+VDDが電源電圧とし
て供給される。なお、電圧+VDDは、例えば20V~50Vである。

そして、FET (Q11) のソースおよびFET (Q12) のドレイン
15 が、コイルおよびコンデンサを有するローパスフィルタ17を通じてス
ピーカ19の一端に接続される。

また、PWM変調回路11からのPWM信号PBに対しても、PWM
信号PAに対してと同様に構成される。すなわち、PWM信号PBがド
ライブ回路14に供給されて第11図Bに示すように、信号PBと同レ
20 ベルおよびレベル反転した1対のドライブ電圧+PB、-PBが形成さ
れ、これらドライブ電圧+PB、-PBが、プッシュプル回路16を構
成する1対のnチャンネルのMOS-FET (Q13、Q14) のゲート
にそれぞれ供給される。

そして、FET (Q13) のソースおよびFET (Q14) のドレイン
25 が、コイルおよびコンデンサを有するローパスフィルタ18を通じてス
ピーカ19の他端に接続される。

したがって、 $+PA = "H"$ のときには、 $-PA = "L"$ であり、FET (Q11) がオンになるとともに、FET (Q12) がオフになるので、FET (Q11、Q12) の接続点の電圧 V_A は、第 11 図 C に示すように、電圧 $+V_{DD}$ となる。また、逆に、 $+PA = "L"$ のときには、
5 $-PA = "H"$ であり、FET (Q11) がオフになるとともに、FET (Q12) がオンになるので、 $V_A = 0$ となる。

同様に、 $+PB = "H"$ のときには、 $-PB = "L"$ であり、FET (Q13) がオンになるとともに、FET (Q14) がオフになるので、FET (Q13、Q14) の接続点の電圧 V_B は、第 11 図 D に示すように、
10 電圧 $+V_{DD}$ となる。また、逆に、 $+PB = "L"$ のときには、 $-PB = "H"$ であり、FET (Q13) がオフになるとともに、FET (Q14) がオンになるので、 $V_B = 0$ となる。

そして、 $V_A = +V_{DD}$ 、かつ、 $V_B = 0$ の期間には、第 10 図および第 11 図 E に示すように、FET (Q11、Q12) の接続点から、ローパスフィルタ 17 → スピーカ 19 → ローパスフィルタ 18 のラインを通じて、FET (Q13、Q14) の接続点へと、電流 i が流れる。
15

また、 $V_A = 0$ 、かつ、 $V_B = +V_{DD}$ の期間には、FET (Q13、Q14) の接続点から、ローパスフィルタ 18 → スピーカ 19 → ローパスフィルタ 17 のラインを通じて、FET (Q11、Q12) の接続点へと、
20 第 10 図とは逆向きに電流 i が流れる。さらに、 $V_A = V_B = +V_{DD}$ の期間、および $V_A = V_B = 0$ の期間には、電流 i は流れない。つまり、プッシュプル回路 15、16 が BTL (Bridged-Tied Load) 回路を構成していることになる。

そして、電流 i の流れる期間は、もとの PWM 信号 PA 、 PB が立ち
25 上がっている期間に対応して変化するとともに、電流 i がスピーカ 19 を流れるとき、電流 i はローパスフィルタ 17、18 により積分される

ので、結果として、スピーカ 19 を流れる電流 i は、入力信号 P_{in} の示すレベルに対応したアナログ電流であって電力増幅された電流となる。つまり、電力増幅された出力がスピーカ 19 に供給されることになる。

こうして、第 10 図の回路はパワーアンプとして動作するが、このとき、FET (Q11~Q14) は、入力されたデジタルオーディオ信号 P_{in} に対応して電源電圧 + VDD をスイッチングして電力増幅をするので、効率がよく、また、大出力を得ることができる。

ところで、上述のパワーアンプは、第 11 図 C、D にも示すように、電源電圧 + VDD を高速にスイッチングして出力電圧 VA、VB を形成している。10 ているので、出力電圧 VA、VB の立ち上がりエッジおよび立ち下がりエッジにより不要な輻射を生じてしまう。しかも、そのスイッチング時、電源電圧 + VDD は、例えば 20V~50V と高い電圧なので、その輻射もかなりの大きさとなってしまう。また、PWM 信号 PA、PB のキャリア周波数 f_c は、上記のように例えば 768 kHz であり、これは中波放
15 送の放送帯に含まれる。

このため、上述のような D 級パワーアンプが、カーオーディオなどのように、受信機と一体化されていたり、受信機に近接して配置されたりすると、出力電圧 VA、VB の立ち上がりエッジおよび立ち下がりエッジによる輻射が、放送の受信に妨害を与えてしまう。また、出力電圧 V
20 A、VB の立ち上がりエッジおよび立ち下がりエッジは急峻であって高調波成分を多く含み、その高調波成分も輻射されるので、FM 受信機やテレビ受像機などの受信に妨害を与えることもある。

この発明は、そのような輻射を低減させたパワーアンプを提供しようとするものである。

25

発明の開示

この発明においては、例えば、

入力信号を、そのレベルを示す第 1 のパルス変調信号に変換して出力する第 1 のパルス変調回路と、

上記入力信号を、そのレベルの補数を示す第 2 のパルス変調信号に変換して出力する第 2 のパルス変調回路と、

1 対のスイッチング素子がプッシュプル接続されて構成された第 1 および第 2 のプッシュプル回路と、

上記第 1 および第 2 のパルス変調回路の出力を、上記第 1 および第 2 のプッシュプル回路の上記 1 対のスイッチング素子のそれぞれに、ドライブ信号として選択的に供給する第 1 ～第 4 のセクタ回路とを有し、

上記第 1 のプッシュプル回路の出力端と、上記第 2 のプッシュプル回路の出力端との間に、負荷が接続され、

上記スイッチング素子のそれぞれに供給される上記ドライブ信号が、上記第 1 および第 2 のパルス変調信号の各 1 サイクル期間の区切りの時点に変化しないように、上記第 1 ～第 4 のセクタ回路を、上記第 1 および第 2 のパルス変調信号の 1 サイクル期間ごとに切り換えるようにするものである。

したがって、上記プッシュプル回路における出力電圧の立ち上がりエッジおよび立下りエッジの数が $1/2$ となり、輻射が低減する。

20

図面の簡単な説明

第 1 図は、この発明の一形態を示す系統図である。

第 2 図は、第 1 図の回路を説明するための波形図である。

第 3 図は、この発明の他の形態を示す系統図である。

25 第 4 図は、データテーブルの一形態を示す図である。

第 5 図は、信号とアドレスの関係を説明するための図である。

第 6 図は、第 3 図の回路を説明するための波形図である。

第 7 図は、この発明の他の形態を示す系統図である。

第 8 図は、第 7 図の回路を説明するための波形図である。

第 9 図は、この発明の他の形態を示す系統図である。

5 第 10 図は、この発明を説明するための系統図である。

第 11 図は、第 10 図の回路を説明するための波形図である。

第 12 図は、第 10 図の回路を説明するための波形図である。

発明を実施するための最良の形態

10 第 1 図は、この発明による D 級パワーアンプの一例を示し、この例においては、デジタルオーディオ信号 P_{in} が、入力端子 T_{in} を通じて $\Delta \Sigma$ 変調回路 111 に供給される。この $\Delta \Sigma$ 変調回路 111 は、ROM (Read Only Memory) 112 および並列入力直列出力のシフトレジスタ 113 とともに、第 1 の PWM 変調回路 11 を構成し、ROM 12

15 2 および並列入力直列出力のシフトレジスタ 123 とともに、第 2 の PWM 変調回路 12 を構成するものである。そして、デジタルオーディオ信号 P_{in} は、PWM 変調回路 11、12 により、例えば第 2 図 A、B に示すような PWM 信号 + PA、+ PB に変換される。

ここで、PWM 信号 + PA、+ PB のパルス幅は、入力信号 P_{in} の示

20 すレベルに対応して変化するものであるが、第 12 図に示すように、一方の PWM 信号 + PA のパルス幅は、入力信号 P_{in} の示すレベルに対応した大きさとされ、他方の PWM 信号 + PB のパルス幅は、入力信号 P_{in} の示すレベルの例えば 2 の補数に対応した大きさとされる。また、PWM 信号 + PA、+ PB は、その立ち上がり時点が、PWM 信号 + PA、

25 + PB の 1 サイクル期間 T_c の開始時点に固定され、その立ち下がり時

点がオーディオ信号 P_{in} の示すレベルに対応して変化するものとされる。

さらに、PWM信号+PA、+PBのキャリア周波数 $f_c (= 1/T_c)$ は、デジタルオーディオ信号 P_{in} のサンプリング周波数 f_s の例えば 16 倍とされ、

$f_s = 48 \text{ kHz}$ とすれば、

$f_c = 16 f_s = 16 \times 48 \text{ kHz} = 768 \text{ kHz}$

とされる。

このようなPWM信号+PA、+PBを形成するため、PWM変調回路 11 においては、入力端子 T_{in} からのデジタルオーディオ信号 P_{in} が、 $\Delta\Sigma$ 変調回路 111 に供給されて可聴帯域内の量子化ノイズを抑えつつビット数を少なくしたデジタルオーディオ信号、例えば、量子化周波数 ($= f_c$) が $16 f_s$ で、量子化ビット数が 6 ビットのデジタルオーディオ信号に変換され、このデジタルオーディオ信号が ROM 112 に供給されてその量子化レベルに対応した並列デジタルデータに変換され、この並列デジタルデータがシフトレジスタ 113 に供給されて直列信号、すなわち、PWM信号+PAに変換される。

また、PWM変調回路 12 においては、 $\Delta\Sigma$ 変調回路 111 から出力されるデジタルオーディオ信号が、ROM 122 に供給されてそのレベルの 2 の補数に対応した並列デジタルデータに変換され、この並列デジタルデータがシフトレジスタ 123 に供給されて直列信号、すなわち、PWM信号+PBに変換される。

なお、このとき、タイミング信号形成回路 121 において各種のタイミングの信号が形成され、これらのタイミング信号が回路 111 ~ 113、122、123 にそれぞれ供給される。

そして、PWM信号+PA、+PBがドライブ回路13、14に供給されてドライブ電圧P1~P4が形成される。すなわち、PWM信号+PAがセクタ回路131、142に供給されるとともに、インバータ135に供給されて第2図Aに示すように、レベルの反転したPWM信号-PAとされ、このPWM信号-PAがセクタ回路132、141に供給される。また、PWM信号+PBがセクタ回路141、132に供給されるとともに、インバータ145に供給されて第2図Bに示すように、レベルの反転したPWM信号-PBとされ、このPWM信号-PBがセクタ回路142、131に供給される。なお、第2図A、Bは、第11図A、Bと同じである。

さらに、タイミング信号形成回路121から第2図Cに示すように、1サイクル期間 T_c ごとにレベルの反転する信号Pcが取り出され、この信号Pcがセクタ回路131、132、141、142にその切り換え制御信号として供給される。

こうして、セクタ回路131、132からは、第2図Dに示すように、Pc="L"の期間 T_c には、信号+PA、-PAがドライブ電圧P1、P2として取り出され、Pc="H"の期間 T_c には、信号-PB、+PBがドライブ電圧P1、P2として取り出される。また、セクタ回路141、142からは、第2図Eに示すように、Pc="L"の期間 T_c には、信号+PB、-PBがドライブ電圧P3、P4として取り出され、Pc="H"の期間 T_c には、信号-PA、+PAがドライブ電圧P1、P2として取り出される。

そして、これらのドライブ電圧P1、P2、P3、P4がフリップフロップ回路133、134、143、144により整形されたのち、ドライブ電圧P1、P2が、1対のスイッチング素子、例えばnチャンネルのMOS-FET(Q11、Q12)のゲートにそれぞれ供給される。こ

の場合、FET (Q11、Q12) はプッシュプル回路 15 を構成するものであり、FET (Q11) のドレインが電源端子 TPWR に接続され、そのソースが FET (Q12) のドレインに接続され、この FET (Q12) のソースが接地に接続される。また、電源端子 TPWR には、安定した直流電圧 +VDD、例えば 20V~50V の直流電圧が電源電圧として供給される。

- さらに、FET (Q11) のソースおよび FET (Q12) のドレインが、例えばコイルおよびコンデンサにより構成されたローパスフィルタ 17 を通じてスピーカ 19 の一端に接続される。
- 10 また、ドライブ回路 14 からのドライブ電圧 P3、P4 に対しても、ドライブ電圧 P1、P2 に対しても同様に構成される。すなわち、ドライブ電圧 P3、P4 が、プッシュプル回路 16 を構成する 1 対の n チャネルの MOS-FET (Q13、Q14) のゲートにそれぞれ供給される。また、FET (Q13) のソースおよび FET (Q14) のドレイン
- 15 が、コイルおよびコンデンサを有するローパスフィルタ 18 を通じてスピーカ 19 の他端に接続される。

このような構成によれば、P1 = “H” のときには、P2 = “L” であり、FET (Q11) がオンになるとともに、FET (Q12) がオフになるので、FET (Q11、Q12) の接続点の電圧 VA は、第 2 図 F に示すように、電圧 +VDD となる。

また、逆に、P1 = “L” のときには、P2 = “H” であり、FET (Q11) がオフになるとともに、FET (Q12) がオンになるので、VA = 0 となる。

同様に、P3 = “H” のときには、P4 = “L” であり、FET (Q13) がオンになるとともに、FET (Q14) がオフになるので、FET (Q13、Q14) の接続点の電圧 VB は、第 2 図 G に示すように、電圧

+VDDとなる。また、逆に、 $P3 = "L"$ のときには、 $P4 = "H"$ であり、FET (Q13) がオフになるとともに、FET (Q14) がオンになるので、 $V_B = 0$ となる。

そして、 $V_A = +V_{DD}$ 、かつ、 $V_B = 0$ の期間には、第1図および第
5 2図Hに示すように、FET (Q11、Q12) の接続点から、ローパス
フィルタ17→スピーカ19→ローパスフィルタ18のラインを通じて、
FET (Q13、Q14) の接続点へと、電流 i が流れる。

また、 $V_A = 0$ 、かつ、 $V_B = +V_{DD}$ の期間には、FET (Q13、Q
14) の接続点から、ローパスフィルタ18→スピーカ19→ローパス
10 フィルタ17のラインを通じて、FET (Q11、Q12) の接続点へと、
第1図とは逆向きに電流 i が流れる。さらに、 $V_A = V_B = +V_{DD}$ の期
間、および $V_A = V_B = 0$ の期間には、電流 i は流れない。つまり、プ
ッシュプル回路15、16がBTL回路を構成していることになる。

そして、電流 i の流れる期間は、もとのPWM信号+PA、+PBが
15 立ち上がっている期間に対応して変化するとともに、電流 i がスピーカ
19を流れるとき、電流 i はローパスフィルタ17、18により積分さ
れるので、結果として、スピーカ19を流れる電流 i は、デジタルオー
ディオ信号Pinの示すレベルに対応したアナログ電流であって電力増
幅された電流となる。したがって、第1図に示す回路は、D級パワーア
20 ンプとして動作していることになり、電力増幅された出力がスピーカ1
9に供給されることになる。

こうして、第1図に示すパワーアンプは、スイッチングにより電力増
幅を行うことができるが、第2図にも示すように、PWM信号+PA、
+PBの立ち上がりおよび立ち下がり、1サイクル期間 T_c ごとに1
25 回ずつ生じているが、出力電圧 V_A 、 V_B の立ち上がりおよび立ち下
がりは、1サイクル期間 T_c にどちらか1回しか生じないので、出力電圧

VA、VB の立ち上がりエッジおよび立ち下がりエッジの数は、第 10 図に示すパワーアンプにおける出力電圧 VA、VB（第 11 図 C、D 参照）の立ち上がりエッジおよび立ち下がりエッジの数の $1/2$ となっている。したがって、出力電圧 VA、VB の変化により生じる輻射を低減
5 することができる。

また、出力電圧 VA、VB の周波数は、第 10 図に示すパワーアンプにおける出力電圧 VA、VB の周波数の $1/2$ になるので、カーオーディオなどのように、パワーアンプが受信機と一体化されていたり、受信機に近接して配置されたりしても、輻射が放送の受信に与える妨害を低
10 減することができる。そして、このように輻射が放送の受信に与える妨害を低減することができるので、輻射に対して受信機をシールドするための部材を削減することができ、コストを低減できる。また、受信機をパワーアンプにより近接させることができるので、省スペースとすることもできる。

さらに、例えば、プッシュプル回路 15 において、ドライブ電圧 P1 が立ち下がるとともに、ドライブ電圧 P2 が立ち上がるときに、ドライブ電圧 P1 の立ち下がりが遅れると、瞬間的ではあるが、両方のドライブ電圧 P1、P2 が“L”になる期間を生じ、この期間に FET（Q11、Q12）が同時にオンになって FET（Q11、Q12）に貫通電流が流れ
20 てしまう。

しかし、第 1 図に示すパワーアンプは、第 10 図に示すパワーアンプに比べ、ドライブ電圧 P1～P4 の周波数が $1/2$ になっているので、FET（Q11、Q12）や FET（Q13、Q14）が同時にオンになって FET（Q11、Q12）や FET（Q13、Q14）に貫通電流が流れる回
25 数を半減することができる。

ところで、第 2 図からも明かなように、 $P_c = "H"$ の期間 T_c のドライブ電圧 P_1 、 P_2 は、信号 $+P_A$ 、 $-P_A$ の時間軸の前後を逆にしたものと等価であり、 $P_c = "H"$ の期間 T_c のドライブ電圧 P_3 、 P_4 は、信号 $+P_B$ 、 $-P_B$ の時間軸の前後を逆にしたものと等価である。

- 5 そこで、第 3 図に示す PWM 変調回路 1 1、1 2 においては、ROM 1 1 2、1 2 2 から読み出されるデータを、 $P_c = "L"$ の期間 T_c と $P_c = "H"$ の期間 T_c とで切り換えることにより、ドライブ電圧 $P_1 \sim P_4$ の内容を、第 2 図のものと同様とする場合である。

- すなわち、この例においては、 $\Delta \Sigma$ 変調回路 1 1 1 から出力される
10 デジタルオーディオ信号は 1 サンプルが 6 ビットなので、第 4 図に示すように、ROM 1 1 2 は、アドレスが 1 ビット多い 7 ビット $A_6 \sim A_0$ とされ、各アドレスのデータサイズが 1 サンプル 6 ビットに対応して 64 ビット $D_{63} \sim D_0$ とされる。

- ここで、 $\Delta \Sigma$ 変調回路 1 1 1 から出力されるデジタルオーディオ信
15 号は 1 サンプルが 6 ビットであるから、そのデジタルオーディオ信号は第 5 図の左欄に示すように、0 から ± 31 までの 63 値を取ることになる。そして、この 63 値は 2 の補数により表現されているので、これを 2 進数で示すと第 5 図の中欄のようになり、この 2 進数が自然 2 進数であるとみなして 10 進数に変換すると、第 5 図の右欄に示すようになる。

- 20 そこで、第 4 図に示すように、ROM 1 1 2 の任意のアドレスを m 番地 ($0 \leq m \leq 127$) とするとき、 $m = 32$ 番地は不使用とされ、 $m = 33 \sim 63$ 番地には、最上位ビット D_{63} からビット $D_{(96-m)}$ までが "1" であり、ビット $D_{(95-m)}$ から最下位ビット D_0 までが "0" の値が用意される。また、 $m = 0 \sim 31$ 番地には、最上位ビット D_{63} からビット $D_{(32-m)}$ までが "1" であり、ビット $D_{(31-m)}$ から最下位ビット D_0 ま
25 でが "0" の値が用意される。

- さらに、ROM 1 1 2 の $m = (64 + 32)$ 番地は不使用とされ、 $m = (64 + 33) \sim (64 + 63)$ 、 $(64 + 0) \sim (64 + 31)$ 番地には、 $m = 33 \sim 63$ 、 $0 \sim 31$ 番地におけるビット配列の上位ビットと下位ビットとを逆にしたものが用意される。すなわち、 $m = (64 + 33) \sim (64 + 63)$
- 5 番地には、最上位ビット D_{63} からビット $D_{(m-96)}$ まだが “0” であり、ビット $D_{(m-97)}$ から最下位ビット D_0 まだが “1” の値が用意される。また、 $m = (64 + 0) \sim (64 + 31)$ 番地には、最上位ビット D_{63} からビット $D_{(m-32)}$ まだが “0” であり、ビット $D_{(m-33)}$ から最下位ビット D_0 まだが “1” の値が用意される。
- 10 さらに、ROM 1 2 2 の $0 \sim 63$ 番地は、ROM 1 1 2 の $63 \sim 0$ 番地と等しいデータとされ、ROM 1 2 2 の $64 \sim 127$ 番地は、ROM 1 1 2 の $127 \sim 64$ 番地と等しいデータとされる。なお、ROM 1 1 2、1 2 2 の $0 \sim 63$ 番地のデータを、第 1 図における ROM 1 1 2、1 2 2 の $0 \sim 63$ 番地のデータとすることができる。
- 15 そして、第 4 図の下方に示すように、ROM 1 1 2、1 2 2 の 7 ビットのアドレス $A_6 \sim A_0$ のうち、下位の 6 ビット $A_5 \sim A_0$ に、 $\Delta \Sigma$ 変調回路 1 1 1 から出力されるデジタルオーディオ信号が供給され、最上位ビット A_6 に、タイミング信号形成回路 1 2 1 から 1 サンプル期間 T_c ごとに反転する信号 P_c が供給される。
- 20 したがって、第 4 図からも理解されるように、 $P_c = “L”$ の期間 T_c には、ROM 1 1 2 のアドレスの最上位ビット A_6 は “0” となるので、 $0 \sim 63$ 番地のデータのうち、 $\Delta \Sigma$ 変調回路 1 1 1 からのデジタルオーディオ信号に対応するアドレスのデータ $D_{63} \sim D_0$ が出力される。また、 $P_c = “H”$ の期間 T_c には、ROM 1 1 2 のアドレスの最上位
- 25 ビット A_6 は “1” となるので、 $(64 + 0) \sim (64 + 63)$ 番地のデータのうち、 $\Delta \Sigma$ 変調回路 1 1 1 からのデジタルオーディオ信号に対応

するアドレスのデータD63～D0が出力される。そして、このようなデータD63～D0が並列入力直列出力のシフトレジスタ113に供給されて直列信号に変換される。

したがって、この変換結果の直列信号は、第6図Bに示すように、Pc=“L”の期間Tcには、この期間Tcの開始時には立ち上がっていて、立ち下がる時点がデジタルオーディオ信号の示すレベルに対応して変化し、Pc=“H”の期間Tcには、立ち上がる時点がデジタルオーディオ信号の示すレベルに対応して変化し、期間Tcの終了時点には立ち上がっているPWM信号P1となる。

10 また、ROM122については、Pc=“L”の期間Tcには、アドレスの最上位ビットが“1”となるので、64～127番地のデータのうち、入力されたデジタルオーディオ信号に対応するアドレスのデータD63～D0が出力される。また、Pc=“H”の期間Tcには、アドレスの最上位ビットが“0”となるので、0～63番地のデータのうち、入力されたデジタルオーディオ信号に対応するアドレスのデータD63～D0
15 が出力される。そして、このようなデータD63～D0が並列入力直列出力のシフトレジスタ123に供給されて直列信号に変換される。

したがって、この変換結果の直列信号は、第6図Cに示すように、Pc=“L”の期間Tcには、この期間Tcの開始時には立ち上がっていて、立ち下がる時点がデジタルオーディオ信号の示すレベルの補数に対応して変化し、Pc=“H”の期間Tcには、立ち上がる時点がデジタルオーディオ信号の示すレベルの補数に対応して変化し、期間Tcの終了時点には立ち上がっているPWM信号P3となる。

そして、PWM信号P1がフリップフロップ回路133を通じてFET(Q11)のゲートに供給されるとともに、インバータ135に供給されて第6図Dに示すように、レベルの反転した信号P2とされ、この
25

信号 P 2 がフリップフロップ回路 1 3 4 を通じて F E T (Q12) のゲートに供給される。また、P W M 信号 P 3 がフリップフロップ回路 1 4 3 を通じて F E T (Q13) のゲートに供給されるとともに、インバータ 1 4 5 に供給されて第 6 図 E に示すように、レベルの反転した信号 P 4 とされ、この信号 P 4 がフリップフロップ回路 1 4 4 を通じて F E T (Q14) のゲートに供給される。

したがって、F E T (Q11、Q12) の接続点の電圧 V A および F E T (Q13、Q14) の接続点の電圧 V B は、第 6 図 F、G に示すように、第 2 図 F、G の電圧 V A、V B と同じとなるので、スピーカ 1 9 には第 6 図 H に示す電流 i が供給されることになり、この結果、スピーカ 1 9 には電力増幅された出力が供給されることになる。

そして、この第 3 図のパワーアンプによれば、第 1 図のパワーアンプと同様の効果が得られるだけでなく、さらに、第 1 図におけるセレクト回路 1 3 1、1 3 2、1 4 1、1 4 2 を省略することができる。

上述においては、パワーアンプの出力段が B T L 回路とされている場合であるが、シングル回路とすることもできる。第 7 図は、そのようなパワーアンプの一形態を示す。

すなわち、第 7 図に示すパワーアンプにおいては、P W M 変調回路 1 1、1 2 から第 8 図 A に示すように P W M 信号 + P A、+ P B が取り出され、P W M 信号 + P A がドライブ回路 1 3 に供給され、P W M 信号 + P B がインバータ 1 4 5 に供給されて第 8 図 B に示すように、レベルの反転した P W M 信号 - P B とされ、この P W M 信号 - P B がドライブ回路 1 3 に供給される。

そして、ドライブ回路 1 3 からドライブ電圧 P 1、P 2 が取り出され、これらドライブ電圧 P 1、P 2 がプッシュプル回路 1 5 に供給される。この場合、第 8 図 C に示すように、ドライブ電圧 P 1 は、P W M 信号 +

PA と、PWM 信号－PB とを、1 サイクル期間 T_c ごとに交互に取り出した信号であり、ドライブ電圧 P2 はドライブ電圧 P1 のレベルを反転した信号である。

また、第 7 図に示すパワーアンプにおいては、プッシュプル回路 15 が正負の電源を使用する場合であり、FET (Q11) のドレインが正の電源端子 TPWR+ に接続され、FET (Q12) のソースが負の電源端子 TPWR- に接続される。そして、電源端子 TPWR+、TPWR- には、正負一対の直流電圧 +VDD、-VDD が電源電圧として供給される。そして、プッシュプル回路 15 の出力端が、ローパスフィルタ 17 を通じてスピーカ 19 の一端に接続され、その他端は接地される。

したがって、プッシュプル回路 15 の出力電圧 VA は、ドライブ電圧 P1、P2 に対応して第 8 図 D に示すような波形となり、第 8 図 E に示すように、スピーカ 19 には入力信号 Pin に対応した極性および大きさの電流 i が流れることになり、電力増幅が行われる。

そして、このパワーアンプにおいても、ドライブ電圧 P1、P2 の立ち上がりエッジおよび立ち下がりエッジの数は、PWM 信号 +PA、+PB の $1/2$ となっているので、FET (Q11、Q12) に流れる貫通電流が半減する。また、出力電圧 VA の周波数が $1/2$ となっているので、この出力電圧 VA により生じる輻射も低減する。

第 9 図に示すパワーアンプは、第 7 図に示すパワーアンプと同様、出力段がシングル回路されとともに、プッシュプル回路 15 の電源電圧を直流電圧 +VDD だけとした場合である。したがって、この場合には、例えば、プッシュプル回路 15 の出力端と、ローパスフィルタ 17 との間に、直流カット用のコンデンサ 21 が接続される。

なお、上述においては、入力信号 Pin がデジタルオーディオ信号の場合であるが、アナログオーディオ信号であってもよい。また、PWM

信号+PA、+PB、-PA、-PBはPNM (Pulse Number Modulation) 信号などとすることもできる。さらに、PWM変調回路11、12は、アップカウンタ、ダウンカウンタおよび比較回路により構成することもできる。

- 5 また、第4図におけるROM112、122のデータテーブルは、0～63番地のデータの上位ビットと下位ビットとを入れ換えると、64～127番地のデータとなるので、Pc="L"の期間Tcと、Pc="H"の期間Tcとで、シフトレジスタ113、123にロードしたデータを最下位ビットD0から取り出すか最上位ビットD63から取り出すかを
- 10 切り換えることより期間Tcごとに時間軸の前後を反転すれば、ROM112、122は0～63番地だけとすることができ、ROM112、122の容量を1/2にすることができる。

- さらに、上述においては、パワーアンプがオーディオ用のアンプの場合であるが、モータなどの電力機器をドライブするためのアンプとして
- 15 使用することもできる。また、スピーカ19に代えて任意の負荷を接続すれば、その負荷に動作電圧を供給することができるとともに、入力信号Pinを変更することにより負荷に供給される電圧の大きさを変更することができ、したがって、可変電源回路として使用することもできる。

- この発明によれば、出力電圧の立ち上がりエッジおよび立ち下がりエッジの数が、その出力電圧を形成するPWM信号の立ち上がりエッジおよび立ち下がりエッジの数の1/2となるので、出力電圧の変化により生じる輻射を低減することができる。
- 20

- したがって、カーオーディオなどのように、パワーアンプが受信機と一体化されていたり、受信機に近接して配置されていても、輻射が放送
- 25 の受信に与える妨害を低減することができる。また、このことから、輻射に対して受信機をシールドするための部材を削減することができ、コ

ストを低減することができる。さらに、受信機をパワーアンプにより近接させることができるので、省スペースとすることもできる。

- また、出力電圧の立ち上がりエッジおよび立ち下がりエッジの数が1／2となるので、その出力電圧を形成するためのプッシュプル回路に貫通電流が流れる回数を半減することができ、アンプの損失を低減し、デバイスからの発熱も抑えることができる。さらに、出力用のスイッチング素子のスイッチングの回数が半減するので、スイッチングノイズにより生じるオーディオ特性の劣化を抑えることもできる。
- 5

請求の範囲

1. 入力信号のレベルを示す第1のパルス変調信号(+P A)と、上記入力信号のレベルの補数を示す第2のパルス変調信号をレベル反転して得られる第2の反転パルス変調信号(-P B)とを、基準周期ごとに交互に出力される第1のパルス信号を供給するとともに、上記入力信号のレベルの補数を示す上記第2のパルス変調信号(+P B)と、上記入力信号のレベルを示す上記第1のパルス変調信号をレベル反転して得られる第1の反転パルス変調信号(-P A)とを、基準周期ごとに交互に
- 5 出力される第2のパルス信号を供給するパルス変調手段と、
- スイッチング素子を含み、上記パルス変調手段からの上記第1のパルス信号にしたがってスイッチング出力を供給する第1の出力回路と、
- スイッチング素子を含み、上記パルス変調手段からの上記第2のパルス信号にしたがってスイッチング出力を供給する第2の出力回路とを備え、
- 15 上記第1の出力回路の出力端と、上記第2の出力回路の出力端との間に、負荷が接続されることを特徴とするパワーアンプ。
2. 請求の範囲第1項に記載のパワーアンプにおいて、
- 上記パルス変調手段は、
- 20 上記入力信号を、上記基準周期ごとにそのレベルを示す第1のパルス変調信号に変換して出力する第1のパルス変調回路と、
- 上記入力信号を、上記基準周期ごとにそのレベルの補数を示す第2のパルス変調信号に変換して出力する第2のパルス変調回路と、
- 上記第1のパルス変調回路からの出力を、レベル反転して第1の反転
- 25 パルス変調信号を出力する第1の反転回路と、

上記第 2 のパルス変調回路からの出力を、レベル反転して第 2 の反転パルス変調信号を出力する第 2 の反転回路と、

上記第 1 のパルス変調信号と、上記第 2 の反転パルス変調信号とを、上記基準周期ごとに交互に選択して上記第 1 のパルス信号を出力する第

5 1 の選択回路と、

上記第 2 のパルス変調信号と、上記第 1 の反転パルス変調信号とを、上記基準周期ごとに交互に選択して上記第 2 のパルス信号を出力する第 2 の選択回路と

を備えることを特徴とするパワーアンプ。

10 3. 請求の範囲第 1 項に記載のパワーアンプにおいて、

上記パルス変調手段は、

上記入力信号のレベルに対応付けて、少なくともそのレベルを示す第 1 のパルス波形データを格納されるメモリと、

上記メモリからの読み出しを制御する制御回路とを備え、

15 上記制御回路は、上記メモリからの読み出しを、上記基準周期ごとに変更して、上記第 1、第 2 のパルス信号を出力させることを特徴とするパワーアンプ。

4. 請求の範囲第 3 項に記載のパワーアンプにおいて、

20 上記メモリは、上記入力信号のレベルを示す第 1 のパルス波形データと、上記入力信号のレベルの補数を示す第 2 のパルス波形データとを格納し、

上記制御回路は、上記基準周期ごとに、上記第 1 のパルス波形データと、上記第 2 のパルス波形データをレベル反転した第 2 の反転パルス波形データとを交互に読み出すとともに、上記基準周期ごとに、上記第 2
25 のパルス波形データと、上記第 1 のパルス波形データをレベル反転した

第 1 の反転パルス波形データとを交互に読み出すよう上記メモリの読み出しを制御することを特徴とするパワーアンプ。

5. 請求の範囲第 3 項に記載のパワーアンプにおいて、

上記制御回路は、上記基準周期ごとに、上記第 1 のパルス波形データ
5 と、上記第 1 のパルス波形データを逆の順序で読み出した逆順パルス波形データとを交互に読み出すとともに、上記基準周期ごとに、上記逆順パルス波形データをレベル反転した第 2 の反転パルス波形データと、上記第 1 のパルス波形データをレベル反転した第 1 の反転パルス波形データとを交互に読み出すよう上記メモリの読み出しを制御することを特徴
10 とするパワーアンプ。

6. 請求の範囲第 1 項に記載のパワーアンプにおいて、

上記パルス変調手段は、

上記入力信号を、上記基準周期ごとにそのレベルを示す第 1 のパルス変調信号に変換して出力する第 1 のパルス変調回路と、

15 上記入力信号を、上記基準周期ごとにそのレベルの補数を示す第 2 のパルス変調信号に変換して出力する第 2 のパルス変調回路と、

上記第 1 のパルス変調信号の時間軸の前後を反転して第 2 の時間反転パルス変調信号を出力する第 1 の反転回路と、

上記第 2 のパルス変調信号の時間軸の前後を反転して第 1 の時間反転
20 パルス変調信号を出力する第 2 の反転回路と、

上記第 1 のパルス変調信号と、上記第 2 の時間反転パルス変調信号とを、上記基準周期ごとに交互に選択して上記第 1 のパルス信号を出力する第 1 の選択回路と、

上記第 2 のパルス変調信号と、上記第 1 の時間反転パルス変調信号と
25 を、上記基準周期ごとに交互に選択して上記第 2 のパルス信号を出力する第 2 の選択回路と

を備えることを特徴とするパワーアンプ。

7. 請求の範囲第1項に記載のパワーアンプにおいて、

上記第1、第2の出力回路は、1対のスイッチング素子がプッシュプル接続されて構成され、

- 5 上記第1の出力回路の上記1対のスイッチング素子には、上記第1のパルス信号と、この第1のパルス信号をレベル反転した第1の反転パルス信号とを、それぞれ供給され、

上記第2の出力回路の上記1対のスイッチング素子には、上記第2のパルス信号と、この第2のパルス信号をレベル反転した第2の反転パルス信号とを、それぞれ供給されることを特徴とするパワーアンプ。

- 10 上記第2の出力回路の上記1対のスイッチング素子には、上記第2のパルス信号と、この第2のパルス信号をレベル反転した第2の反転パルス信号とを、それぞれ供給されることを特徴とするパワーアンプ。

8. 請求の範囲第1項に記載のパワーアンプにおいて、上記パルス変調信号がPWM信号であることを特徴とするパワーアンプ。

9. 入力信号のレベルを示す第1のパルス変調信号(+PA)と、上記入力信号のレベルの補数を示す第2のパルス変調信号をレベル反転して得られる第2の反転パルス変調信号(-PB)とを、基準周期ごとに交互に出力されるパルス信号を供給するパルス変調手段と、

- 15 上記入力信号のレベルを示す第1のパルス変調信号(+PA)と、上記入力信号のレベルの補数を示す第2のパルス変調信号をレベル反転して得られる第2の反転パルス変調信号(-PB)とを、基準周期ごとに交互に出力されるパルス信号を供給するパルス変調手段と、

スイッチング素子を含み、上記パルス変調手段からの上記パルス信号にしたがってスイッチング出力を供給する出力回路とを備え、

上記出力回路の出力端に負荷が接続されることを特徴とするパワーアンプ。

- 20 上記出力回路の出力端に負荷が接続されることを特徴とするパワーアンプ。

10. 請求の範囲第9項に記載のパワーアンプにおいて、

上記パルス変調手段は、
上記入力信号を、上記基準周期ごとにそのレベルを示す第1のパルス変調信号に変換して出力する第1のパルス変調回路と、

上記入力信号を、上記基準周期ごとにそのレベルの補数を示す第 2 のパルス変調信号に変換し、レベル反転して第 2 の反転パルス変調信号を出力する第 2 のパルス変調回路と、

- 上記第 1 のパルス変調信号と、上記第 2 の反転パルス変調信号とを、
- 5 上記基準周期ごとに交互に選択して上記パルス信号を出力する選択回路と、

を備えることを特徴とするパワーアンプ。

- 1 1. 請求の範囲第 9 項に記載のパワーアンプにおいて、

上記パルス変調手段は、

- 10 上記入力信号のレベルに対応付けて、少なくともそのレベルを示す第 1 のパルス波形データを格納されるメモリと、

上記メモリからの読み出しを制御する制御回路とを備え、

上記制御回路は、上記メモリからの読み出しを、上記基準周期ごとに変更して、上記パルス信号を出力させることを特徴とするパワーアンプ。

- 15 1 2. 請求の範囲第 1 1 項に記載のパワーアンプにおいて、

上記メモリは、上記入力信号のレベルを示す第 1 のパルス波形データと、上記入力信号のレベルの補数を示す第 2 のパルス波形データとを格納し、

- 上記制御回路は、上記基準周期ごとに、上記第 1 のパルス波形データ
- 20 と、上記第 2 のパルス波形データをレベル反転した第 2 の反転パルス波形データとを交互に読み出すよう上記メモリの読み出しを制御することを特徴とするパワーアンプ。

- 1 3. 請求の範囲第 1 1 項に記載のパワーアンプにおいて、

- 上記制御回路は、上記基準周期ごとに、上記第 1 のパルス波形データ
- 25 と、上記第 1 のパルス波形データを逆の順序で読み出した逆順パルス波

形データとを交互に読み出すよう上記メモリの読み出しを制御することを特徴とするパワーアンプ。

1 4. 請求の範囲第 9 項に記載のパワーアンプにおいて、
上記パルス変調手段は、

5 上記入力信号を、上記基準周期ごとにそのレベルを示す上記第 1 のパルス変調信号に変換して出力するパルス変調回路と、

上記第 1 のパルス変調信号の時間軸の前後を反転して時間反転パルス変調信号を出力する時間反転回路と、

10 上記第 1 のパルス変調信号と、上記時間反転パルス変調信号とを、上記基準周期ごとに交互に選択して上記パルス信号を出力する選択回路とを備えることを特徴とするパワーアンプ。

1 5. 請求の範囲第 9 項に記載のパワーアンプにおいて、

上記出力回路は、1 対のスイッチング素子がプッシュプル接続されて構成され、

15 上記出力回路の上記 1 対のスイッチング素子には、上記パルス信号と、このパルス信号をレベル反転した反転パルス信号とを、それぞれ供給されることを特徴とするパワーアンプ。

1 6. 請求の範囲第 9 項に記載のパワーアンプにおいて、上記パルス変調信号が PWM 信号であることを特徴とするパワーアンプ。

Fig.1

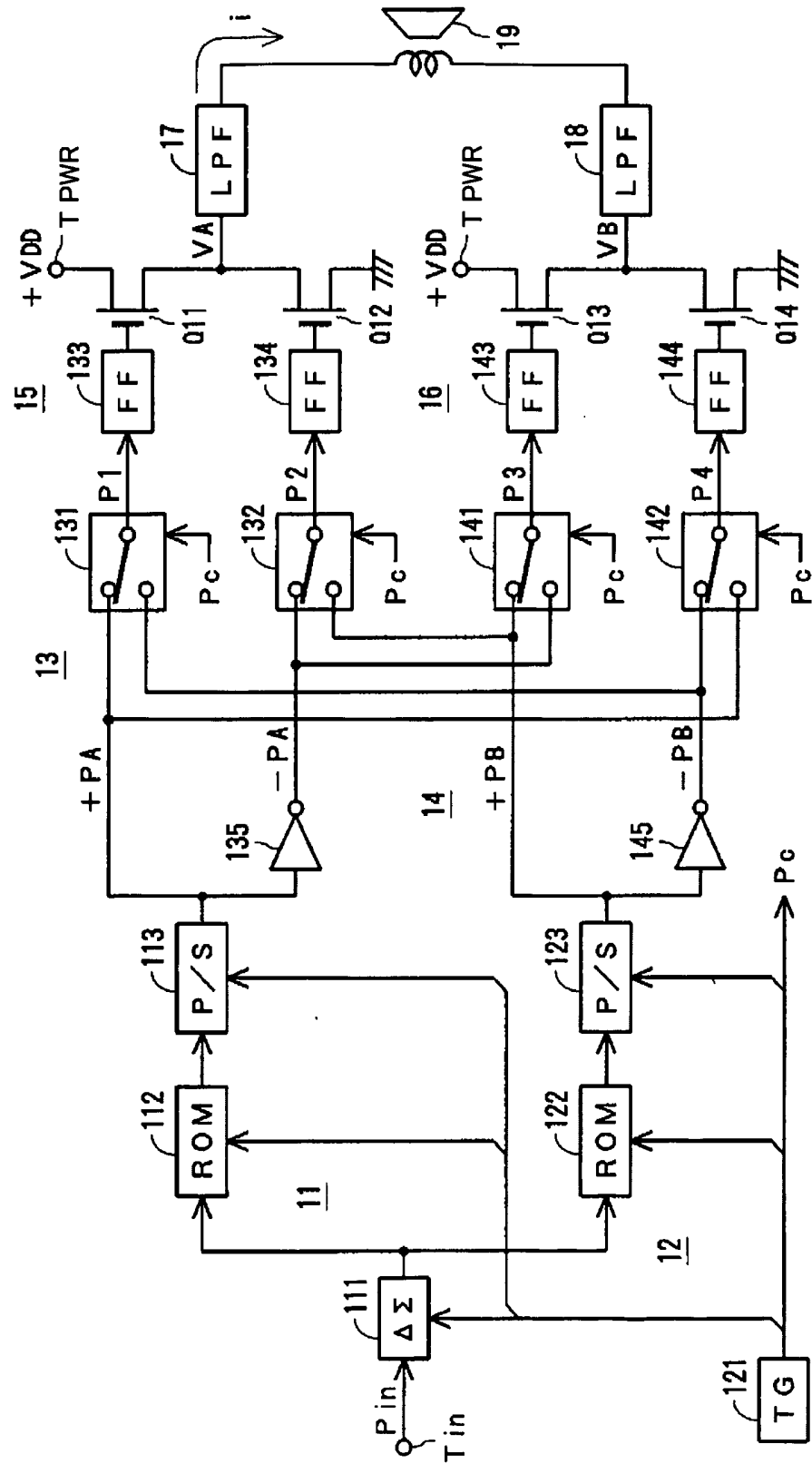


Fig.2

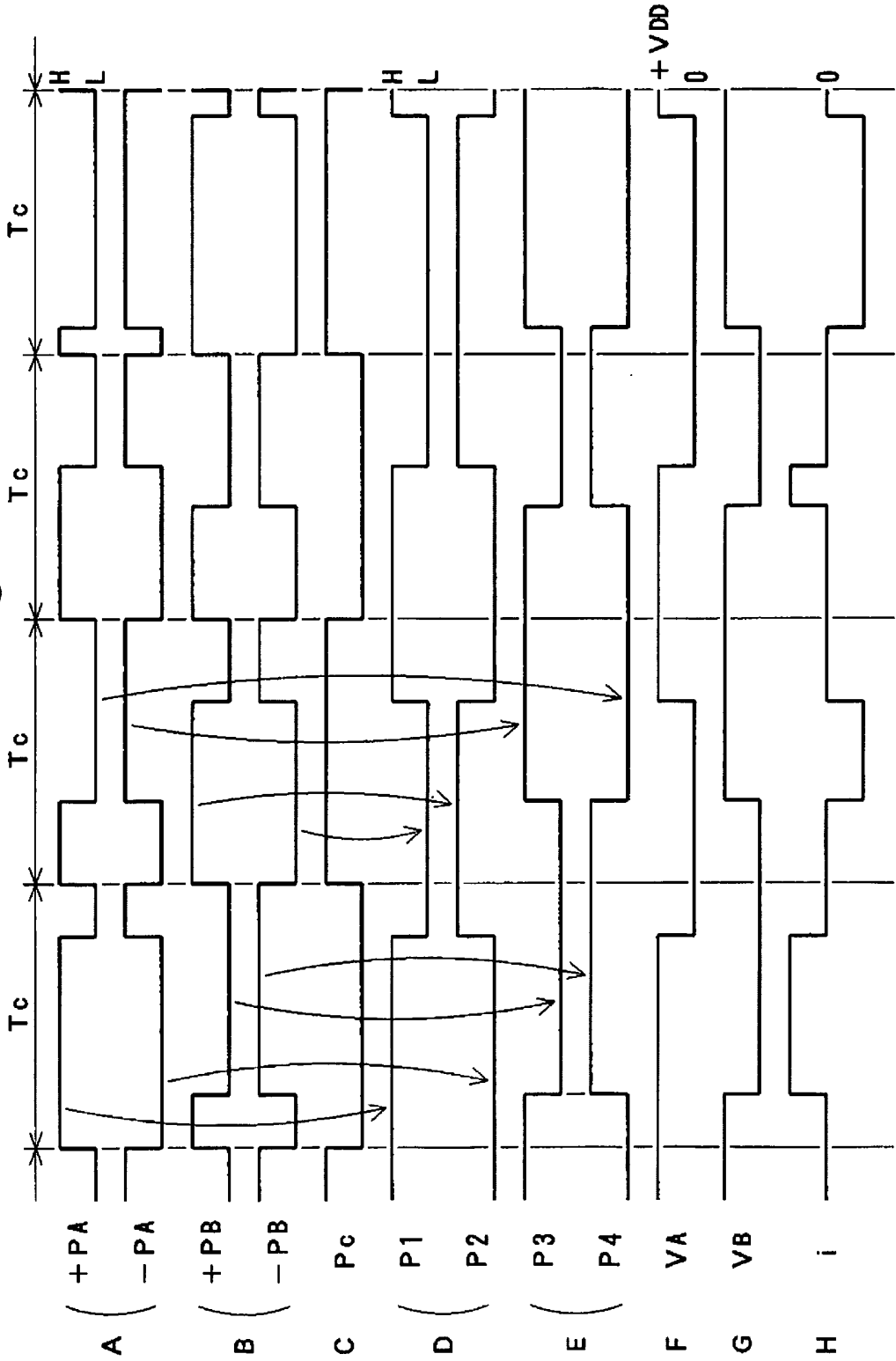
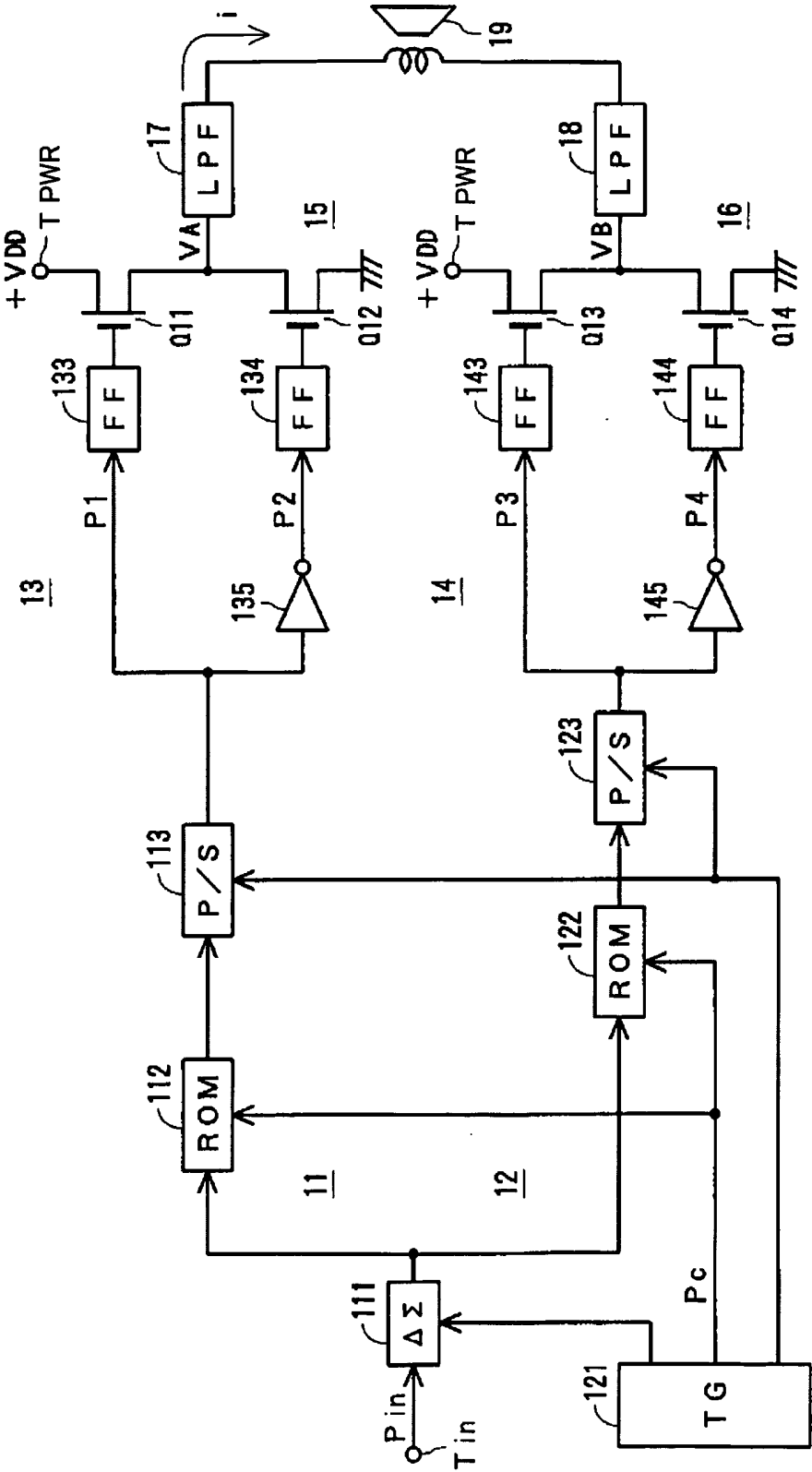


Fig.3



4/11

Fig.4

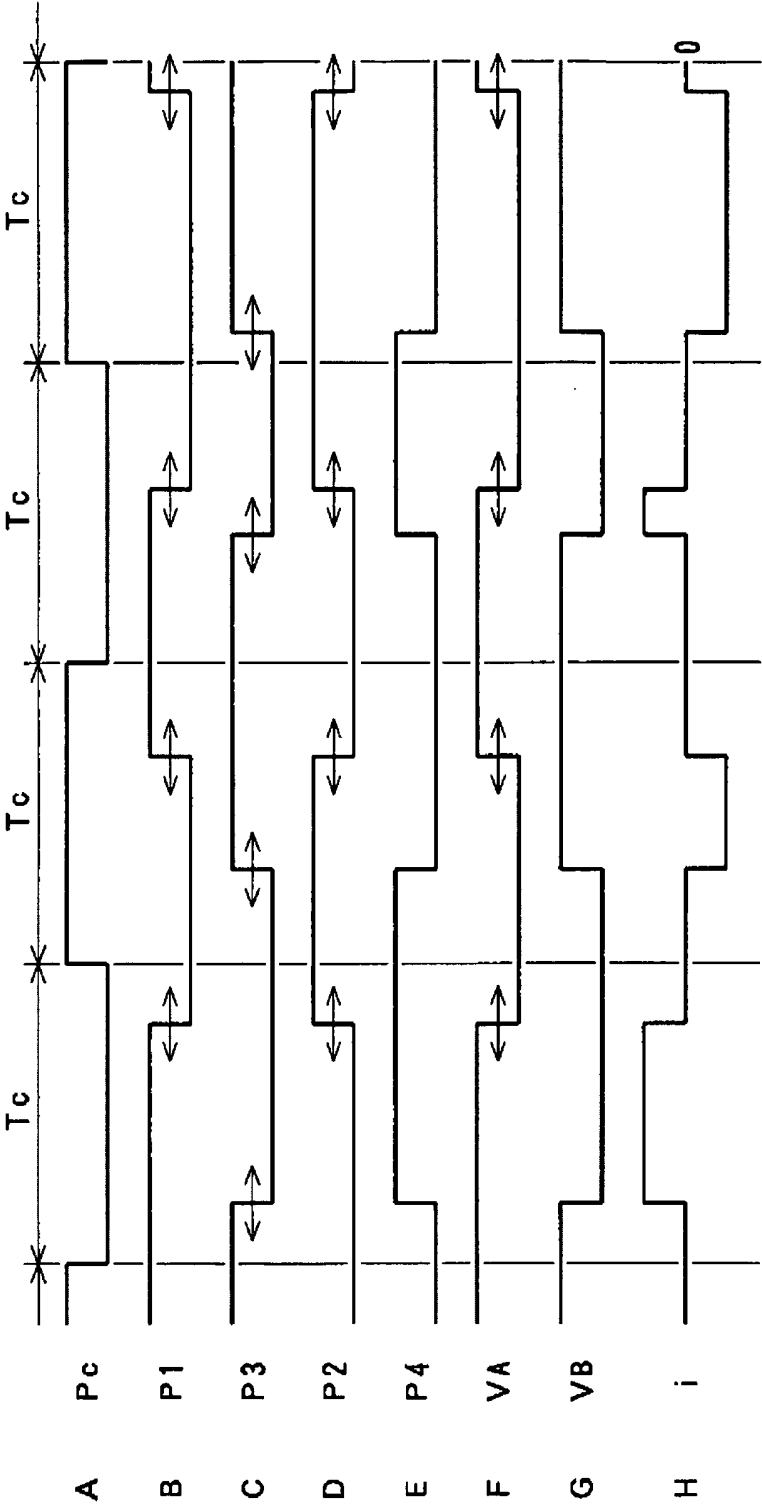
アドレスm		データ												
A6	A5~A0	D63	D62	D61	D60	D59	D58	...	D5	D4	D3	D2	D1	D0
"0" (0)	32	*	*	*	*	*	*		*	*	*	*	*	*
	33	1	0	0	0	0	0		0	0	0	0	0	0
	34	1	1	0	0	0	0		0	0	0	0	0	0
	35	1	1	1	0	0	0		0	0	0	0	0	0
	36	1	1	1	1	0	0		0	0	0	0	0	0
	37	1	1	1	1	1	0		0	0	0	0	0	0
	:													
	63	1	1	1	1	1	1		0	0	0	0	0	0
	0	1	1	1	1	1	1		0	0	0	0	0	0
	:													
	27	1	1	1	1	1	1		1	0	0	0	0	0
	28	1	1	1	1	1	1		1	1	0	0	0	0
	29	1	1	1	1	1	1		1	1	1	0	0	0
	30	1	1	1	1	1	1		1	1	1	1	0	0
	31	1	1	1	1	1	1		1	1	1	1	1	0
"1" (64)	32	*	*	*	*	*	*		*	*	*	*	*	*
	33	0	0	0	0	0	0		0	0	0	0	0	1
	34	0	0	0	0	0	0		0	0	0	0	1	1
	35	0	0	0	0	0	0		0	0	0	1	1	1
	36	0	0	0	0	0	0		0	0	1	1	1	1
	37	0	0	0	0	0	0		0	1	1	1	1	1
	:													
	63	0	0	0	0	0	0		1	1	1	1	1	1
	0	0	0	0	0	0	0		1	1	1	1	1	1
	:													
	27	0	0	0	0	0	1		1	1	1	1	1	1
	28	0	0	0	0	1	1		1	1	1	1	1	1
	29	0	0	0	1	1	1		1	1	1	1	1	1
	30	0	0	1	1	1	1		1	1	1	1	1	1
	31	0	1	1	1	1	1		1	1	1	1	1	1

Pc デジタルオーディオ信号

Fig.5

	2の補数						自然数
-31	1	0	0	0	0	1	33
-30	1	0	0	0	1	0	34
-29	1	0	0	0	1	1	35
-28	1	0	0	1	0	0	36
⋮	⋮						⋮
-3	1	1	1	1	0	1	61
-2	1	1	1	1	1	0	62
-1	1	1	1	1	0	1	63
0	0	0	0	0	0	0	0
1	0	0	0	0	0	1	1
2	0	0	0	0	1	0	2
3	0	0	0	0	1	1	3
⋮	⋮						⋮
28	0	1	1	1	0	0	28
29	0	1	1	1	0	1	29
30	0	1	1	1	1	0	30
31	0	1	1	1	1	1	31

Fig.6



7/11

Fig.7

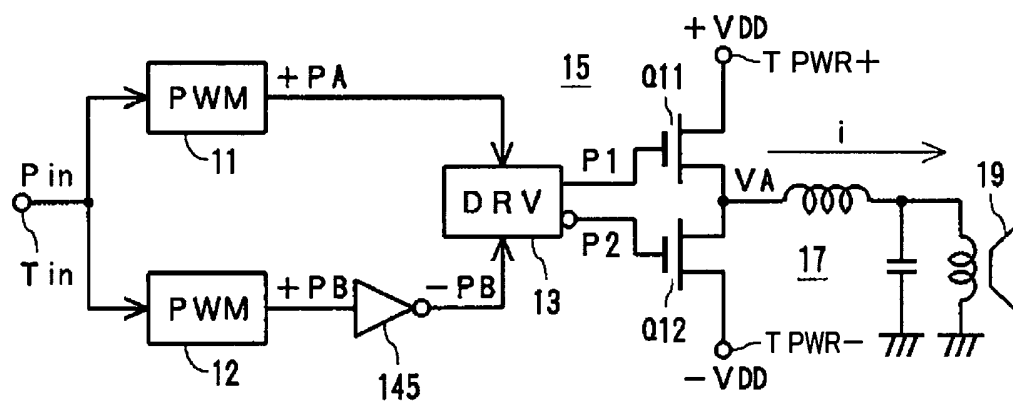
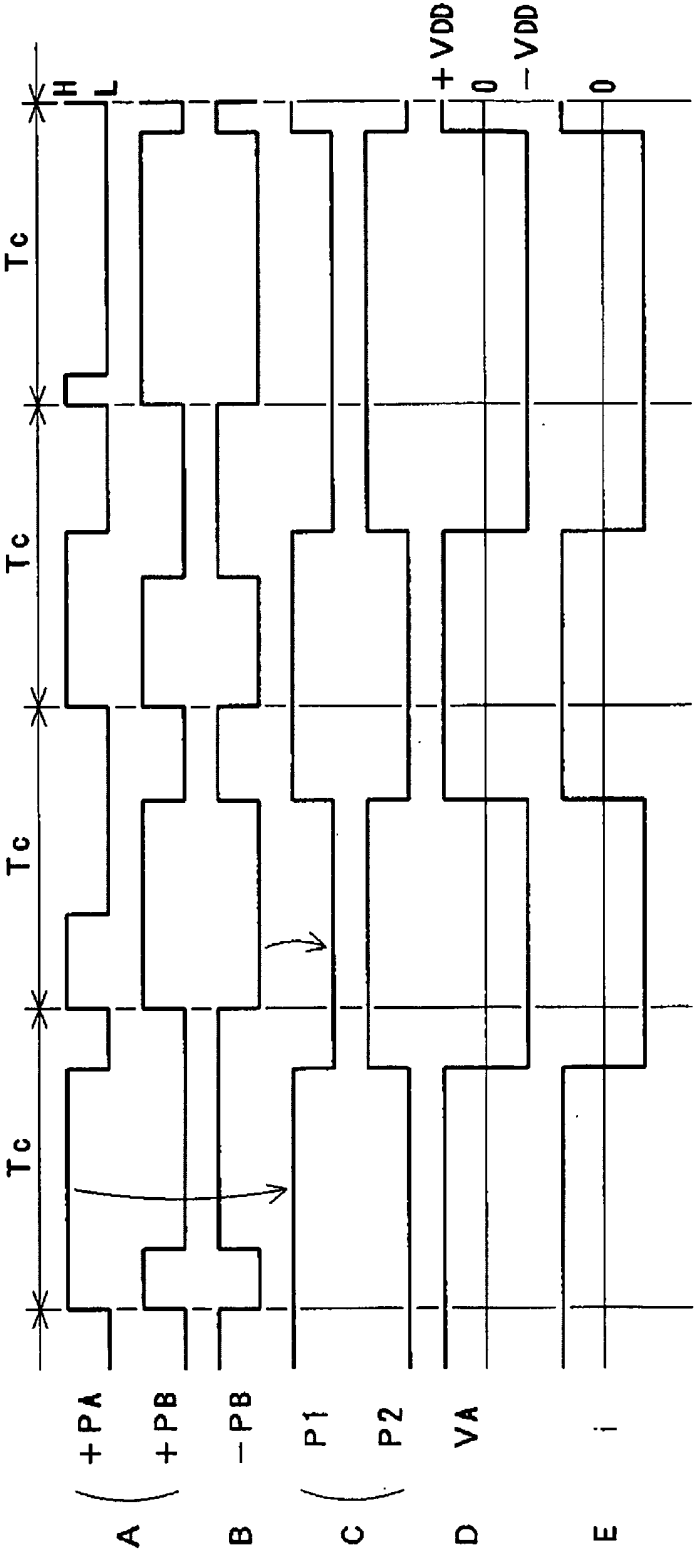


Fig.8



9/11

Fig.9

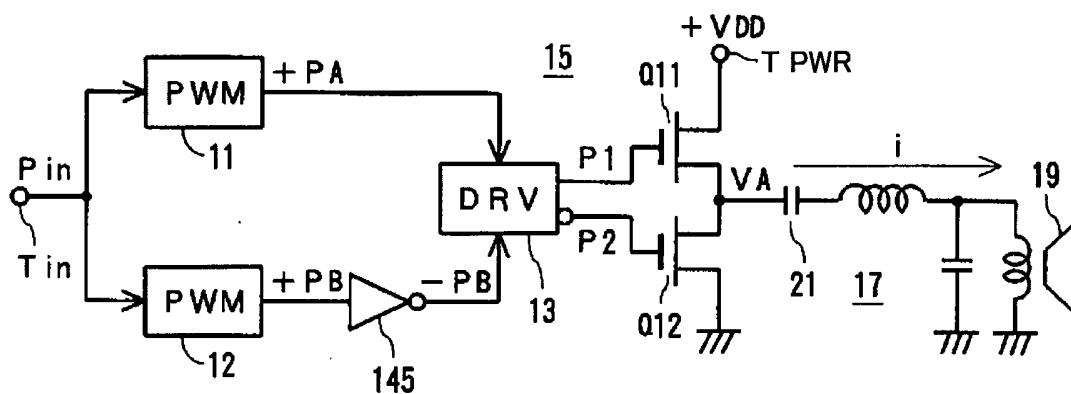


Fig.10

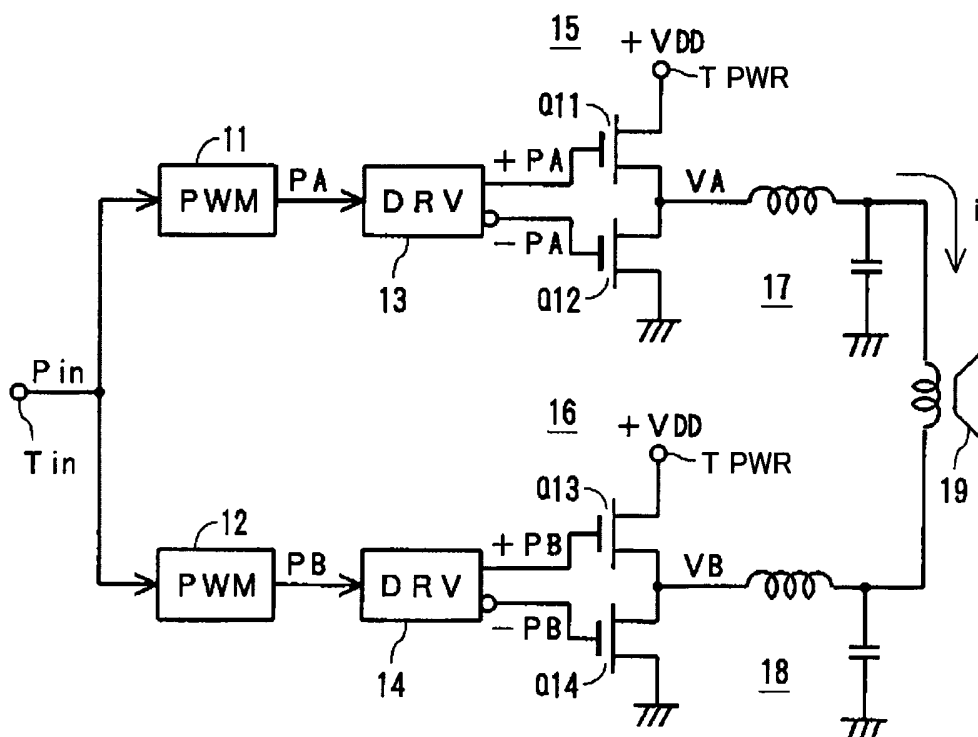


Fig.11

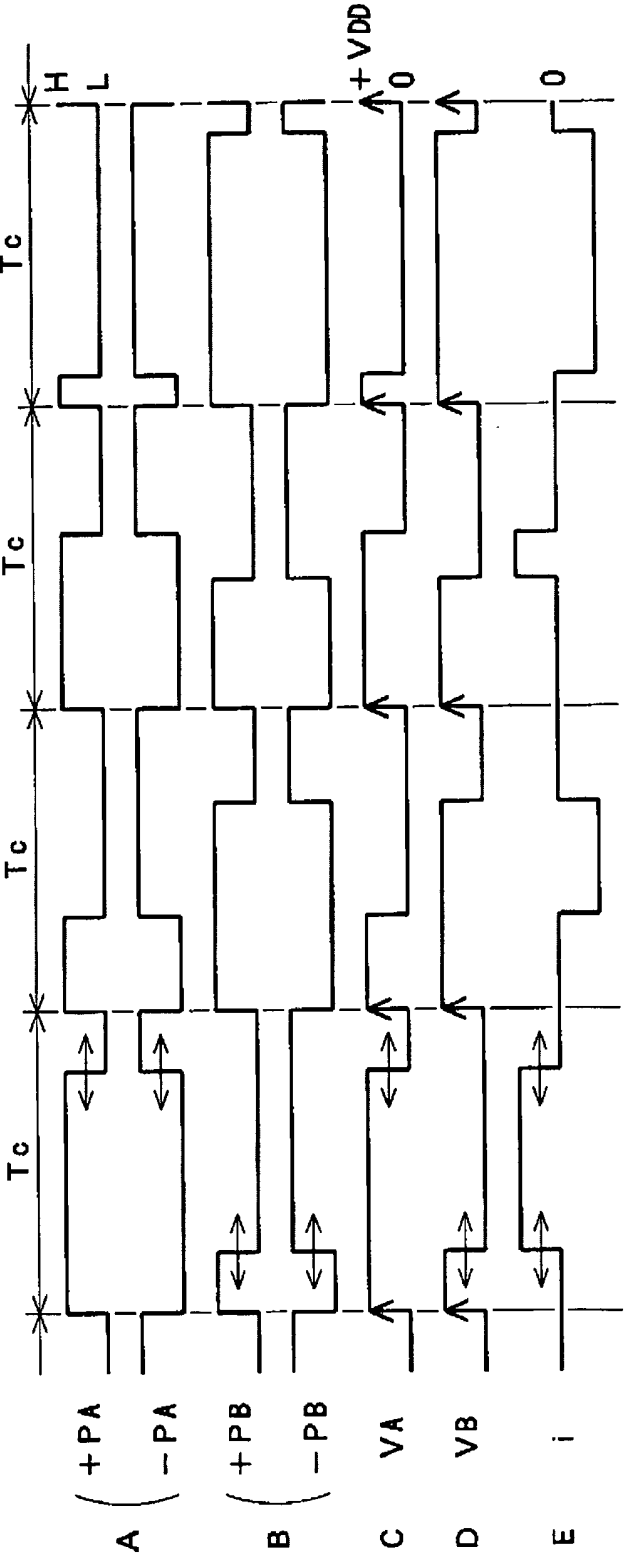
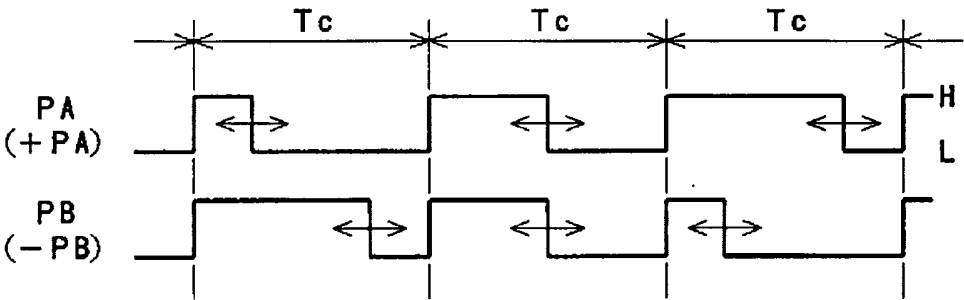


Fig.12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11597

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03F3/217

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03F3/217

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	JP 2002-158549 A (Sony Corp.), 31 May, 2002 (31.05.02), & US 2002/0105377 A1	1-16
P, A	JP 2002-158544 A (Sony Corp.), 31 May, 2002 (31.05.02), (Family: none)	1-16
A	JP 2001-292040 A (Alpine Electronics, Inc.), 19 October, 2001 (19.10.01), (Family: none)	1-16
A	JP 2001-185961 A (Alpine Electronics, Inc.), 06 July, 2001 (06.07.01), (Family: none)	1-16

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
12 February, 2003 (12.02.03)

Date of mailing of the international search report
25 February, 2003 (25.02.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03F3/217

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03F3/217

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, A	JP 2002-158549 A (ソニー株式会社) 2002.05.31 & US 2002/0105377 A1	1-16
P, A	JP 2002-158544 A (ソニー株式会社) 2002.05.31 (ファミリーなし)	1-16

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.02.03

国際調査報告の発送日

25.02.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 敬介

5W

9196

電話番号 03-3581-1101 内線 3574



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-292040 A (アルパイン株式会社) 2001. 10. 19 (ファミリーなし)	1-16
A	JP 2001-185961 A (アルパイン株式会社) 2001. 07. 06 (ファミリーなし)	1-16