



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I500040 B

(45)公告日：中華民國 104 (2015) 年 09 月 11 日

(21)申請案號：097137662

(22)申請日：中華民國 97 (2008) 年 10 月 01 日

(51)Int. Cl. : **G11C7/10 (2006.01)**  
**G06F13/14 (2006.01)****G11C16/10 (2006.01)**(30)優先權：2007/10/01 美國 60/976,616  
2007/10/01 美國 60/976,624  
2008/09/29 美國 12/241,000(71)申請人：馬維爾世界貿易股份有限公司(巴貝多) MARVELL WORLD TRADE, LTD. (BB)  
巴貝多(72)發明人：袁東尼 YOON, TONY (US)；後藤昭夫 GOTO, AKIO (JP)；李祈康 LEE, CHIKONG  
(CA)；浦部雅之 URABE, MASAYUKI (JP)

(74)代理人：陳傳岳；郭雨嵐

(56)參考文獻：

JP	2003-256273A	US	5892981
US	5894485	US	6215703B1
US	6859856B2	US	2007/0174573A1

審查人員：蕭明椿

申請專利範圍項數：14 項 圖式數：12 共 61 頁

(54)名稱

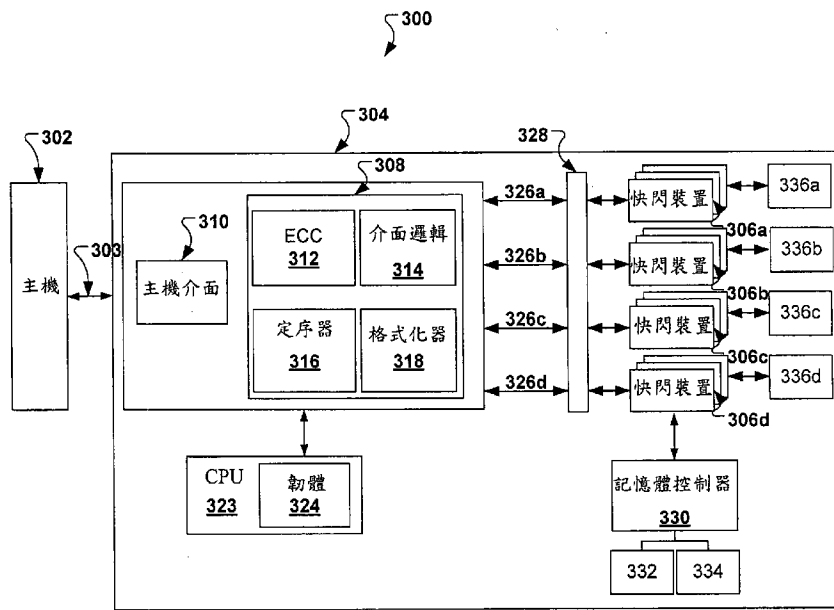
快閃記憶體控制器

FLASH MEMORY CONTROLLER

(57)摘要

本發明提供一種於一或多個快閃記憶體裝置之間實施一輪詢處理之方法、系統及電腦程式產品。在某些實施當中，該輪詢處理可包含將一讀取狀態指令傳送至一快閃記憶體裝置，來偵測快該閃記憶體裝置的讀取或忙碌狀態。該快閃記憶體裝置內可包含一狀態暫存器，用於儲存指出一寫入(或抹除)操作執行狀態的狀態信號。一固態磁碟機系統可藉由讀取該快閃記憶體裝置的快閃暫存器來執行該輪詢處理。

Methods, systems and computer program products for implementing a polling process among one or more flash memory devices are described. In some implementations, the polling process may include sending a read status command to a flash memory device to detect the ready or busy state of the flash memory device. A status register may be included in the flash memory device for storing a status signal indicating an execution state of a write (or erase) operation. A solid state drive system may perform the polling process by reading the status register of the flash memory device.



第三圖

- 300 . . . 固態磁碟機系統
- 302 . . . 主機
- 303 . . . 匯流排
- 304 . . . 固態磁碟機
- 306a-306d . . . 快閃記憶體裝置
- 308 . . . 固態控制器
- 310 . . . 主機介面
- 312 . . . 錯誤檢查碼模組
- 314 . . . 介面邏輯
- 316 . . . 定序器
- 318 . . . 格式化器
- 323 . . . 中央處理器單元
- 324 . . . 嵌入式韌體
- 326a-326d . . . 通道
- 328 . . . 記憶體介面
- 330 . . . 記憶體控制器
- 332 . . . 可程式編輯計時器
- 334 . . . 第二可程式編輯計時器
- 336a-336d . . . 狀態暫存器

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：97137662

G11C 7/10 (2006.01)

※申請日：97.10.1

※IPC 分類：G11C 6/10 (2006.01)

一、發明名稱：(中文/英文)

G06F 13/14 (2006.01)

快閃記憶體控制器 / FLASH MEMORY CONTROLLER

二、中文發明摘要：

本發明提供一種於一或多個快閃記憶體裝置之間實施一輪詢處理之方法、系統及電腦程式產品。在某些實施當中，該輪詢處理可包含將一讀取狀態指令傳送至一快閃記憶體裝置，來偵測快該閃記憶體裝置的讀取或忙碌狀態。該快閃記憶體裝置內可包含一狀態暫存器，用於儲存指出一寫入(或抹除)操作執行狀態的狀態信號。一固態磁碟機系統可藉由讀取該快閃記憶體裝置的快閃暫存器來執行該輪詢處理。

三、英文發明摘要：

Methods, systems and computer program products for implementing a polling process among one or more flash memory devices are described. In some implementations, the polling process may include sending a read status command to a flash memory device to detect the ready or busy state of the flash memory device. A status register may be included in the flash memory device for storing a status signal indicating an execution state of a write (or erase) operation. A solid state drive system may perform the polling process by reading the status register of the flash memory device.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(三)圖。

(二)本代表圖之元件符號簡單說明：

300	固態磁碟機系統
302	主機
303	匯流排
304	固態磁碟機
306a-306d	快閃記憶體裝置
308	固態控制器
310	主機介面
312	錯誤檢查碼模組
314	介面邏輯
316	定序器
318	格式化器
323	中央處理器單元
324	嵌入式韌體
326a-326d	通道
328	記憶體介面
330	記憶體控制器
332	可程式編輯計時器
334	第二可程式編輯計時器
336a-336d	狀態暫存器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明一般係關於記憶體裝置。

### 【先前技術】

許多電子裝置都包含嵌入式系統，其具備中央處理器單元(CPU, “central processor unit”)來控制該等裝置的運作來提供大幅增強的功能性與操作彈性。一般而言，包含非揮發性記憶體成為該嵌入式系統的一部分，來儲存用於操作該嵌入式系統的作業系統程式碼和資料。近來，嵌入式系統已經使用快閃記憶體當成非揮發性記憶體。快閃記憶體具備可重新程式編輯，同時提供資訊非揮發性儲存之優點。

### 【發明內容】

本發明提供一種於一或多個快閃記憶體裝置之間實施輪詢處理之方法、系統及電腦程式產品。在某些實施當中，該輪詢處理可包含將一讀取狀態指令傳送至一快閃記憶體裝置，來偵測該快閃記憶體裝置的讀取或忙碌狀態。該快閃記憶體裝置內可包含一狀態暫存器，用於儲存指出一寫入(或抹除)操作執行狀態的狀態信號。一固態磁碟機系統可藉由讀取該快閃記憶體裝置的快閃暫存器來執行該輪詢處理。

在某些實施當中，說明一種方法，其包含主張一控制信號至一或多裝置；決定認定該控制信號之後一初始等待時間；根據該初始等待時間發出一第一指令；決定與該第一指令相關聯的一第一間隔時間和一第二指令；以及根據該第一間隔時間發出該第二指令。

在某些實施當中，說明一種方法，其包含控制複數

個記憶體裝置，該裝置包含一第一組記憶體裝置和一第二組記憶體裝置；決定與該第一組記憶體裝置相關聯的一第一週期；根據該第一週期發出一第一指令至該第一組記憶體裝置；決定與該第二組記憶體裝置相關聯的一第二週期；以及根據該第二週期發出一第二指令至該第二組記憶體裝置。

在某些實施當中，說明一種裝置，其包含一第一可程式編輯計時器，用於指定與發出一或多指令到至少一裝置相關聯之一初始等待時間；以及一第二可程式編輯計時器，用於指定一間隔時間來控制每一已發出指令之間的一週期。

在某些實施當中，說明一種裝置，其包含一匯流排，用於接收一或多至一或多記憶體裝置的指令，並且用於根據該發出的指令控制該一或多記憶體裝置；以及一記憶體控制器，用於執行資料輪詢，同時利用該一或多記憶體裝置處理該發出的指令。

以下在附圖及說明中提出本發明之一或多個具體實施例之細節。從說明與圖式以及申請專利範圍中將明白本發明之其他特徵、目的與優點。

#### 【實施方式】

像是快閃可電抹除可程式唯讀記憶體 (EEPROM, “electrically erasable programmable read only memory”) 這類記憶體裝置的使用已經更加廣泛，例如：跳躍磁碟機、記憶卡和其他非揮發性記憶體設備在相機、電視遊樂器、電腦和其他電子裝置內非常普遍。第一圖顯示一記憶體陣列 100 的方塊圖。

如第一圖所示，一記憶體陣列 100 可用位元來組

織。例如：記憶體陣列 100 可包含 8 位元深度 108。記憶體陣列 100 也可用位元組來組織。例如：記憶體陣列 100 可包含內含 2k 位元組的部分 104 和內含 64 位元組的部分 106。記憶體陣列 100 可進一步組織成分頁。例如：記憶體陣列 100 可包含 512k 分頁 102。一單一分頁 112 可組織成兩個部分：一第一部分 114 (例如代表 2k 位元組的部分 104)和一第二部分 116 (例如代表 64 位元的部分 106)。第二部分 116 一般對應至一個八位元寬的資料輸入/輸出(I/O)路徑(例如 I/O [0] 至 I/O [7])。甚至進一步，記憶體陣列 100 可排列在單節內。例如：記憶體陣列 100 可包含一單節 110，其等於 64 個分頁。在這之中，使用該等前述位元、位元組、分頁和單節可形成 8 Mb 記憶體裝置。

第一圖顯示的記憶體陣列可配置成一快閃記憶體。在某些實施當中，該快閃記憶體可為一「NAND」型快閃記憶體。NAND 快閃記憶體一般具有較快的抹除與寫入時間、較高密度、每位元較低的成本以及比 NOR 型快閃記憶體更耐用。NAND 快閃記憶體可與一 NAND 快閃 I/O 介面耦合。不過，該 NAND 快閃 I/O 介面通常只允許依序存取資料。當然，第一圖顯示的記憶體陣列也可為 NOR 快閃 EEPROM、AND 快閃 EEPROM、DiNOR 快閃 EEPROM、序列快閃 EEPROM、DRAM、SRAM、ROM、EPROM、FRAM、MRAM 或 PCRAM 任一的形式。

一 NAND 快閃 I/O 介面可包含多個接腳，每一都對應至一特殊功能。表 1 內顯示一範例介面。

表 1

接腳	接腳功能
I/O [7:0]	資料進/出
CLE	指令鎖存器啟用
ALE	位址鎖存器啟用
CE_	晶片啟用
RE_	讀取啟用
WE_	寫入啟用
WP_	寫入保護
R/B	備妥/忙碌輸出

如上面表 1 所示，許多接腳功能可對應至介面內指定的接腳。

### 資料讀取操作的範例時序圖

第二 A 圖顯示在資料讀取操作期間與一 NAND 快閃介面內每一接腳相關聯之範例時序圖。請參閱第二 A 圖，區域 202 表示一或多個指令已經傳送至一快閃記憶體裝置的週期，而區域 204 則表示資料已經傳輸至/來自該快閃記憶體裝置的週期。如所示，寫入啟用信號「WE\_」可具備脈衝(例如週期 25ns)，允許行位址(例如 RA 1、RA 2 和 RA 3)以及列位址(例如 CA 1 和 CA 2)資訊鎖定在該 NAND 快閃記憶體裝置內。資料進/出 I/O [7:0]接腳上出現的指令「00h」指出一讀取位址輸入，同時指令「3 0h」指出一讀取開始。

在此也可使用其他指令。例如：其他記憶體指令可包含但不受限於讀取操作、寫入操作、抹除操作、讀取狀態操作、讀取 ID 操作、寫入組態暫存操作、寫入位址操作以及重置操作。例如：指令「05h」可表示一隨機資料讀取指令、指令「10h」表示一分頁程式指令、指令「20h」表示一晶片抹除指令、指令「21h」表示一區段抹除指令、指令「30h」表示一讀取開始指令、指令「35h」表示一分頁讀取複製指令、指令「39h」表示一寫入裝置位址指令、指令「60h」表示一單節抹除指令、指令「70h」表示一讀取狀態指令、指令「80h」表示一序列資料輸入(寫入器至緩衝器)指令、指令「85h」表示一隨機資料輸入指令、指令「8Fh」表示一目標位址輸入複製指令、指令「90h」表示一讀取裝置類型指令、指令「A0h」表示一寫入組態暫存指令、指令「C0h」表示一程式編輯/抹除中止指令、指令「D0h」表示一程式編輯/抹除指令並且「FFh」表示重置指令，這只是一些範例。

底下表 2 顯示該資料進/出接腳(例如 I/O [7:0])上行和列位址多工範例。

表 2

循環	I/O[0]	I/O[1]	I/O [2]	I/O [3]	I/O [4]	I/O [5]	I/O [6]	I/O [7]
第1循環： 列位址	A0	A1	A2	A3	A4	A5	A6	A7
第2循環： 列位址	A8	A9	A10	A11	L	L	L	L
第3循環： 列位址	A12	A13	A14	A15	A16	A17	A18	A19
第4循環： 列位址	A20	A21	A22	A23	A24	A25	A26	A27

第5循環：	A28	A29	A29	L	L	L	L	L
列位址								

在某些實施當中，較高位址位元可用於定址較大記憶體配置(例如 A30 用於 2 Gb、A31 用於 4 Gb、A32 用於 8 Gb、A33 用於 16 Gb、A34 用於 32 Gb、A35 用於 64 Gb 等等)。

另一方面，在讀取啟用信號「RE\_」脈衝之下，可從該 NAND 快閃記憶體裝置中讀取像是  $D_{outN}$ 、 $D_{outN+1}$ 、 $D_{outN+2}$ 、... $D_{outM}$  的資料。一特定邏輯狀態內的備妥/忙碌輸出信號「R/B\_」可指示該輸出是否忙碌。例如：一低邏輯狀態內的備妥/忙碌輸出信號「R/B\_」可指示該輸出上的忙碌狀態。在此範例中，備妥/忙碌輸出信號「R/B\_」可在寫入啟用信號「WE\_」的最後上升邊緣之後某些時間週期內成為邏輯高狀態(即是變成指示一備妥狀態的邏輯高狀態)。

如所示，指出讓一資料從一單元傳輸至一內部分頁緩衝區的資料傳輸時間之「tR」週期可橫跨從讀取開始指令「30h」至備妥/忙碌輸出信號「R/B」的上升邊緣，並且指出讀取資料的讀取時間。在某些實施當中，「tR」週期可決定用於 READ 操作的固態磁碟機系統(例如第三圖所示的固態磁碟機系統 300)之效能。在某些實施當中，一長「tR」週期表示在該控制器可取得 READ 資料之前對於一固態控制器(例如固態控制器 308)有更長的等待時間。

在資料備妥之前，該 NAND 快閃 I/O 介面會閒置並且消耗不必要的頻寬。如此，吾人想要恆定將該 NAND 快閃 I/O 介面維持在一忙碌狀態來達成頻寬。例如：若

該 NAND 快閃 I/O 介面以  $t_{RC} = 25\text{ns}$  來運行，則一可達到頻寬的上限可為 40MB/S (例如根據 8 位元資料匯流排所使用的消耗量，並且該 NAND 快閃記憶體具備無限制的頻寬，如此資料可持續從該 NAND 快閃記憶體傳送至該固態控制器)。不過，在讀取資料返回固態磁碟機之前，此目的可能難以達成已知的「 $t_R$ 」週期來從一 NAND 快閃記憶體內一記憶體單元讀取一分頁至一內部緩衝區。

如此，在某些實施當中，一單一通道內附帶多個裝置(例如多個晶片啟動信號)而分享一相同 NAND 快閃 I/O 介面，如此盡可能涵蓋該「 $t_R$ 」時間同時允許相同通道的至少一個裝置獲得資料。

在某些實施當中，該資料傳輸時間在一單層單元(SLC, “single level cell”)裝置上大約  $25\mu\text{s}$  的範圍內，或在一多層單元(MLC, “multi-level cell”)裝置上大約  $60\mu\text{s}$  的範圍內，底下會有更詳細討論。在該「 $t_R$ 」週期期間，備妥/忙碌輸出信號「R/B\_」可認定為一邏輯「0」，指出該快閃記憶體位於一忙碌狀態，在此間資料無法寫入或抹除。

### 單層單元和 多層單元裝置簡介

一記憶體裝置內的每一單元都可程式編輯成每單元一單一位元(即是單層單元 -- SLC)或每單元多位元(即是多層單元 -- MLC)。每一單元的臨界電壓一般決定儲存在該單元內的資料類型，例如：在一 SLC 記憶體裝置內， $0.5\text{V}$  的臨界電壓指出一已程式編輯的單元(即是邏輯「0」狀態)，而  $-0.5\text{V}$  的臨界電壓則指出一已抹除的

單元(即是邏輯「1」狀態)。

隨著電子系統的效能與複雜程度增加，一系統內額外記憶體的需求也增加。不過，為了繼續降低該系統成本，該等相關部件一般必須維持最小。在一記憶體應用當中，這可由利用增加一積體電路的記憶體密度來達成。尤其是，藉由使用 MLC 記憶體裝置可增加記憶體密度。MLC 記憶體裝置可增加一積體電路內儲存的資料量，而不需要增加額外的單元和/或增加該晶粒大小。MLC 記憶體裝置在每一記憶體單元內可儲存二或更多個資料位元，不過 MLC 記憶體裝置需要緊密控制該臨界電壓，以便每一單元使用多重臨界位階。非揮發性記憶體單元的一項問題為其間隔緊密，MLC 尤為甚，屬於浮動閘至浮動閘耦合會導致單元之間干擾。此干擾會在一個單元程式編輯時移動相鄰單元的臨界電壓。

部分是因為需要更緊密間隔臨界電壓的狀態數量增加，造成 MLC 記憶體也具有比 SLC 記憶體裝置還低的可靠度。例如：一記憶體裝置內用於儲存相片的壞位元比一記憶體裝置內用於儲存程式碼的壞位元更容易容忍。一相片內的壞位元可能只產生數百萬畫素中的一個壞畫素，不過程式碼或其他資料內的壞位元意味著一指令毀壞，這會影響到整個程式的操作。

一 MLC 記憶體裝置具有二或多個臨界電壓分佈，並且具有對應至該電壓分佈的二或更多個資料儲存狀態。例如：可程式編輯 2 位元資料的 MLC 記憶體裝置具有四個資料儲存狀態(例如 [11]、[10]、[01]和 [00])。這些狀態可對應至該 MLC 記憶體裝置的臨界電壓分佈，例如：假設該記憶體單元的個別臨界電壓分佈為-2.7

V 或以下、0.3 V 至 0.7 V、1.3 V 至 1.7 V 以及 2.3 V 至 2.7 V，則狀態 [11]、[10]、[01] 和 [00] 分別對應至 -2.7 V 或以下、0.3 V 至 0.5 V、1.3 V 至 1.7 V 以及 2.3 V 至 2.7 V。

具備多層單元的快閃記憶體裝置之讀取操作可利用偵測一多層單元的資料來執行。根據可包含例如：根據一定量位元線電流與一階梯狀波形的字線電壓，決定流過所選記憶體單元的單元電流間之差異。

具備多層單元的快閃記憶體裝置之程式編輯操作可利用一預定的程式編輯電壓供應至所選記憶體單元的閘道，然後將一接地電壓供應至該位元線來執行。然後，一電源供應電壓可供應至該位元線，以避免進行程式編輯。若該程式編輯電壓和該接地電壓分別供應至所選記憶體單元的字線與位元線，則會在一浮動閘與該記憶體單元通道之間供應相當高的電場。由於此電場，該通道的電子通過在該浮動閘與該通道之間形成的氧化物層，如此其中發生穿隧。在此方式中，可增加利用該浮動閘內該等電子累積來程式編輯的記憶體單元臨界電壓。

### 資料分頁操作的示例性時序圖

第二 B 圖顯示在一資料程式編輯操作期間與一 NAND 快閃介面內每一接腳相關聯之範例時序圖。請參閱第二 B 圖，區域 206 表示一或多個指令已經傳送至一快閃記憶體裝置的週期，而區域 208 則表示程式編輯資料可被傳送至該快閃記憶體裝置的週期，並且區域 210 則表示一狀態檢查可被傳送至該快閃記憶體裝置來檢

查該記憶體裝置狀態之週期。

如所示，資料進/出 I/O [7:0]接腳上出現的指令「80h」指出序列資料輸入(例如  $D_{inN} \dots D_{inM}$ )。指令「10h」可指示一自動程式編輯，接著由指令「70h」所指示的狀態讀取。I/O[0] = "0"指出一非錯誤情況，而 I/O[0] = "1"則指出自動程式編輯內已經發生錯誤。

另外，根據已經討論過的，備妥/忙碌輸出信號「R/B\_」可為邏輯低狀態，指出一忙碌狀態。在某些實施當中，備妥/忙碌輸出信號「R/B\_」的低邏輯狀態期間範圍在數百  $\mu\text{s}$  內。另外，讀取啟用信號「RE\_」的上升邊緣可在一段時間之後接著寫入啟用信號「WE\_」的上升邊緣。在某些實施當中，此時間週期可在大約 60 ns 的範圍內。

另外，如第二 B 圖所示，橫跨從該尾端邊緣至/忙碌輸出信號「R/B\_」上升邊緣的時序週期「tPRG」可指出用於程式編輯資料的程式編輯時間。在某些實施當中，程式編輯時間「tPRG」在針對一 SLC 裝置時在大約 200 $\mu\text{s}$  至大約 700 $\mu\text{s}$  的範圍內，而在針對一 MLC 裝置時在大約 800 $\mu\text{s}$  至大約 3 ms 的範圍內。

在某些實施當中，程式編輯時間「tPRG」類似於「t4」週期，但是用於程式編輯資料時與用於讀取資料時相反。在「tPRG」週期期間，備妥/忙碌輸出信號「R/B\_」可認定為一邏輯「0」，指出該快閃記憶體位於一忙碌狀態，在此間資料無法讀取或抹除。

### 單節抹除操作的示例時序圖

第二 C 圖顯示在一單節抹除操作期間與一 NAND

快閃介面內每一接腳相關聯之範例時序圖。請參閱第二 C 圖，區域 212 表示一或多個指令已經傳送至一快閃記憶體裝置的週期，而區域 214 則表示一狀態檢查已經傳送至該快閃記憶體裝置來檢查該記憶體裝置狀態的週期。

如所示，資料進/出 I/O [7:0]接腳上出現的指令「60h」指出一單節抹除操作，其中已經供應序列行位址(例如 RA 1、RA 2 和 RA 3)。指令「D0h」可指出一循環 2 單節抹除操作。該單節抹除操作可利用一狀態讀取(指令「70h」)來檢查，其中 I/O[0] = 「0」指出一非錯誤情況，而 I/O[0] = 「1」則指出一單節抹除內已經發生錯誤。

在此範例中，備妥/忙碌輸出信號「R/B\_」可在時序週期中為邏輯低狀態，像是在大約毫秒的範圍內(例如具有一預定最大值)。類似地，讀取啟用信號「RE\_」的上升邊緣可接著寫入啟用信號「WE\_」的上升邊緣。根據其他範例，寫入啟用信號「WE\_」之上升邊緣對應至「D0h」指令，而備妥/忙碌輸出信號「R/B\_」的下降邊緣可位於大約 100 ns 的範圍內。

另外，如第二 C 圖所示，橫跨從該尾端邊緣至備妥/忙碌輸出信號「R/B\_」上升邊緣的時序週期「tBERS」可指出用於抹除單節資料的單節抹除時間。

在某些案例中，除了傳送一或多個單節抹除指令以外(或若不使用讀取一備妥/忙碌輸出信號「R/B\_」時的讀取狀態指令)，一單節抹除操作並不需要進出該 NAND 快閃 I/O 介面。一固態磁碟機系統的效能間接取決於該單節抹除操作。在特定案例當中，在一單節抹除操作的

最開頭，該磁碟機可決定一些已抹除的分頁可用於資料程式編輯。結果，該磁碟機可維護一程式編輯操作而不需要執行一單節抹除操作。不過，隨著該磁碟機內儲存的資料跟著該磁碟機的操作而修改，可用於資料程式編輯的分頁變少了，如此該磁碟機應該需要執行一或多次單節抹除操作以清空分頁用於資料程式編輯。如此，一長「tBERS」週期應該產生一較長的等待週期，讓該固態磁碟機系統接受該 PROGRAM 指令。換言之，一單節抹除操作在該整體磁碟機效能上的衝擊絕大部分取決於由該韌體(例如韌體 324)所處置的垃圾收集機制。

在某些實施當中，單節抹除時間「tBERS」在針對一 SLC 裝置時在大約 1.5 ms 至大約 2 ms 的範圍內，而在針對一 MLC 裝置時在大約 1.5 ms 至大約 10 ms 的範圍內。在「tBERS」週期期間，備妥/忙碌輸出信號「R/B\_」可認定為一邏輯「0」，指出該快閃記憶體位於一忙碌狀態，在此間資料無法讀取或寫入。

### 固態磁碟機

第三圖顯示一範例固態磁碟機系統 300。如第三圖所示，系統 300 包含一個主機 302 和一個固態磁碟機 304。固態磁碟機 304 可包含一個主機介面 310、中央處理器單元(CPU)323、一個記憶體控制器介面 328、一個記憶體控制器 330 和一或多個快閃記憶體裝置 306a-306d。

主機 302 可透過主機介面 310 與固態磁碟機 304 通訊。在某些實施當中，主機介面 310 包含一個序列先進技術附加 (SATA, “serial advanced technology

attachment”)介面或並列先進技術附加(PATA, “parallel advanced technology attachment”)介面。一 SATA 介面或 PATA 介面分別用於將序列或並列資料轉換成並列或序列資料。例如：若主機介面 310 包含一 SATA 介面，則該 SATA 介面可透過一匯流排 303 (例如 SATA 匯流排)接收從主機 302 轉移來的序列資料，並將接收的資料轉換成並列資料。在其他實施當中，主機介面 310 可包含一複合介面。在這些實施當中，該複合介面可用於例如與一序列介面結合。

在某些實施當中，主機介面 310 可包含一或多暫存器，其中可暫時儲存來自主機 302 的操作指令和位址。主機介面 310 可將一寫入或讀取操作通訊至一固態控制器 308，以回應該(等)暫存器內儲存的資訊。

在某些實施當中，固態磁碟機 304 可包含一或多個通道 326a-326d (例如四或八個通道)，並且每一通道都可配置成接收來自主機 302 或來自快閃記憶體 306a-306d 的一或多個控制信號(例如四晶片啟用信號)。

#### 快閃記憶體裝置

在某些實施當中，每一快閃記憶體裝置 306 都可包含非揮發性記憶體(例如一單層快閃記憶體或一多層快閃記憶體)。在某些實施當中，該非揮發性快閃記憶體可包含一 NAND 型快閃記憶體模組。一 NAND 型快閃記憶體模組包含一個指令/位址/資料多工介面，如此可透過對應的輸入/輸出接腳提供指令、資料和位址。使用 NAND 型快閃記憶體的優點，與一硬碟方式相反，包含：(i)開機與恢復時間更快速；(ii)電池使用時間較長(例如

用於無線應用)以及(iii)較高的資料可靠度。

在某些實施當中，每一快閃記憶體裝置都可連接至通道 326。每一通道都可例如支援一或多個輸入與輸出線、晶片選擇信號線、晶片啟用信號線等等。該通道也可支援其他信號線，像是寫入啟用、讀取啟用、備妥/忙碌輸出以及重置信號線。在某些實施當中，該等快閃記憶體裝置 306a-306d 可分享一共用通道。在其他實施當中，若要增加相似程度，每一快閃記憶體裝置都可具有自己的通道連接至固態磁碟機 304。例如：快閃記憶體裝置 306a 可使用通道 326a 連接至固態磁碟機 304；快閃記憶體裝置 306b 可使用通道 326b 連接至固態磁碟機 304；快閃記憶體裝置 306c 可使用通道 326c 連接至固態磁碟機 304；並且快閃記憶體裝置 306d 可使用通道 326d 連接至固態磁碟機 304。

在某些實施當中，快閃記憶體裝置 306a-306d 可分離。在某些實施當中，快閃記憶體裝置 306a-306d 可使用標準連接器連接至固態磁碟機 304。標準連接器的範例包含但不受限於 SATA、USB (萬用序列匯流排)、SCSI (小型電腦系統介面)、PCMCIA (個人電腦記憶卡國際協會)以及 IEEE-1394 (Firewire)。

在某些實施當中，每一快閃記憶體裝置 306 都可包含排成列的一或多個固態儲存元件。一固態儲存元件可分割成分頁。在某些實施當中，一固態儲存元件具有 2000 位元組的容量(即是一個分頁)。在某些實施當中，一固態儲存元件可包含兩個暫存器，提供 4000 位元組(即是 4kB)的總容量。

在某些實施當中，每一快閃記憶體裝置 306 也可包

含一或多列，每列都使用一晶片啟用信號或晶片選擇信號來選擇。該晶片啟用或晶片選擇信號可選擇一或多個固態儲存元件，以回應一主機指令。

在某些實施當中，每一固態儲存元件都可包含一或多個單層單元(SLC, “single level cell”)裝置。在某些實施當中，每一固態儲存元件都可包含一或多個多層單元(MLC, “multi-level cell”)裝置。該等 SLC 或 MLC 裝置可使用一晶片啟用或晶片選擇信號來選擇，這些信號可由固態控制器 308 使用接收自主機 302 的控制與位址資訊之組合來產生。

在某些實施當中，在使用多列之處，固態磁碟機 304 可同時存取一相同快閃記憶體裝置內一或多列。在某些實施當中，固態磁碟機 304 可同時存取不同快閃記憶體裝置內不同列。存取超過一列的能力允許固態磁碟機 304 完整利用可用的資源和通道 326a-326d，以增加固態磁碟機 304 的整體效能。更進一步，在快閃記憶體裝置 306a-306d 分享一相同記憶體輸入/輸出線和控制信號(例如晶片啟用信號)之處，固態控制器 308 的接腳數量可減少，來將製造固態磁碟機 304 的成本降至最低。

### *固態控制器*

固態控制器 308 可接收一或多個服務要求或指令(例如讀取和程式編輯要求)。固態控制器 308 可配置成處理任何指令、狀態或控制要求，來存取快閃記憶體裝置 306a-306d。例如：固態控制器 308 可配置成管理和控制儲存裝置，並擷取快閃記憶體裝置 306a-306d 內的資料。

在某些實施當中，固態控制器 308 在一微處理器(未顯示)的控制下屬於一微處理器系統的一部分。固態控制器 308 可控制主機 302 與固態磁碟機 304 之間指令與資料的流動。在某些實施當中，固態控制器 308 可包含唯讀記憶體(ROM, “read only memory”)、隨機存取記憶體(RAM, “random access memory”)以及其他內部電路。在某些實施當中，固態控制器 308 可設置成支援與快閃記憶體裝置 306a-306d 相關聯的許多功能，像是(並無限制)診斷快閃記憶體裝置 306a-306d、傳送指令(例如啟動、讀取、程式編輯、抹除、預先充能與更新指令)至快閃記憶體裝置 306a-306d 以及接收來自快閃記憶體裝置 306a-306d 的狀態，在一不同晶片上或一相同晶片上可形成固態控制器 308 當成快閃記憶體裝置 306a-306d (例如在一相同晶片上形成為固態磁碟機 304)。快閃記憶體裝置 306a-306d 可與記憶體介面 328 耦合。在某些實施當中，若快閃記憶體裝置 306a-306d 包含 NAND 型記憶體裝置，則記憶體介面 328 可為一 NAND 快閃輸入/輸出介面。

如第三圖所示，固態控制器 308 可包含一個錯誤檢查碼模組 312、介面邏輯 314、一個定序器 316 和一個格式化程式 318。在某些實施當中，固態控制器 308 可與包含嵌入式韌體 324 的 CPU 323 耦合，該韌體可由固態控制器 308 所控制。CPU 323 可包含一個微處理器、一個信號處理器(例如數位信號處理器)或微控制器。在某些實施當中，具有嵌入式韌體 324 的 CPU 323 可存在於固態磁碟機 304 之外。

在某些實施當中，固態磁碟機 304 (和/或主機 302)

可固定在一晶片上系統(SOC, “system on chip”)之上。在這些實施當中，可使用例如數位處理來製造該 SOC。該 SOC 可包含與固態磁碟機 304 內分離的嵌入式處理系統(例如一嵌入式 CPU)。該 SOC 也可包含用於處理程式碼和資料的 SRAM、系統邏輯、快取記憶體和快取控制器。與該嵌入式處理系統相關聯的程式碼和資料可儲存在快取裝置 306a-306d 內，並且透過例如一 SOC 介面通訊至該 SOC。該 SOC 介面可由一轉譯器用來轉譯該 SOC 的介面與內部匯流排結構之間流動之資訊。控制信號可從該 SOC 流向快閃裝置 306a-306d，而在讀取操作期間指令和資料可從快閃裝置 308 流向該 SOC。指令和資料也可流向快閃裝置 306a-306d，像是當快閃裝置 306a-306d 內的主記憶體處於 WRITE 操作當中時。

在某些實施當中，快閃裝置 306a-306d 可由記憶體控制器 330 控制。主機 302 可透過與記憶體控制器 330 耦合的記憶體介面 328 與快閃裝置 306a-306d 通訊。在某些實施當中，記憶體介面 328 可為一 NAND 快閃介面。

記憶體控制器 330 可透過一對應的接腳或端子連接至快閃記憶體裝置 306a-306d。在這些實施當中，記憶體控制器 330 可實施成一應用專屬積體電路(ASIC, ‘application specific integrated circuit”)或一晶片上系統(SOC, “system on chip”)。此外，信號 CNFG 可透過快閃裝置 306a-306d 上的電路以串聯方式連接。

### 狀態輪詢

如上面所討論，一特定邏輯狀態內的備妥/忙碌輸出信號「R/B\_」可指示該輸出是否忙碌。例如：一低邏輯

狀態內的備妥/忙碌輸出信號「R/B\_」可指示該輸出上的忙碌狀態。在此範例中，備妥/忙碌輸出信號「R/B\_」可在寫入啟用信號「WE\_」的最後上升邊緣之後某些時間週期內成為邏輯高狀態(即是變成指示備妥狀態的邏輯高狀態)。

一般而言，一快閃記憶體裝置只具有一個內部寫入充電泵。因此，將資料寫入該快閃記憶體裝置(即是程式編輯該裝置)將該記憶體裝置放入一忙碌狀態，如此在一寫入操作期間無法從該記憶體裝置讀取資料。若在該忙碌狀態期間執行一讀取操作，則回傳邏輯「00」。在此案例中，一寫入操作的忙碌狀態可持續數微秒。

類似地，將該快閃記憶體裝置的抹除操作初始化會將該記憶體裝置放入該忙碌狀態。在一抹除操作期間，裝置一般會進入該忙碌狀態 0.50-1.0 秒。在此期間，該裝置也無法存取。

在寫入與抹除操作期間無法存取該快閃記憶體裝置會導致實施該快閃記憶體裝置的系統之運作慢於一般系統。在該處理器(例如 CPU 323)或嘗試讀取該快閃記憶體裝置內容的記憶體控制器可獲得所要資料之前，必須先等待該寫入或抹除操作完成才行。

進一步，在此等待期間(例如寫入或抹除操作正在進行期間)，該處理器或記憶體控制器 330 可使用備妥/忙碌輸出信號「R/B\_」偵測該快閃記憶體裝置是否在一備妥狀況內(例如偵測該快閃記憶體裝置是否備妥可讀取)。若該快閃記憶體裝置忙碌，則一忙碌狀態會回傳至該處理器或記憶體控制器 330。若該快閃記憶體裝置閒置中，則回傳一閒置狀態。

雖然前述偵測該快閃記憶體裝置一備妥/忙碌情況的處理允許該處理器或記憶體控制器 330 在其他操作(例如寫入或抹除操作)完成之後立即讀取(或寫入或抹除)該快閃記憶體裝置之內容,該快閃記憶體裝置通常需要一額外的接腳來支援此處理。

在某些實施當中,若要避免需要一額外接腳,該處理器或記憶體控制器 330 可利用一輪詢方法,該方法利用將一讀取狀態指令(例如一狀態讀取指令「70h」)傳送至該快閃記憶體裝置來偵測該快閃記憶體裝置的備妥或忙碌狀態(例如已執行一指令的讀取狀態、該讀取指令的忙碌/等待或通過/失敗狀態等等)。在某些實施當中,一狀態暫存器 336a-336d 可連接至該快閃記憶體裝置,用於儲存指出一寫入(或抹除)操作執行狀態的狀態信號。該處理器或記憶體控制器 330 可藉由讀取該快閃記憶體裝置的狀態暫存器 336a-336d 來執行一輪詢方法。在某些實施當中,即使該快閃記憶體裝置位於一忙碌狀態,該快閃記憶體裝置也可接受一讀取狀態指令,如底下表 3 內所示:

表 3

I/O	分頁程式	單節抹除	讀取	定義
I/O [0]	通過/失敗	通過/失敗	未使用	「0」通過/「1」失敗
I/O [1]	未使用	未使用	未使用	--
I/O [2]	未使用	未使用	未使用	--
I/O [3]	未使用	未使用	未使用	--
I/O [4]	未使用	未使用	未使用	--
I/O [5]	未使用	未使用	未使用	--
I/O [6]	備妥/忙碌	備妥/忙碌	備妥/忙碌	「0」忙碌/「1」失敗
I/O [7]	寫入保護	寫入保護	寫入保護	有保護「0」/未保護「1」

在某些實施當中,可在晶片啟用信號(CE<sub>-</sub>)設定為一

邏輯低狀態同時寫入啟用信號(WE\_)設定為一邏輯高狀態的情況下設定資料輪詢。在操作上，該主機(例如主機 302)或該記憶體控制器(例如記憶體控制器 330)可輸入一寫入/抹除忙碌信號來將一寫入/抹除操作初始化。該寫入/抹除忙碌信號可將該快閃記憶體裝置的狀態暫存器 336a-336d 設定為邏輯「1」。在此期間，該 CPU (例如 CPU 323)可讀取該快閃記憶體裝置的內容，同時進行該寫入(或抹除)操作。

雖然該快閃記憶體裝置接受來自該處理器或記憶體控制器 330 的讀取狀態指令，該處理器或記憶體控制器 330 會繼續輪詢，來偵測寫入或抹除完成、抹除整個寫入或抹除或抹除該快閃記憶體裝置，這可用該等輪詢結果超載該快閃記憶體裝置和該處理器或記憶體控制器 330。

如此在某些實施當中，記憶體控制器 330 可包含一可程式編輯計時器 332，並且該可程式編輯計時器可用來決定輪詢之前(即是傳送一讀取狀態指令之前)的初始等待時間。尤其是，該初始等待時間可定義記憶體控制器 330 發出一狀態檢查至該快閃記憶體裝置之前所可等待的時間週期(即是在一讀取、程式編輯或抹除操作期間)。在某些實施當中，該初始等待時間可根據一或多項因素來決定，像是該等「tR」、「tPROG」和「tBERS」參數。

在某些實施當中，在該初始等待時間結束上，記憶體控制器 330 開始發出一或多指令(例如讀取狀態指令「70h」)來檢查該快閃記憶體的狀態(例如備妥/忙碌、通過/失敗等等)。

在某些實施當中，該記憶體控制器也可包含一第二可程式編輯計時器 334，其可用於控制每一指令(例如讀取狀態指令)之間的間隔。在某些實施當中，間隔的適當值可由該系統韌體決定(例如韌體 324)，並且這種決定係根據與電力和效能相關聯的一或多項參數(例如因為經常輪詢而增加效能，但是消耗更多電力)。

在某些實施當中，第二可程式編輯計時器 324 可控制每一狀態檢查或每一讀取狀態指令之間的精確週期。利用在發出該讀取狀態指令之前控制初始等待時間以及每一所發出讀取狀態時間的間隔，記憶體控制器 330 可即時偵測該快閃記憶體的忙碌/備妥情況。

此外，當認定一讀取狀態指令時，執行指令中記憶體控制器 330 和快閃記憶體裝置 306a-306d 伴隨的電力消耗會增加。進一步，若一特定通道用於傳送一或多 READ 狀態指令，該通道會受阻，避免下一個指令傳送至其他裝置(或延遲下一個指令的執行)。如此，利用控制每一所發出讀取狀態指令的間隔，如此可調整讀取狀態指令的數量。調節讀取狀態指令可以節省與記憶體控制器 330 和快閃記憶體裝置 306a-306d 相關聯的電力，如此強化記憶體控制器 330 和快閃記憶體裝置 306a-306d (或固態磁碟機 308)的功率效能。

雖然上面說明屬於一讀取指令和一讀取狀態指令，吾人應該注意，精通此技術的人士應瞭解前述說明也可適用於程式操作。在這些實施當中，可根據上述輪詢處理來傳送並調節一程式狀態指令。

第四圖顯示關於一快閃記憶體裝置的備妥/忙碌輸出信號「R/B\_」之範例初始等待時間。如第四圖所示，

跨越從該尾部邊緣到備妥/忙碌輸出信號「R/B<sub>-</sub>」上升邊緣的時間週期「t<sub>3</sub>」(例如在一邏輯「0」狀態)，可指出讀取資料的讀取時間(例如第二 A 圖顯示的「t<sub>R</sub>」、程式編輯資料的程式編輯時間(例如第二 B 圖顯示的「t<sub>PRG</sub>」)或抹除單節資料的單節抹除時間(例如第二 C 圖顯示的「t<sub>BERS</sub>」)。

在時間週期「t<sub>3</sub>」期間，可傳輸一或多個讀取狀態指令 402、404 和 406 來讀取該快閃記憶體裝置的狀態。在某些實施當中，第一讀取狀態指令 402 可在一初始等待時間「t<sub>1</sub>」之後傳送。在本質上，該初始等待時間控制何時發生狀態輪詢。在傳送第一讀取狀態指令 402 之後，可傳送一第二讀取狀態指令 404。第二讀取狀態指令 404 可在一第一間隔時間「t<sub>2</sub>」經過之後傳送。在傳送第二讀取狀態指令 404 之後，可在第二時間間隔「t<sub>4</sub>」之後傳送一第三讀取狀態指令 406。在某些實施當中，第一間隔時間「t<sub>2</sub>」和第二間隔時間「t<sub>4</sub>」可相同。在其他實施當中，第一間隔時間「t<sub>2</sub>」和第二間隔時間「t<sub>4</sub>」不同。

在上面顯示的實施當中，可由記憶體控制器 330 的時脈產生器供應初始等待時間「t<sub>1</sub>」和第一間隔時間「t<sub>2</sub>」和第二間隔時間「t<sub>4</sub>」。另外，可由該快閃記憶體裝置的內部時脈供應初始等待時間「t<sub>1</sub>」和第一間隔時間「t<sub>2</sub>」和第二間隔時間「t<sub>4</sub>」。

在此有一項優點，就是使用一讀取狀態指令來輪詢並控制何時發出狀態讀取指令包含避免不連貫讀取該快閃記憶體裝置的內部暫存器。這對於可避免舊資料的狀態讀取可避免錯誤指示處理器或記憶體控制器 330 來

說具有決定性。該處理器或記憶體控制器 330 可針對程式或抹除狀態輪詢，並且利用直接讀取狀態暫存器 336a-336d 內儲存的暫存器資料正確接收目前與更新的資料。

第五圖顯示發出一或多讀取狀態指令的範例處理 500。處理 500 可例如由固態磁碟機 300、固態磁碟機 304 或記憶體控制器 330 來執行。不過，也可使用其他設備、系統或系統組合來執行處理 500。

處理 500 開始以認定一控制信號至一或多記憶體裝置為開始(502)。在某些實施當中，認定一控制信號可包含認定一讀取啟用、寫入啟用或晶片啟用(或晶片選擇)信號至一或多個快閃記憶體裝置。在某些實施當中，該等快閃記憶體裝置可包含 NAND 型記憶體裝置。

然後，可決定一初始等待時間(504)。在某些實施當中，該初始等待時間可包含一個記憶體控制器(例如記憶體控制器 330)在發出指令給該快閃記憶體裝置之前等待的時間週期(例如在一讀取、程式編輯或抹除操作期間)。

根據該初始等待時間可發出一第一指令(506)。在某些實施當中，該記憶體控制器可在該初始等待時間之後發出第一指令。在這些實施當中，該第一指令可為一狀態檢查指令(例如一讀取狀態指令或一程式編輯狀態檢查指令)。

在某些實施當中，認定一控制信號可包含認定一讀取指令至一或多個記憶體裝置。在這些實施當中，發出一第一指令可包含根據該初始等待時間發出一讀取狀態指令。

在其他實施當中，認定一控制信號可包含認定一程式編輯(或寫入)指令至一或多個記憶體裝置。在這些實施當中，發出一第一指令可包含根據該初始等待時間發出一程式編輯狀態指令。

接下來，決定與該第一指令相關聯的第一間隔時間(508)。該第一間隔時間可關聯於二讀取狀態指令之間的時間間隔時間。例如：可在該初始等待時間之後傳送一第一讀取狀態指令。在傳送該第一讀取狀態指令之後，可傳送第二讀取狀態指令至快閃記憶體裝置。該第二讀取狀態指令可在該第一間隔時間經過之後傳送。在傳送該第二讀取狀態指令之後，可在該第二時間間隔之後傳送一第三讀取狀態指令。

根據該第一間隔時間可發出一第二指令(510)。在某些實施當中，可如上述一般決定與該第二指令相關聯的一第二間隔時間。在這些實施當中，可關於該第二指令和一第三指令來決定該第二間隔時間。根據該第二間隔時間，可發出該第三指令。

在某些實施當中，操作 502-510 可用所列的順序執行、同時執行(例如由在一或多個處理器上執行的相同或不同程式或執行緒，實質上或非嚴肅)或以相反順序執行來達成所要的結果。在其他實施當中，操作 502-510 可用顯示的順序執行。另外，其中執行操作的順序可至少部分取決於執行處理 500 的實體。操作 502-510 進一步由相同或不同實體或系統來執行。

#### 讀取循環時間與寫入循環時間

傳統固態儲存裝置運用多維度記憶體陣列系統，來

增加效能並讓容量最大化。不過，傳統固態系統一般並不會在一相同系統內運用不同種類的固態儲存裝置。例如：一傳統固態系統無法同時在相同系統內有效運用單層單元和多層單元裝置。根據範例，若不使用備妥/忙碌輸出信號「R/B\_」並且只提供一單一計時器給 SLC 和 MLC，這可能難以發現對於 SLC 和 MLC 來說工作起來最好的單一計時器之最佳設定(例如因為 SLC 和 MLC 具有不同的最佳「tR」、「tPROG」和「tBERS」週期)。如此，當選擇一小計時器用於最佳 SLC 效能，該計時器可能並不適合達成最大 MLC 效能(例如在耗電量方面)。類似地，若一大計時器用於達成最大 MLC 效能(例如降低耗電量)，則可能無法即時偵測到 SLC 狀態，如此導致效能低落。

雖然像是 MLC 裝置這類較慢裝置一般成本較低，並且可用來滿足傳統容量需求以及降低實施 MLC 裝置的儲存裝置總成本，MLC 裝置可能因為像是參數衝突，而無法與像是 SLC 裝置這類快速裝置一起用於相同裝置上。例如：SLC 裝置和 MLC 裝置通常需要不同的製造需求以及規格來用於資料存取(例如不同的時間參數)。

例如：請回頭參閱第二 A 圖，若要執行一讀取操作，讀取啟用信號(RE\_)可認可並在邏輯「1」與邏輯「0」之間觸發用於一預定數量循環(例如當該快閃記憶體裝置在資料傳輸區域 204 內操作時)。一單一循環可由讀取循環時間「tRC」的週期來定義，尤其是，讀取循環時間「tRC」可定義在自該快閃記憶體裝置讀取資料期間之讀取時間。

在某些實施當中，讀取循環時間「tRC」大約是 50 ns (例如針對 MLC 裝置)。尤其是，在顯示的範例中，讀取循環時間「tRC」可包含第一時序週期 T1 和第二時序週期 T2。第一時序週期 T1 和第二時序週期 T2 可定義與每一讀取循環時間「tRC」相關聯的快閃存取時間。在某些實施當中，第一時序週期 T1 可跨越  $4 \cdot T$  的時期，其中 T 為 160 MHz 或大約 6.25 ns。換言之，第一時序週期 T1 長度大約為 25 ns。在這些實施當中，第二時序週期 T2 也跨越  $4 \cdot T$  的時期或長度大約 25 ns。然後長度大約 25 ns 的第一時序週期 T1 和大約 25 ns 的第二時序週期 T2 應產生大約 50 ns 的總讀取循環時間「tRC」。

在其他實施當中，讀取循環時間「tRC」大約是 25 ns (例如針對 SLC 裝置)。例如：第一時序週期 T1 可跨越  $2 \cdot T$  的時期，其中 T 為 160 MHz 或大約 6.25 ns。換言之，第一時序週期 T1 長度大約為 12.5 ns。在某些實施當中，第二時序週期 T2 也跨越  $2 \cdot T$  的時期或長度大約 12.5 ns。然後長度大約 12.5 ns 的第一時序週期 T1 和大約 25 ns 的第二時序週期 T2 應產生大約 25 ns 的總讀取循環時間「tRC」。

讀取循環時間「tRC」不需要受限於上面顯示的時序週期，也可考慮其他讀取循環時間週期。例如：根據特定設計與應用，讀取循環時間「tRC」可在 20 ns 的範圍內。

在某些實施當中，讀取循環時間「tRC」(和底下將討論的寫入循環時間「tWC」)可短於(例如快過)與該讀取啟用信號(或關於寫入循環時間「tWC」的寫入啟用信號)相關聯的循環時間。在這些實施當中，固態磁碟機系

統 300 可提供一 SOC 內部時脈，以便根據該讀取啟用信號和該寫入啟用信號產生讀取循環時間「tRC」和寫入循環時間「tWC」當成 NAND 快閃 I/O 介面信號。例如：若與一 NAND 快閃讀取啟用信號相關聯的低時間與高時間分別為 10 ns 和 15 ns 時，則該內部時脈可為 200Mhz (5ns)。然後，第一時序週期 T1 的值可程式編輯來允許 2T 循環(例如  $5\text{ns} \times 2 = 10\text{ns}$ )，並且第二時序週期 T2 的值可程式編輯來允許 3T 循環( $5\text{ns} \times 3 = 15\text{ns}$ )。

請參閱第二 B 圖，若要執行一資料程式編輯操作，寫入啟用信號(WE\_)可認可並在邏輯「1」與邏輯「0」之間觸發而用於一預定數量循環(例如當該快閃記憶體裝置在資料傳輸區域 206 內操作時)。一單一循環可由寫入循環時間「tWC」的週期來定義，尤其是，寫入循環時間「tWC」可定義在該快閃記憶體裝置寫入程式編輯資料期間之寫入時間。

在某些實施當中，寫入循環時間「tWC」大約是 50 ns (例如針對 MLC 裝置)。尤其是，在顯示的範例中，讀取循環時間「tRC」可包含第一時序週期 T1 和第二時序週期 T2。第一時序週期 T1 和第二時序週期 T2 可定義與每一寫入循環時間「tWC」相關聯的快閃存取時間。在某些實施當中，第一時序週期 T1 可跨越  $4 \times T$  的時期，其中 T 為 160 MHz 或大約 6.25 ns。換言之，第一時序週期 T1 長度大約為 25 ns。在某些實施當中，第二時序週期 T2 也跨越  $4 \times T$  的時期或長度大約 25 ns。然後長度大約 25 ns 的第一時序週期 T1 和大約 25 ns 的第二時序週期 T2 應產生大約 50 ns 的總寫入循環時間「tWC」。

在其他實施當中，寫入循環時間「tWC」大約是 25

ns (例如針對 SLC 裝置)。例如：第一時序週期  $T1$  可跨越  $2 \cdot T$  的時期，其中  $T$  為 160 MHz 或大約 6.25 ns。換言之，第一時序週期  $T1$  長度大約為 12.5 ns。在某些實施當中，第二時序週期  $T2$  也跨越  $2 \cdot T$  的時期或長度大約 12.5 ns。然後長度大約 12.5 ns 的第一時序週期  $T1$  和大約 25 ns 的第二時序週期  $T2$  應產生大約 25 ns 的總寫入循環時間「 $tWC$ 」。

當然，寫入循環時間「 $tWC$ 」不需要受限於上面顯示的時序週期，也可考慮其他寫入循環時間週期。例如：根據特定設計與應用，寫入循環時間「 $tWC$ 」可在 45 ns 的範圍內。

一般而言，讀取循環時間「 $tRC$ 」和寫入循環時間「 $tWC$ 」都可用來當成時序參數，用於決定該資料傳輸率的整體效能。利用適當調整讀取循環時間「 $tRC$ 」和寫入循環時間「 $tWC$ 」，與該快閃記憶體裝置相關聯的介面時間可受到控制，如此可混合使用 SLC 和 MLC 裝置。根據範例，在發出一 READ 指令時，固態磁碟機系統 300 可等待一內部緩衝器在第二 A 圖所示的「 $t4$ 」週期之後備妥。此後，資料透過該 NAND 介面從該內部緩衝器移出至固態控制器 308。然後移位頻率由讀取操作的「 $tRC$ 」週期(或由程式編輯操作的「 $tWC$ 」週期)來指定。如上面所討論，最大產能為「 $1/tRC$ 」所賦予(例如 40 MHz 用於「 $tRC$ 」週期 = 25ns)。換言之，「 $tRC$ 」週期(或「 $tWC$ 」週期)最小化允許增加頻寬。因此，利用定義二不同時序參數(例如一個設置用於 SLC 裝置並且另一個設置用於 MLC 裝置，兩個相反來利用相同邏輯(時序參數)控制用於 SLC 和 MLC 裝置的時序介面)，如此顯著改善效率。

根據其他範例，一固態磁碟機可運用具有 25 ns 讀取循環時間「tRC」和 25 ns 寫入循環時間「tWC」的一第一快閃記憶體裝置、具有 25 ns 讀取循環時間「tRC」和 45 ns 寫入循環時間「tWC」的一第二快閃記憶體裝置、具有 20 ns 讀取循環時間「tRC」和 20 ns 寫入循環時間「tWC」的一第三快閃記憶體裝置以及具有 50 ns 讀取循環時間「tRC」和 50 ns 寫入循環時間「tWC」的一第四快閃記憶體裝置。在某些實施當中，因為在一單節抹除操作期間資料未移位入或出，所以一單節抹除操作不使用循環時間。

第六圖顯示根據一寫入循環時間和一讀取循環時間用於狀態輪詢之範例處理 600。處理 600 可例如由固態磁碟機系統 300、固態磁碟機 304 或記憶體控制器 330 來執行。不過，也可使用其他設備、系統或系統組合來執行處理 600。

處理 600 開始時控制複數個記憶體裝置，該裝置包含一第一組記憶體裝置和一第二組記憶體裝置(602)。在某些實施當中，該第一組記憶體裝置可包含單層單元裝置，而該第二組記憶體裝置可包含多層單元裝置。在其他實施當中，該第一組記憶體裝置可包含多層單元裝置，而該第二組記憶體裝置可包含單層單元裝置。

接下來，可決定一第一循環時間(604)。在某些實施當中，決定一第一循環時間可包含決定與一第一組記憶體裝置相關聯的第一循環時間。在這些實施當中，決定與該第一組記憶體裝置相關聯的第一循環時間可包含決定一第一時序參數(例如第二 A 圖顯示的「tRC」週期)和第二時序參數(例如第二 B 圖顯示的「tWC」週期)，

該第一時序參數與該第二時序參數都關聯於該第一組記憶體裝置(例如單層單元裝置)的資料傳輸率。在某些實施當中，該第一循環時間可為一讀取循環時間，其關聯於一讀取操作，在此操作期間可讀取來自至少記憶體裝置之一的資料。在其他實施當中，該第一循環時間可為一程式編輯循環時間，其關聯於一程式編輯操作，在此操作期間可將資料程式編輯入至少記憶體裝置之一。

此後，根據該第一循環時間發出一寫入指令(606)。在某些實施當中，根據該第一循環時間發出該第一指令至該第一組記憶體裝置。例如：可發出具有上升與下降邊緣對應至該第一循環時間的寫入啟用信號(WE<sub>1</sub>)。該寫入啟用信號(WE<sub>1</sub>)可在邏輯「0」與邏輯「1」之間觸發，同時已經進行一寫入操作。

在發出一寫入指令之後，決定一第二循環時間(608)。在某些實施當中，決定一第二循環時間可包含決定與一第二組記憶體裝置相關聯的第二循環時間。該第二組記憶體裝置可與該第一組記憶體裝置不同。例如：該第一組記憶體裝置可包含單層單元裝置，而該第二組記憶體裝置可包含多層單元裝置。在某些實施當中，決定一第二循環時間可包含決定與該第一循環時間無關的第二循環時間。例如：與單層單元裝置相關聯的「tRC」或「tWC」週期可和與多層單元裝置相關聯的週期分開決定。在某些實施當中，「tRC」或「WC」週期可用於將一對應記憶體裝置的資料傳輸率最大化。

在某些實施當中，可認可一控制信號(例如讀取啟用信號、寫入啟用信號或晶片啟用信號)至該第一或該第二組記憶體裝置之一，用於一預定數量的循環。在這些實

施當中，該預定數量的循環可包含與該第一循環時間相關聯的第一循環，該第一循環包含一第一時序週期(例如第二 A 圖和第二 B 圖顯示的第一時序週期「T1」)以及一第二時序週期(例如第二 A 圖和第二 B 圖顯示的第二時序週期「T2」)。在這些實施當中，該第一循環的第一時序週期與第二時序週期可包含相同或不同期間。

在某些實施當中，該預定數量的循環可包含與該第二循環時間相關聯的第二循環，該第二循環包含一第一時序週期(例如第二 A 圖和第二 B 圖顯示的第一時序週期「T1」)以及一第二時序週期(例如第二 A 圖和第二 B 圖顯示的第二時序週期「T2」)。在這些實施當中，該第二循環的第一時序週期與第二時序週期可包含相同或不同期間。

在某些實施當中，可決定一等待週期(例如第二 A 圖顯示的「tR」)。該等待週期可當成一等待時間，在此期間並無指令(例如讀取狀態或寫入狀態指令)發出至該第一組記憶體裝置或該第二組記憶體裝置。此後，該第一指令或該第二指令可發出至其對應的群組。

在已經決定該第二循環時間之下，根據該第二循環時間發出一第二指令(610)。例如：可發出具有上升與下降邊緣對應至該第二循環時間的讀取啟用信號(RE<sub>1</sub>)。該讀取啟用信號(RE<sub>1</sub>)可在邏輯「0」與邏輯「1」之間觸發，同時已經進行一讀取操作。

在某些實施當中，操作 602-610 可用所列的順序執行、同時執行(例如由在一或多個處理器上執行的相同或不同程式或執行緒，實質上或非嚴肅)或以相反順序執行來達成所要的結果。在其他實施當中，操作 602-610 可

用顯示的順序執行。另外，其中執行操作的順序可至少部分取決於執行處理 600 的實體。操作 602-610 進一步由相同或不同實體或系統來執行。

### 硬碟機的範例實施

第七圖至第十二圖顯示所說明系統與技術的許多示範實施。此時請參閱第七圖，所說明系統與技術可在一硬碟機(HDD) 700 內實施。所說明系統與技術可在信號處理以及/或控制電路內實施，這通常在第七圖上以 702 表示。在某些實施中，HDD 700 內的信號處理以及/或控制電路 702 以及/或其他電路(未顯示)可處理資料、執行編碼和/或加密、執行計算，以及將輸出至或接收自一磁性儲存媒體 704 的資料格式化。

HDD 700 可與像是電腦的主機裝置(未顯示)、像是個人數位助理的行動計算裝置、行動電話、媒體或 MP3 播放器等等以及透過一或多有線或無線通訊鏈結 706 的其他裝置通訊。HDD 700 可連接至記憶體 708，像是隨機存取記憶體(RAM)、低處理負擔非揮發性記憶體，像是快閃記憶體、唯讀記憶體(ROM)以及/或其他合適的電子資料儲存裝置。

此時請參閱第八圖，所說明系統與技術可在一數位多功能光碟機(DVD) 800 內實施。所說明系統與技術可在信號處理以及/或控制電路內實施，這一般在第八圖上以 802 表示，以及/或在 DVD 光碟機 800 的大量資料儲存裝置 804 內實施。DVD 光碟機 800 內的信號處理以及/或控制電路 802 以及/或其他電路(未顯示)可處理資料、執行編碼和/或加密、執行計算，以及/或將讀取自

或寫入至光學儲存媒體 806 的資料格式化。在某些實施中，DVD 光碟機 800 內的信號處理以及/或控制電路 802 以及/或其他電路(未顯示)也可執行其他功能，像是編碼和/或解碼以及 DVD 光碟機伴隨的任何其他信號處理功能。

DVD 光碟機 800 可透過一或多種有線或無線通訊鏈結 810 與輸出裝置(未顯示)通訊，像是電腦、電視或其他裝置。DVD 光碟機 800 可與用非揮發性方式儲存資料的大量資料儲存裝置 804 通訊。大量資料儲存裝置 804 可包含一硬碟機(HDD)。該 HDD 具有第七圖顯示的組態。該 HDD 可為內含一或多個直徑大約 1.8 吋碟盤的迷你 HDD。DVD 光碟機 800 可連接至記憶體 808，像是 RAM、ROM、低處理負擔非揮發性記憶體，像是快閃記憶體以及/或其他合適的電子資料儲存裝置。

此時請參閱第九圖，所說明系統與技術可在一高傳真電視(HDTV) 900 內實施。所說明系統與技術可在信號處理以及/或控制電路，這一般在第九圖上以 902 表示、WLAN 介面 906 以及/或在 HDTV 900 的大量資料儲存裝置 910 內實施。HDTV 900 接收一有線或無線格式的 HDTV 輸入信號，並產生顯示器 904 的 HDTV 輸出信號。在某些實施中，HDTV 900 內的信號處理以及/或控制電路 902 以及/或其他電路(未顯示)可處理資料、執行編碼和/或加密、執行計算、資料格式化以及/或執行需要的任何一種 HDTV 處理。

HDTV 900 可與用一非揮發性方式，像是光學以及/或磁性儲存裝置來儲存資料的大量資料儲存裝置 910 通訊。至少一個 HDD 可具有第七圖顯示的組態，並且/或

至少一個 DVD 可具有第八圖顯示的組態。該 HDD 可為內含一或多個直徑大約 1.8 吋碟盤的迷你 HDD。HDTV 900 可連接至記憶體 908，像是 RAM、ROM、低處理負擔非揮發性記憶體，像是快閃記憶體以及/或其他合適的電子資料儲存裝置。HDTV 900 也支援透過 WLAN 網路介面 906 與一 WLAN 連線。

此時請參閱第十圖，所說明系統與技術可在包含行動天線 1002 的行動電話 1000 內實施。所說明系統與技術可在信號處理以及/或控制電路，這一般在第十圖上以 1004 識別、一 WLAN 介面 1010 以及/或在行動電話 1000 的大量資料儲存裝置 1006 內實施。在某些實施當中，行動電話 1000 包含一麥克風 1012、像是一揚聲器以及/或聲音輸出插座的聲音輸出 1014、一顯示器 1016 以及/或輸入裝置 1018，像是鍵盤、指示裝置、語音致動以及/或其它輸入裝置。行動電話 1000 內的信號處理以及/或控制電路 1004 以及/或其他電路(未顯示)可處理資料、執行編碼和/或加密、執行計算、將資料格式化以及/或執行其他行動電話功能。

行動電話 1000 可與用一非揮發性方式，像是光學以及/或磁性儲存裝置，例如硬碟機 HDD 以及/或 DVD 來儲存資料的大量資料儲存裝置 1006 通訊。至少一個 HDD 可具有第七圖顯示的組態，並且/或至少一個 DVD 可具有第八圖顯示的組態。該 HDD 可為內含一或多個直徑大約 1.8 吋碟盤的迷你 HDD。行動電話 1000 可連接至記憶體 1008，像是 RAM、ROM、低處理負擔非揮發性記憶體，像是快閃記憶體以及/或其他合適的電子資料儲存裝置。行動電話 1000 也支援透過一 WLAN 網路

介面 1010 與一 WLAN 連線。

此時請參閱第十一圖，所說明系統與技術可在機上盒 1100 內實施。所說明系統與技術可在信號處理以及/或控制電路，這一般在第十圖上以 1102 表示、一 WLAN 介面 1108 以及/或在機上盒 1100 的大量資料儲存裝置 1104 內實施。機上盒 1100 從來自像是廣播源的來源 1112 接收信號，並輸出適用於一顯示器 1110 的標準以及/或高傳真聲音/視訊信號，像是一電視以及/或監視器以及/或其他視訊以及/或聲音輸出裝置。機上盒 1100 內的信號處理以及/或控制電路 1102 以及/或其他電路(未顯示)可處理資料、執行編碼和/或加密、執行計算、將資料格式化以及/或執行任何其他機上盒功能。

機上盒 1100 可與用一非揮發性方式儲存資料的大量資料儲存裝置 1104 通訊。大量資料儲存裝置 1104 可包含光學以及/或磁性儲存裝置，像是硬碟機 HDD 以及/或 DVD。至少一個 HDD 可具有第七圖顯示的組態，並且/或至少一個 DVD 光碟機可具有第八圖顯示的組態。該 HDD 可為內含一或多個直徑大約 1.8 吋碟盤的迷你 HDD。機上盒 1100 可連接至記憶體 1106，像是 RAM、ROM、低處理負擔非揮發性記憶體，像是快閃記憶體以及/或其他合適的電子資料儲存裝置。機上盒 1100 也支援透過一 WLAN 網路介面 1108 與一 WLAN 連線。

此時請參閱第十二圖，所說明系統與技術可在媒體播放機 1200 內實施。所說明系統與技術可在信號處理以及/或控制電路，這一般在第十二圖上以 1202 表示、一 WLAN 介面 1208 以及/或在一媒體播放機 1200 的大量資料儲存裝置 1204 內實施。在某些實施當中，媒體

播放機 1200 包含一顯示器 1212 以及/或一使用者輸入 1214，像是一鍵盤、觸碰板等等。在某些實施當中，媒體播放機 1200 可運用一圖形使用者介面 (GUI, “graphical user interface”)，通常透過顯示器 1212 以及/或使用者輸入 1214 運用功能表、下拉式功能表、圖示以及/或指點介面。媒體播放機 1200 進一步包含聲音輸出 1210，像是一揚聲器以及/或聲音輸出插座。媒體播放機 1200 內的信號處理以及/或控制電路 1202 以及/或其他電路(未顯示)可處理資料、執行編碼和/或加密、執行計算、將資料格式化以及/或執行任何其他媒體播放器功能。

媒體播放機 1200 可與用一非揮發性方式來儲存資料，像是壓縮聲音與/或視訊內容，的大量資料儲存裝置 1204 通訊。在某些實施當中，該等壓縮聲音檔包含符合 MP3 格式或其他合適的壓縮聲音與/或視訊格式之檔案。該大量資料儲存裝置可包含光學以及/或磁性儲存裝置，像是硬碟機 HDD 以及/或 DVD。至少一個 HDD 可具有第七圖顯示的組態，並且/或至少一個 DVD 光碟機可具有第八圖顯示的組態。該 HDD 可為內含一或多個直徑大約 1.8 吋碟盤的迷你 HDD。媒體播放機 1200 可連接至記憶體 1206，像是 RAM、ROM、低處理負擔非揮發性記憶體，像是快閃記憶體以及/或其他合適的電子資料儲存裝置。媒體播放機 1200 也支援透過一 WLAN 網路介面 1208 與一 WLAN 連線。仍舊考慮其他實施加上上列之說明。

上面已經詳細說明一些具體實施例，並且可能還有許多修改。所公佈主張，包含本說明書內描述的功能操

作，可在電子電路、電腦硬體、韌體、軟體或這些的組合之中實施，像是本說明書內公佈的結構裝置及其結構同等品，包含潛在可操作來導致一或多資料處理設備執行所說明操作之程式(像是在電腦可讀取媒體內編碼的程式，其可為一記憶體裝置、一機器可讀取儲存基板或其他實體、機器可讀取媒體或這些之一或更多的組合)。

「資料處理設備」涵括處理資料的所有設備、裝置和機器，包含可程式編輯處理器、電腦或多處理器或電腦的範例。除了硬體以外，設備可包含建立執行環境給電腦程式的程式碼，即是構成處理器韌體、一通訊協定堆疊、一資料庫管理系統、一作業系統或這些之一或多的組合之程式碼。

一程式(已知為一電腦程式、軟體、軟體應用程式、描述檔或程式碼)可用任何程式編輯語言形式撰寫，包含編譯或解譯語言或陳述式或程序語言，並且其可用任何形式佈署，包含成為一單機程式或成為一模組、組件、子常式或適合一計算環境內使用的其他單元。一程式並不需要對應至一檔案系統內的檔案。一程式可儲存在保有其他程式或資料的部分檔案內(例如一或多個儲存在標記語言文件內的描述檔)、在專屬於該程式的單一檔案內或在多個合作檔案內(例如儲存一或多個模組、子程式或部分程式碼的檔案)。一程式可佈署成為在一個地點或散佈在多個地點並利用通訊網路互連的電腦或多部電腦上執行。

雖然本說明書內含許多細節，但不應該構成對於本申請專利範圍範疇的限制，而是屬於特定具體實施例的特色描述。本說明書內個別具體實施例範圍內的特定特

色也可在一單一具體實施例組合內實施。相反的，在一單一具體實施例範圍內說明的許多特色也可分散的多重組合或在任何合適的次組合內實施。再者，雖然上面以特定組合來說明特色並依此主張，不過來自所主張組合的一或多樣特色在某些情況下可組合實施，並且所主張組合可指向次組合或次組合的變化。

類似地，雖然用特定順序用圖式說明操作，不過並不應看待成需要以所顯示特定順序或依序來執行這些操作，也不應看待成需要執行所有說明的操作，而達成所要的結果。在特定環境中，多重工作與同時處理具有優點。再者，上述具體實施例內許多系統組件分開不應看待成在所有具體實施例內都需要分開。

#### 【圖式簡單說明】

第一圖顯示範例記憶體陣列的方塊圖。

第二 A 圖顯示在一資料讀取操作期間與一範例 NAND 快閃介面內每一接腳相關聯之時序圖。

第二 B 圖顯示在一資料程式編輯操作期間與一 NAND 快閃介面內每一接腳相關聯之範例時序圖。

第二 C 圖顯示在一單節抹除操作期間與一 NAND 快閃介面內每一接腳相關聯之範例時序圖。

第三圖顯示一範例固態磁碟機。

第四圖顯示關於一快閃記憶體裝置的備妥/忙碌輸出信號「R/B\_」之範例初始等待時間。

第五圖顯示發出一或多讀取狀態指令的範例處理。

第六圖顯示根據一寫入循環時間和一讀取循環時間用於狀態輪詢之範例處理。

第七圖至第十二圖顯示實施一硬碟機系統的許多範例電子系統。

【主要元件符號說明】

100	記憶體陣列
102	分頁
104	部分
106	部分
108	8 位元深度
110	單節
112	單一分頁
114	第一部分
116	第二部分
202	區域
204	區域
206	區域
208	區域
210	區域
212	區域
214	區域
300	固態硬碟機系統
302	主機
303	匯流排
304	固態硬碟機
306a-306d	快閃記憶體裝置
308	固態控制器
310	主機介面

312	錯誤檢查碼模組
314	介面邏輯
316	定序器
318	格式化器
323	中央處理器單元
324	嵌入式韌體
326a-326d	通道
328	記憶體介面
330	記憶體控制器
332	可程式編輯計時器
334	第二可程式編輯計時器
336a-336d	狀態暫存器
402	讀取狀態指令
404	讀取狀態指令
406	讀取狀態指令
500	處理
600	處理
700	硬碟機
702	信號處理以及/或控制電路
704	磁性儲存媒體
706	有線或無線通訊鏈結
708	記憶體
800	數位多功能光碟機
802	信號處理以及/或控制電路
804	大量資料儲存裝置
806	光學儲存媒體
808	記憶體

810	有線或無線通訊鏈路
900	高傳真電視
902	信號處理以及/或控制電路
904	顯示器
906	WLAN 介面
908	記憶體
910	大量資料儲存裝置
1000	行動電話
1002	行動天線
1004	信號處理以及/或控制電路
1006	大量資料儲存裝置
1008	記憶體
1010	WLAN 介面
1012	麥克風
1014	聲音輸出
1016	顯示器
1018	輸入裝置
1100	機上盒
1102	信號處理以及/或控制電路
1104	大量資料儲存裝置
1106	記憶體
1108	WLAN 介面
1110	顯示器
1112	來源
1200	媒體播放機
1202	信號處理以及/或控制電路
1204	大量資料儲存裝置

1206	記憶體
1208	WLAN 介面
1210	聲音輸出
1212	顯示器
1214	使用者輸入

## 七、申請專利範圍：

### 1. 一種快閃記憶體控制之方法，包含：

控制複數個記憶體裝置，該裝置包含一第一組記憶體裝置和一第二組記憶體裝置；

決定與該第一組記憶體裝置相關聯的一第一週期；

根據該第一週期發出一第一指令至該第一組記憶體裝置；

決定與該第二組記憶體裝置相關聯的一第二週期；以及

根據該第二週期發出一第二指令至該第二組記憶體裝置。

### 2. 如申請專利範圍第 1 項之方法，其中決定與該第二組記憶體裝置相關聯的一第二週期包含決定與該第一週期無關的該第二週期。

### 3. 如申請專利範圍第 1 項之方法，其中決定與該第一組記憶體裝置相關聯的一第一週期包含：

決定一第一時序參數與一第二時序參數，該第一時序參數與該第二時序參數關聯於該第一組記憶體裝置的一資料傳輸率。

### 4. 如申請專利範圍第 1 項之方法，其中決定與該第二組記憶體裝置相關聯的一第二週期包含：

決定一第一時序參數與一第二時序參數，該第一時序參數與該第二時序參數關聯於該第二組記憶體裝置的一資料傳輸率。

### 5. 如申請專利範圍第 1 項之方法，其中控制複數個記憶體裝置包含：

認定一控制信號至該第一組記憶體裝置用於一預定數量的循環，包含與該第一週期相關聯的一第一循環，該第一循環包含一第一時序週期與一第二時序週期。

6. 如申請專利範圍第 5 項之方法，其中該第一循環的第一時序週期與該第二時序週期包含一相同期間。
7. 如申請專利範圍第 5 項之方法，其中該第一循環的第一時序週期與該第二時序週期包含一不同期間。
8. 如申請專利範圍第 1 項之方法，其中控制複數個記憶體裝置包含：

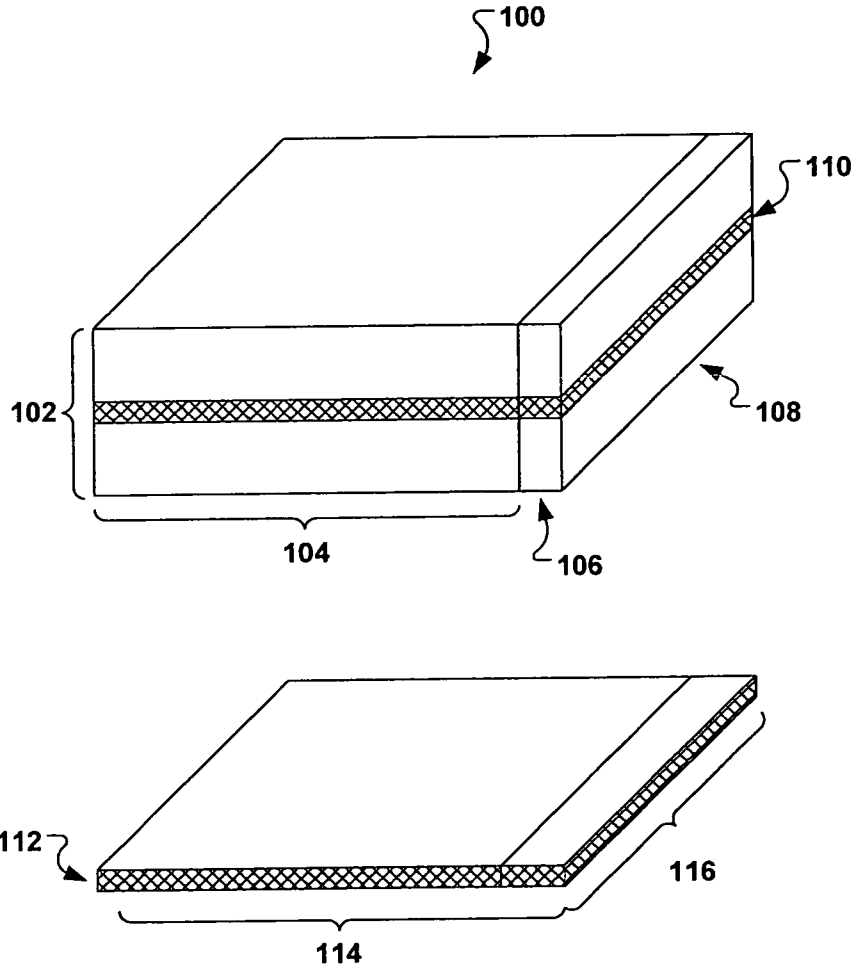
認定一控制信號至該第二組記憶體裝置用於一預定數量的循環，包含與該第二週期相關聯的一第二循環，該第二循環包含一第一時序週期與一第二時序週期。

9. 如申請專利範圍第 8 項之方法，其中該第二循環的第一時序週期與該第二時序週期包含一相同期間。
10. 如申請專利範圍第 8 項之方法，其中該第二循環的第一時序週期與該第二時序週期包含一不同期間。
11. 如申請專利範圍第 1 項之方法，其中決定一第一週期包含決定從至少該記憶體裝置之一讀取資料期間的一讀取週期，或在資料程式編輯到至少該記憶體裝置之一內期間的一程式編輯週期。
12. 如申請專利範圍第 1 項之方法，其中控制複數個記憶體裝置包含決定一等待週期。
13. 如申請專利範圍第 12 項之方法，其中發出一第一指令包含在該等待週期之後發出該第一指令。
14. 如申請專利範圍第 12 項之方法，其中發出一第二指

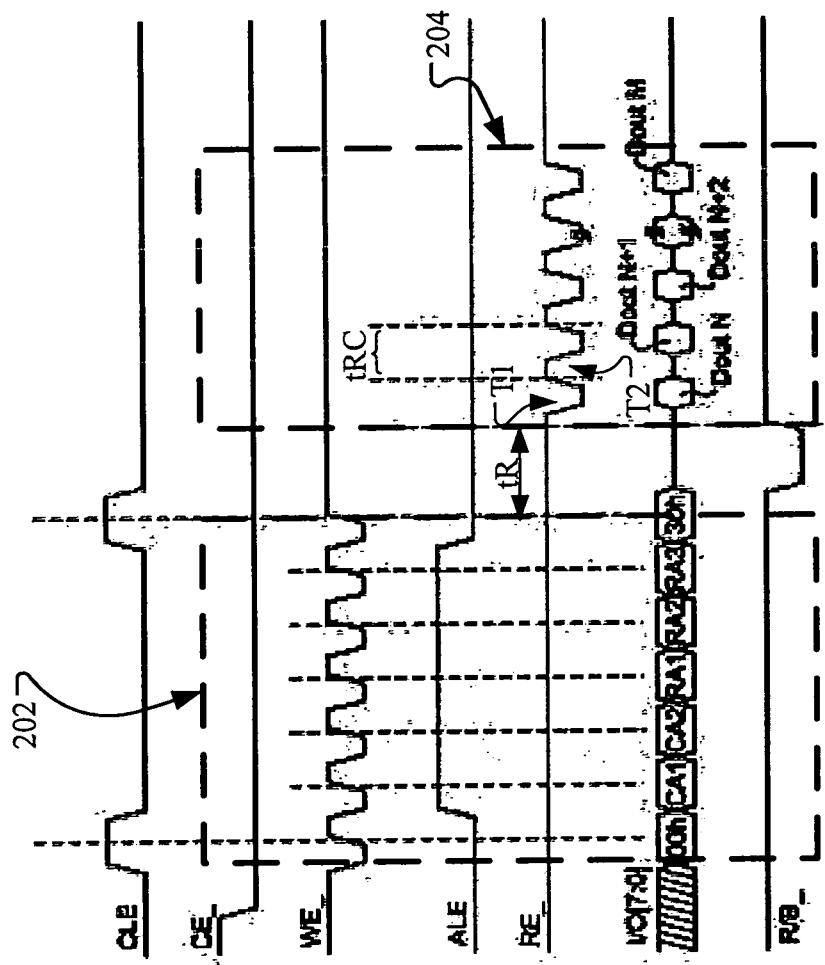
令包含在該等待週期之後發出該第二指令。

八、圖式：

1/11

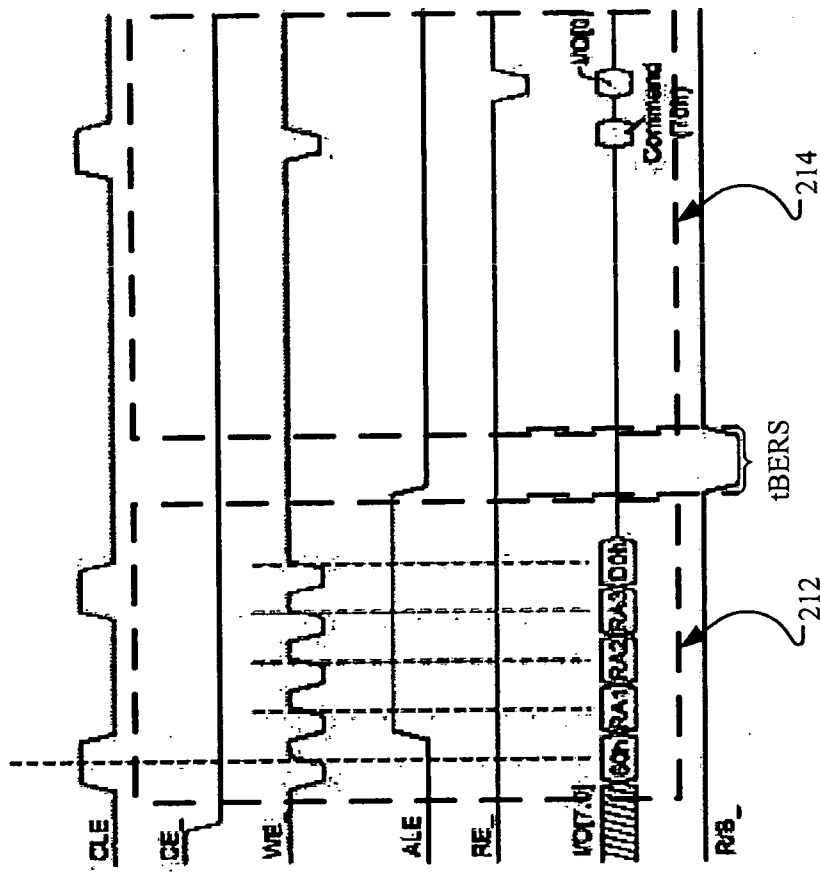


第一圖

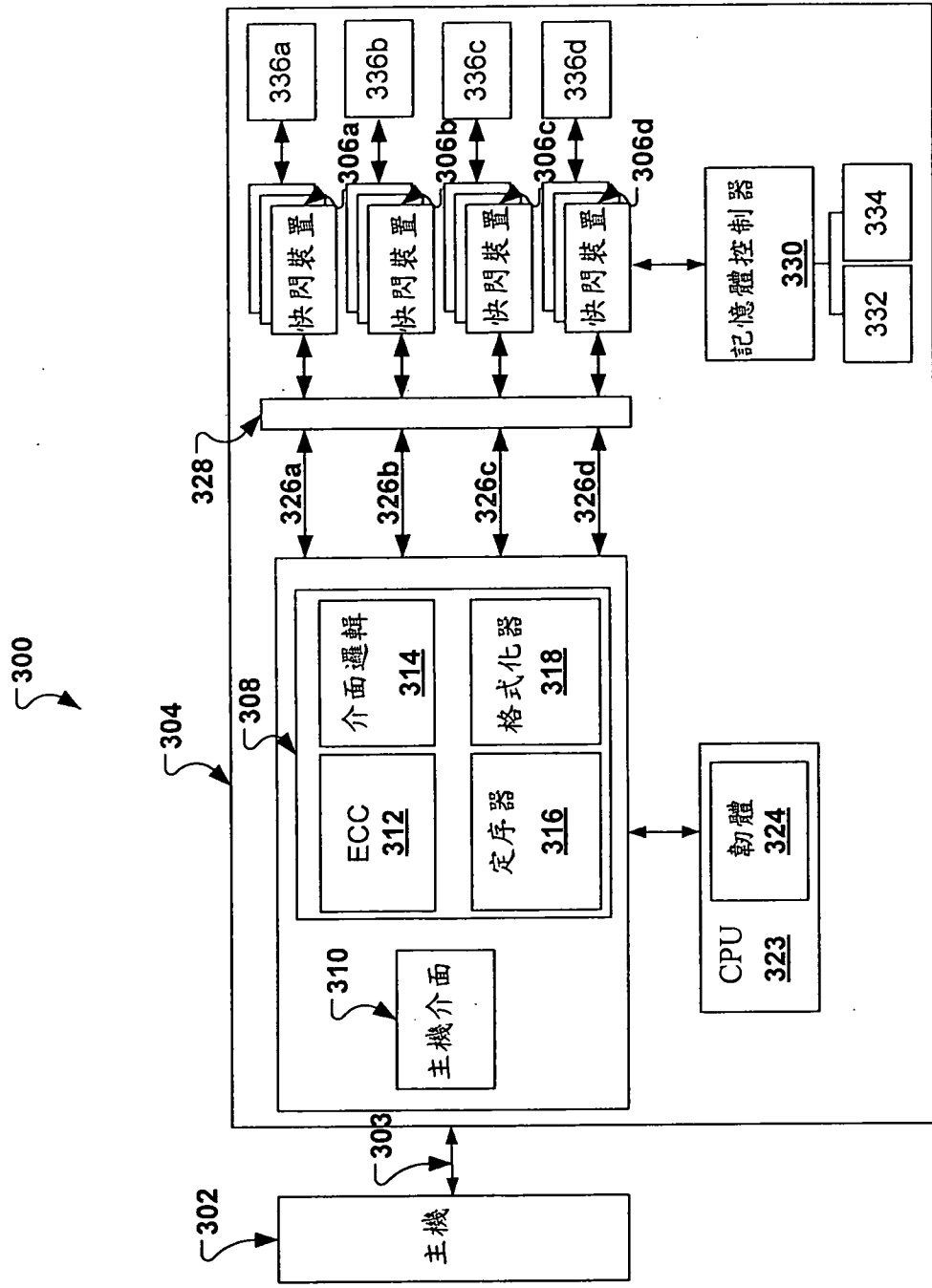


第二A圖

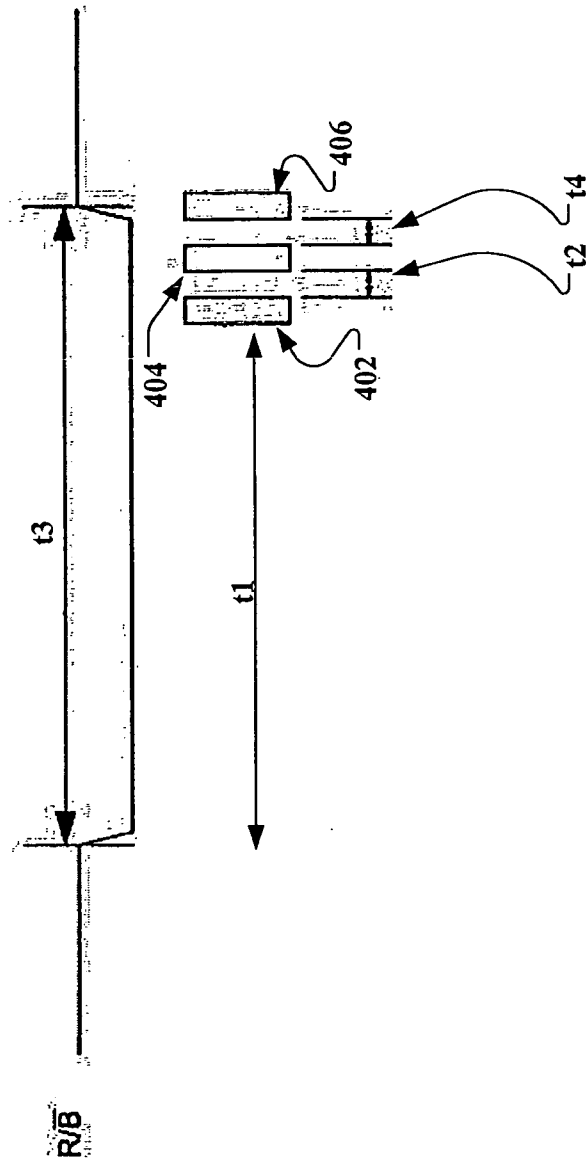




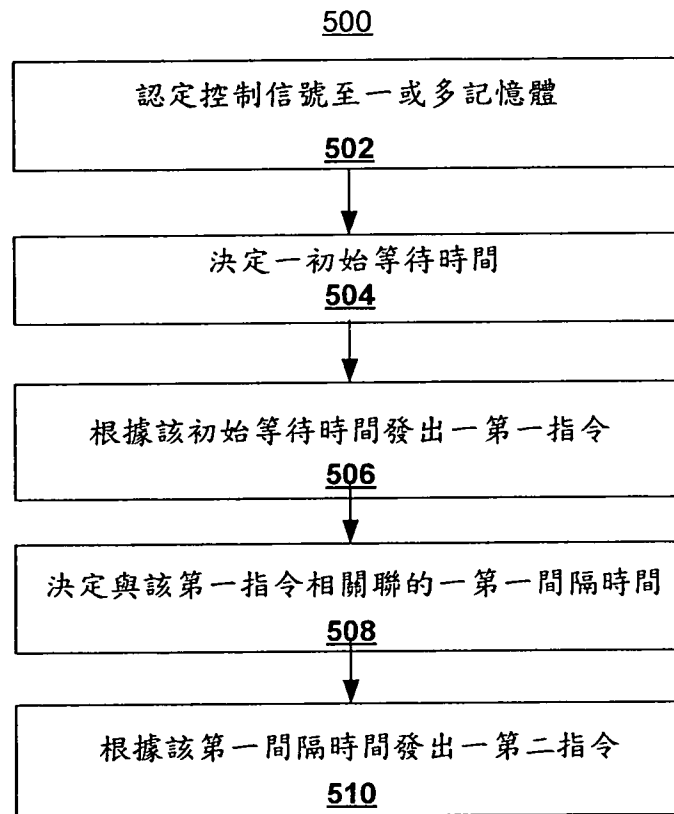
第二C圖



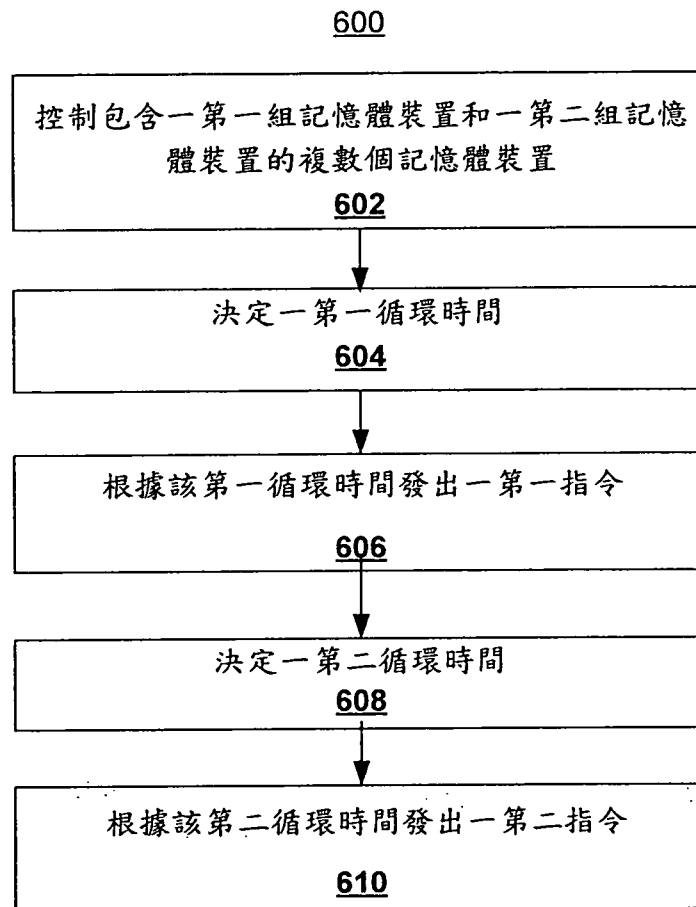
第三圖



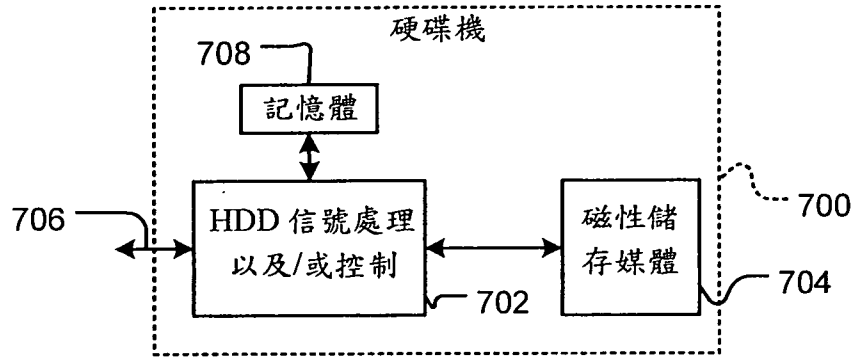
第四圖



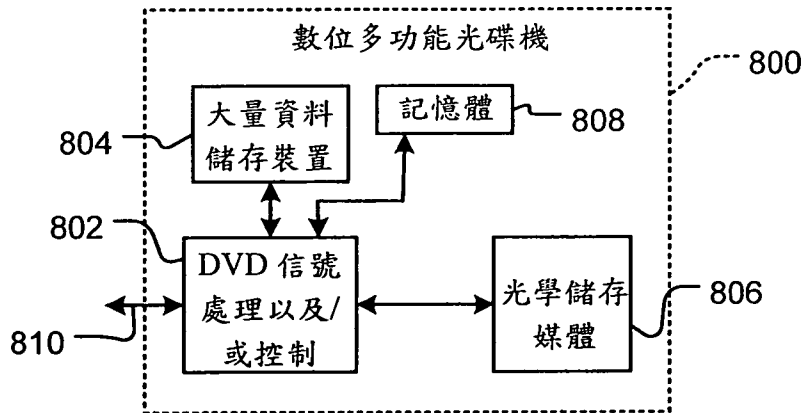
第五圖



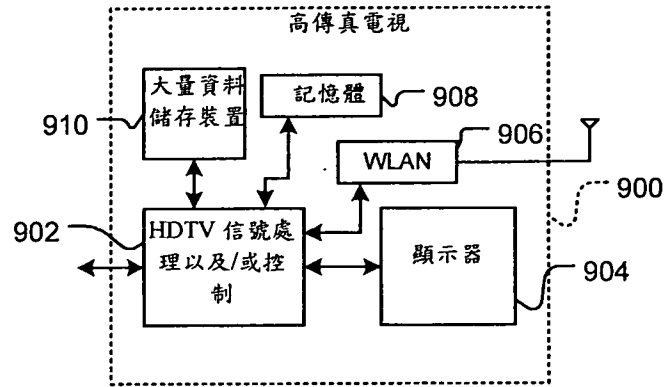
第六圖



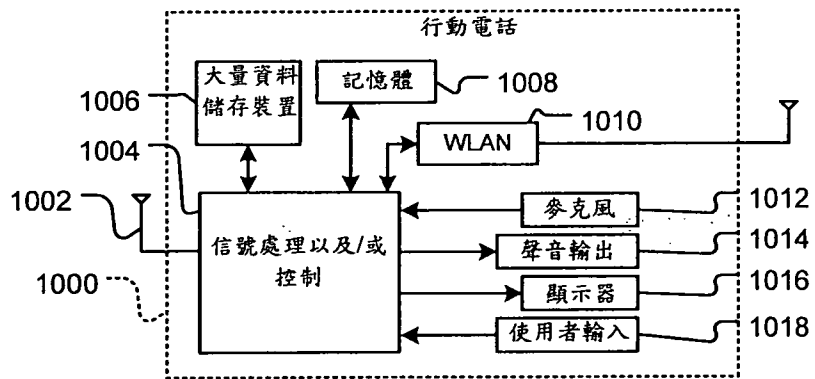
第七圖



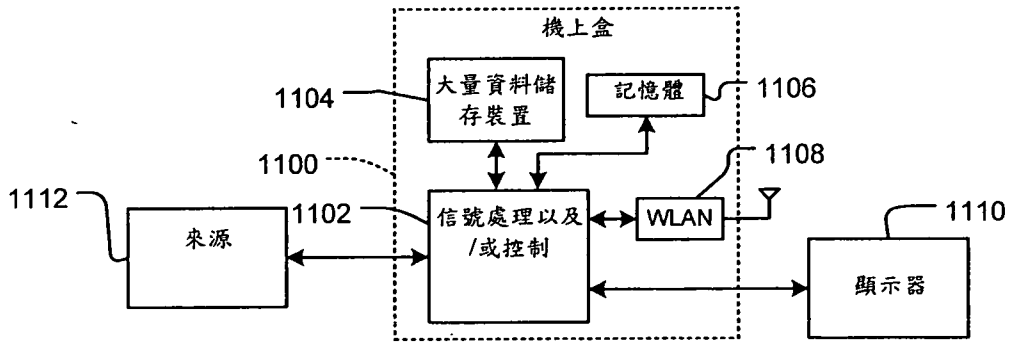
第八圖



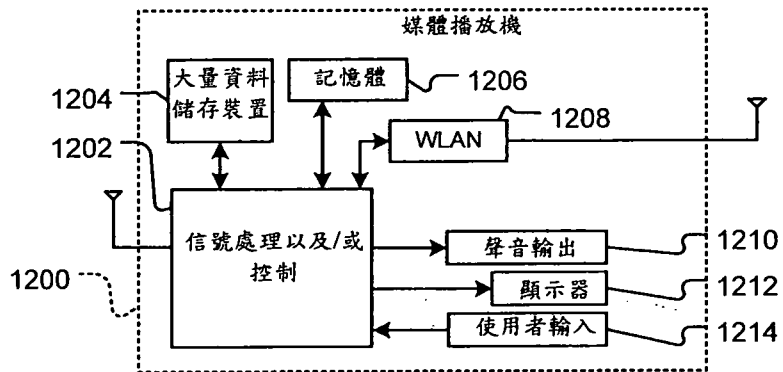
第九圖



第十圖



第十一圖



第十二圖