

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-88693

(P2004-88693A)

(43) 公開日 平成16年3月18日(2004.3.18)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H04L 25/02	H04L 25/02 S	5J056
H03K 5/125	H04L 25/02 V	5K029
H03K 19/0175	H03K 19/00 I O I F	
	H03K 5/01 D	

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号	特願2002-250274 (P2002-250274)	(71) 出願人	000003078 株式会社東芝
(22) 出願日	平成14年8月29日 (2002.8.29)		東京都港区芝浦一丁目1番1号
		(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100084618 弁理士 村松 貞男
		(74) 代理人	100068814 弁理士 坪井 淳
		(74) 代理人	100092196 弁理士 橋本 良郎
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠

最終頁に続く

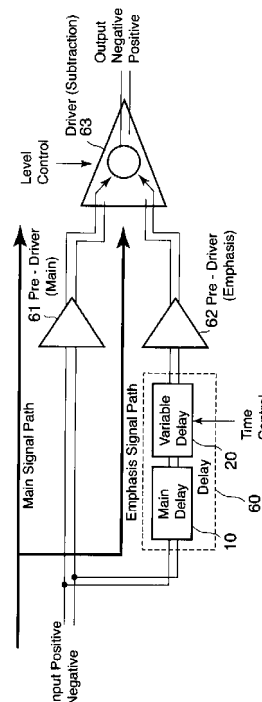
(54) 【発明の名称】 差動データドライバー回路

(57) 【要約】

【課題】 高速シリアルデータ伝送システムにおける伝送線路の長さ、外部環境など様々な条件に依存するプリエンファシス期間の最適値を実現する。

【解決手段】 差動データ信号が入力する第1のプリドライバー回路61と、差動データ信号が入力し、制御信号に応じて遅延時間が可変であるプリエンファシス用の遅延回路60と、遅延回路の出力信号が入力する第2のプリドライバー回路62と、第1のプリドライバー回路の出力信号と第2のプリドライバー回路の出力信号との差信号に相当するプリエンファシス波形を有する駆動電流を出力するドライバー回路63とを具備する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

差動データ信号が入力する第 1 のプリドライバー回路と、  
前記差動データ信号が入力し、制御信号に応じて遅延時間が可変であるプリエンファシス用の可変遅延回路と、  
前記可変遅延回路の出力信号が入力する第 2 のプリドライバー回路と、  
前記第 1 のプリドライバー回路の出力信号と前記第 2 のプリドライバー回路の出力信号との差信号に相当するプリエンファシス波形を有する駆動電流を出力するドライバー回路とを具備することを特徴とする差動データドライバー回路。

**【請求項 2】**

前記プリエンファシス用の可変遅延回路は、  
それぞれ差動データ信号が入力し、それぞれの信号遅延量が互いに異なる 2 個のサブ遅延回路と、前記 2 個のサブ遅延回路の各出力信号が入力し、それぞれの混合割合を制御信号に応じて制御することによって、2 つの入力信号のうちの任意の一方を選択して出力する信号選択機能、もしくは、2 つの入力信号を所望の割合で混合して出力する信号混合機能を有する信号選択・混合回路とを有することを特徴とする請求項 1 記載の差動データドライバー回路。

**【請求項 3】**

前記サブ遅延回路は、差動データ信号がゲートに入力する 2 個の MOS トランジスタのソース結合ノードに定電流回路が接続され、前記 2 個の MOS トランジスタのドレイン側に負荷回路が接続されて構成された差動回路により構成されていることを特徴とする請求項 2 記載の差動データドライバー回路。

**【請求項 4】**

前記信号選択・混合回路は、  
第 1 の差動データ信号がゲートに入力する 2 個の MOS トランジスタのソース結合ノードに第 1 の電流回路が接続され、前記 2 個の MOS トランジスタのドレイン側に負荷回路が接続されて構成された第 1 の差動回路と、  
前記第 1 の差動データ信号に対して時間差を有する第 2 の差動データ信号がゲートに入力する 2 個の MOS トランジスタのソース結合ノードに第 2 の電流回路が接続され、前記 2 個の MOS トランジスタのドレイン側に前記負荷回路が共通に接続されることにより出力部が前記第 1 の差動回路に対して並列接続された第 2 の差動回路とにより構成されていることを特徴とする請求項 2 記載の差動データドライバー回路。

**【請求項 5】**

前記第 1 の電流回路の電流値と前記第 2 の電流回路の電流値のいずれか一方または両方を前記制御信号に応じて制御可能であることを特徴とする請求項 4 記載の差動データドライバー回路。

**【請求項 6】**

前記プリエンファシス用の可変遅延回路の前段側あるいは後段側に挿入された遅延時間が固定の遅延回路をさらに具備することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の差動データドライバー回路。

**【請求項 7】**

請求項 1 乃至 6 のいずれか 1 項に記載の差動データドライバー回路は高速シリアルデータ伝送システムの送信側の最終段に使用され、  
前記制御信号は、前記高速シリアルデータ伝送システムの実使用状態における受信側のアイパターンをモニターした結果によって制御されることを特徴とする差動データドライバー回路。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、高速シリアルデータ伝送システムに係り、特に送信側の差動データドライバー

10

20

30

40

50

回路に関するもので、例えば 3.2 Gbps 程度のデータを取り扱うルータや、LSI チップ間のデータ伝送を行う実装基板などの高速シリアルデータ伝送システムで使用されるものである。

【0002】

【従来の技術】

高速シリアルデータ伝送システムにおける受信側 (Receiver) での差動データ信号のアイパターン (Eye Pattern) を確保するために、送信側 (Transmitter) の差動データドライバ回路にプリエンファシス (Pre-Emphasis) と呼ばれる技術がよく用いられる。このプリエンファシスとは、データ送信側の半導体装置のパッケージやデータ伝送線路の特性により減衰してしまう信号の周波数成分を、送信側のデータドライバ回路で予め強めることで、受信側での信号振幅を広げ、アイパターンを確保する技術である。

10

【0003】

図6は、従来の高速シリアルデータ伝送システムの送信側の差動データドライバ回路の基本構成を示す。

【0004】

この差動データドライバ回路は、駆動電流値を徐々に大きくするための2個のプリドライバ回路 (Pre-Driver) 61, 62 と、遅延回路 (Delay) 60 と、大電流で駆動するための最終段のドライバ回路 (Driver) 63 とから構成される。最終段のドライバ回路63は、2個のプリドライバ回路61, 62 の出力信号からプリエンファシス波形信号を生成するために、2つの入力信号の減算を行ってプリエンファシス波形信号を生成する減算回路 (Subtraction) が用いられている。

20

【0005】

図6の差動データドライバ回路において、差動 (Positive, Negative) の入力信号 (Input) は2つの経路に分けられる。一方の経路は、データをそのまま後段に伝達する第1の経路 (Main Signal Path) であり、他方の経路は、データを強めるための信号を伝達する第2の経路 (Emphasis Signal Path) である。

【0006】

第1の経路 (Main Signal Path) では、データ信号は第1のプリドライバ回路61によってバッファリングされ、電流値を徐々に大きくしながら最終段のドライバ回路63に入力される。

30

【0007】

第2の経路 (Emphasis Signal Path) では、データ信号は遅延回路60によって一定時間の遅延が追加された後、第2のプリドライバ回路62によってバッファリングされてデータを強めるための信号となり、最終段のドライバ回路63に入力される。つまり、第2の経路 (Emphasis Signal Path) を伝達するデータ信号は、第1の経路 (Main Signal Path) を伝達するデータ信号に比べて、遅延回路60による遅延時間分だけ遅れて最終段のドライバ回路63に入力されることになる。

40

【0008】

上記したように2つのプリドライバ回路61, 62 の出力信号は、最終段のドライバ回路63に入力され、ここで、2つのデータ信号の減算が行われてプリエンファシス波形を有する差動の出力信号 (Output) となる。

【0009】

図7は、図6中の減算回路63の回路例を示す。

【0010】

図7に示す二入力減算回路は、一方の差動データ信号 (Main Signal) を入力とし、定電流源 I1 に接続された MOS ソース結合型の第1の差動回路 (Main

50

Driver)と、他方の差動データ信号(Emphasis Signal)を入力とし、定電流源I<sub>2</sub>に接続されたMOSソース結合型の第2の差動回路(Emphasis Driver)から構成されている。上記第1の差動回路(Main Driver)と第2の差動回路(Emphasis Driver)は、負荷抵抗R<sub>1</sub>, R<sub>2</sub>を共有させ、各出力の正(Positive)負(Negative)を逆対応させて接続することにより、電流的に減算した出力信号を生成する。

【0011】

このように一方のデータ信号(Main Signal)から他方のデータ信号(Emphasis Signal)を減算することにより、データの"High"から"Low"、または"Low"から"High"への変化点を検出し、伝送線路などによって減衰してしまう信号の周波数成分を強めるようにしている。 10

【0012】

図8は、図7に示した二入力減算回路の減算処理によるプリエンファシスの概念を説明するために、その動作例を示す信号波形図である。

【0013】

図8において、I<sub>1</sub>は図7中のMain Signal用の第1の差動回路(Main Driver)を駆動する電流であり、I<sub>2</sub>は図7中のEmphasis Signal用の第2の差動回路(Emphasis Driver)を駆動する電流であり、データの変化点から遅延時間Delayの期間は、2つの差動回路(Main Driver)、(Emphasis Driver)の各出力電流が強め合うように動作し、I<sub>1</sub>+I<sub>2</sub>の電流で駆動される。上記とは逆に、データの変化点から遅延時間Delayを経過した後から次のデータの変化点までの期間は、2つの差動回路(Main Driver)、(Emphasis Driver)の各出力電流が打ち消し合うように動作し、I<sub>1</sub>-I<sub>2</sub>の電流で駆動される。 20

【0014】

ここで、第2の経路(Emphasis Signal Path)を伝達するデータ信号(Emphasis Signal)に与えられる遅延時間Delayは、データの変化点を検出するためだけではなく、データをプリエンファシスする期間を決めている。

【0015】

図9(a)および(b)は、それぞれ図6中の遅延回路60の従来例を示す。 30

【0016】

図9(a)は、複数のバッファ回路(Buffer)もしくは反転回路(Inverter)が縦続接続されてなるバッファライン(Buffer Line)である。

【0017】

このバッファラインは、遅延素子(Delay Element)としてバッファ回路(Buffer)もしくは反転回路を縦続し、その遅延素子による伝播遅延を利用するものであり、遅延素子の段数で遅延時間を設定する。但し、その遅延時間は、使用トランジスタの製造ばらつきや、温度、電源電圧に依存する。

【0018】

図9(b)は、クロック信号CLKで駆動されるD型フリップフロップ回路(D-FF)である。 40

【0019】

このD-FFは、クロック信号CLKとして入力信号のデータレート(Data Rate)と同じ周波数を用いると、クロック信号CLKの周期もしくはその半分の期間だけ信号を保持することによって遅延させるものである。

【0020】

しかし、図9(a)および(b)のどちらの回路にしても、遅延時間Delayは回路構成に依存するので、設計時点でどれだけ遅延するかが決まる。つまり、データをプリエンファシスする期間は設計時点で固定となる。 50

## 【0021】

しかし、データをプリアンファシスする期間の最適値は、伝送線路の長さ、外部環境など様々な条件に依存する。よって、遅延時間が設計時点で決まってしまう従来の差動データドライバー回路では、最適なプリアンファシス期間を実現することは難しい。

## 【0022】

## 【発明が解決しようとする課題】

上記したように従来の差動データドライバー回路は、データをプリアンファシスする期間が設計時点で決まってしまうので、伝送線路の長さ、外部環境など様々な条件に依存するプリアンファシス期間の最適値を実現することが難しいという問題があった。

## 【0023】

本発明は上記の問題点を解決すべくなされたもので、高速シリアルデータ伝送システムにおける伝送線路の長さ、外部環境など様々な条件に依存するプリアンファシス期間の最適値を実現でき、受信側での信号振幅を広げることが可能になる差動データドライバー回路を提供することを目的とする。

## 【0024】

## 【課題を解決するための手段】

本発明の差動データドライバー回路は、差動データ信号が入力する第1のプリドライバー回路と、前記差動データ信号が入力し、制御信号に応じて遅延時間が可変であるプリアンファシス用の可変遅延回路と、前記可変遅延回路の出力信号が入力する第2のプリドライバー回路と、前記第1のプリドライバー回路の出力信号と前記第2のプリドライバー回路の出力信号との差信号に相当するプリアンファシス波形を有する駆動電流を出力するドライバー回路とを具備することを特徴とする。

## 【0025】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

## 【0026】

## &lt;第1の実施形態&gt;

図1は、本発明の第1の実施形態に係る高速シリアルデータ伝送システムの送信側の差動データドライバー回路を示すブロック図である。

## 【0027】

この差動データドライバー回路は、図6を参照して前述した従来の差動データドライバー回路と比べて、プリアンファシス用の遅延回路として、遅延時間が固定である基本となるメイン遅延回路(Main Delay)10と制御信号に応じて遅延時間が可変である付加的な可変遅延回路(Variable Delay)20が縦続接続されている点が異なり、その他は同じである。

## 【0028】

即ち、図1に示す差動データドライバー回路は、駆動電流値を徐々に大きくするための2個のプリドライバー回路(Pre-Driver)61, 62と、信号に遅延を付加する遅延回路(Delay)60と、大電流で駆動するための出力段ドライバー回路(Driver)63とから構成される。最終段のドライバー回路63は、2個のプリドライバー回路61, 62の出力信号からプリアンファシス波形信号を生成するために、図7を参照して前述したように、2つの入力信号の減算を行ってプリアンファシス波形信号を生成する減算回路(Subtraction)が用いられている。

## 【0029】

図1の差動データドライバー回路において、差動(Positive, Negative)の入力信号(Input)は2つの経路に分けられる。一方の経路は、データをそのまま後段に伝達する第1の経路(Main Signal Path)であり、他方の経路は、データを強めるための信号を伝達する第2の経路(Emphasis Signal Path)である。

## 【0030】

10

20

30

40

50

第1の経路 (Main Signal Path) では、データ信号は第1のプリドライバ回路61によってバッファリングされ、電流値を徐々に大きくしながら最終段のドライバ回路63に入力される。

【0031】

第2の経路 (Emphasis Signal Path) では、データ信号は遅延量が可変の遅延回路60によって所望の遅延が追加された後、第2のプリドライバ回路62によってバッファリングされてデータを強めるための信号となり、最終段のドライバ回路63に入力される。つまり、第2の経路 (Emphasis Signal Path) を伝達するデータ信号は、第1の経路 (Main Signal Path) を伝達するデータ信号に比べて、遅延回路60による遅延時間分だけ遅れて最終段のドライバ回路63に入力されることになる。

10

【0032】

上記したように2つのプリドライバ回路61, 62の出力信号は、最終段のドライバ回路63に入力され、ここで、2つのデータ信号の減算が行われてプリエンファシス波形を有する差動の出力信号 (Output) となる。

【0033】

したがって、図1の差動データドライバ回路においては、第2の経路 (Emphasis Signal Path) は、可変遅延回路 (Variable Delay) 20が挿入されており、データ信号に最適な遅延を付与できるので、最適なプリエンファシス期間を実現することが可能になる。

20

【0034】

図2は、図1中のメイン遅延回路10と可変遅延回路20の一例を示す。

【0035】

メイン遅延回路 (Main Delay) 10は、図9で示したような従来の遅延回路と同様に構成されるが、その遅延時間は、可変遅延回路 (Variable Delay) 20により付加される遅延時間分に見合うだけ少なく設定されたものとする。

【0036】

可変遅延回路 (Variable Delay) 20は、差動の入力信号 (データ) が2分岐された各信号がそれぞれ対応して入力し、それぞれの信号遅延量が互いに異なる2個のサブ遅延回路 (Sub Delay) 21, 22と、この2個のサブ遅延回路 (Sub Delay) 21, 22の各出力信号が入力し、それぞれの混合割合を外部制御信号 (Time Control) に応じて制御することによって、2つの入力信号のうちの任意の一方を選択して出力する信号選択 (MUX) 機能、もしくは、2つの入力信号を所望の割合で混合して出力する信号混合 (MIX) 機能を有する信号選択/混合 (MUX or MIX) 回路23から構成される。これらのサブ遅延回路回路21, 22と信号選択/混合回路23は、例えば定電流で駆動される電流動作回路 (CML) により構成される。

30

【0037】

図3は、図1に示した差動データドライバ回路の動作の一例を示す。

【0038】

次に、図3を参照しながら、図2中に示した可変遅延回路20の動作 (遅延量の変化) および図1に示した回路の動作について説明する。

40

【0039】

図2に示した第2の経路 (Emphasis Signal Path) の差動入力信号 (データ) は、まず、基本となる遅延回路 (Main Delay) 10である一定時間の遅延 (D\_Main 0) が付加された後、可変遅延回路 (Variable Delay) 20に入力される。

【0040】

可変遅延回路 (Variable Delay) 20においては、差動の入力信号が2つの経路に分岐される。そして、分岐された各信号は2個のサブ遅延回路21, 22にそ

50

れぞれ対応して入力され、それぞれ異なる時間の遅延 ( $D_1 = 0$ 、 $D_2 > 0$ 、 $D_1 < D_2$ ) が付加されて差動遅延信号 ( $S_{1\_P}$ 、 $S_{1\_N}$ )、( $S_{2\_P}$ 、 $S_{2\_N}$ ) になり、信号選択/混合回路 23 に入力される。この信号選択/混合回路 23 は、2つの入力信号を外部制御信号 (Time Control) に応じて択一的に選択し、あるいは所望の割合で混合して出力し、その動作に際して遅延 ( $D_3 > 0$ ) を付与する。これにより、可変遅延回路 20 は、差動の入力信号に対して所望の遅延 ( $D_{variable} = D(D_1, D_2) + D_3$ ) を付与する。

【0041】

したがって、第2の経路 (Emphasis Signal Path) を通過する差動信号に対して図2に示した回路による全遅延 ( $D_{total}$ ) は、 $D_{total} = D_{Main} + D_{Variable} = D_{Main} + D(D_1, D_2) + D_3$  になる。

【0042】

ここで、 $D = D_1$  の場合に、 $D_{total}$  は最小値 (Minimum Delay) になり、 $D = D_2$  の場合に、 $D_{total}$  は最大値 (Maximum Delay) になり、 $D_1 < D < D_2$  の場合に、 $D_{total}$  は中間値になる。そして、上記  $D_{total}$  が最小値、最大値、中間値の場合にそれぞれ対応して、プリアンファシス期間が最小、最大、中間になる。

【0043】

次に、図2中の2個のサブ遅延回路 21, 22 および信号選択/混合回路 23 の具体例について詳細に説明する。これらの回路は、それぞれ例えば定電流で駆動される電流動作回路 (CML) から構成されている。

【0044】

図4は、図2中の2個のサブ遅延回路 21, 22 のうちの1個を代表的に取り出して一例を示す。

【0045】

このサブ遅延回路は、差動の入力信号 (データ) を入力とし、定電流源  $I$  に接続された MOS ソース結合型の差動回路により構成されている。

【0046】

図5は、図2中の信号選択・混合回路 23 の一例を示す。

【0047】

この信号選択・混合回路は、一方の差動遅延信号 ( $S_{1\_P}$ 、 $S_{1\_N}$ ) を入力とし、外部制御信号 (Time Control) に応じて制御される第1の可変電流源  $I_{M1}$  に接続された MOS ソース結合型の第1の差動回路と、他の差動遅延信号 ( $S_{2\_P}$ 、 $S_{2\_N}$ ) を入力とし、外部制御信号 (Time Control) に応じて制御される第2の可変電流源  $I_{M2}$  に接続された MOS ソース結合型の第2の差動回路から構成されている。

【0048】

そして、上記第1の差動回路と第2の差動回路は、負荷抵抗  $R_1$ 、 $R_2$  を共有させ、各出力信号の正 (Positive) 負 (Negative) を対応させて接続することにより、外部制御信号 (Time Control) に応じて2つの差動遅延信号 ( $S_{1\_P}$ 、 $S_{1\_N}$ )、( $S_{2\_P}$ 、 $S_{2\_N}$ ) の任意の一方を選択し、もしくは、2つの信号を所望の割合で混合して出力する。この際、2つの可変電流源  $I_{M1}$ 、 $I_{M2}$  の電流の流し方の設定次第で、信号選択 (MUX) 機能と信号混合 (MIX) 機能を実現することができる。

【0049】

即ち、第1の可変電流源  $I_{M1}$  の駆動電流  $I_{M1}$ 、第2の可変電流源  $I_{M2}$  の駆動電流  $I_{M2}$  の設定によって以下のような動作をする。ここで、 $I_{M1} + I_{M2} = I = \text{constant}$  の関係があるとする。

【0050】

10

20

30

40

50

(A)  $IM1 = I$ 、 $IM2 = 0$  の場合には、 $D\_Total$  は最小 ( $D\_min$ ) となる。

(B)  $IM1 = 0$ 、 $IM2 = I$  の場合には、 $D\_Total$  は最大 ( $D\_max$ ) となる。

(C)  $IM1 = i$ 、 $IM2 = I - i$  の場合には、 $D\_Total$  は  $D\_min \sim D\_max$  の間で  $IM1$  と  $IM2$  の大小関係に応じて制御される。

【0051】

換言すれば、図2中の信号選択・混合回路23は、上記(A)、(B)のように $IM1$ と $IM2$ のどちらか一方しか流さないように制御する場合には、信号選択(MUX)回路として動作し、上記(C)のように $IM1$ と $IM2$ を $IM1 + IM2 = I$ を満たしながら制御する場合には、信号混合(MIX)回路として動作する。 10

【0052】

【発明の効果】

上述したように本発明の差動データドライバ回路によれば、高速シリアルデータ伝送システムにおける伝送線路の長さ、外部環境など様々な条件に依存するプリエンファシス期間の最適値を実現でき、受信側での信号振幅を広げることがができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る高速シリアルデータ伝送システムの送信側の差動データドライバ回路を示すブロック図。

【図2】図1中のメイン遅延回路と可変遅延回路の一例を示すブロック図。 20

【図3】図1に示した差動データドライバ回路の動作の一例を示す信号波形図。

【図4】図2中の2個のサブ遅延回路のうちの1個を代表的に取り出して一例を示す回路図。

【図5】図2中の信号選択・混合回路の一例を示す回路図。

【図6】従来的高速シリアルデータ伝送システムの送信側の差動データドライバ回路の基本構成を示すブロック図。

【図7】図6中の二入力減算回路の一例を示す回路図。

【図8】図7の二入力減算回路の減算処理によるプリエンファシスの概念を説明するためにその動作例を示す信号波形図。

【図9】図6中の遅延回路の従来例を示す回路図。 30

【符号の説明】

10 ... メイン遅延回路 (Main Delay)、

20 ... 可変遅延回路 (Variable Delay)、

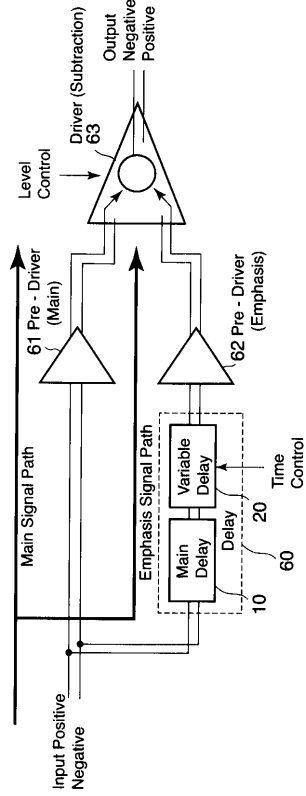
61, 62 ... プリドライバ回路 (Pre-Driver)、

60 ... 遅延回路 (Delay)、

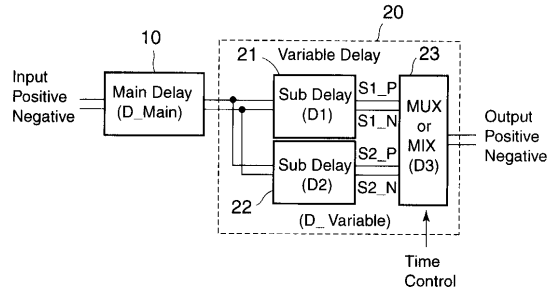
63 ... ドライバ回路 (Driver)。



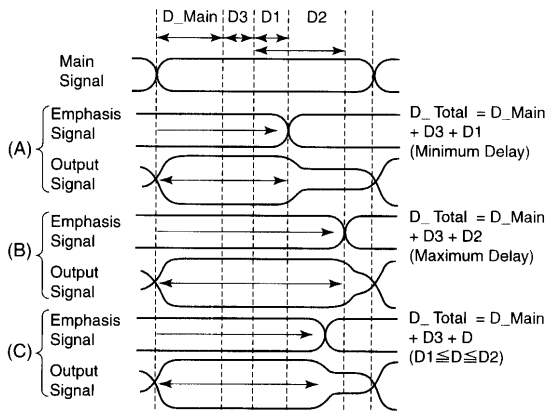
【 図 1 】



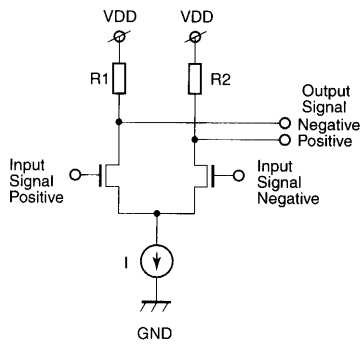
【 図 2 】



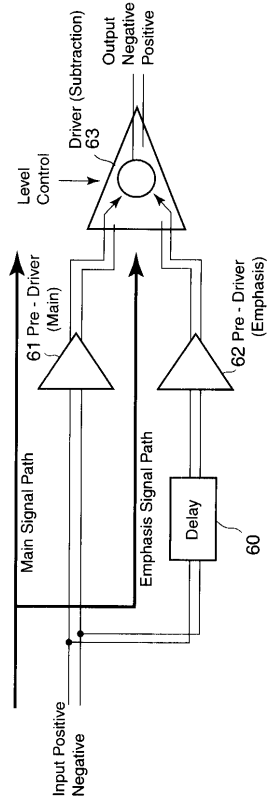
【 図 3 】



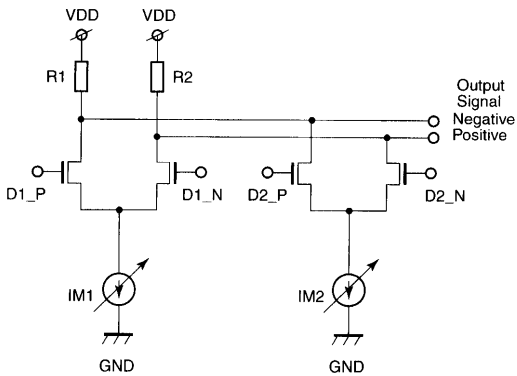
【 図 4 】



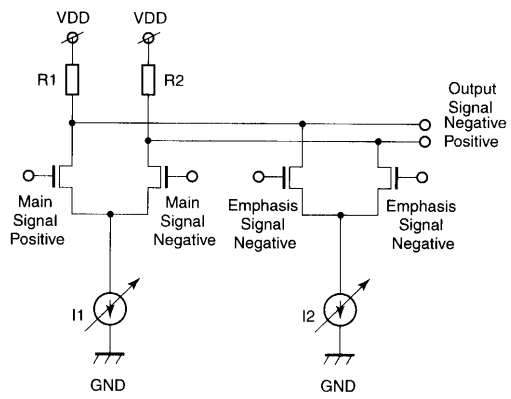
【 図 6 】



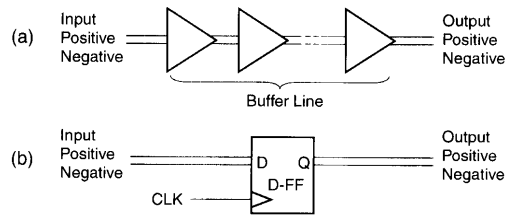
【 図 5 】



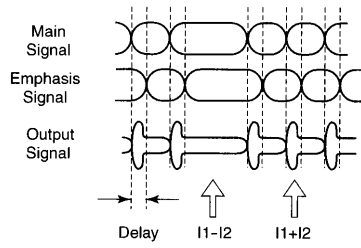
【 図 7 】



【 図 9 】



【 図 8 】



---

フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 佐藤 聖人

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

Fターム(参考) 5J056 AA05 BB01 CC00 CC01 CC05 DD13 DD28 FF09 KK01

5K029 AA03 BB03 CC01 GG07