(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3542649号
(P3542649)
(45)発行日　平成16年7月14日(2004.7.14)　(24)登録日　平成16年4月9日(2004.4.9)

(51)Int.Cl.[7]	F I	
G11C 29/00	G11C 29/00	603N
G11C 11/401	G11C 11/34	371D

請求項の数 2　(全 21 頁)

(21)出願番号	特願平6-328151
(22)出願日	平成6年12月28日(1994.12.28)
(65)公開番号	特開平8-180699
(43)公開日	平成8年7月12日(1996.7.12)
審査請求日	平成12年9月14日(2000.9.14)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】半導体記憶装置およびその動作方法

(57)【特許請求の範囲】

【請求項１】

正規メモリセルと不良メモリセルの置換用の予備メモリセルを含み、行列状に配置された複数のメモリセルで構成されるメモリセルアレイと、

記憶情報の第１の論理レベルに対応する第１の電位を供給する第１の電源と、

前記記憶情報の第２の論理レベルに対応する第２の電位を供給する第２の電源と、

アドレス信号に応じて対応する前記複数のメモリセルの列選択を行う列選択信号が伝達される列選択線と、

前記複数のメモリセルの列に対応して配設され、前記不良メモリセルと前記予備メモリセルの置換をする場合の置換単位として前記列選択線で選択される所定数毎に単位化された複数のビット線対と、

各々が前記複数のビット線対と接続され、前記メモリセルの前記記憶情報に応じて前記第１の電位または前記第２の電位を出力する複数のセンスアンプとを備え、

前記複数のセンスアンプの各々は、

前記第１の電位が供給される第１の電源入力端と、

前記第２の電位が供給される第２の電源入力端とを含み、さらに、

前記複数のセンスアンプの前記第１の電源入力端が、対応する前記複数のビット線対の単位毎に共通に接続されかつ単位間で互いが分離された複数の第１の電源供給線と、

前記複数のセンスアンプの前記第２の電源入力端が、対応する前記複数のビット線対の単位毎に共通に接続されかつ単位間で互いが分離された複数の第２の電源供給線と、

第３の電位を供給する第３の電源と、
前記複数のビット線対の単位毎に配設され第１の方向に延在する複数の第１の配線部、および前記複数のビット線対の単位間に共通に設けられ前記複数の第１の配線部と直交する方向である第２の方向に延在する第２の配線部を有し、前記第３の電位を供給する第３の電位電源線と、
前記複数のビット線対毎に設けられ、前記メモリセルの記憶情報の読出、書込動作開始前に、前記複数のビット線対の対をなすビット線間の電位を共通にすると共に、対応する前記第１の配線部から供給される前記第３の電位との結合を開閉する複数のビット線イコライズ回路と、
前記複数のビット線対の単位間に共通に前記複数のビット線対に直交する方向に延在して設けられ、前記複数のビット線イコライズ回路の開閉を制御する信号を伝達する制御信号線と、
前記複数のビット線対の単位毎に設けられ、対応する前記第１の電源供給線と前記第２の電源供給線の電位を共通にすると共に対応する第１の配線部から供給される前記第３の電位との結合を開閉する複数の電源供給線イコライズ回路と、
前記複数の第１の配線部と前記第２の配線部との接続をそれぞれ個別にかつ不揮発的に設定できる複数のスイッチ手段とを備えた、半導体記憶装置。
【請求項２】
正規メモリセルと不良メモリセルの置換用の予備メモリセルを含み、行列状に配置された複数のメモリセルで構成されるメモリセルアレイと、
記憶情報の第１の論理レベルに対応する第１の電位を供給する第１の電源と、
前記記憶情報の第２の論理レベルに対応する第２の電位を供給する第２の電源と、
アドレス信号に応じて対応する前記複数のメモリセルの列選択を行う列選択信号が伝達される列選択線と、
前記複数のメモリセルの列に対応して配設され、不良のメモリセルと予備メモリセルの置換をする場合の置換単位として前記列選択線で選択される所定数毎に単位化された複数のビット線対と、
各々が、前記複数のビット線対に対応して設けられ、前記複数のビット線対をメモリセル側とセンスアンプ側に分離する、待機時にオフ状態とされる複数のトランスファーゲートと、
前記複数のビット線対のセンスアンプ側に接続され、前記メモリセルの前記記憶情報に応じて前記第１の電位または前記第２の電位を出力する複数のセンスアンプとを備え、
前記複数のセンスアンプの各々は、
前記第１の電位が供給される第１の電源入力端と、
前記第２の電位が供給される第２の電源入力端とを含み、さらに、
前記複数のセンスアンプの前記第１の電源入力端が共通に接続された第１の電源供給線と、
前記複数のセンスアンプの前記第２の電源入力端が共通に接続された第２の電源供給線と、
第３の電位を供給する第３の電源と、
前記複数のビット線対の単位毎に配設され、第１の方向に延在する複数の第１の配線部と、前記複数のビット線対の単位間に共通に設けられ前記複数の第１の配線部と直交する方向である第２の方向に延在する第２の配線部と、前記複数のビット線対の単位間に共通に設けられ、前記第２の方向に延在する第３の配線部とを有する前記第３の電位を供給する第３の電位電源線と、
前記複数のビット線対毎に前記複数のビット線対のメモリセル側に設けられ、前記メモリセルの前記記憶情報の読出、書込動作開始前に、前記複数のビット線対のメモリセル側の対をなすビット線間の電位を共通にすると共に対応する前記第１の配線部から供給される前記第３の電位との結合を開閉する複数の第１のビット線イコライズ回路と、
前記複数のビット線対の単位間に共通に前記複数のビット線対に直交する方向に延在して

設けられ、前記複数の第１のビット線イコライズ回路の開閉を制御する信号を伝達する制御信号線と、
前記複数のビット線対毎に前記複数のビット線対のセンスアンプ側に設けられ、前記メモリセルの前記記憶情報の読出、書込動作開始前に、前記複数のビット線対のセンスアンプ側の対をなすビット線間の電位を共通にすると共に前記第３の配線部から供給される前記第３の電位との結合を開閉する複数の第２のビット線イコライズ回路と、
前記メモリセルの前記記憶情報の読出、書込動作開始前に、前記第１および第２の電源供給線の電位を共通にすると共に前記第３の配線部から供給される前記第３の電位との結合を開閉する電源供給線イコライズ回路と、
前記複数の第１の配線部と前記第２の配線部との接続をそれぞれ個別にかつ不揮発的に設定できる複数のスイッチ手段とを備えた、半導体記憶装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

この発明は、冗長回路を含む半導体記憶装置およびその動作方法に関する。

【０００２】

【従来の技術】

半導体記憶装置、特にダイナミック型ＲＡＭ（ＤＲＡＭ）の高集積化が進行するにつれ、待機動作時の消費電力は増加していく傾向にある。特に、ＤＲＡＭでは待機中も記憶情報の再読出、再書込を行なうことにより記憶情報を保持しているため、原理的にも待機中の消費電力の低減には限界がある。

【０００３】

しかし、たとえばＤＲＡＭを大量に使用するシステムにおいては、この待機中の消費電力を少しでも減少させることが必須の課題である。

【０００４】

一方で、高集積化に伴い必然的に、メモリセルにおける欠陥の発生頻度も増加する。

【０００５】

このようなメモリセルの欠陥により不良が発生した場合、一般には、欠陥メモリセルの存在するメモリセル列等を予備のメモリセル列等と置換する、いわゆる冗長回路による救済が行なわれる。

【０００６】

この置換により、メモリセルのデータの読出、書込等の基本動作は問題なく行なわれる。しかし、当該不良を冗長回路で救済しても、不良部のリークパスは依然として存在する。したがって、この点でもＤＲＡＭ等の待機中の消費電力は増加してしまう結果となる。

【０００７】

以上の事情を従来のＤＲＡＭの構成を示す図１８により、さらに詳しく説明する。

【０００８】

まず、各構成部分の動作を簡単に説明する。
Ｙアドレス比較回路３８には、予めテスト時に不良ビットの存在が判明したアドレスが、ヒューズ回路等の不揮発性メモリにより記憶されている。

【０００９】

外部からのアドレス信号４０が、上記不良ビットの存在するアドレスと一致しない場合は、たとえば、コラム選択線ドライブ回路３４が活性化され、コラム選択線（以下ＣＳ線）２４が“Ｈ”レベルとなる。

【００１０】

ビット線対群単位１０２のＩ／Ｏゲート１９（ビット線対群単位１００中のＩ／Ｏゲート１８に相当）等により、ビット線対ＢＬ３、／ＢＬ３等が、データ入出力線２０と接続される。

【００１１】

ビット線対ＢＬ３、／ＢＬ３等の電位差は、予めそれらに接続され、図示しないワード線

の信号により選択されたメモリセルの記憶情報に対応して、センスアンプ１７等が増幅している。

【００１２】

以上の動作で、上記メモリセルの情報が外部に読出される。

一方で、仮にビット線ＢＬ１にＧＮＤレベルとの間のショート部分２００が存在すると、このビット線に接続されるメモリセルの読出、書込動作は不能となる。

【００１３】

この場合、この不良の起こったビット線が予備のビット線と置き換えられる。一般には、ビット線単位で置き換が行なわれるのではなく、ＣＳ線で選択されるビット線対群単位で置き換が行なわれる。

【００１４】

つまり、この不良が生じたビット線ＢＬ１が属するビット線対群単位１００に対応するＣＳ線２２のアドレスが、Ｙアドレス比較回路３８に予めプログラムされる。

【００１５】

外部からのアドレス信号４０は、このプログラムされた不良アドレスとＹアドレス比較回路３８により比較される。両者が一致する場合、スペアコラムデコーダが活性化する信号（ＳＥ信号）がＣＳ線ドライブ回路３６に入力され、スペアビット線スペアＢＬ１、スペア／ＢＬ１等からなるビット線対群単位１０４が選択される。

【００１６】

同時に不良ビット線ＢＬ１を持ったＣＳ線を非活性化する信号（ＮＥＤ信号）が、ＣＳ線ドライブ回路３２に入力される。

【００１７】

したがって、不良ビットの置き換が行なわれ、メモリセルの基本動作には問題がなくなる。

【００１８】

しかし、ビット線対はメモリセルの情報の応じてセンスアンプ１６が増幅動作を開始する前は、たとえば、米国特許第４６６３５８４号にも開示されているように、チップ内部のビット線電位発生回路（図示せず）により供給される電位にV_{BL}にプリチャージされている。ここで、電位V_{BL}は、一般には電源２から供給される電位をV_{CC}とするとき、$1/2V_{CC}$となるように設定される。

【００１９】

但し、V_{BL}の値は必ずしも$1/2V_{CC}$には限定されず、任意の値とすることが可能である。

【００２０】

また、スイッチングトランジスタ１０を介して電源２と接続する、センスアンプへの第１の電源供給線Ｓ２Ｐおよびスイッチングトランジスタ１２を介して接地と接続する、センスアンプへの第２の電源供給線Ｓ２Ｎ（以下、両者を総称してＳ２線と呼ぶ。）も、ビット線対と同様プリチャージされる。

【００２１】

したがって、ショート部分２００の存在により、ビット線電位発生回路の電位の供給線から、ビット線対ＢＬ１、／ＢＬ１を共通に電位V_{BL}とするビット線イコライズ回路１４を通り、ビット線ＢＬ１を経由して電流がリークする第１のリークパス２０２と、Ｓ２線を共通に電位V_{BL}とするＳ２線イコライズ回路８から、Ｓ２線およびセンスアンプ１６、ビット線ＢＬ１を経由して電流がリークする第２のリークパス２０４が発生する。

【００２２】

その結果、メモリセル部における実際の待機電流が増大してしまうという問題が発生する。

【００２３】

また、電位V_{BL}が設計値よりも低くなることにより、V_{BL}に対する動作マージンが著しく低下するという問題もある。

【００２４】
この点を、図１９の従来のＤＲＡＭの動作のタイミングチャートにより説明する。
【００２５】
まず、時刻t_0においては、ビット線対は本来すべて、電位V_{BL}にプリチャージされている。
【００２６】
しかし、不良ビットの存在するビット線対ＢＬ１，／ＢＬ１の電位は、電位V_{BL}（＝１／２V_{CC}）よりもリーク電流のために低下する。
【００２７】
また、センスアンプのＳ２線も、リーク電流によりプリチャージ電圧V_{BL}よりも低下する。ここで注意しなければならないのは、このＳ２線の電位低下は、Ｓ２線に共通に接続するすべてのセンスアンプの動作に影響を与えることである。
【００２８】
行アドレスストローブ信号／ＲＡＳが、時刻t_2において、“Ｈ”から“Ｌ”となると、内部信号ＢＬＥＱが時刻t_3において“Ｈ”から“Ｌ”となり、ビット線対は電気的に分離される。
【００２９】
同様に、Ｓ２線の対もＳ２線イコライズ回路８がオフ状態となって、電気的に分離される。
【００３０】
その後、時刻t_5において信号／ＳＯＰおよびＳＯＮにより、スイッチングトランジスタ１０および１２が、それぞれオン状態となり、センスアンプ１６が活性化する。
【００３１】
その結果、ビット線対ＢＬ１、／ＢＬ１およびスペアＢＬ１、スペア／ＢＬ１の電位は、それらのそれぞれに対応して選択されているメモリセルの記憶情報に応じて、一方が電位V_{CC}に、他方が接地電位に変化する。
【００３２】
信号ＮＥＤおよび信号ＳＥが、時刻t_8で“Ｌ”から“Ｈ”となり、ＣＳ１線２２は非活性状態のままであるのに対し、スペアＣＳ線２６が活性化され、データ入出力線（Ｉ／Ｏ線）２０にデータが出力される。
【００３３】
その後、時刻t_{12}において、／ＲＡＳ信号が“Ｌ”から“Ｈ”となり、時刻t_{13}においてＢＬＥＱ信号は“Ｌ”から“Ｈ”になる。
【００３４】
同時に、信号／ＳＯＰおよびＳＯＮによりセンスアンプは非活性状態になる。ＢＬＥＱ信号により、ビット線対は再び電位V_{BL}にプリチャージされる。しかし、ビット線対ＢＬ１、／ＢＬ１の電位はリーク電流により低下し、Ｓ２線の電位も低下していく。
【００３５】
以上のように、リーク電流のためにセンスアンプが活性化される直前のＳ２線の電位は、V_{BL}（＝１／２V_{CC}）よりも低下していることになる。このために生じるV_{BL}マージンの低下は、近年におけるメモリの大容量化とともにさらに深刻な問題となる。
【００３６】
すなわち、メモリの大容量化とともにデバイスサイズも微細化し、信頼性等の観点から電源電圧の低電圧化が必要となっている。このため、もともと低電圧化によるV_{BL}マージンの低下が問題であることに加え、リークパスによるV_{BL}の低下により、さらにV_{BL}マージンが低下するという結果となるからである。
【００３７】
【発明が解決しようとする課題】
以上のように、従来の半導体記憶装置では、不良部のリーク電流のため、メモリセル部の実際の待機電流が増大するとともに、電位V_{BL}に対する動作マージンが低下するという

問題点があった。

【００３８】

本発明は、上記のような問題点を解決するためになされたものであって、その目的は、スタンバイ時の消費電力を低減し得る半導体記憶装置およびその動作方法を提供することである。

【００３９】

この発明の別の目的は、メモリセル部に不良があっても、その不良によるプリチャージ時におけるビット線電位やセンスアンプのＳ２線の電位の低下を防止し得る半導体記憶装置およびその動作方法を提供することである。

【００４０】

【課題を解決するための手段】

請求項１記載の半導体記憶装置は、正規メモリセルと不良メモリセルの置換用の予備メモリセルを含み、行列状に配置された複数のメモリセルで構成されるメモリセルアレイと、記憶情報の第１の論理レベルに対応する第１の電位を供給する第１の電源と、記憶情報の第２の論理レベルに対応する第２の電位を供給する第２の電源と、アドレス信号に応じて対応する複数のメモリセルの列選択を行う列選択信号が伝達される列選択線と、複数のメモリセルの列に対応して配設され、不良メモリセルと予備メモリセルの置換をする場合の置換単位として列選択線で選択される所定数毎に単位化された複数のビット線対と、各々が複数のビット線対と接続され、メモリセルの記憶情報に応じて第１の電位または第２の電位を出力する複数のセンスアンプとを備え、複数のセンスアンプの各々は、第１の電位が供給される第１の電源入力端と、第２の電位が供給される第２の電源入力端とを含み、さらに、複数のセンスアンプの第１の電源入力端が、対応する複数のビット線対の単位毎に共通に接続されかつ単位間で互いが分離された複数の第１の電源供給線と、複数のセンスアンプの第２の電源入力端が、対応する複数のビット線対の単位毎に共通に接続されかつ単位間で互いが分離された複数の第２の電源供給線と、第３の電位を供給する第３の電源と、複数のビット線対の単位毎に配設され第１の方向に延在する複数の第１の配線部、および複数のビット線対の単位間に共通に設けられ複数の第１の配線部と直交する方向である第２の方向に延在する第２の配線部を有し、第３の電位を供給する第３の電位電源線と、複数のビット線対毎に設けられ、メモリセルの記憶情報の読出、書込動作開始前に、複数のビット線対の対をなすビット線間の電位を共通にすると共に、対応する第１の配線部から供給される第３の電位との結合を開閉する複数のビット線イコライズ回路と、複数のビット線対の単位間に共通に複数のビット線対に直交する方向に延在して設けられ、複数のビット線イコライズ回路の開閉を制御する信号を伝達する制御信号線と、複数のビット線対の単位毎に設けられ、対応する第１の電源供給線と第２の電源供給線の電位を共通にすると共に対応する第１の配線部から供給される第３の電位との結合を開閉する複数の電源供給線イコライズ回路と、複数の第１の配線部と第２の配線部との接続をそれぞれ個別にかつ不揮発的に設定できる複数のスイッチ手段とを備える。

【００４１】

請求項２記載の半導体記憶装置は、正規メモリセルと不良メモリセルの置換用の予備メモリセルを含み、行列状に配置された複数のメモリセルで構成されるメモリセルアレイと、記憶情報の第１の論理レベルに対応する第１の電位を供給する第１の電源と、記憶情報の第２の論理レベルに対応する第２の電位を供給する第２の電源と、アドレス信号に応じて対応する複数のメモリセルの列選択を行う列選択信号が伝達される列選択線と、複数のメモリセルの列に対応して配設され、不良のメモリセルと予備メモリセルの置換をする場合の置換単位として列選択線で選択される所定数毎に単位化された複数のビット線対と、各々が、複数のビット線対に対応して設けられ、複数のビット線対をメモリセル側とセンスアンプ側に分離する、待機時にオフ状態とされる複数のトランスファーゲートと、複数のビット線対のセンスアンプ側に接続され、メモリセルの記憶情報に応じて第１の電位または第２の電位を出力する複数のセンスアンプとを備え、複数のセンスアンプの各々は、第１の電位が供給される第１の電源入力端と、第２の電位が供給される第２の電源入力端と

を含み、さらに、複数のセンスアンプの第１の電源入力端が共通に接続された第１の電源供給線と、複数のセンスアンプの第２の電源入力端が共通に接続された第２の電源供給線と、第３の電位を供給する第３の電源と、複数のビット線対の単位毎に配設され、第１の方向に延在する複数の第１の配線部と、複数のビット線対の単位間に共通に設けられ複数の第１の配線部と直交する方向である第２の方向に延在する第２の配線部と、複数のビット線対の単位間に共通に設けられ、第２の方向に延在する第３の配線部とを有する第３の電位を供給する第３の電位電源線と、複数のビット線対毎に複数のビット線対のメモリセル側に設けられ、メモリセルの記憶情報の読出、書込動作開始前に、複数のビット線対のメモリセル側の対をなすビット線間の電位を共通にすると共に対応する第１の配線部から供給される第３の電位との結合を開閉する複数の第１のビット線イコライズ回路と、複数のビット線対の単位間に共通に複数のビット線対に直交する方向に延在して設けられ、複数の第１のビット線イコライズ回路の開閉を制御する信号を伝達する制御信号線と、複数のビット線対毎に複数のビット線対のセンスアンプ側に設けられ、メモリセルの記憶情報の読出、書込動作開始前に、複数のビット線対のセンスアンプ側の対をなすビット線間の電位を共通にすると共に第３の配線部から供給される第３の電位との結合を開閉する複数の第２のビット線イコライズ回路と、メモリセルの記憶情報の読出、書込動作開始前に、第１および第２の電源供給線の電位を共通にすると共に第３の配線部から供給される第３の電位との結合を開閉する電源供給線イコライズ回路と、複数の第１の配線部と第２の配線部との接続をそれぞれ個別にかつ不揮発的に設定できる複数のスイッチ手段とを備える。

【００５３】

【作用】

請求項１記載の半導体記憶装置においては、複数のビット線対は、複数のメモリセルの列に対応して配設され、不良メモリセルと予備メモリセルの置換をする場合の置換単位として列選択線で選択される所定数毎に単位化されている。

【００５４】

複数のビット線イコライズ回路は、複数のビット線対毎に設けられ、メモリセルの記憶情報の読出、書込動作開始前に、複数のビット線対の対をなすビット線間の電位を共通にすると共に、対応する第１の配線部から供給される第３の電位との結合を開閉する。制御信号線は、複数のビット線対の単位間に共通に複数のビット線対に直交する方向に延在して設けられ、複数のビット線イコライズ回路の開閉を制御する信号を伝達する。

【００５５】

複数の第１の配線部と第２の配線部との接続は、複数のスイッチ手段により、それぞれ個別かつ不揮発的に設定することができる。

【００５６】

請求項２記載の半導体記憶装置においては、複数のトランスファーゲートは、複数のビット線対に対応して設けられ、複数のビット線対をメモリセル側とセンスアンプ側に分離し、待機時にオフ状態とされる。

【００５７】

さらに、メモリセル側の第１のビット線イコライズ回路には、第１の配線部を介して第３の電位を供給し、第１および第２の電源供給線およびセンスアンプ側の第２のビット線イコライズ回路には第１の配線部と分離された第３の配線部を介して第３の電位を供給する。

【００５８】

そして、第１の配線部と第２の配線部の接続点に設けられたスイッチ手段の遮断を行えば、第１の配線部からビット線イコライズ回路を介して不良部へ流れ込む電流のカットが行われる。

【００９１】

【実施例】

図１は、本発明の第１の実施例のＤＲＡＭの要部概略ブロック図である。

【００９２】
図中、従来例の図１８と同一符号は同一の構成要素を示す。
従来例と異なる点は、ビット線およびセンスアンプのＳ２線のプリチャージ電位V_{BL}を供給する電源線V_{BL1}、V_{BL2}、…、V_{BLS}を、ビット線対群単位ごとに、ＣＳ線と平行に配置していることである。
【００９３】
これらプリチャージ電位電源線と、対応するメモリセルアレイ部とは、それぞれ不揮発性のスイッチ手段、たとえばヒューズ素子により接続されている。
【００９４】
さらに、Ｓ２線は、不良ビットが存在する場合に置換が行なわれる単位である、ビット線対群単位１００、１０２、１０４等ごとに、分離されている。その各々には、Ｓ２線対の間の接続を開閉するＳ２線イコライズ回路Ｓ２－ＥＱが設置されている。
【００９５】
ここで、たとえばビット線対群単位１００中のビット線ＢＬ１に接続するメモリセルに、ショート部分２００がある場合は、ヒューズ素子２８をカットする。
【００９６】
これにより、従来例では不良ビットの存在するビット線対群単位の置換後にも、第１および第２のリークパスが存在したのに対し、本構成では、両リークパスが遮断されリーク電流が流れない。
【００９７】
したがって、置換後の不良ビットによる待機電流の増加を防ぐことが可能となる。
【００９８】
図２は、第１の実施例の動作を示すタイミングチャートである。
基本的には、従来例の動作と同様である。不良ビットの接続するビット線対ＢＬ１、／ＢＬ１においても、センス動作が行なわれ、ビット線対間の電位が増幅される。
【００９９】
この場合、ビット線ＢＬ１と接地との間にリークがあるので、ビット線ＢＬ１が“Ｌ”レベル、ビット線／ＢＬ１が“Ｈ”レベルに増幅される。
【０１００】
しかし、このビット線対は、予備のビット線対、スペアＢＬ１およびスペア／ＢＬ１に置換されているので基本動作には何も影響が現れない。
【０１０１】
その後、時刻t_9において、ビット線対ＢＬ１および／ＢＬ１は、信号ＢＬＥＱが“Ｌ”レベルから“Ｈ”レベルとなって、両者が接続され、１／２V_{CC}レベルとなる。しかし、電流のリークのために、上記ビット線対の電圧レベルは徐々に低下し、時刻t_{10}において十分電位が下がって一定値となる。
【０１０２】
ヒューズ素子２８がカットされているので、この後はリーク電流は流れない。従来の冗長回路では、不良の属するビット線対群単位を救済しても、待機時の電流増加を救済することは不可能であった。
【０１０３】
それに対して本実施例に示すように、置換単位でＳ２線を分離するとともに、ビット線およびＳ２線のプリチャージ電源配線を分離し、ヒューズ素子によりリーク電流パスをカットすれば、上記問題を軽減することが可能となる。
【０１０４】
なお、図１中の第１の実施例では、正規のビット線対群単位に対応するプリチャージ電源配線のみにヒューズ素子が設けられる構成となっている。
【０１０５】
しかし、予備のビット線対群単位１０４に対応する電源配線にもヒューズ素子が設けられることで、予備メモリセル中の不良ビットにより、待機電流が増加する不良に対応可能で

あることはもちろんである。
【０１０６】
図３は、本発明の第２の実施例のＤＲＡＭの要部概略ブロック図である。
第１の実施例では、センスアンプのＳ２線を分離したため、Ｓ２線の容量軽減により、センスアンプのラッチ能力が低下している。
【０１０７】
したがって、ＣＳ線が活性化され、ビット線のデータがＩ／Ｏ線に転送される場合、Ｉ／Ｏ線とビット線とが接続された瞬間に、Ｉ／Ｏ線の初期の電位レベルが、逆にセンスアンプ側に転送され、センスアンプがラッチしているデータが破壊されるという問題が生じる可能性がある。
【０１０８】
そこで、第２の実施例では、Ｉ／Ｏ線とビット線とを接続するＩ／Ｏゲートは、以下に述べるような構造のゲート受けＩ／Ｏゲート５０により構成される。
【０１０９】
すなわち、ゲート受けＩ／Ｏゲート５０において、ソースが接地される１対の第１のＮチャネルＭＯＳＦＥＴのゲートにＣＳ線が共通に接続されている。さらに、ソースが上記１対の第１のＮチャネルＭＯＳＦＥＴのドレインと接続する１対の第２のＮチャネルＭＯＳＦＥＴのゲートがビット線対に、ドレインがＩ／Ｏ線と接続されている。
【０１１０】
したがって、Ｉ／Ｏ線の電位が直接ビット線には伝達されない。
つまり、Ｓ２線が分離されてセンスアンプのラッチ能力が低下した場合でも、Ｉ／Ｏ線の初期電位によって、センスアンプ側のデータが破壊されることがなくなる。
【０１１１】
なお、１対の第１のＮチャネルＭＯＳＦＥＴのゲートにビット線対が、１対の第２のＮチャネルＭＯＳＦＥＴのゲートにＣＳ線が接続されている構成でも、同様の効果がある。
【０１１２】
以上の動作を、図４のタイミングチャートにより説明する。
以下の説明では、Ｉ／Ｏ線の電位は初期値として、“Ｈ”レベルにプリチャージされているものとする。
【０１１３】
時刻t_1　において信号／ＳＯＰ、ＳＯＮが活性化することで、センスアンプが起動され、ビット線対BL_n　、／BL_n　の電位差が、選択されているメモリセルの記憶情報に応じて増幅される。
【０１１４】
時刻t_4　において、CS_n　線が“Ｌ”レベルから“Ｈ”レベルへ変化し始めると、それに応じて、Ｉ／Ｏ線の電位も変化し始める。
【０１１５】
通常のＩ／Ｏゲート（図１中の１８に相当）では、“Ｌ”レベルのビット線の電位は、Ｉ／Ｏゲートの初期電位のために、図４中の点線にように変動を受ける。この変動が十分大きければ、データが破壊されることになる。
【０１１６】
これに対して、ゲート受けＩ／Ｏゲート５０では、“Ｈ”レベルのビット線に接続されるＩ／Ｏ線のレベルが“Ｌ”レベルへと変化する。ただし、ビット線は、Ｉ／Ｏ線と直接結合していないので、Ｉ／Ｏ線の電位によるビット線電位の変動はほとんどない。このため、データが破壊されることもない。
【０１１７】
図５は、本発明の第３の実施例であるＤＲＡＭの要部概略ブロック図である。
第２の実施例と異なる点は、以下の４点である。
【０１１８】
すなわち、第１点は、Ｓ２線がビット線対群単位ごとに分離されていないことである。

【０１１９】
第２点はセンスアンプ帯とビット線の間にあるトランスファゲート６０により、ビット線のメモリセル側とセンスアンプ側とが分離可能なことである。
【０１２０】
第３点はビット線対のメモリセルが設けられている側にイコライズ回路１４を設置し、この回路へのプリチャージ電位の供給は、ビット線対群単位ごとに設けられ、ヒューズ素子を有するプリチャージ電源配線V_{BLn}　により行なわれることである。
【０１２１】
第４点は、ビット線対のセンスアンプが設けられている側にもイコライズ回路６２が設置され、この回路とＳ２線へのプリチャージ電位の供給は、各ビット線対群単位に共通に接続するメインのプリチャージ電源配線から行なわれることである。
【０１２２】
以下、図６のタイミングチャートにより動作を説明する。
時刻t_0　では、信号ＢＬＩは“Ｌ”レベルであって、トランスファゲート６０はオフ状態である。
【０１２３】
したがって、センスアンプのＳ２線やビット線イコライズ回路６２にプリチャージ電位を供給する配線と、ビット線対のメモリセルが設けられている側とは分離されている。
【０１２４】
時刻t_2　において、信号ＢＬＩが“Ｌ”レベルから“Ｈ”レベルへと変化して、トランスファゲート６０はオン状態に変化する。ビット線イコライズ信号ＢＬＥＱおよびＢＬＩＱは、“Ｈ”レベルから“Ｌ”レベルとなり、プリチャージ電位のビット線およびＳ２線への供給が遮断される。
【０１２５】
その後、センスアンプは通常の動作を行ない、信号の読出が行なわれた後で、時刻t_9　において、信号ＢＬＩは“Ｌ”レベルとなり、トランスファゲート６０はオフ状態となる。
【０１２６】
この状態で、ビット線対のメモリセルの設けられている側をプリチャージする動作を、イコライズ回路１４が行なう。
【０１２７】
同時に、ビット線対のセンスアンプが設けられている側をプリチャージする動作を、イコライズ回路６２が行なう。
【０１２８】
したがって、プリチャージ動作中、メインのプリチャージ電源配線と、不良メモリセル部分２００とは分離されている。
【０１２９】
このため、リーク電流のパスが遮断され、待機電流の増加が抑制される。
さらに、ヒューズ素子２８をカットすることで、プリチャージ電源４と不良メモリセル部分２００とは分離することが可能である。
【０１３０】
また、本実施例では、センスアンプのＳ２線が分離されていないので、第１の実施例のようにセンスアンプのラッチ能力が低下するという問題はない。
【０１３１】
図７は本発明の第４の実施例であるＤＲＡＭの要部概略ブロック図である。
第１の実施例との構成上の相違点は、以下に説明する理由により、プリチャージ電源４をなくし、プリチャージ電源配線V_{BL1}　、V_{BL2}　、…、V_{BLS}　を電気的にフローティング状態としたことである。
【０１３２】
なお、この場合も、第１の実施例と同様にセンスアンプのＳ２線が分離されたことによる

ラッチ能力の低下が問題となる可能性がある。

【０１３３】

そこで、この点を改善するには、図８に示す第５の実施例のＤＲＡＭのように、Ｉ／Ｏゲートをゲート受けＩ／Ｏゲート５０とすればよい。

【０１３４】

第４の実施例および第５の実施例とも基本的にその動作は同様であるので、図９のタイミングチャートにより説明する。

【０１３５】

時刻t_0においては、正常なビット線対群中のビット線対BL_n、／BL_n（$n \neq 1、2$）は、一方が電位V_{CC}に、他方が接地電位になっており、電気的にフローティングな状態で保持されている。

【０１３６】

時刻t_1において、行アドレスストローブ信号／ＲＡＳが、“Ｈ”レベルから“Ｌ”レベルに変化すると、時刻t_2からt_5の期間、信号ＢＬＥＱがパルス的に“Ｈ”レベルとなる。

【０１３７】

ビット線対間が、イコライズ回路１４で接続されることにより、両ビット線は共通電位１／２V_{CC}となって、プリチャージされたのと同様の状態となる。

【０１３８】

一方、上記信号ＢＬＥＱが“Ｈ”レベルとなる期間の直前は、Ｓ２線の対は、信号／ＳＯＰ、ＳＯＮが非活性状態であるので、Ｓ２Ｐ線は電位V_{CC}であり、Ｓ２Ｎ線は接地電位であって、フローティング状態となっている。

【０１３９】

信号ＢＬＥＱが“Ｈ”レベルとなると、Ｓ２線はフローティング状態のまま、Ｓ２線イコライズ回路Ｓ２－ＥＱにより結合されるので、その電位は１／２V_{CC}となる。

【０１４０】

つまり、以上の動作でビット線対、Ｓ２線対ともプリチャージされたのと同様の状態となる。

【０１４１】

時刻t_7で、センスアンプが活性となり、ビット線対の電位差が増幅される。このとき、不良メモリセル部分２００が接続するビット線対ＢＬ１、／ＢＬ１の電位差も増幅され、情報の読出動作が行なわれる。

【０１４２】

時刻t_{10}において、センスアンプは非活性状態へと変化し始め、Ｓ２線対は再びフローティング状態となって、電位差V_{CC}で保持される。

【０１４３】

ビット線対も、フローティング状態で電位差V_{CC}の状態で保持される。

このとき、ビット線対ＢＬ１および／ＢＬ１の電位は、リーク電流により低下していくが、時刻t_{11}において一定値となると以後は変化せずリーク電流もながれなくなる。

【０１４４】

したがって、本実施例の構成によりプリチャージ電源４は不要となり、待機状態での消費電流の増加も抑制される。

【０１４５】

図１０は、本発明の第６の実施例であるＤＲＡＭの要部概略ブロック図である。

【０１４６】

第４の実施例と異なる点は、以下の２点である。

第１点は、Ｓ２線がビット線対群単位ごとに分離されていないことである。

【０１４７】

第２点は、ビット線対のメモリセルが設けられる側とセンスアンプの設けられる側とがトランスファゲート６０により分離可能な点である。

【０１４８】
以下、図１１のタイミングチャートにより、その動作を説明する。
時刻t_0においては、信号ＢＬＩは“Ｌ”レベルであり、フローティングゲート６０は、オフ状態であって、ビット線対のメモリセルの設けられる側とセンスアンプの設けられる側とは分離されている。
【０１４９】
ビット線対は、メモリセルの設けられる側は、フローティング状態であり、センスアンプの設けられる側は、センスアンプが活性状態なので、ともに電位差V_{CC}で保持されている。
【０１５０】
センスアンプは活性状態であり、Ｓ２線対は、Ｓ２Ｐ線が電位V_{CC}に、Ｓ２Ｎ線が接地電位となっている。
【０１５１】
時刻t_1で、行ストローブ信号／ＲＡＳが“Ｈ”レベルから“Ｌ”レベルへ変化し始めた後、時刻t_3において信号ＢＬＩも“Ｌ”レベルから“Ｈ”レベルへ変化する。これにより、トランスファゲート６０はオン状態となり、ビット線対のメモリセル側とセンスアンプ側が結合される。
【０１５２】
時刻t_2において、センスアンプは非活性となる。これにより、Ｓ２線対はフローティング状態となって、電位差V_{CC}で保持される。
【０１５３】
時刻t_3からt_6までの間、信号ＢＬＥＱがパルス的に“Ｈ”レベルとなる。イコライズ回路１４により、フローティング状態であるビット線対が接続され、その電位は$1/2V_{CC}$になる。
【０１５４】
一方、Ｓ２線対Ｓ２ＰおよびＳ２Ｎも、イコライズ回路８により接続され、電位$1/2V_{CC}$になる。
【０１５５】
以上により、ビット線対およびＳ２線対はプリチャージされたのと同じ状態になる。
【０１５６】
続いて、時刻t_8においてセンスアンプは、活性化し始め、ビット線対の電位差をそれに接続されるメモリセルの記憶情報に応じて増幅する。
【０１５７】
時刻t_{12}において信号ＢＬＩは“Ｌ”レベルとなり、トランスファゲート６０は、オフ状態となる。
【０１５８】
ビット線対は、フローティング状態であって、電位差V_{CC}で保持され、Ｓ２線対は、活性状態であって、Ｓ２Ｐ線は電位V_{CC}、Ｓ２Ｎ線は接地電位である。
【０１５９】
欠陥メモリセル部分２００と接続するビット線対ＢＬ１および／ＢＬ１の電位は、リーク電流により低下するものの、時刻t_{13}で一定値となり、以後はリーク電流は流れない。
【０１６０】
以上の動作で明らかなように本実施例の構成では、プリチャージ電源が必要ない。不良ビット救済後の待機時の消費電流の増加も抑制される。
【０１６１】
しかも、Ｓ２線を分離していないのでセンスアンプのラッチ能力が低下するという問題もない。
【０１６２】
実施例６の回路の図１１に示した動作方法では、センスアンプがメモリセルの記憶情報の読出、書込動作を行なわないスタンバイ状態においても、センスアンプは活性状態である

。
【０１６３】
このため、センスアンプを構成するトランジスタのサブスレショルド電流による、スタンバイ電流が微小に流れる可能性が高まる。
【０１６４】
もしくは、これを避けるには、センスアンプを構成するトランジスタのしきい値電圧のみを高くする必要がある。
【０１６５】
そこで、本発明の第７の実施例である、スタンバイ時にはセンスアンプを非活性とする動作方法を図１２にタイミングチャートとして示す。
【０１６６】
図１１の動作と比較すると、センスアンプが活性状態となり、メモリセル情報に応じてビット線対の電位差を増幅している時刻t_7からt$_{12}$以外の期間は、センスアンプが非活性となる点が異なるのみである。
【０１６７】
本実施例の構成においても、プリチャージ電源が必要ない。また、不良ビット救済後の待機時の消費電流の増加も抑制される。しかも、Ｓ２線を分離していなので、センスアンプのラッチ能力が低下するという問題もない。
【０１６８】
さらに、センスアンプを構成するトランジスタのサブスレショルド電流による、スタンバイ時の消費電流も抑制される。
【０１６９】
加えて、スタンバイ時にはセンスアンプが非活性であるので、センスアンプ部分にリーク電流がある場合でも、スタンバイ電流は増加しない。
【０１７０】
図１３は、本発明の第８の実施例であるＤＲＡＭの要部概略ブロック図である。
【０１７１】
第６の実施例と異なる点は、以下の２点である。
第１点は、イコライズ回路１４がセンスアンプ側ではなく、メモリセル側に接地されている点である。
【０１７２】
第２点は、イコライズ回路１４は信号ＢＬＥＱで制御され、Ｓ２線イコライズ回路８は信号ＳＥＱで制御されるという点である。
【０１７３】
以下、図１４のタイミングチャートによりその動作を説明する。
第６の実施例の動作を示す図１１と本質的に異なるのは、以下の点である。
【０１７４】
信号ＢＬＩが時刻t$_{12}$において、“Ｈ”レベルから“Ｌ”レベルとなって、トランスファゲート６０がオフ状態となった後、信号ＢＬＥＱが、時刻t$_{13}$からt$_{16}$にかけて、パルス的に“Ｈ”レベルとなり、イコライズ回路１４により、ビット線対のメモリセル側の電位（図中、BL_n，／BL_nに相当。）が１／２V_{CC}となることである。
【０１７５】
図１１においては、ビット線がV_{CC}の電位差を持った状態でスタンバイ状態も保持されていたため、メモリセルにおいてビット線とセルの蓄積ノード間に高い電位差が常時発生していることになり、メモリセルのデータがビット線側にリークしやすくなるという可能性が増大する。
【０１７６】
本実施例のように、１／２V_{CC}にして保持すれば電位差が減少しセルのリーク電流は軽減できる。つまりセルデータがビット線側にリークする量を低減することが可能となる。
【０１７７】

第８の実施例の回路の図１４に示した動作方法では、メモリセルの記憶情報の読出、書込動作を行なわないスタンバイ状態においても、センスアンプは活性状態である。

【０１７８】

このため、図１１の動作方法と同様、センスアンプを構成するトランジスタのサブスレショルド電流によるスタンバイ電流が微小に流れる可能性が高まる。

【０１７９】

そこで、本発明の第９の実施例である、スタンバイ時にはセンスアンプを非活性とする動作方法を図１５にタイミングチャートとして示す。

【０１８０】

図１４の動作と比較すると、信号ＢＬＩが“Ｈ”レベルから“Ｌ”レベルに変化する前に、信号ＢＬＥＱおよび信号ＳＥＱが、時刻t_{13}からt_{16}までの間パルス的に“Ｈ”レベルとなり、イコライズ回路１４によりビット線対の電位は$1/2V_{CC}$となり、Ｓ２線イコライズ回路８によりＳ２線対の電位も$1/2V_{CC}$となる。

【０１８１】

したがって、スタンバイ時にはビット線対およびＳ２線対ともに$1/2V_{CC}$の電位でフローティング状態に保持される。

【０１８２】

以上により、センスアンプを構成するトランジスタのサブスレショルド電流によりスタンバイ電流が微小に流れることが抑制され、セルデータがビット線側にリークする量も低減される。

【０１８３】

さらに、スタンバイ時にはセンスアンプが非活性であるので、センスアンプ部分にリーク電流がある場合でも、スタンバイ電流は増加しない。

【０１８４】

図１６は、本発明の第１０の実施例を示すセンスアンプの回路図を示す。

第６の実施例や第８の実施例の場合のように、スタンバイ時にセンスアンプが活性状態であると、ｐチャネルＭＯＳトランジスタあるいはｎチャネルＭＯＳトランジスタの一方はオフ状態ではあるものの、トランジスタのサブスレショルド電流のためにスタンバイ電流が増大する可能性がある。

【０１８５】

図１６において説明すると、今仮に配線ＳＡの電位が“Ｈ”であり、配線／ＳＡの電位が“Ｌ”であるとすると、トランジスタＴｒ２、およびＴｒ３がオフ状態であり、このトランジスタのサブスレショルド電流により電源からグラウンドに電流が流れスタンバイ電流が増加する。

【０１８６】

そこでこの構成において、スタンバイ時のバックバイアスのレベルを活性時に比べてしきい値を上げるように変化させて、スタンバイ時のこのサブスレショルドリーク電流を低減することが考えられる。

【０１８７】

図１７はこのような動作のタイミングチャート図である。

センスアンプがスタンバイ状態である時刻t_1までおよび時刻t_9以降は$_n$チャネルＭＯＳトランジスタのバックバイアスV_{BN}は読出動作中の電位V_{bb2}よりも低い電位にV_{bb1}に変化する。

【０１８８】

一方、ｐチャネルＭＯＳトランジスタのバックバイアスV_{BP}は、読出中の電位V_{pp2}よりも高い電圧であるV_{pp1}に変化する。以上の動作により、スタンバイ時におけるセンスアンプを構成するトランジスタのサブスレショルドリーク電流が低減される。

なお、本実施例のようにバックバイアスを変化させることで、センスアンプを構成するトランジスタのしきい値を変化させることは、いわゆるＳＯＩ（Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）構造のデバイスに、より適している。すなわち、ＣＭＯ

Ｓトランジスタのウェル部分の寄生容量に比べて、ＳＯＩ構造での寄生容量は、はるかに小さいため、上記変化のための消費電流を小さくできるからである。

【０１８９】

【発明の効果】

請求項１記載の半導体記憶装置においては、不良メモリセルが存在し、リーク電流が発生している複数のビット線対からなる置換単位に対して、第３の電位を供給している第３電位電源配線は、上記読出、書込の単位との接続をスイッチ手段によりカットされる。このため、待機状態での電流の増加を抑制できる。

【０１９０】

請求項２記載の半導体記憶装置においては、第１の配線部と第２の配線部の接続点に設けられたスイッチ手段の遮断を行えば、第１の配線部からビット線イコライズ回路を介して不良部へ流れ込む電流のカットを行い、この不良部にセンスアンプを介して電流が流れ込む経路を分離することも可能とする。

【図面の簡単な説明】

【図１】本発明の第１の実施例を示す概略ブロック図である。

【図２】第１の実施例の動作を説明するためのタイミングチャートである。

【図３】本発明の第２の実施例を示す概略ブロック図である。

【図４】第２の実施例の動作を示すタイミングチャートである。

【図５】本発明の第３の実施例を示す概略ブロック図である。

【図６】第３の実施例の動作を示すタイミングチャートである。

【図７】本発明の第４の実施例を示す概略ブロック図である。

【図８】本発明の第５の実施例を示す概略ブロック図である。

【図９】第５の実施例の動作を示すタイミングチャートである。

【図１０】本発明の第６の実施例を示す概略ブロック図である。

【図１１】第６の実施例の動作を示すタイミングチャートである。

【図１２】本発明の第７の実施例を示すタイミングチャートである。

【図１３】本発明の第８の実施例を示す概略ブロック図である。

【図１４】第８の実施例の動作を示すタイミングチャートである。

【図１５】本発明の第９の実施例を示すタイミングチャートである。

【図１６】本発明の第１０の実施例を示す回路図である。

【図１７】第１０の実施例の動作を示すタイミングチャートである。

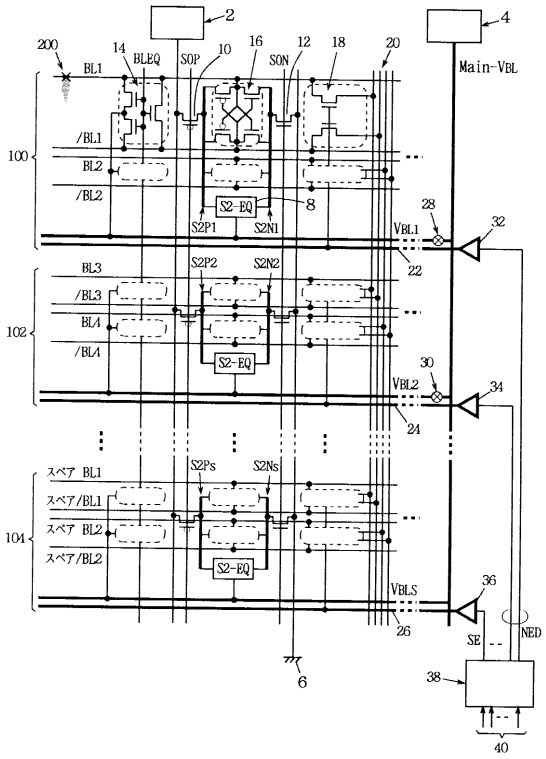
【図１８】従来のダイナミック型半導体記憶装置を示す概略ブロック図である。

【図１９】従来のダイナミック型半導体記憶装置の動作を示すタイミングチャートである。

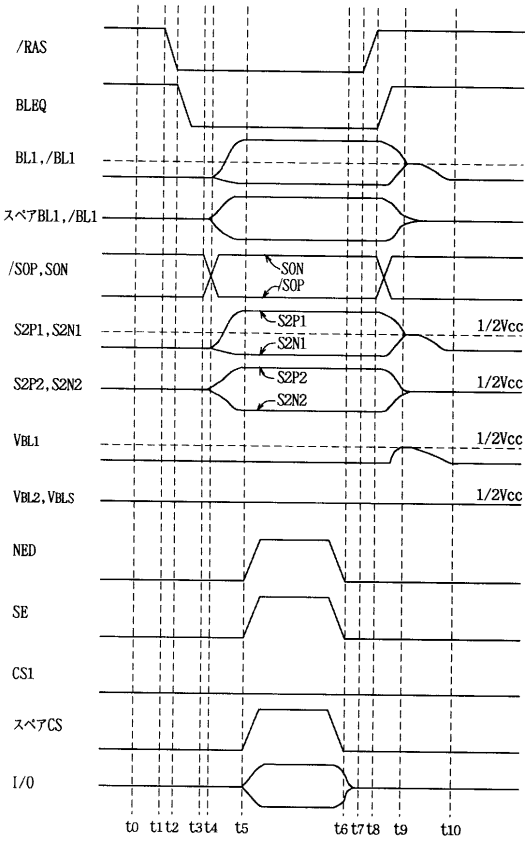
【符号の説明】

２　電源、４　プリチャージ電源、６　接地、８　Ｓ２線イコライズ回路、１０　ｐチャネルＭＯＳＦＥＴ、１２　ｎチャネルＭＯＳＦＥＴ、１４　ビット線イコライズ回路、１６　センスアンプ、１８　Ｉ／Ｏゲート、２０　入力データ線、２２，２４，２６　コラム選択線、２８，３０　ヒューズ素子、３２，３４，３６　コラム選択線ドライブ回路、３８　Ｙアドレス比較回路、４０　アドレス信号、５０　Ｉ／Ｏゲート、６０　トランスファゲート、６２　ビット線イコライズ回路、１００，１０２，１０４　ビット線対群単位、２００　ショート部分。

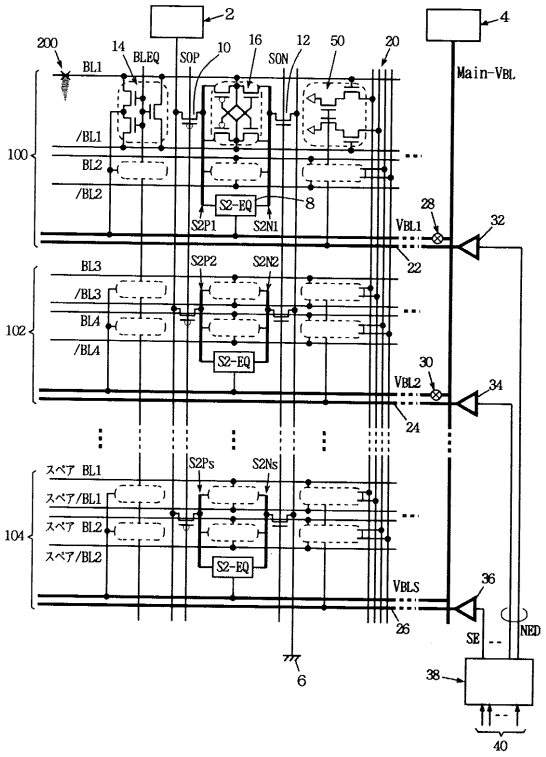
【図１】


Main-VBL
BL1
/BL1
BL2
/BL2
BL3
/BL3
BL4
/BL4
スペア BL1
スペア/BL1
スペア BL2
スペア/BL2
BLEQ
SOP
SON
S2P1
S2N1
S2P2
S2N2
S2Ps
S2Ns
S2-EQ
VBL1
VBL2
VBLS
SE
NED
100
102
104
200
2
4
6
8
10
12
14
16
18
20
22
24
26
28
30
32
34
36
38
40

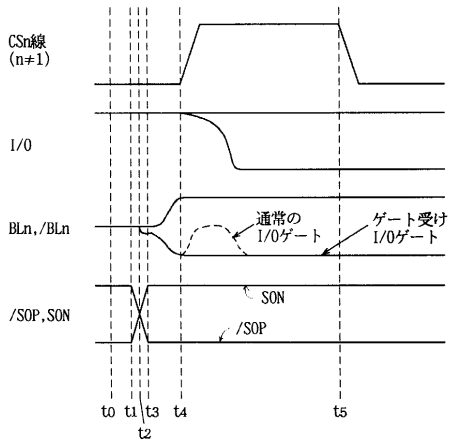
【図２】


/RAS
BLEQ
BL1,/BL1
スペアBL1,/BL1
/SOP,SON
SON
/SOP
S2P1,S2N1
S2P1
S2N1
S2P2,S2N2
S2P2
S2N2
VBL1
VBL2,VBLS
1/2Vcc
NED
SE
CS1
スペアCS
I/O
t0 t1 t2 t3 t4 t5 t6 t7 t8 t9 t10

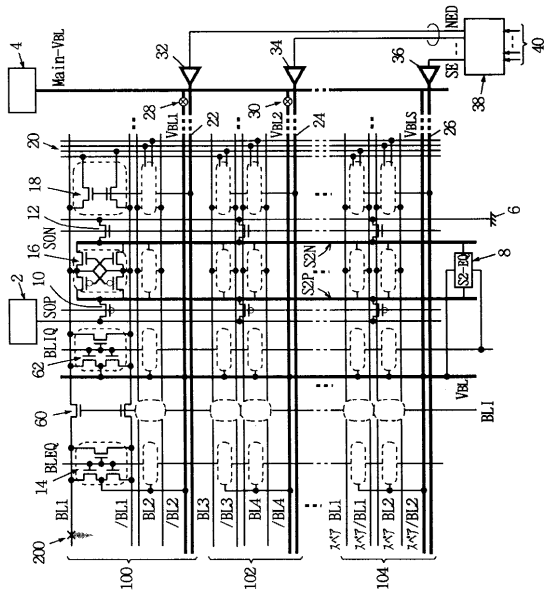
【図３】


Main-VBL
BL1
/BL1
BL2
/BL2
BL3
/BL3
BL4
/BL4
スペア BL1
スペア/BL1
スペア BL2
スペア/BL2
BLEQ
SOP
SON
S2P1
S2N1
S2P2
S2N2
S2Ps
S2Ns
S2-EQ
VBL1
VBL2
VBLS
SE
NED
100
102
104
200
2
4
6
8
10
12
14
16
20
22
24
26
28
30
32
34
36
38
40
50

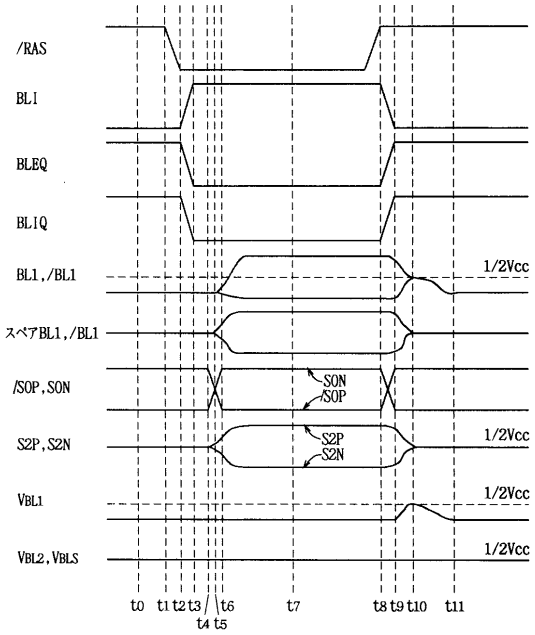
【図４】


CSn線
(n≠1)
I/O
BLn,/BLn
通常の
I/Oゲート
ゲート受け
I/Oゲート
/SOP,SON
SON
/SOP
t0 t1 t2 t3 t4 t5

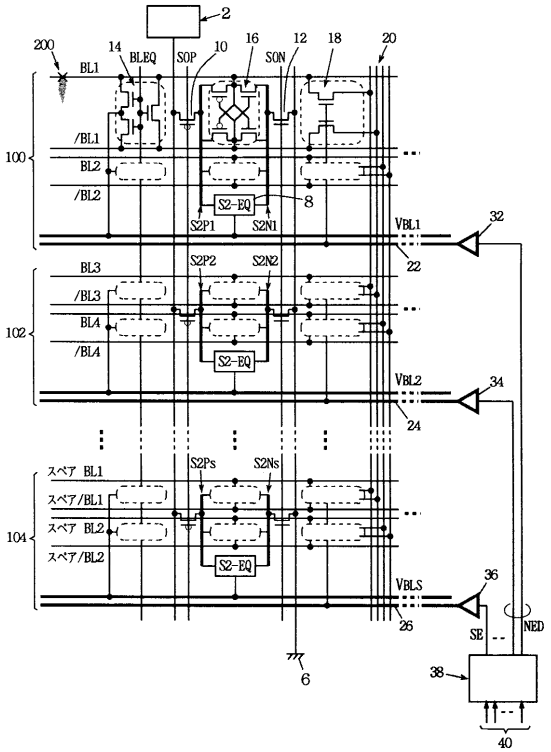
【図５】


Main-YBL
NED
SE
VBL1
VBL2
VBLS
SON
SOP
BL1Q
BLEQ
S2P, S2N
S2-EQ
VBL
BL1
/BL1
BL2
/BL2
BL3
/BL3
BL4
/BL4
スペア BL1
スペア/BL1
スペア BL2
スペア/BL2
100
102
104

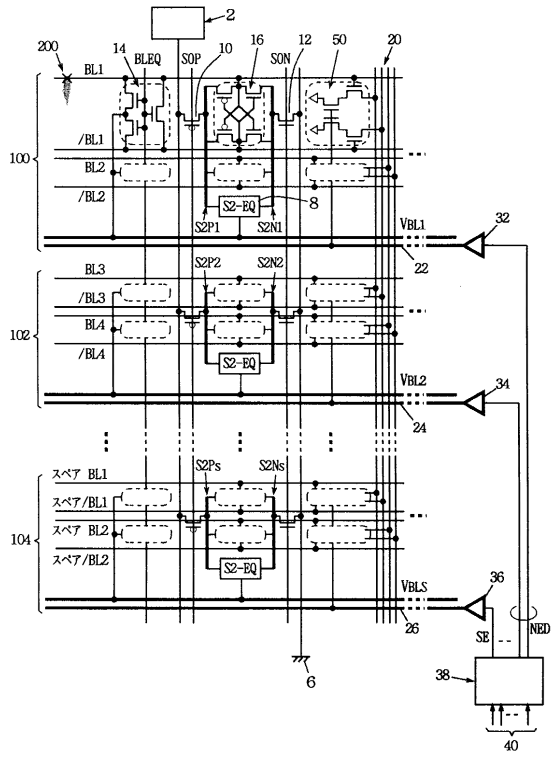
【図６】


/RAS
BL1
BLEQ
BL1Q
BL1, /BL1
スペアBL1, /BL1
/SOP, SON
S2P, S2N
VBL1
VBL2, VBLS
1/2Vcc
SON
/SOP
S2P
S2N
t0 t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11

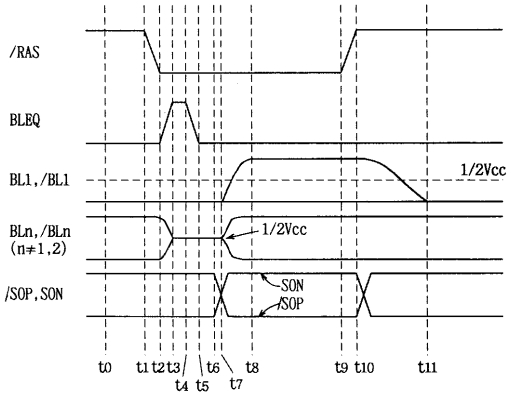
【図７】


S2-EQ
S2P1
S2N1
S2P2
S2N2
S2Ps
S2Ns
VBL1
VBL2
VBLS
SE
NED
100
102
104

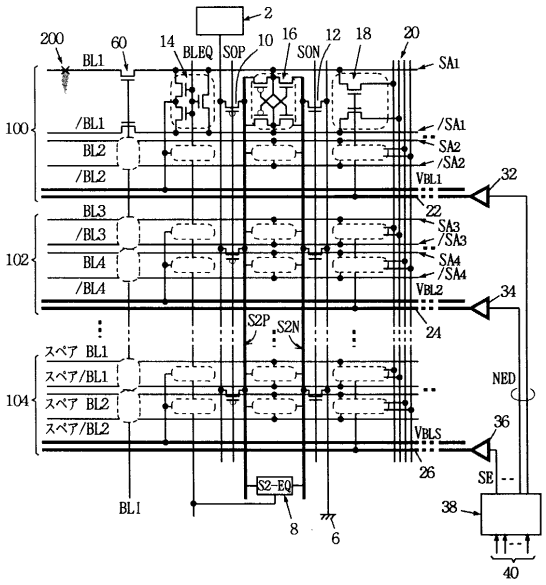
【図８】


S2-EQ
S2P1
S2N1
S2P2
S2N2
S2Ps
S2Ns
VBL1
VBL2
VBLS
SE
NED
100
102
104

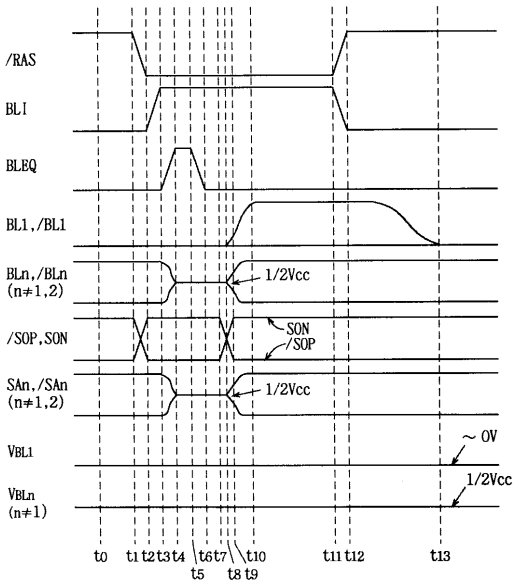
【図９】



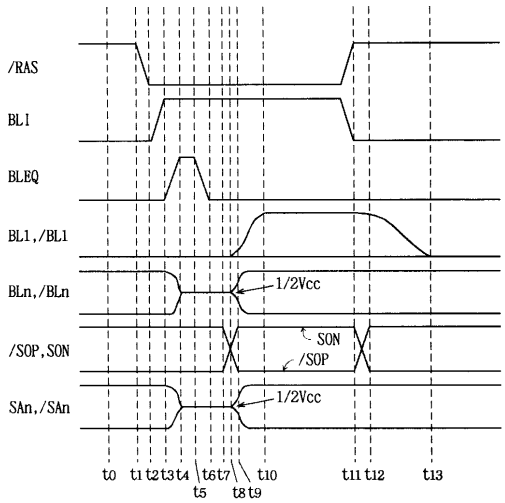
【図１０】



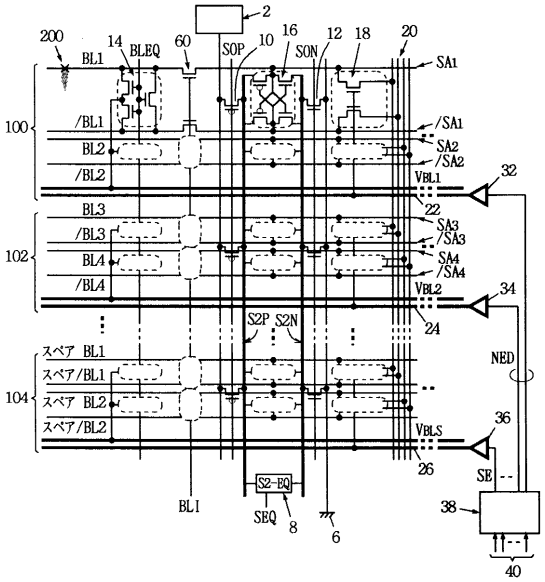
【図１１】



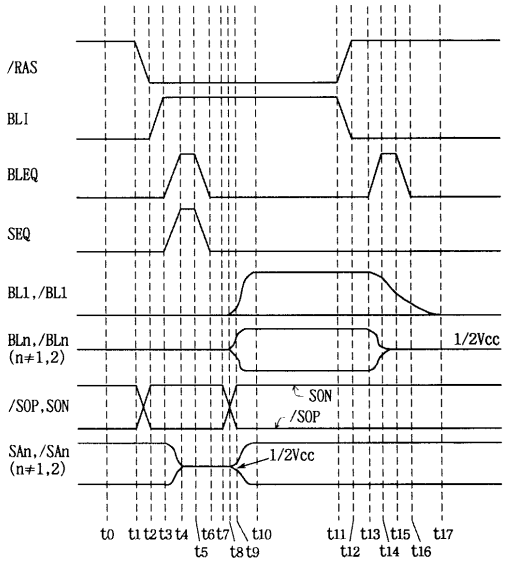
【図１２】



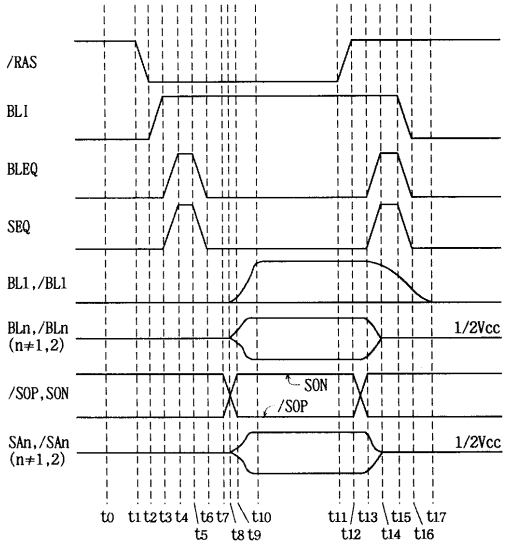
【図１３】



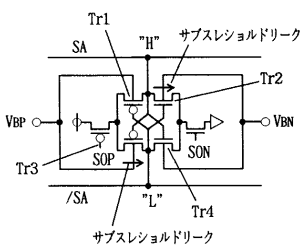
【図１４】



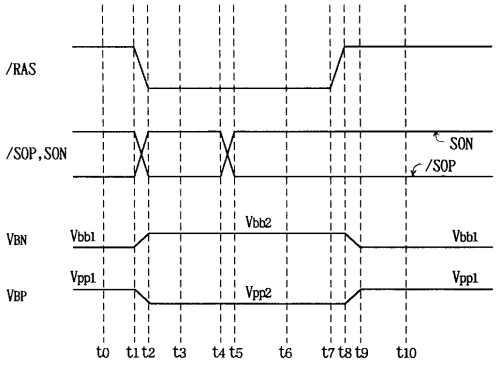
【図１５】



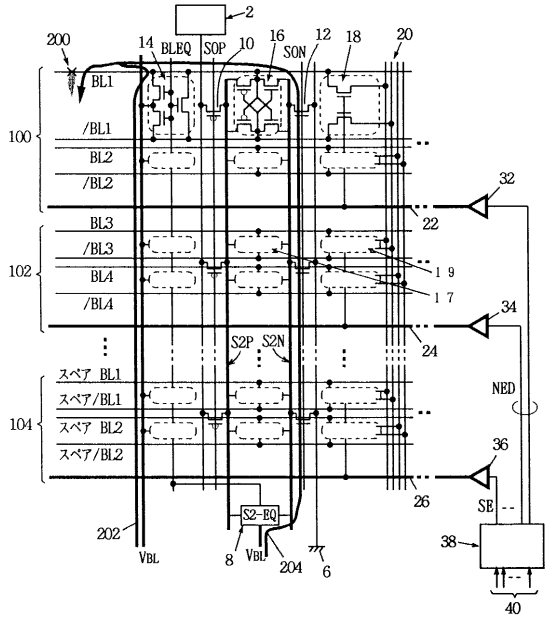
【図１６】



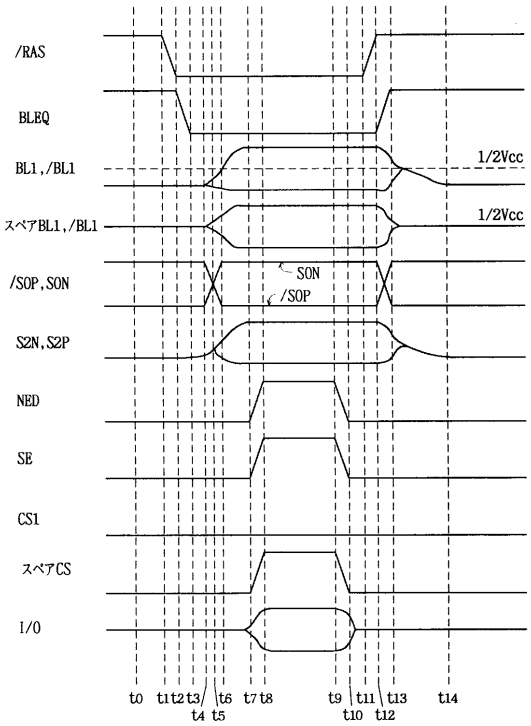
【図１７】



【図１８】


2
200
14
BLEQ
SOP
10
16
SON
12
18
20
BL1
/BL1
BL2
/BL2
100
BL3
/BL3
BL4
/BL4
102
スペア BL1
スペア/BL1
スペア BL2
スペア/BL2
104
32
22
19
17
34
24
S2P
S2N
NED
36
26
SE
S2-EQ
202
VBL
8
VBL
204
6
38
40

【図１９】


/RAS
BLEQ
BL1,/BL1
1/2Vcc
スペアBL1,/BL1
1/2Vcc
/SOP,SON
SON
/SOP
S2N,S2P
NED
SE
CS1
スペアCS
I/O
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14

フロントページの続き

(72)発明者　築出　正樹
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社ユー・エル・エス・アイ開発研究所内
(72)発明者　有本　和民
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社ユー・エル・エス・アイ開発研究所内

審査官　長島　孝志

(56)参考文献　特開平０６－０７６５９５（ＪＰ，Ａ）
特開平０５－０５４６５３（ＪＰ，Ａ）
特開平０６－０５２６８１（ＪＰ，Ａ）
特開昭６２－０４０６９５（ＪＰ，Ａ）
特開平０５－０５４６９３（ＪＰ，Ａ）
特開平０８－１３９２９１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 29/00
G11C 11/401-11/4099