

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 6 月 18 日 (18.06.2015)



(10) 国际公布号
WO 2015/085702 A1

- (51) 国际专利分类号:
G09G 3/32 (2006.01)
- (21) 国际申请号: PCT/CN2014/076485
- (22) 国际申请日: 2014 年 4 月 29 日 (29.04.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310683964.6 2013 年 12 月 12 日 (12.12.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 吴仲远 (WU, Zhongyuan); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 张宝江 (ZHANG, Baojiang); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 段立业 (DUAN, Liye); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,

[见续页]

(54) Title: PIXEL CIRCUIT, DRIVING METHOD THEREFOR, AND DISPLAY APPARATUS

(54) 发明名称: 像素电路及其驱动方法、显示装置

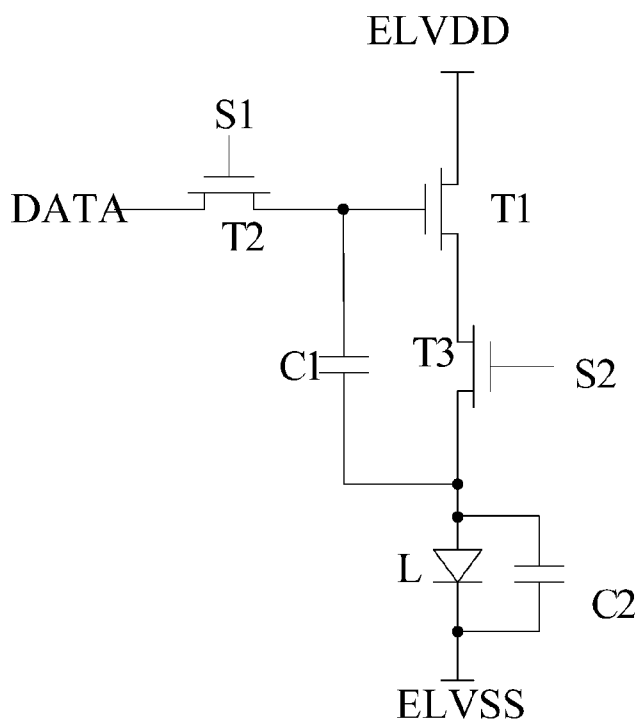


图 1 /Fig.1

(57) Abstract: A pixel circuit, a driving method therefor, and a display apparatus. The pixel circuit comprises a first transistor (T1), a second transistor (T2), a third transistor (T3), a storage capacitor (C1), a parasitic capacitor (C2), and a light-emitting component (L). The first pole of the first transistor (T1) is connected to a first power source signal end, and the second pole of the first transistor (T1) is connected to the first pole of the third transistor (T3). The gate of the second transistor (T2) is connected to a first control signal end (S1); the first pole of the second transistor (T2) is connected to a data signal end (DATA), and the second pole of the second transistor (T2) is connected to the gate of the first transistor (T1). The gate of the third transistor (T3) is connected to a second control signal end (S2), and the second pole of the third transistor (T3) is connected to one end of the light-emitting component (L). One end of the storage capacitor (C1) is connected to the gate of the first transistor (T1), and the other end of the storage capacitor (C1) is connected to the one end of the light-emitting component (L). One end of the parasitic capacitor (C2) is connected to the one end of the light-emitting component (L), and the other end of the parasitic capacitor (C2) is connected to the other end of the light-emitting component (L). The other end of the light-emitting component (L) is further connected to a second power source signal end (ELVSS). The pixel circuit can effectively compensate a threshold voltage shift of a TFT and improve a display effect.

(57) 摘要:

[见续页]



RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种像素电路及其驱动方法、显示装置。该像素电路包括第一晶体管 (T1)、第二晶体管 (T2)、第三晶体管 (T3)、存储电容 (C1)、寄生电容 (C2) 以及发光器件 (L)。第一晶体管 (T1) 的第一极连接第一电源信号端, 其第二极连接第三晶体管 (T3) 的第一极; 第二晶体管 (T2) 的栅极连接第一控制信号端 (S1), 其第一极连接数据信号端 (DATA), 其第二极连接第一晶体管 (T1) 的栅极; 第三晶体管 (T3) 的栅极连接第二控制信号端 (S2), 其第二极连接发光器件 (L) 的一端; 存储电容 (C1) 的一端连接第一晶体管 (T1) 的栅极, 其另一端连接发光器件 (L) 的一端; 寄生电容 (C2) 的一端连接发光器件 (L) 的一端, 其另一端连接发光器件 (L) 的另一端; 发光器件 (L) 的另一端还连接第二电源信号端 (ELVSS)。该像素电路可以有效地补偿 TFT 的阈值电压漂移, 提升显示效果。

像素电路及其驱动方法、显示装置

技术领域

本公开涉及显示技术领域，尤其涉及一种像素电路及其驱动方法、显示装置。

5 背景技术

有机发光二极管 (Organic Light Emitting Diode, OLED) 作为一种电流型发光器件，因其所具有的自发光、快速响应、宽视角和可制作在柔性衬底上等特点而越来越多地被应用于高性能显示领域当中。OLED 按驱动方式可分为无源矩阵驱动有机发光二极管 (Passive Matrix Driving OLED, PMOLED) 和有源矩阵驱动有机发光二极管 (Active Matrix Driving OLED, AMOLED) 两种。传统的 PMOLED 随着显示装置尺寸的增大，通常需要降低单个像素的驱动时间，因而需要增大瞬态电流，从而导致功耗的大幅上升。而在 AMOLED 技术中，每个 OLED 均通过薄膜晶体管 (Thin Film Transistor, TFT) 开关电路逐行扫描输入电流，可以很好地解决这些问题。

在现有的 AMOLED 面板中，TFT 开关电路多采用低温多晶硅薄膜晶体管 (LTPS TFT) 或氧化物薄膜晶体管 (Oxide TFT)。与一般的非晶硅薄膜晶体管 (amorphous-Si TFT) 相比，LTPS TFT 和 Oxide TFT 具有更高的迁移率和更稳定的特性，更适合应用于 AMOLED 显示中。但是由于晶化工艺和制作水平的限制，导致在大面积玻璃基板上制作的 TFT 开关电路常常在诸如阈值电压、迁移率等电学参数上出现非均匀性，从而使得各个 TFT 的阈值电压偏移不一致，这将导致 OLED 显示器件的电流差异和亮度差异，并被人眼所感知。另外，在长时间加压和高温下也会导致 TFT 的阈值电压出现漂移。由于显示画面不同，面板各部分 TFT 的阈值漂移量不同，从而造成显示亮度差异。由于这种差异与之前显示的图像有关，因此常呈现为残影现象。

发明内容

在本发明的实施例中提供一种像素电路及其驱动方法、显示装置，可以有效地补偿 TFT 的阈值电压漂移，提高显示装置发光亮度的均匀

性，提升显示效果。

为解决上述技术问题，在本发明的实施例中可采用如下技术方案。

按照本发明实施例的一方面，提供一种像素电路，包括：

第一晶体管、第二晶体管、第三晶体管、存储电容、寄生电容以及发光器件；

所述第一晶体管的第一极连接第一电源信号端，其第二极连接所述第三晶体管的第一极；

所述第二晶体管的栅极连接第一控制信号端，其第一极连接数据信号端，其第二极连接所述第一晶体管的栅极；

所述第三晶体管的栅极连接第二控制信号端，其第二极连接所述发光器件的一端；

所述存储电容的一端连接所述第一晶体管的栅极，其另一端连接所述发光器件的一端；

所述寄生电容的一端连接所述发光器件的一端，其另一端连接所述发光器件的另一端；

所述发光器件的另一端还连接第二电源信号端。

按照本发明实施例的另一方面，还提供一种显示装置，包括如上所述的像素电路。

按照本发明实施例的又一方面，还提供一种用于驱动如上所述像素电路的像素电路驱动方法，包括：

导通第一晶体管、第二晶体管和第三晶体管，数据信号端输入重置信号，第一电源信号端输入第一电压控制发光器件处于关闭状态；

保持所述第一晶体管、所述第二晶体管和所述第三晶体管导通，所述第一电源信号端输入第二电压，以使得所述发光器件的一端预充电；

关闭所述第三晶体管，所述数据信号端输入数据信号，以使得所述像素电路数据写入；

关闭所述第二晶体管，导通所述第三晶体管，通过所述第一晶体

管和所述第三晶体管的电流驱动所述发光器件发光。

本发明实施例提供的像素电路及其驱动方法、显示装置，通过多个晶体管和电容对电路进行开关和充放电控制，可以使得通过晶体管的用于驱动发光器件的电流与晶体管的阈值电压无关，补偿了由于晶体管的阈值电压的不一致或偏移所造成的流过发光器件的电流差异，提高了显示装置发光亮度的均匀性，显著提升了显示效果。此外，由于这样一种结构的像素电路结构简单，晶体管的数量较少，从而可以减少覆盖晶体管的遮光区域的面积，有效增大显示装置的开口率。

附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍。

图 1 为本发明实施例的一种像素电路的连接结构示意图；

图 2 为驱动图 1 所示像素电路的各信号线的时序图；

图 3 为本发明实施例的像素电路在复位阶段的等效电路示意图；

图 4 为本发明实施例的像素电路在补偿阶段的等效电路示意图；

图 5 为本发明实施例的像素电路在准备写入数据之前的等效电路示意图；

图 6 为本发明实施例的像素电路在数据写入阶段的等效电路示意图；

图 7 为本发明实施例的像素电路在准备驱动发光器件发光之前的等效电路示意图；

图 8 为本发明实施例的像素电路在发光阶段的等效电路示意图；

图 9 为本发明实施例的另一像素电路的连接结构示意图；

图 10 为本发明实施例的一种像素电路驱动方法的流程示意图。

具体实施方式

下面将结合附图，对本发明实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有

做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

图 1 为本发明实施例的一种像素电路的连接结构示意图。如图 1 所示，该像素电路包括：

5 第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、存储电容 C1、寄生电容 C2 以及发光器件 L。

第一晶体管 T1 的第一极连接第一电源信号端 ELVDD，其第二极连接第三晶体管 T3 的第一极。

10 第二晶体管 T2 的栅极连接第一控制信号端 S1，其第一极连接数据信号端 DATA，其第二极连接第一晶体管 T1 的栅极。

第三晶体管 T3 的栅极连接第二控制信号端 S2，其第二极连接发光器件 L 的一端。

存储电容 C1 的一端连接第一晶体管 T1 的栅极，其另一端连接发光器件 L 的一端。

15 寄生电容 C2 的一端连接发光器件 L 的一端，其另一端连接发光器件 L 的另一端。

发光器件 L 的另一端还连接第二电源信号端 ELVSS。

需要说明的是，本发明实施例中的发光器件 L 可以是通常的包括发光二极管（Light Emitting Diode, LED）或有机发光二极管（Organic Light Emitting Diode, OLED）在内的多种电流驱动发光器件。在本发明实施例中，是以 OLED 为例进行的说明。

在本发明实施例的像素电路中，通过多个晶体管和电容对电路进行开关和充放电控制，可以使得通过晶体管的用于驱动发光器件的电流与晶体管的阈值电压无关，补偿了由于晶体管的阈值电压不一致或偏移所造成的流过发光器件的电流差异，提高了显示装置发光亮度的均匀性，显著提升了显示效果。此外，由于这样一种结构的像素电路结构简单，晶体管的数量较少，从而可以减少覆盖晶体管的遮光区域的面积，有效增大显示装置的开口率。

在该电路中，第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 均可以为 N 型晶体管；或者第一晶体管 T1、第二晶体管 T2 和第三晶体

管 T3 均可以为 P 型晶体管。

下面以第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 均为 N 型晶体管为例说明图 1 所示像素电路的工作过程。具体地，在图 1 所示的像素电路的工作时，其工作过程可以分为四个阶段，分别为：复位阶段、补偿阶段、数据写入阶段以及发光阶段。

图 2 是图 1 所示像素电路工作过程中各信号线的时序图。如图 2 所示，在该图中分别用 P1、P2、P3 和 P4 来相应地表示复位阶段、补偿阶段、数据写入阶段以及发光阶段。

具体地，P1 阶段为复位阶段，该阶段的等效电路如图 3 所示。在复位阶段中，第一控制信号端 S1 和第二控制信号端 S2 均输入高电平，第一电源信号端 ELVDD 输入低电平（Vss），数据信号端 DATA 输入低电平的复位信号（Vref），其中 $V_{ref}-V_{th}>V_{ss}$ （ V_{th} 为 T1 晶体管的阈值电压）。此时，第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 导通，发光器件 L 的阳极电压为 Vss，发光器件 L 处于关闭状态。

P2 阶段为补偿阶段，该阶段的等效电路如图 4 所示。在补偿阶段中，第一控制信号端 S1、第二控制信号端 S2 以及第一电源信号端 ELVDD 均输入高电平，数据信号端 DATA 输入低电平的复位信号（Vref）。此时，第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 保持导通，发光器件 L 的阳极电压随着第一晶体管 T1 的充电而升高，直到电压等于 $V_{ref}-V_{th}$ 。在补偿阶段结束时，存储在存储电容 C1 两端的电荷为 $V_{th}\cdot C_{ST}$ ，其中 C_{ST} 为存储电容 C1 的电容值。

P3 阶段为数据写入阶段。具体地，在准备写入数据之前，需要关闭第三晶体管 T3，此时的等效电路如图 5 所示。第一晶体管 T1 的栅极电压为数据信号端 DATA 输入的低电平的复位信号 Vref，此时，发光器件 L 的阳极电压为 $V_{ref}-V_{th}$ 。在数据写入阶段中，等效电路如图 6 所示，其中，第一控制信号端 S1 和第一电源信号端 ELVDD 均输入高电平，第二控制信号端 S2 输入低电平，数据信号端 DATA 输入高电平的数据信号（Vdata）。因此，第一晶体管 T1 和第二晶体管 T2 导通，第三晶体管 T3 关闭，发光器件 L 的阳极电压此时变为 $V_{ref}-V_{th}+a(V_{data}-V_{ref})$ ，其中 $a=C_{ST}/(C_{ST}+C_L)$ ， C_L 为寄生电容 C2 的电容值。

P4 阶段为发光阶段。具体地，在像素电路准备驱动发光器件进行发光之前，需要关闭第二晶体管 T2，此时的等效电路如图 7 所示。在发光阶段中，第一电源信号端 ELVDD 和第二控制信号端 S2 均输入高电平，第一控制信号端 S1 和数据信号端 DATA 均输入低电平，以使得第三晶体管 T3 导通，此时的等效电路如图 8 所示，此时第一晶体管 T1 的栅源极之间电压 V_{gs} 为 $(1-a)(V_{data}-V_{ref})+V_{th}$ 。

在发光阶段中流过第一晶体管 T1、第三晶体管 T3 和发光器件 L 的电流为：

$$\begin{aligned} I_{OLED} &= \frac{1}{2} \cdot \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[(1-a)(V_{DATA} - V_{ref}) + V_{th} - V_{th} \right]^2 \\ &= \frac{1}{2} \cdot \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[(1-a)(V_{DATA} - V_{ref}) \right]^2 \end{aligned}$$

由上式可知，发光器件 L 发光的电流与 TFT 阈值电压和 OLED 两端的电压均无关，因此有效消除了阈值电压非均匀性、漂移的影响。

采用该结构的像素电路，无论对于增强型还是耗尽型的 TFT，都可以补偿阈值电压非均匀性的影响，因此适用性更广。同时该结构使用的 TFT 数量较少，控制信号简单，适用于高分辨率像素设计。

需要说明的是，当第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 均为 P 型晶体管时，各个控制信号的时序可以与上述图 2 中信号的时序相反（即相位差为 180 度）。

进一步地，如图 9 所示，对于一系列像素电路而言，本发明实施例的像素电路还可以包括：

第四晶体管 T4，该第四晶体管 T4 可以设置于一列像素电路中的第一个像素电路中。

第四晶体管 T4 的栅极连接控制线 EL，其第一极连接第二晶体管 T2 的第二极，其第二极连接第一电源信号端 ELVDD。

图 9 中，每一个第四晶体管 T4 均可以与一系列像素电路相对应。通过一个第四晶体管 T4 控制控制线 EL 向第一电源信号端 ELVDD 输入信号可以进一步增加像素电路控制的可靠性，且无需额外增加时序信号设计。

在本发明实施例的像素电路中，第四晶体管 T4 可以为 N 型晶体管或 P 型晶体管。以 N 型晶体管为例，本发明实施例提供的 N 型晶体管均可以为 N 型增强型 TFT 或 N 型耗尽型 TFT。其中，第一晶体管 T1、第二晶体管 T2、第三晶体管 T3 和第四晶体管 T4 的第一极均可以
5 指的是漏极，第二极则均可以指的是源极。

需要说明的是，同样可以采用如图 2 所示的时序信号设计对如图 9 所示的一系列像素电路进行驱动。所不同的是，第一电源信号端 ELVDD 的时序此时作为控制线 EL 输入信号的时序。采用这样一种驱动方法，同样可以分为四个阶段，具体可参照前述实施例，此处不做赘述。

10 采用这样一种结构的像素电路，通过多个晶体管和电容对电路进行开关和充放电控制，可以使得通过晶体管的用于驱动发光器件的电流与晶体管的阈值电压无关，补偿了由于晶体管的阈值电压的不一致或偏移所造成的流过发光器件的电流差异，提高了显示装置发光亮度的均匀性，显著提升了显示效果。此外，由于这样一种结构的像素电
15 路结构简单，晶体管的数量较少，从而可以减少覆盖晶体管的遮光区域的面积，有效增大显示装置的开口率。

需要说明的是，在上述实施例中，晶体管均是以增强型 N 型 TFT 为例进行的说明。可替换地，同样可以采用耗尽型 N 型 TFT。其不同之处在于，对于增强型 TFT，阈值电压 V_{th} 为正值，而对于耗尽型 TFT，
20 阈值电压 V_{th} 为负值。在上述实施例中，第四晶体管 T4 可以为 N 型晶体管或 P 型晶体管，以上是以 N 型晶体管为例进行的说明，当然，第四晶体管 T4 还可以采用 P 型晶体管，当第四晶体管 T4 为 P 型晶体管时，控制线 EL 的时序可以与上述图 2 中 ELVDD 时序相反（即二者的相位差为 180 度）。

25 本发明实施例还提供一种显示装置，包括有机发光显示器，其他显示器等。所述显示装置包括如上所述的任意一种像素电路。所述显示装置可以包括多个像素单元阵列，每一个像素单元包括如上所述的任意一个像素电路。可选地，如图 9 所示，一个第四晶体管 T4 对应一
30 列像素单元。具有与本发明前述实施例提供的像素电路相同的有益效果，由于像素电路在前述实施例中已经进行了详细说明，此处不再赘述。

具体地，本发明实施例的显示装置可以是包括 LED 显示器或 OLED 显示器在内的具有电流驱动发光器件的显示装置。

本发明实施例的显示装置，包括像素电路，通过多个晶体管和电容对电路进行开关和充放电控制，可以使得通过晶体管的用于驱动发光器件的电流与晶体管的阈值电压无关，补偿了由于晶体管的阈值电压的不一致或偏移所造成的流过发光器件的电流差异，提高了显示装置发光亮度的均匀性，显著提升了显示效果。此外，由于这样一种结构的像素电路结构简单，晶体管的数量较少，从而可以减少覆盖晶体管的遮光区域的面积，有效增大显示装置的开口率。

图 10 为本发明实施例的一种像素电路驱动方法的流程示意图。本发明实施例的像素电路驱动方法，可以应用于前述实施例中所提供的像素电路。如图 10 所示，该方法包括下列工作过程：

在步骤 S1001 中，导通第一晶体管、第二晶体管和第三晶体管，数据信号端输入复位信号，第一电源信号端输入第一电压控制发光器件处于关闭状态。

在步骤 S1002 中，保持第一晶体管、第二晶体管和第三晶体管导通，第一电源信号端输入第二电压，以使得发光器件的一端预充电。

在步骤 S1003 中，关闭第三晶体管，数据信号端输入数据信号，以使得像素电路数据写入。

在步骤 S1004 中，关闭第二晶体管，导通第三晶体管，通过第一晶体管和第三晶体管的电流驱动发光器件发光。

本发明实施例的像素电路驱动方法，通过多个晶体管和电容对电路进行开关和充放电控制，可以使得通过晶体管的用于驱动发光器件的电流与晶体管的阈值电压无关，补偿了由于晶体管的阈值电压的不一致或偏移所造成的流过发光器件的电流差异，提高了显示装置发光亮度的均匀性，显著提升了显示效果。此外，由于这样一种结构的像素电路结构简单，晶体管的数量较少，从而可以减少覆盖晶体管的遮光区域的面积，有效增大显示装置的开口率。

需要说明的是，本发明实施例中的发光器件可以是常规的包括 LED 或 OLED 在内的多种电流驱动发光器件。

在本发明实施例中，可以采用第四晶体管控制第一电源电压端的信号输入。

具体地，一个第四晶体管可以对应一列像素电路。

该第四晶体管的栅极连接控制线，其第一极连接第一电源电压端，
5 其第二极连接控制电源线。

第四晶体管可以为 N 型晶体管或 P 型晶体管。

进一步地，在本发明实施例中，第一晶体管、第二晶体管和第三晶体管均可以为 N 型晶体管；或者第一晶体管、第二晶体管和第三晶体管均可以为 P 型晶体管。

10 需要说明的是，当仅包括第一晶体管、第二晶体管和第三晶体管，且第一晶体管、第二晶体管和第三晶体管均为 N 型晶体管时，控制信号的时序可以如图 2 所示，包括：

第一阶段：第一控制信号端和第二控制信号端均输入高电平，第一电源信号端输入低电平，数据信号端输入低电平的重置信号。

15 第二阶段：第一控制信号端、第二控制信号端以及第一电源信号端均输入高电平，数据信号端输入低电平的重置信号。

第三阶段：第一控制信号端和第一电源信号端均输入高电平，第二控制信号端输入低电平，数据信号端输入高电平的数据信号。

20 第四阶段：第一电源信号端和第二控制信号端均输入高电平，第一控制信号端和数据信号端均输入低电平。

具体地，当该第一晶体管、第二晶体管和第三晶体管均为 N 型增强型薄膜晶体管时，步骤 S1001 具体可以包括：

第一控制信号端 S1 和第二控制信号端 S2 均输入高电平，第一电源信号端 ELVDD 输入低电平（Vss），数据信号端 DATA 输入低电平的复位信号（Vref），其中 $V_{ref} - V_{th} > V_{ss}$ （ V_{th} 为 T1 晶体管的阈值电压）。
25

其中，该步骤为复位阶段，参照图 2 所示，在复位阶段（P1）中，第一控制信号端 S1 和第二控制信号端 S2 均输入高电平，第一电源信号端 ELVDD 输入低电平（Vss），数据信号端 DATA 输入低电平的复位信号（Vref）。此时，第一晶体管 T1、第二晶体管 T2 和第三晶体管

T3 导通，发光器件 L 的阳极电压为 V_{ss} ，发光器件 L 处于关闭状态。

相应地，步骤 S1002 可以包括：

第一控制信号端 S1、第二控制信号端 S2 以及第一电源信号端 ELVDD 均输入高电平，数据信号端 DATA 输入低电平的复位信号
5 (V_{ref})。

该步骤为补偿阶段，此时，第一晶体管 T1、第二晶体管 T2 和第三晶体管 T3 保持导通，发光器件 L 的阳极电压随着第一晶体管 T1 的充电而升高，直到电压等于 $V_{ref}-V_{th}$ 。在补偿阶段结束时，存储在存储电容 C1 两端的电荷为 $V_{th}\cdot C_{ST}$ ，其中 C_{ST} 为存储电容 C1 的电容值。

10 步骤 S1003 可以包括：

在准备写入数据之前，需要关闭第三晶体管 T3，此时的等效电路如图 5 所示，第一晶体管 T1 的栅极电压为数据信号端 DATA 输入的低电平的复位信号 V_{ref} ，此时，发光器件 L 的阳极电压此时为 $V_{ref}-V_{th}$ 。

该步骤为数据写入阶段，在这个阶段，第一控制信号端 S1 和第一
15 电源信号端 ELVDD 均输入高电平，第二控制信号端 S2 输入低电平，数据信号端 DATA 输入高电平的数据信号 (V_{data})。此时，第一晶体管 T1 和第二晶体管 T2 导通，第三晶体管 T3 关闭，发光器件 L 的阳极电压此时变为 $V_{ref}-V_{th}+a(V_{data}-V_{ref})$ ，其中 $a=C_{ST}/(C_{ST}+C_L)$ ， C_L 为寄生电容 C2 的电容值。

20 步骤 S1004 可以包括：

在像素电路准备驱动发光器件进行发光之前，需要关闭第二晶体管 T2。

该步骤为发光阶段，在这个阶段，第一电源信号端 ELVDD 和第二控制信号端 S2 均输入高电平，第一控制信号端 S1 和数据信号端
25 DATA 均输入低电平，以使得第三晶体管 T3 导通，此时第一晶体管 T1 的栅源极之间电压 V_{gs} 为 $(1-a)(V_{data}-V_{ref})+V_{th}$ 。

此时，流过第一晶体管 T1、第三晶体管 T3 和发光器件 L 的电流为：

$$\begin{aligned}
 I_{OLED} &= \frac{1}{2} \cdot \mu_n \cdot Cox \cdot \frac{W}{L} \cdot \left[(1-a) (V_{DATA} - V_{ref}) + V_{th} - V_{th} \right]^2 \\
 &= \frac{1}{2} \cdot \mu_n \cdot Cox \cdot \frac{W}{L} \cdot \left[(1-a) (V_{DATA} - V_{ref}) \right]^2
 \end{aligned}$$

由上式可知，发光器件 L 发光的电流与 TFT 阈值电压和 OLED 两端的电压均无关，因此有效消除了阈值电压非均匀性、漂移的影响。

采用该结构的像素电路，无论对于增强型还是耗尽型的 TFT，都可以补偿阈值电压非均匀性的影响，因此适用性更广。同时该结构使用的 TFT 数量较少，控制信号简单，适用于高分辨率像素设计。

可替换地，当第一晶体管、第二晶体管、第三晶体管和第四晶体管均为 N 型晶体管时，控制信号的时序同样可以如图 2 所示，包括：

第一阶段：控制线和第二控制信号端均输入高电平，第一电源信号端输入低电平，数据信号端输入低电平的复位信号。

第二阶段：控制线、第二控制信号端以及第一电源信号端均输入高电平，数据信号端输入低电平的复位信号。

第三阶段：控制线和第一电源信号端均输入高电平，第二控制信号端输入低电平，数据信号端输入高电平的数据信号。

第四阶段：第一电源信号端和第二控制信号端均输入高电平，控制线和数据信号端均输入低电平。

需要说明的是，同样可以采用如图 2 所示的时序信号设计对如图 9 所示的一系列像素电路进行驱动，所不同的是，第一电源信号端 ELVDD 的时序此时作为控制线 EL 输入信号的时序。采用这样一种驱动方法，同样可以分为四个阶段，具体可参照前述实施例，此处不做赘述。

本领域普通技术人员可以理解：实现上述方法实施例的全部或部分流程可以通过计算机程序指令相关的硬件来完成，前述的程序可以存储于一计算机可读取存储介质中，该程序在执行时，执行包括上述方法实施例的步骤；而前述的存储介质包括：ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围

内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

本申请要求于 2013 年 12 月 12 日递交的中国专利申请第 201310683964.6 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一

5 部分。

权 利 要 求 书

1、一种像素电路，包括：

第一晶体管、第二晶体管、第三晶体管、存储电容、寄生电容以及
5 发光器件；

所述第一晶体管的第一极连接第一电源信号端，其第二极连接所述
第三晶体管的第一极；

所述第二晶体管的栅极连接第一控制信号端，其第一极连接数据信
号端，其第二极连接所述第一晶体管的栅极；

10 所述第三晶体管的栅极连接第二控制信号端，其第二极连接所述发
光器件的一端；

所述存储电容的一端连接所述第一晶体管的栅极，其另一端连接所
述发光器件的一端；

所述寄生电容的一端连接所述发光器件的一端，其另一端连接所述
15 发光器件的另一端；

所述发光器件的另一端还连接第二电源信号端。

2、根据权利要求 1 所述的像素电路，其中，所述像素电路还包括：
第四晶体管；

所述第四晶体管的栅极连接控制线，其第一极连接所述第二晶体管
20 的第二极，其第二极连接所述第一电源信号端。

3、根据权利要求 2 所述的像素电路，其中，所述第四晶体管为 N
型晶体管或 P 型晶体管；

所述第四晶体管的第一极为漏极，其第二极为源极。

4、根据权利要求 1-3 任一所述的像素电路，其中，

25 所述第一晶体管、所述第二晶体管和所述第三晶体管均为 N 型晶
体管；或，

所述第一晶体管、所述第二晶体管和所述第三晶体管均为 P 型晶体
管；

所述第一晶体管、所述第二晶体管和所述第三晶体管的第一极均为
30 漏极，所述第一晶体管、所述第二晶体管和所述第三晶体管的第二极均
为源极。

5、一种显示装置，包括如权利要求 1-4 中任一所述的像素电路。

6、一种用于驱动如权利要求 1-4 任一所述像素电路的像素电路驱动方法，包括下列步骤：

导通第一晶体管、第二晶体管和第三晶体管，数据信号端输入复位信号，第一电源信号端输入第一电压控制发光器件处于关闭状态；

5 保持所述第一晶体管、所述第二晶体管和所述第三晶体管导通，所述第一电源信号端输入第二电压，以使得所述发光器件的一端预充电；

关闭所述第三晶体管，所述数据信号端输入数据信号，以使得所述像素电路数据写入；

10 关闭所述第二晶体管，导通所述第三晶体管，通过所述第一晶体管和所述第三晶体管的电流驱动所述发光器件发光。

7、根据权利要求 6 所述的像素电路驱动方法，还包括：第四晶体管控制所述第一电源电压端的信号输入，一个所述第四晶体管对应一列像素电路；

15 所述第四晶体管的栅极连接控制线，其第一极连接所述第一电源电压端，其第二极连接所述控制电源线；

所述第四晶体管为 N 型晶体管或 P 型晶体管。

8、根据权利要求 6 或 7 所述的像素电路驱动方法，其中于，所述第一晶体管、所述第二晶体管和所述第三晶体管均为 N 型晶体管；或，

20 所述第一晶体管、所述第二晶体管和所述第三晶体管均为 P 型晶体管。

9、根据权利要求 8 所述的像素电路驱动方法，其中，当仅包括所述第一晶体管、所述第二晶体管和所述第三晶体管，且所述第一晶体管、所述第二晶体管和所述第三晶体管均为 N 型晶体管时，控制信号的时序包括：

25 第一阶段：所述第一控制信号端和所述第二控制信号端均输入高电平，所述第一电源信号端输入低电平，所述数据信号端输入低电平的所述复位信号；

30 第二阶段：所述第一控制信号端、所述第二控制信号端以及所述第一电源信号端均输入高电平，所述数据信号端输入低电平的所述复位信号；

第三阶段：所述第一控制信号端和所述第一电源信号端均输入高电平，所述第二控制信号端输入低电平，所述数据信号端输入高电平的所

述数据信号;

第四阶段: 所述第一电源信号端和所述第二控制信号端均输入高电平, 所述第一控制信号端和所述数据信号端均输入低电平。

5 10、根据权利要求 8 所述的像素电路驱动方法, 其中, 当所述第一晶体管、所述第二晶体管、所述第三晶体管和所述第四晶体管均为 N 型晶体管时, 控制信号的时序包括:

第一阶段: 所述控制线和所述第二控制信号端均输入高电平, 所述第一电源信号端输入低电平, 所述数据信号端输入低电平的所述复位信号;

10 第二阶段: 所述控制线、所述第二控制信号端以及所述第一电源信号端均输入高电平, 所述数据信号端输入低电平的所述复位信号;

第三阶段: 所述控制线和所述第一电源信号端均输入高电平, 所述第二控制信号端输入低电平, 所述数据信号端输入高电平的所述数据信号;

15 第四阶段: 所述第一电源信号端和所述第二控制信号端均输入高电平, 所述控制线和所述数据信号端均输入低电平。

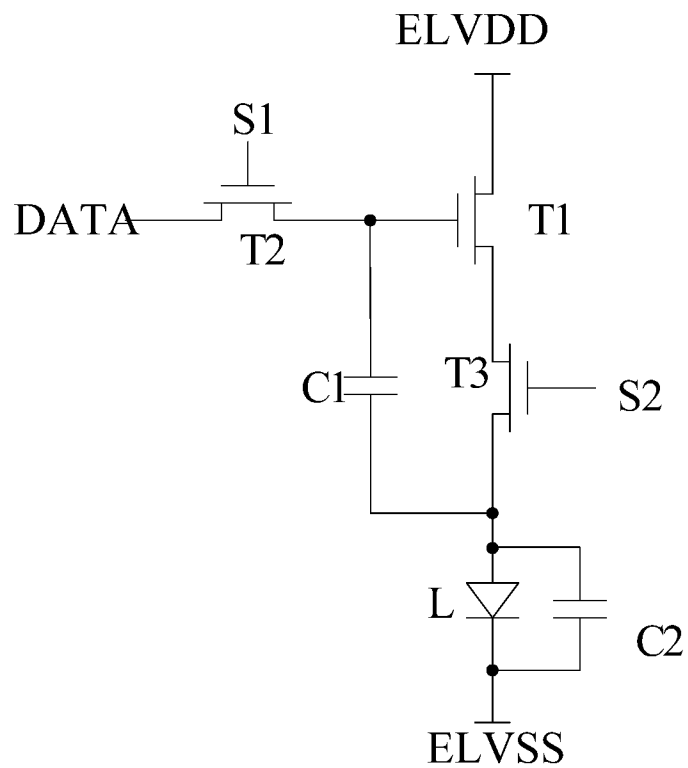


图 1

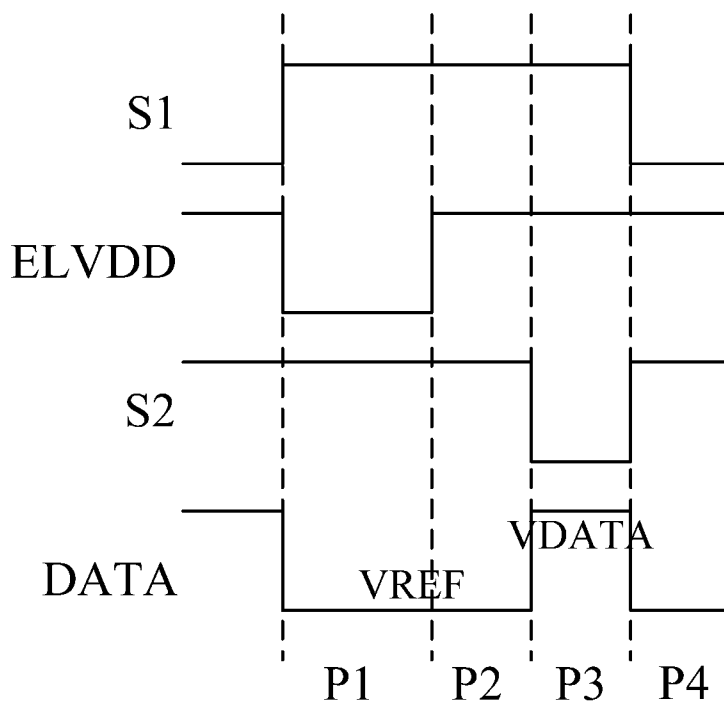


图 2

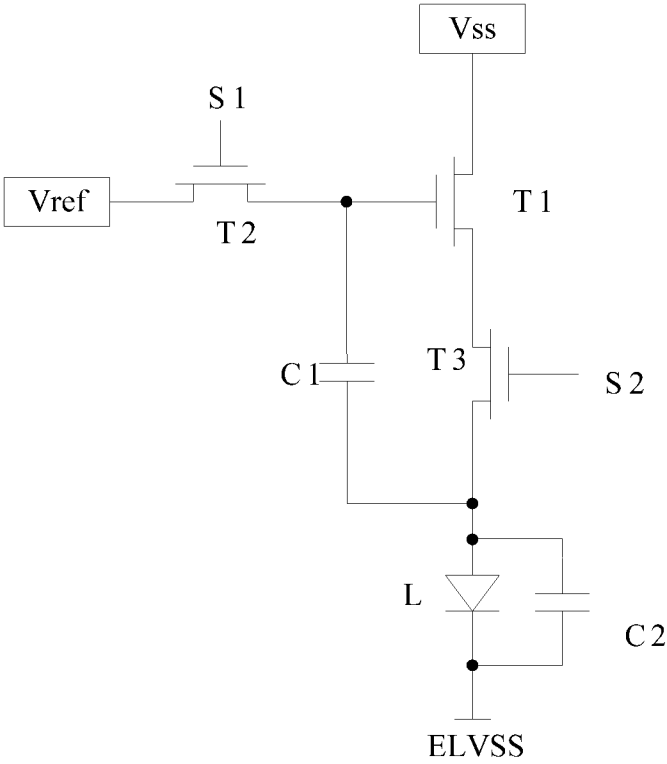


图 3

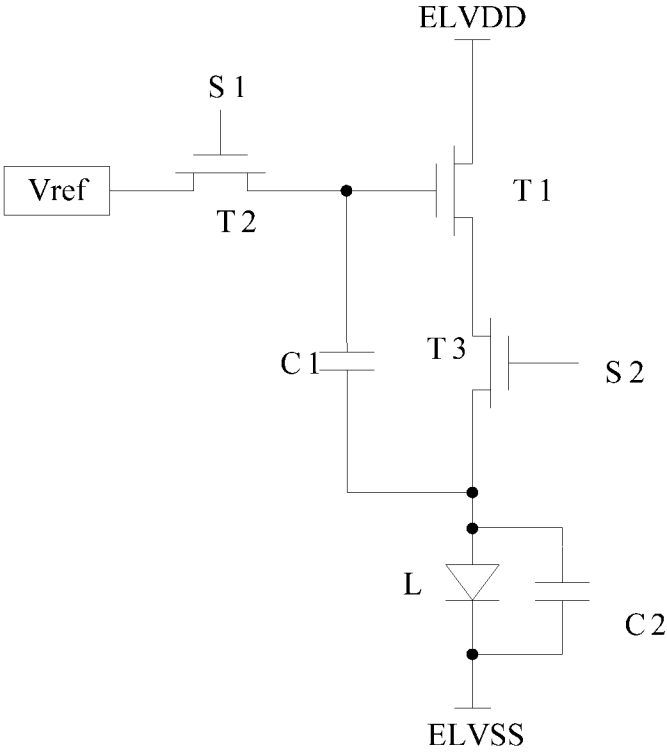


图 4

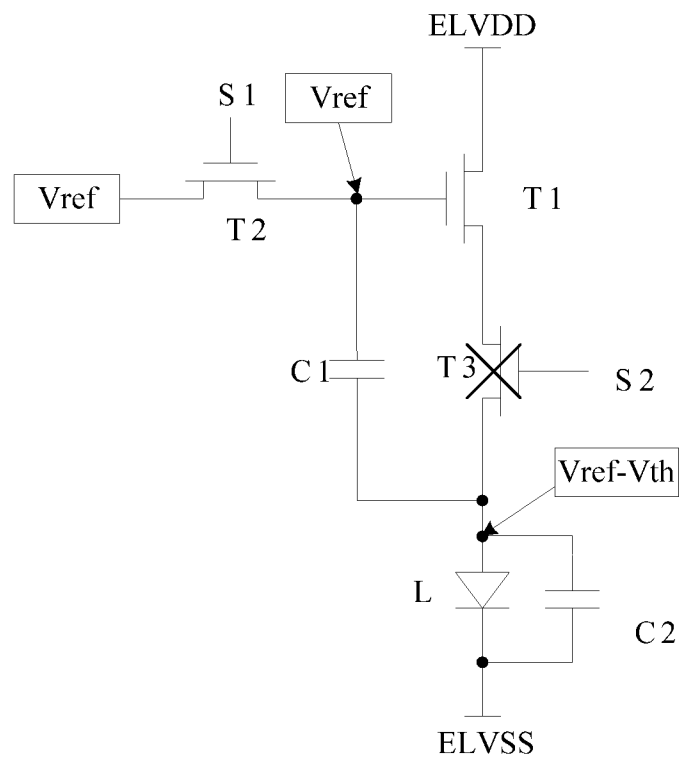


图 5

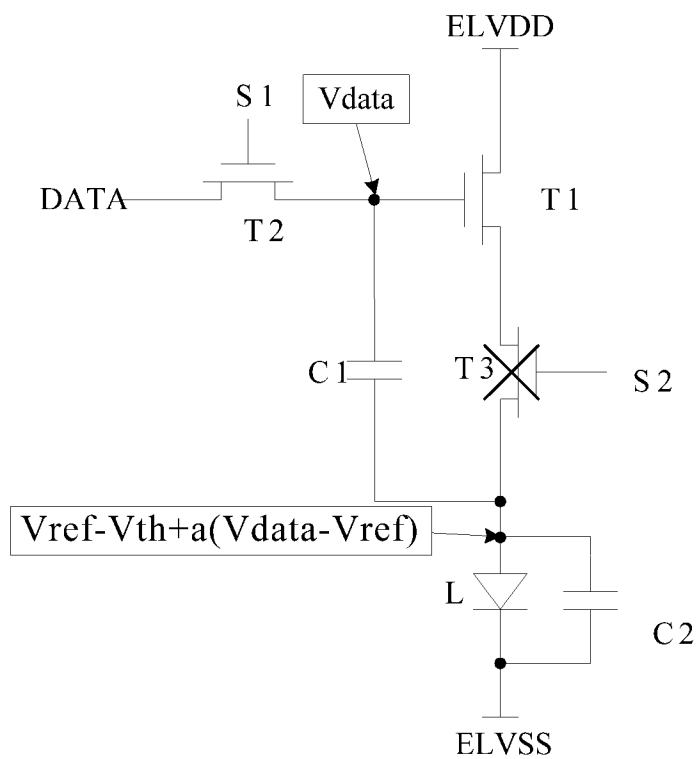


图 6

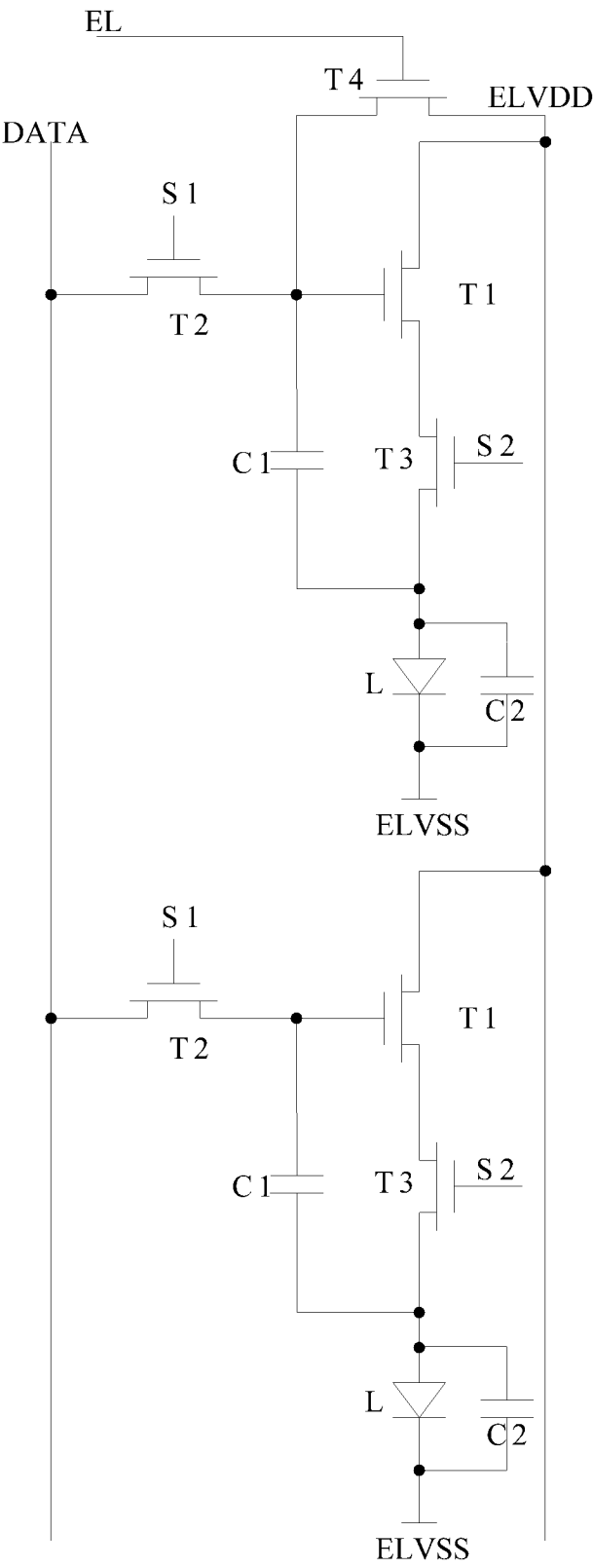


图 9

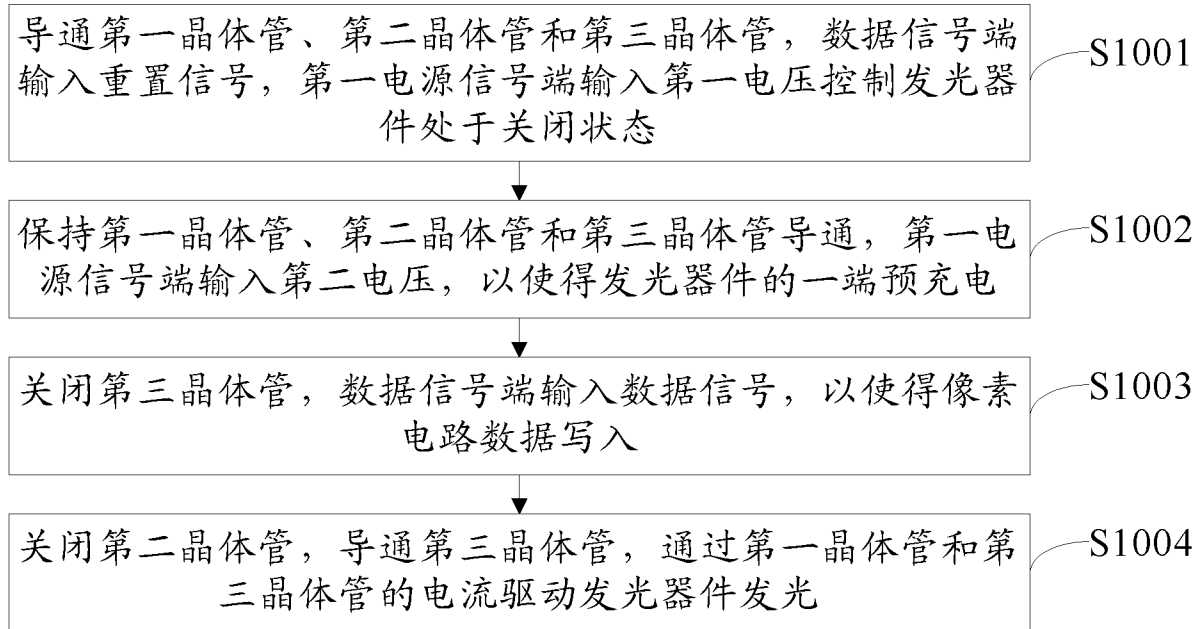


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/076485

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G 3, G09G 5, H05B 33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, SIPOABS, CNKI: offset, reset, TFT, transistor, ag+, characteristic, drift+, threshold, compensat+, revis+, fourth, write, reference

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103680406 A (BOE TECHNOLOGY GROUP CO., LTD.), 26 March 2014 (26.03.2014), claims 1-10	1-10
X	CN 101656047 A (SEIKO EPSON CORP.), 24 February 2010 (24.02.2010), description, pages 8-13, and figures 2-8	1-10
X	CN 101447169 A (SONY CORPORATION), 03 June 2009 (03.06.2009), description, pages 22-37, and figures 6A-6L	1-10
X	CN 101471028 A (SONY CORPORATION), 01 July 2009 (01.07.2009), description, pages 7-10, and figures 2A-21	1-10
A	CN 101266753 A (SONY CORPORATION), 17 September 2008 (17.09.2008), the whole document	1-10
A	US 2013063041 A1 (SEMICONDUCTOR ENERGY LAB), 14 March 2013 (14.03.2013), the whole document	1-10
A	JP 2010117725 A (SEMICONDUCTOR ENERGY LAB), 27 May 2010 (27.05.2010), the whole document	1-10

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 September 2014 (04.09.2014)	Date of mailing of the international search report 11 December 2014 (11.12.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHANG, Honglei Telephone No.: (86-10) 62085785

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/076485

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005352411 A (SHARP KK), 22 December 2005 (22.12.2005), the whole document	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/076485

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103680406 A	26 March 2014	None	
CN 101656047 A	24 February 2010	JP 2010044297 A	25 February 2010
		CN 101656047 B	12 February 2014
		JP 5287024 B2	11 September 2013
		JP 5369578 B2	18 December 2013
		US 2010039411 A1	18 February 2010
		JP 2010078946 A	08 April 2010
		US 8310416 B2	13 November 2012
CN 101447169 A	03 June 2009	KR 20090055476 A	02 June 2009
		US 2009135112 A1	28 May 2009
		JP 2009133913 A	18 June 2009
		TW 200929140 A	01 July 2009
CN 101471028 A	01 July 2009	KR 20090071407 A	01 July 2009
		CN 101471028 B	05 January 2011
		US 2009167646 A1	02 July 2009
		JP 2009157199 A	16 July 2009
		TW 200933572 A	01 August 2009
		TW I420462 B	21 December 2013
		JP 4483945 B2	16 June 2010
		US 8730133 B2	20 May 2014
CN 101266753 A	17 September 2008	US 8648840 B2	11 February 2014
		US 2014125717 A1	08 May 2014
		JP 5309455 B2	09 October 2013
		CN 101266753 B	08 December 2010
		TW 200903420 A	16 January 2009
		US 2008225026 A1	18 September 2008
		KR 20080084613 A	19 September 2008
		JP 2008225345 A	25 September 2008
US 2013063041 A1	14 March 2013	JP 2013068940 A	18 April 2013
		US 8710749 B2	29 April 2014
		KR 20130028669 A	19 March 2013
		TW 201320047 A	16 May 2013
JP 2010117725 A	27 May 2010	JP 5448269 B2	19 March 2014
		US 2004080474 A1	29 April 2004
		JP 4801770 B2	26 October 2011
		JP 2013210676 A	10 October 2013
		JP 4785997 B2	05 October 2011
		US 2011205215 A1	25 August 2011
		JP 2011164642 A	25 August 2011
		JP 2011242789 A	01 December 2011
		US 2013057174 A1	07 March 2013
		US 8305306 B2	06 November 2012
		US 2009096727 A1	16 April 2009
		US 7456810 B2	25 November 2008
		US 8063859 B2	22 November 2011
JP 2005352411 A	22 December 2005	None	

A. 主题的分类 G09G 3/32 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																										
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 3, G09G 5, H05B 33 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, CNTXT, DWPI, SIPOABS, CNKI: 晶体管, 老化, 特性, 漂移, 偏移, 阈值, 门限, 补偿, 校正, 第四, 复位, 写入, 参考, TFT, transistor, ag⁺, characteristic, drift⁺, threshold, compensat⁺, revis⁺, fourth, write, reference																										
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 103680406 A (京东方科技集团股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 权利要求1-10</td> <td>1-10</td> </tr> <tr> <td>X</td> <td>CN 101656047 A (精工爱普生株式会社) 2010年 2月 24日 (2010 - 02 - 24) 说明书第8页至第13页、图2-8</td> <td>1-10</td> </tr> <tr> <td>X</td> <td>CN 101447169 A (索尼株式会社) 2009年 6月 03日 (2009 - 06 - 03) 说明书第22页至第37页、图6A-6L</td> <td>1-10</td> </tr> <tr> <td>X</td> <td>CN 101471028 A (索尼株式会社) 2009年 7月 01日 (2009 - 07 - 01) 说明书第7页至第10页、图2A-2I</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 101266753 A (索尼株式会社) 2008年 9月 17日 (2008 - 09 - 17) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2013063041 A1 (SEMICONDUCTOR ENERGY LAB) 2013年 3月 14日 (2013 - 03 - 14) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 2010117725 A (SEMICONDUCTOR ENERGY LAB) 2010年 5月 27日 (2010 - 05 - 27) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 103680406 A (京东方科技集团股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 权利要求1-10	1-10	X	CN 101656047 A (精工爱普生株式会社) 2010年 2月 24日 (2010 - 02 - 24) 说明书第8页至第13页、图2-8	1-10	X	CN 101447169 A (索尼株式会社) 2009年 6月 03日 (2009 - 06 - 03) 说明书第22页至第37页、图6A-6L	1-10	X	CN 101471028 A (索尼株式会社) 2009年 7月 01日 (2009 - 07 - 01) 说明书第7页至第10页、图2A-2I	1-10	A	CN 101266753 A (索尼株式会社) 2008年 9月 17日 (2008 - 09 - 17) 全文	1-10	A	US 2013063041 A1 (SEMICONDUCTOR ENERGY LAB) 2013年 3月 14日 (2013 - 03 - 14) 全文	1-10	A	JP 2010117725 A (SEMICONDUCTOR ENERGY LAB) 2010年 5月 27日 (2010 - 05 - 27) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
PX	CN 103680406 A (京东方科技集团股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 权利要求1-10	1-10																								
X	CN 101656047 A (精工爱普生株式会社) 2010年 2月 24日 (2010 - 02 - 24) 说明书第8页至第13页、图2-8	1-10																								
X	CN 101447169 A (索尼株式会社) 2009年 6月 03日 (2009 - 06 - 03) 说明书第22页至第37页、图6A-6L	1-10																								
X	CN 101471028 A (索尼株式会社) 2009年 7月 01日 (2009 - 07 - 01) 说明书第7页至第10页、图2A-2I	1-10																								
A	CN 101266753 A (索尼株式会社) 2008年 9月 17日 (2008 - 09 - 17) 全文	1-10																								
A	US 2013063041 A1 (SEMICONDUCTOR ENERGY LAB) 2013年 3月 14日 (2013 - 03 - 14) 全文	1-10																								
A	JP 2010117725 A (SEMICONDUCTOR ENERGY LAB) 2010年 5月 27日 (2010 - 05 - 27) 全文	1-10																								
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																										
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																										
国际检索实际完成的日期 2014年 9月 04日		国际检索报告邮寄日期 2014年 12月 11日																								
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		授权官员 张洪雷 电话号码 (86-10)62085785																								

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	JP 2005352411 A (SHARP KK) 2005年 12月 22日 (2005 - 12 - 22) 全文	1-10

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/076485

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103680406	A	2014年 3月 26日	无			
CN	101656047	A	2010年 2月 24日	JP	2010044297	A	2010年 2月 25日
				CN	101656047	B	2014年 2月 12日
				JP	5287024	B2	2013年 9月 11日
				JP	5369578	B2	2013年 12月 18日
				US	2010039411	A1	2010年 2月 18日
				JP	2010078946	A	2010年 4月 08日
				US	8310416	B2	2012年 11月 13日
CN	101447169	A	2009年 6月 03日	KR	20090055476	A	2009年 6月 02日
				US	2009135112	A1	2009年 5月 28日
				JP	2009133913	A	2009年 6月 18日
				TW	200929140	A	2009年 7月 01日
CN	101471028	A	2009年 7月 01日	KR	20090071407	A	2009年 7月 01日
				CN	101471028	B	2011年 1月 05日
				US	2009167646	A1	2009年 7月 02日
				JP	2009157199	A	2009年 7月 16日
				TW	200933572	A	2009年 8月 01日
				TW	1420462	B	2013年 12月 21日
				JP	4483945	B2	2010年 6月 16日
				US	8730133	B2	2014年 5月 20日
CN	101266753	A	2008年 9月 17日	US	8648840	B2	2014年 2月 11日
				US	2014125717	A1	2014年 5月 08日
				JP	5309455	B2	2013年 10月 09日
				CN	101266753	B	2010年 12月 08日
				TW	200903420	A	2009年 1月 16日
				US	2008225026	A1	2008年 9月 18日
				KR	20080084613	A	2008年 9月 19日
				JP	2008225345	A	2008年 9月 25日
US	2013063041	A1	2013年 3月 14日	JP	2013068940	A	2013年 4月 18日
				US	8710749	B2	2014年 4月 29日
				KR	20130028669	A	2013年 3月 19日
				TW	201320047	A	2013年 5月 16日
JP	2010117725	A	2010年 5月 27日	JP	5448269	B2	2014年 3月 19日
				US	2004080474	A1	2004年 4月 29日
				JP	4801770	B2	2011年 10月 26日
				JP	2013210676	A	2013年 10月 10日
				JP	4785997	B2	2011年 10月 05日
				US	2011205215	A1	2011年 8月 25日
				JP	2011164642	A	2011年 8月 25日
				JP	2011242789	A	2011年 12月 01日
				US	2013057174	A1	2013年 3月 07日
				US	8305306	B2	2012年 11月 06日
				US	2009096727	A1	2009年 4月 16日
				US	7456810	B2	2008年 11月 25日
				US	8063859	B2	2011年 11月 22日
JP	2005352411	A	2005年 12月 22日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)