

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年5月20日(20.05.2021)



(10) 国際公開番号

WO 2021/095433 A1

(51) 国際特許分類:

H01L 21/822 (2006.01) H01L 21/338 (2006.01)
H01L 27/04 (2006.01) H01L 29/812 (2006.01)
H01L 27/06 (2006.01) H01L 29/778 (2006.01)
H01L 21/336 (2006.01) H01L 21/337 (2006.01)
H01L 29/78 (2006.01) H01L 29/808 (2006.01)
H01L 29/786 (2006.01)

(21) 国際出願番号: PCT/JP2020/038905

(22) 国際出願日: 2020年10月15日(15.10.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-204602 2019年11月12日(12.11.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

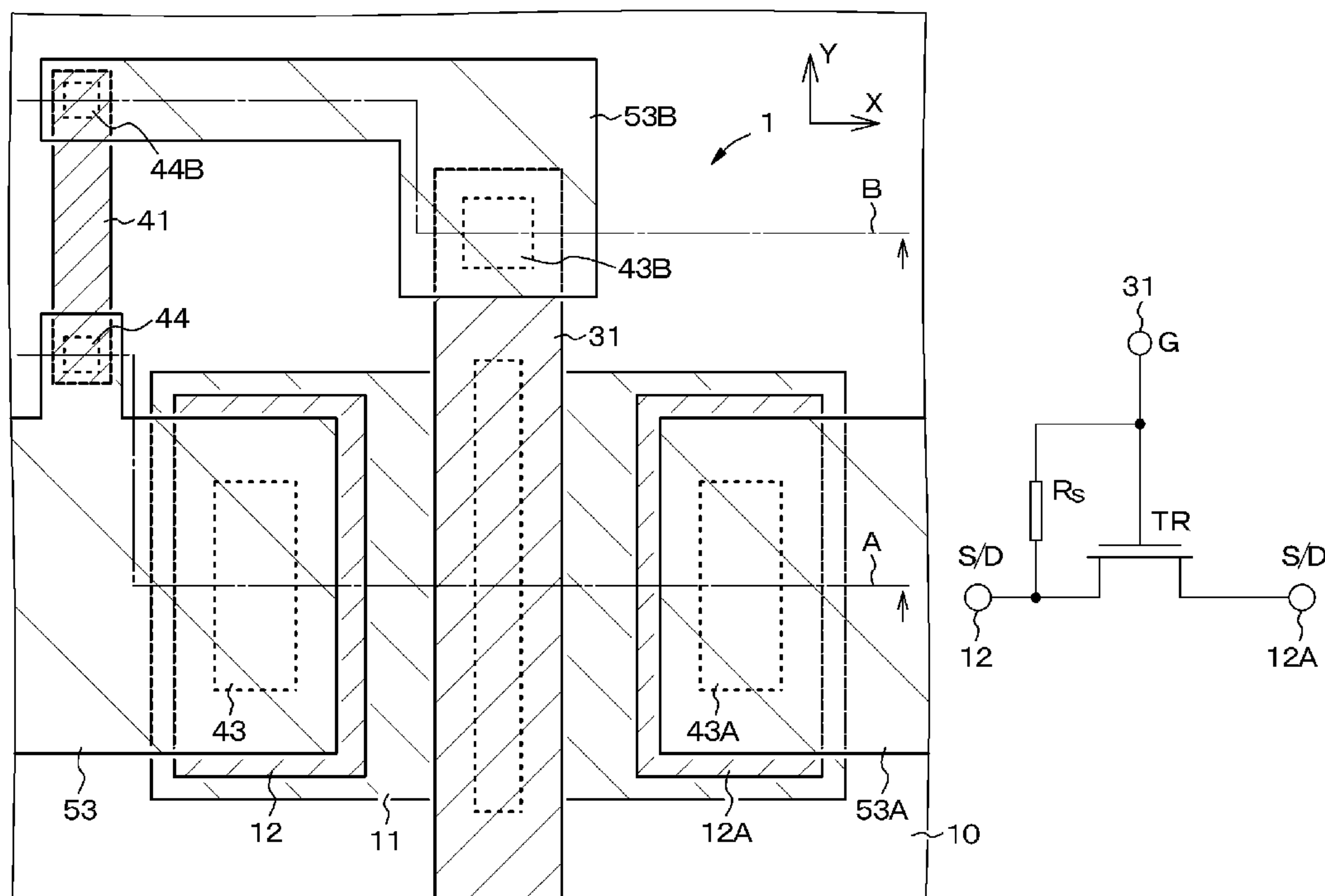
(72) 発明者: 竹内 克彦 (TAKEUCHI Katsuhiko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 半導体装置および電子機器

図1



(57) Abstract: This semiconductor device is provided with: a semiconductor material layer forming a channel layer; a pair of source/drain electrodes formed on the semiconductor material layer; and a gate electrode that is disposed between the pair of source/drain electrodes and that is formed on the semiconductor material layer. The gate electrode and at least one of the pair of source/drain electrodes are connected with each other via a resistance element.

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置は、チャネル層を形成する半導体材料層、半導体材料層上に形成された一対のソース／ドレイン電極、及び、一対のソース／ドレイン電極の間に配置されており、半導体材料層の上に形成されているゲート電極、を有しており、一対のソース／ドレイン電極の少なくとも一方とゲート電極との間には、抵抗素子を介して接続されている。

明 細 書

発明の名称：半導体装置および電子機器

技術分野

[0001] 本開示は、半導体装置および電子機器に関する。

背景技術

[0002] ワイドギャップ半導体材料である窒化ガリウム（GaN）は、絶縁破壊電圧が高く、高温動作が可能であり、飽和ドリフト速度が高いなどといった特徴を有している。また、GaN系ヘテロ接合に形成される二次元電子ガス（2DEG）は、移動度が高くかつシート電子密度が高いという特徴がある。これらの特徴により、GaN系ヘテロFETは低抵抗、高速、高耐圧動作が可能であるため、パワーデバイスやRFデバイスなどへの適用が期待されている。

[0003] 一般的なGaN系ヘテロFET（HFET）の場合、チャネル層を形成するGaN層の上にバリア層が配される。チャネル層との間で発生する分極によって2DEGを発生させるため、バリア層を形成する材料として $\text{Al}_{1-x-y}\text{Ga}_x\text{In}_y\text{N}$ （但し $0 \leq x < 1$, $0 \leq y < 1$ ）などが一般的に用いられる。良好な特性を実現できるように組成は適宜選択されるが、組成によっては、ゲート電極とバリア層との間に形成されるショットキー接合におけるリーク電流が高くなることが一般的に知られている。その場合、ゲート絶縁膜を介してゲート電極を配置することによって、リーク電流を低減させることができる。

[0004] 半導体装置の製造プロセスでは、プラズマを用いたエッチングなどの製造工程において、導体層配線にチャージされた電荷によってダメージを受けるPID（Plasma Induced Damage）と言われる現象が発生する。このため、低耐圧のキャパシタをゲート電極に接続し、低耐圧のキャパシタが絶縁破壊することによってチャージされた電荷を逃がすといったことが提案されている（例えば、特許文献1を参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2001-284579号公報

発明の概要

発明が解決しようとする課題

[0006] 低耐圧のキャパシタが絶縁破壊することによってチャージされた電荷を逃がすといった半導体装置においては、半導体装置の出荷前にキャパシタを接続する配線を除去するなどといったこと必要となる。しかしながら、この場合には配線を除去するプロセス工程などが必要となるためコスト上昇の要因となる。

[0007] 従って、本開示の目的は、プラズマを用いたエッチングなどの製造工程におけるPIDを低減することができ、半導体装置の出荷前に配線を除去するプロセス工程を必要としない半導体装置、及び、係る半導体装置を備えた電子機器を有することにある。

課題を解決するための手段

[0008] 上記の目的を達成するための本発明に係る半導体装置は、
チャンネル層を形成する半導体材料層、
半導体材料層上に形成された一対のソース／ドレイン電極、及び、
一対のソース／ドレイン電極の間に配置されており、半導体材料層の上に形成されているゲート電極、
を有しており、
一対のソース／ドレイン電極の少なくとも一方とゲート電極との間は、抵抗素子を介して接続されている、
半導体装置である。

[0009] 上記の目的を達成するための本発明に係る電子機器は、
チャンネル層を形成する半導体材料層、
半導体材料層上に形成された一対のソース／ドレイン電極、及び、

一対のソース／ドレイン電極の間に配置されており、半導体材料層の上に形成されているゲート電極、
を有しており、

一対のソース／ドレイン電極の少なくとも一方とゲート電極との間は、抵抗素子を介して接続されている、
半導体装置を備えた電子機器である。

図面の簡単な説明

[0010] [図1]図1は、本開示の第1の実施形態に係る半導体装置の構成を説明するための模式的な一部平面図である。

[図2]図2Aおよび図2Bは、本開示の第1の実施形態に係る半導体装置の構成を説明するための模式的な一部断面図である。

[図3]図3Aは、本開示の第1の実施形態に係る半導体装置の高周波小信号シミュレーション用モデルである。図3Bは、シミュレーションによって得られた、抵抗素子の値とSパラメータとの関係を示すグラフである。

[図4]図4Aは、本開示の第1の実施形態に係る半導体装置の内部パラメータと抵抗素子との関係を調べるためのシミュレーション用モデルである。図4Bは、シミュレーションによって得られた、抵抗素子の値と抵抗素子の有無によるS₁₂パラメータの差分(ΔS_{12})との関係を示すグラフである。

[図5]図5は、 ΔS_{12} が1 dBよりも小さくなる抵抗値と、 $1/2\omega C$ で定義した内部インピーダンスとの関係を示すグラフである。

[図6]図6は、本開示の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な一部平面図である。

[図7]図7は、図6に引き続き、本開示の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な一部平面図である。

[図8]図8は、図7に引き続き、本開示の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な一部平面図である。

[図9]図9は、図8に引き続き、本開示の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な一部平面図である。

[図10]図10は、図9に引き続き、本開示の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な一部平面図である。

[図11]図11は、図10に引き続き、本開示の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な一部平面図である。

[図12]図12は、図11に引き続き、本開示の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な一部平面図である。

[図13]図13は、図12に引き続き、本開示の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な一部平面図である。

[図14]図14は、本開示の第1の実施形態の第1変形例に係る半導体装置の構成を説明するための模式的な一部平面図である。

[図15]図15Aおよび図15Bは、本開示の第1の実施形態の第2変形例に係る半導体装置の構成を説明するための模式的な一部断面図である。

[図16]図16Aおよび図16Bは、本開示の第1の実施形態の第3変形例に係る半導体装置の構成を説明するための模式的な一部断面図である。

[図17]図17は、本開示に係る半導体装置を用いた無線通信装置の構成を説明するための模式的な構成図である。

[図18]図18は、車両制御システムの概略的な構成の一例を示すブロック図である。

[図19]図19は、車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0011] 以下、図面を参照して、実施形態に基づいて本開示を説明する。本開示は実施形態に限定されるものではなく、実施形態における種々の数値や材料は例示である。以下の説明において、同一要素または同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は、以下の順序で行う。

1. 本開示に係る、半導体装置および半導体装置の製造方法、並びに電子機器、全般に関する説明

2. 第1の実施形態

3. 第1変形例

4. 第2変形例

5. 第3変形例

6. 電子機器の説明

7. 応用例

8. その他

[0012] [本開示に係る、半導体装置および半導体装置の製造方法、並びに電子機器、全般に関する説明]

以下の説明において、本開示に係る半導体装置、本開示に係る半導体装置の製造方法によって製造される半導体装置、及び、本開示に係る電子機器が備える半導体装置を、単に、[本開示の半導体装置]と呼ぶ場合がある。

[0013] 上述したように、本開示の半導体装置は、

チャネル層を形成する半導体材料層、

半導体材料層上に形成された一対のソース／ドレイン電極、及び、

一対のソース／ドレイン電極の間に配置されており、半導体材料層の上に形成されているゲート電極、

を有しており、

一対のソース／ドレイン電極の少なくとも一方とゲート電極との間は、抵抗素子を介して接続されている、

半導体装置である。

[0014] そして、本開示の半導体装置において、ゲート電極は、ゲート絶縁膜を介して半導体材料層上に形成されている構成とすることができる。この場合において、半導体材料層は、チャネル層上に形成されたバリア層を有する構成とすることができる。また、半導体材料層は化合物半導体材料から成る構成とすることができ、例えば、窒化ガリウム（GaN）やガリウム砒素（GaAs）などから構成することができる。尚、場合によっては、シリコン（Si）を用いて半導体材料層を形成する構成であってもよい。

- [0015] 上述した各種の好ましい構成を含む本開示の半導体装置において、チャネル層を形成する半導体材料層は、一対のソース／ドレイン電極およびゲート電極に電圧を印加しない状態においてゲート電極下のチャネル層内に2次元電子ガス層が存在するように形成されている構成とすることができる。
- [0016] この場合、半導体装置はノーマリーオンの構成となる。従って、一対のソース／ドレイン電極のいずれか一方とゲート電極との間が抵抗素子を介して接続されることによって、PIDに対する十分な効果を得ることができる。尚、半導体装置がノーマリーオフの構成である場合には、一対のソース／ドレイン電極のいずれも、ゲート電極との間が抵抗素子を介して接続される構成とすることが好ましい。
- [0017] 上述した各種の好ましい構成を含む本開示の半導体装置において、抵抗素子のインピーダンスは、抵抗素子が接続されるソース／ドレイン電極とゲート電極との間の内部インピーダンスよりも大きい構成とすることができる。この場合において、抵抗素子のインピーダンスは1 k Ω 以上である構成とすることができるし、より好ましくは、抵抗素子のインピーダンスは1 M Ω 以上である構成とすることが望ましい。
- [0018] 上述した各種の好ましい構成を含む本開示の半導体装置において、抵抗素子は半導体材料層上に形成された層間膜内に配置されている構成とすることができる。この場合において、抵抗素子を構成する材料は特に限定するものではない。例えば、所定の抵抗値が得られるように薄膜化された金属材料や、ポリシリコンなどを用いて構成することができる。
- [0019] あるいは又、この場合において、抵抗素子はチャネル層を形成する半導体材料層と同層で形成された半導体材料層を用いて構成されている態様とすることもできる。例えば、素子分離領域によって形状を規定した半導体材料層を用いて抵抗素子を形成することができる。
- [0020] 上述した各種の好ましい構成を含む本開示の半導体装置において、半導体材料層は半導体基板の上に形成されており、抵抗素子が接続されているソース／ドレイン電極と半導体基板とは接続されている構成とすることができる。

。この構成によれば、半導体装置の製造プロセス中にチャージした電荷を半導体基板側に逃がすことができる。

[0021] 半導体基板を構成する材料は特に限定するものではなく、例えばⅢ－Ⅴ族化合物半導体材料、炭化ケイ素（SiC）、サファイヤ、シリコン（Si）などといった材料を用いることができる。尚、半導体基板と、その上に形成される半導体材料層とで格子定数が異なる場合、それらの間にバッファ層を設けることによって格子定数の相違による影響を低減することができる。

[0022] 本開示に係る半導体装置の製造方法は、
一対のソース／ドレイン電極の少なくとも一方とゲート電極との間を、抵抗素子を介して接続する工程、
を有する。

[0023] 本開示の半導体装置を備えた電子機器として、例えば、通信システムなどを構成する無線通信装置や、これらを構成するICなどの半導体モジュールなどを挙げることができる。このような無線通信装置としては、通信周波数がUHF（Ultra High Frequency）帯以上のもので特に効果が発揮される。

[0024] 本明細書における各種の条件は、数学的に厳密に成立する場合の他、実質的に成立する場合にも満たされる。設計上あるいは製造上生ずる種々のばらつきは許容される。また、以下の説明で用いる各図面は模式的なものであり、実際の寸法やその割合を示すものではない。例えば、後述する図2は半導体装置の断面構造を示すが、幅、高さ、厚さなどの割合を示すものではない。

[0025] [第1の実施形態]

第1の実施形態は、本開示に係る、半導体装置および半導体装置の製造方法、並びに電子機器に関する。

[0026] 図1は、本開示の第1の実施形態に係る半導体装置の構成を説明するための模式的な一部平面図である。より具体的には、ウエハ状基板に形成される多数の半導体装置のうちの1つを示す。後述する他の図面においても同様で

ある。尚、図 1 の右側には、半導体装置の等価回路図を示す。

- [0027] 第 1 の実施形態に係る半導体装置 1 は、
チャネル層を形成する半導体材料層 1 1、
半導体材料層 1 1 上に形成された一対のソース／ドレイン電極 1 2， 1 2 A、及び、
一対のソース／ドレイン電極 1 2， 1 2 A の間に配置されており、半導体材料層 1 1 の上に形成されているゲート電極 3 1、
を有している。尚、図 1 において、上述した構成要素などの平面形状をハッチングで表した。
- [0028] 半導体装置 1 は、絶縁ゲート構造を持つ電界効果型トランジスタである。ゲート電極 3 1 は、ゲート絶縁膜を介して半導体材料層 1 1 上に形成されているが、図示の都合上、図 1 においてゲート絶縁膜は示されていない。ゲート絶縁膜については、後述する図 2 を参照して後で詳しく説明する。
- [0029] 図 1 において、符号 5 3 は一方のソース／ドレイン電極 1 2 に接続される配線を示し、符号 4 3 はそれらを接続するコンタクトを示す。符号 5 3 A は他方のソース／ドレイン電極 1 2 A に接続される配線を示し、符号 4 3 A はそれらを接続するコンタクトを示す。符号 5 3 B は、ゲート電極 3 1 に接続される配線を示し、符号 4 3 B はそれらを接続するコンタクトを示す。配線 5 3， 5 3 A， 5 3 B は、同層で形成された導電材料層をパターンニングすることで形成されている。
- [0030] そして、一対のソース／ドレイン電極 1 2， 1 2 A の少なくとも一方（図に示す例では、ソース／ドレイン電極 1 2）とゲート電極 3 1 との間は、抵抗素子 4 1（等価回路図における符号 R_s に対応する）を介して接続されている。より具体的には、一方のソース／ドレイン電極 1 2 に接続する配線 5 3 と、ゲート電極 3 1 に接続する配線 5 3 B との間には、抵抗素子 4 1 が接続されている。
- [0031] 図 2 A および図 2 B は、本開示の第 1 の実施形態に係る半導体装置の構成を説明するための模式的な一部断面図である。図 2 A は、図 1 において一点

鎖線で示す符号 A の部分の断面を模式的に示す。図 2 B は、図 1 において一点鎖線で示す符号 B の部分の断面を模式的に示す。尚、各要素の平面形状については、半導体装置の製造方法を説明するための図 6 ないし図 1 3 を適宜参照して説明する。

[0032] 半導体装置 1 は、半導体基板 1 0 の上に形成されている。半導体基板 1 0 上には、チャネル層を形成する半導体材料層 1 1 が形成されている。半導体基板 1 0 は、その上に形成される半導体材料層 1 1 との格子定数との関係から、例えば単結晶 G a N 基板から形成されている。図 7 においてハッチングを付した部分が半導体材料層 1 1 の平面形状を示す。

[0033] 半導体材料層 1 1 は化合物半導体材料から成る。例えば、半導体材料層 1 1 として、窒化ガリウム (G a N) のエピタキシャル成長層が用いられる。半導体材料層 1 1 は、不純物を添加しない u - G a N 層として形成されている。半導体材料層 1 1 の上には、図示せぬバリア層が形成されている。半導体材料層 1 1 との間で発生する分極によって 2 D E G を発生させるため、バリア層を形成する材料として $A l_{1-x-y} G a_x I n_y N$ (但し $0 \leq x < 1$, $0 \leq y < 1$) などが一般的に用いられる。チャネル層を形成する半導体材料層 1 1 は、一对のソース／ドレイン電極 1 2, 1 2 A およびゲート電極 3 1 に電圧を印加しない状態においてゲート電極 3 1 下のチャネル層内に 2 次元電子ガス層が存在するように形成されている。

[0034] 尚、半導体基板 1 0 を構成する材料と半導体材料層 1 1 を構成する材料との格子定数が相違する場合には、これらの間にバッファ層を設ければよい。バッファ層によって格子定数を制御する事で、半導体材料層 1 1 の結晶状態を良好にするとともに、ウエハ状基板の反りを制御することができる。例えば、半導体基板 1 が単結晶シリコンから成る場合、このようなバッファ層の一例として、A l N、A l G a N、G a N などが用いられる。

[0035] 図 7 に示すように、半導体材料層 1 1 のアクティブ領域の平面形状は略矩形である。後述するように、アクティブ領域を囲む部分はボロニイオンの注入によって素子分離領域とされている (素子分離領域となった部分を符号 1

1 Aで表す)。図1及び図2に示すように、半導体材料層11上には、一対のソース／ドレイン電極12, 12Aが形成されている。図8においてハッチングを付した部分が一対のソース／ドレイン電極12, 12Aの平面形状を示す。ソース／ドレイン電極12, 12Aを構成する導電材料層は金属材料から成り、例えば、アルミニウム(Al)、銅(Cu)、チタン(Ti)、ニッケル(Ni)、金(Au)等の金属あるいはこれらを主成分とする合金等から形成されている。

[0036] 尚、低抵抗を実現する手段としてアニール処理を施してもよい。また、更なる低抵抗化を図るため、半導体材料層11との間に高濃度N+層が形成されていてもよい。半導体材料層11のエッチング後に高濃度N+層を選択的に埋める選択再成長により形成してもよいし、イオン注入により形成しても良い。選択再成長の場合は、 $n\text{-In}_{1-x}\text{Ga}_x\text{N}$ 層などを用いることができる。

[0037] 図2Aおよび図2Bに示すように、一対のソース／ドレイン電極12, 12A上を含む全面に、層間絶縁層21が形成されている。層間絶縁層21を構成する材料として、半導体材料層11に対して絶縁性を有しかつ良好な界面を形成してデバイス特性を劣化させないような材料が適宜選択して用いられる。

[0038] 図9に示すように、層間絶縁層21には、ゲート電極31の下の半導体材料層11が露出する開口OP1が設けられている。図9においては、開口OP1によって露出する半導体材料層11の部分にハッチングを付した。

[0039] 図2Aおよび図2Bに示すように、ゲート絶縁膜を構成する絶縁膜22は、層間絶縁層21や開口OP1上を含む全面に亘って形成されている。絶縁膜22は、例えば厚さが10ナノメートル程度のアルミニウム酸化物(Al_2O_3)やハフニウム酸化物(HfO_2)、あるいはその積層などによって構成されている。開口OP1内に形成された絶縁膜22の部分がゲート絶縁膜22Aを構成する。

[0040] そして、開口OP1内に形成されたゲート絶縁膜22Aを覆うように、ゲ

ート電極 3 1 が形成されている。図 1 に示すように、ゲート電極 3 1 は、一対のソース／ドレイン電極 1 2, 1 2 A の間に配置されており、ゲート絶縁膜 2 2 A を介して半導体材料層 1 1 上に形成されている。図 1 0 においてハッチングを付した部分がゲート電極 3 1 の平面形状を示す。ゲート電極 3 1 は例えば一対のソース／ドレイン電極 1 2, 1 2 A を構成する導電材料と同様の材料を用いて構成されている。

[0041] 図 2 A および図 2 B に示すように、ゲート電極 3 1 上を含む全面には、絶縁性の平坦化膜 3 2 が形成されている。平坦化膜 3 2 上には、例えば金属薄膜がパターニングされて成る抵抗素子 4 1 が設けられている。抵抗素子 4 1 上を含む全面には、絶縁膜 4 2 が形成されている。このように、抵抗素子 4 1 は半導体材料層 1 1 上に形成された層間膜内に配置されている。

[0042] そして、絶縁膜 4 2、平坦化膜 3 2、絶縁膜 2 2 および層間絶縁層 2 1 を貫くように、コンタクト 4 3, 4 3 A が形成されている。また、絶縁膜 4 2 および平坦化膜 3 2 を貫くように、コンタクト 4 3 B が形成されている。コンタクト 4 3, 4 3 A は、それぞれ、ソース／ドレイン電極 1 2, 1 2 A と接続するように形成されている。また、コンタクト 4 3 B は、ゲート電極 3 1 と接続するように形成されている。

[0043] また、絶縁膜 4 2 を貫くように、コンタクト 4 4, 4 4 B が形成されている。コンタクト 4 4, 4 4 B は、それぞれ、抵抗素子 4 1 と接続するように形成されている。

[0044] 絶縁膜 4 2 上には、配線 5 3, 5 3 A, 5 3 B が形成されている。配線 5 3, 5 3 A, 5 3 B は、同層で形成された導電材料層を適宜パターニング等して形成されている。配線 5 3, 5 3 A, 5 3 B はそれぞれ、上述したコンタクト 4 3, 4 3 A, 4 3 B を介して、ソース／ドレイン電極 1 2, 1 2 A、ゲート電極 3 1 に接続されている。

[0045] また、配線 5 3 は上述したコンタクト 4 4 を介して抵抗素子 4 1 の一端に接続されており、配線 5 3 B は上述したコンタクト 4 4 B を介して抵抗素子 4 1 の他端に接続されている。配線 5 3, 5 3 A, 5 3 B 上を含む全面には

保護膜 5 4 が形成されている。

[0046] 以上のようにして形成された半導体装置 1 は、半導体装置の製造プロセス中に、ゲート-ソース間およびゲート-ドレイン間が D C 的に同電位となる。したがって、アンテナ効果によるゲート絶縁膜 2 2 A へのダメージを防ぐことが出来る。

[0047] 一方、半導体装置 1 の特性への影響は、抵抗素子 4 1 の大きさを適切に設定する事で、十分に小さくすることができる。具体的には、抵抗素子のインピーダンスを、抵抗素子が接続されるソース／ドレイン電極とゲート電極との間の内部インピーダンスよりも大きくすればよい。抵抗素子 4 1 のインピーダンスは 1 k Ω 以上である構成とすることができるし、より好ましくは、抵抗素子のインピーダンスは 1 M Ω 以上である構成とすればよい。

[0048] 図 3 A は、本開示の第 1 の実施形態に係る半導体装置の高周波小信号シミュレーション用モデルである。図 3 B は、シミュレーションによって得られた、抵抗素子の値と S パラメータとの関係を示すグラフである。

[0049] 半導体装置 1 の特性への影響を調べるため、図 3 A に示すモデルを用いて高周波小信号シミュレーションを実施した。なお、この回路はゲート電極への入力信号を増幅するいわゆるパワーアンプを想定している。

[0050] トランジスタ T R として、ゲート長 1 0 マイクロメートル程度を想定し、一般的な H E M T モデルを使用した。具体的には、ソース側が G N D に接続され、ドレイン側は 5 0 Ω の負荷抵抗 R_{L_0} を介して 5 0 Ω の抵抗 R_{T_2} で終端され、ゲートと G N D との間に 5 0 Ω の抵抗 R_{T_1} が配された構成であって、ゲートに小信号を入力する回路となっている。デプレッション型トランジスタを使用しているため、ゲートとソースとの間のみに、抵抗素子 R_s が接続されている。

[0051] 抵抗素子 R_s の大きさをパラメータとし、小信号シミュレーションを行った結果を図 3 B に示す。具体的には、抵抗素子 R_s の値を 1 Ω 、1 0 Ω 、1 0 0 Ω 、1 k Ω 、1 M Ω として S 1 1 ないし S 2 2 パラメータのグラフを求めた。尚、抵抗素子 R_s を設けない場合のグラフは、抵抗素子 R_s が 1 k Ω や 1 M Ω

の場合と概ね重なった。従って、これら S_{11} ないし S_{22} パラメータのグラフは、抵抗素子 R_s の抵抗値を少なくとも $1\text{ k}\Omega$ 以上とすれば、抵抗素子 R_s が無い時とあるときとで、ほぼ同程度の小信号特性を示すことを示している。

[0052] 続いて、半導体装置 1 の内部パラメータと抵抗素子 R_s との関係を調べるため、図 4 A に示す簡易トランジスタモデルを用いてシミュレーションを行った。まず、抵抗素子 R_s を使用しない時の S_{12} と、抵抗素子 R_s を使用した時の S_{12} の差分と ΔS_{12} と定義した。そして、容量値を 0.1 pF 、 0.32 pF 、 1 pF 、 3.2 pF 、 10 pF と設定した場合のそれぞれにおいて、 ΔS_{12} と R_s との関係を図 4 B に示した。ここで、 ΔS_{12} が十分に 0 に近い状態、例えば差分が 1 dB 以内であれば、抵抗素子 R_s による半導体装置 1 の特性への影響は非常に小さいと判断することができる。

[0053] 図 5 は、 ΔS_{12} が 1 dB よりも小さくなる抵抗値と、 $1/2\omega C$ で定義した内部インピーダンスとの関係を示すグラフである。

[0054] 抵抗素子 R_s の抵抗値をトランジスタの内部インピーダンスより大きくすることで、 ΔS_{12} が 1 dB よりも小さくなる。従って、抵抗素子 R_s を接続することによる半導体装置 1 の特性への影響は非常に小さい事が分かる。影響をより小さくするためには、抵抗素子 R_s の抵抗値を、内部インピーダンスに対して 1 桁以上大きく設定することが望ましい。

[0055] 一方で、ゲート-ソース間に抵抗を形成すると、DC 的なリーク電流がデバイス特性に対して悪影響を与える。そのため、抵抗素子 R_s の抵抗値は $1\text{ k}\Omega$ 以上、出来れば $1\text{ M}\Omega$ 以上が望ましい。

[0056] 次いで、半導体装置 1 の製造方法について説明する。

[0057] 上述したように、半導体装置 1 の製造方法は、一对のソース/ドレイン電極の少なくとも一方とゲート電極との間を、抵抗素子を介して接続する工程を有する。

[0058] 図 6 ないし図 13 は、本開示の第 1 の実施形態に係る半導体装置の構成を説明するための模式的な一部平面図である。尚、判読性の観点から、平面図

にあつては原則として絶縁層や絶縁膜の表示を省略した。

[0059] [工程－１００] (図６および図７参照)

先ず、半導体基板１０上に半導体材料層１１を形成する。具体的には、半導体基板１０を準備し、全面に、半導体材料層１１として、窒化ガリウム（GaN）のエピタキシャル成長層を形成する（図６参照）。その後、チャネル形成領域やソース／ドレイン領域となるアクティブ領域を除く部分を素子分離領域１１Ａとする。具体的には、素子分離領域とすべき部分にイオン注入法によってボロンイオンを注入して素子分離領域１１Ａとし、素子分離領域１１Ａに囲まれた半導体材料層１１の領域を形成する（図７参照）。

[0060] [工程－１１０] (図８参照)

次いで、ソース／ドレイン電極１２，１２Ａを形成する。具体的には、半導体材料層１１上を含む全面に、金属材料から成る導電材料層を形成する。その後、パターニング方法によって、所定の位置にソース／ドレイン電極１２，１２Ａを形成する。

[0061] [工程－１２０] (図９参照)

次いで、全面に層間絶縁層２１を形成する。その後、ゲート電極３１の下に位置する半導体材料層１１の部分が露出する開口ＯＰ１を設ける。

[0062] [工程－１３０] (図１０参照)

次いで、ゲート絶縁膜２２Ａなどを構成する絶縁膜２２を全面に形成する。その後、ゲート電極３１を形成する。具体的には、全面に金属材料から成る導電材料層を形成し、次いで、周知のパターニング方法を用いて、所定の位置にゲート電極３１を形成する。

[0063] [工程－１４０] (図１１および図１２参照)

その後、ゲート電極３１上を含む全面に、絶縁性の平坦化膜３２を形成する。次いで、抵抗素子４１を形成する。具体的には、全面に金属材料から成る薄膜を形成し、次いで、周知のパターニング方法を用いて、所定の位置に抵抗素子４１を形成する（図１１参照）。その後、全面に、絶縁膜４２を形成する。次いで、コンタクト４３，４３Ａ，４３Ｂ，４４，４４Ｂに対応す

る部分に開口OP2, OP3, OP4, OP5, OP6を設ける(図12参照)。

[0064] [工程-150] (図13参照)

その後、開口OP2, OP3, OP4, OP5, OP6を導電材料で充填してコンタクトを形成し、次いで、配線53, 53A, 53Bを形成する。具体的には、全面に金属材料から成る導電材料層を形成し、次いで、周知のパターニング方法を用いて、所定の位置に配線53, 53A, 53Bを形成する。その後、全面に、保護膜54を形成する。

[0065] 以上の工程によって、半導体装置1を製造することができる。

[0066] 上記の説明において、抵抗素子41は半導体材料層11上に形成された層間膜内に配置されているとした。しかしながら、抵抗素子41の構成はこれに限るものではない。例えば、抵抗素子41はチャネル層を形成する半導体材料層11と同層で形成された半導体材料層を用いて構成することもできる。一例として、図7に示す素子分離領域11Aによって半導体材料層の形状を規定し、所定の抵抗値を持った抵抗素子を形成することができる。

[0067] [第1変形例]

第1の実施形態については、種々の変形が可能である。第1の実施形態の第1変形例について説明する。

[0068] 図14は、本開示の第1の実施形態の第1変形例に係る半導体装置の構成を説明するための模式的な一部平面図である。

[0069] 図1に示す半導体装置1にあっては、一对のうちソース/ドレイン電極12Aとゲート電極31との間のみが、抵抗素子41を介して接続されていた。これに対して、第1変形例に係る半導体装置1Aにおいては、ソース/ドレイン電極12とゲート電極31との間と、ソース/ドレイン電極12Aとゲート電極31との間のいずれもが、抵抗素子41を介して接続されている点が相違する。

[0070] 第1変形例に係る半導体装置1Aは、ゲート電極にバイアス電圧が印加されない状態においてソースとドレインとが分離されているエンハンスメント

型トランジスタに適した構成である。即ち、エンハンスメント型トランジスタであっても、半導体装置の製造プロセス中に、ゲート-ソース間およびゲート-ドレイン間がDC的に同電位となる。したがって、アンテナ効果によるゲート絶縁膜22Aへのダメージを防ぐことが出来る。

[0071] 半導体装置1Aは、図1に示す半導体装置1に対して、配線層53の平面形状などが相違し、抵抗素子41が2箇所設けられているなどの点が相違する他、基本的には半導体装置1と同様の構成である。従って、半導体装置1についてした説明を適宜読みかえればよい。

[0072] [第2変形例]

第1の実施形態の第2変形例について説明する。

[0073] 図15Aおよび図15Bは、本開示の第1の実施形態の第2変形例に係る半導体装置の構成を説明するための模式的な一部断面図である。

[0074] 第1の実施形態において参照した図9において、層間絶縁層21には、ゲート電極31の下で半導体材料層11が露出する開口OP1を設けた。開口OP1は通常ドライエッチングを用いて形成されるが、その際、露出する半導体材料層11へダメージを与えることが考えられる。

[0075] 第2変形例に係る半導体装置1Bは、上述したダメージを軽減することができる構成である。具体的には、半導体材料層11の層間絶縁層を21を下層21Aと上層21Bとからなる2層構造とした。そして、上層21Bをドライエッチングで加工し、下層21Aをウェットエッチングで加工する事で、ドライエッチング時に半導体材料層11の表面を露出しないようにし、エッチングによるダメージを低減した。

[0076] 半導体装置1Bは、図1に示す半導体装置1に対して、上述した点が相違する他、基本的には半導体装置1と同様の構成である。従って、半導体装置1についてした説明を適宜読みかえればよい。

[0077] [第3変形例]

第1の実施形態の第3変形例について説明する。

[0078] 図16Aおよび図16Bは、本開示の第1の実施形態の第3変形例に係る

半導体装置の構成を説明するための模式的な一部断面図である。

[0079] 第3変形例に係る半導体装置1Cにおいて、半導体材料層は半導体基板の上に形成されており、抵抗素子が接続されているソース／ドレイン電極と半導体基板とは接続されている。

[0080] 具体的には、半導体装置1Cは、半導体装置1に対して、一方のソース／ドレイン電極12が、配線53およびコンタクトCTを介して、半導体基板10にも接続されている点が相違する。この構成によれば、ゲート電極や一对のソース／ドレイン電極にたまったチャージを、半導体基板10側へ流すことができる。

[0081] 半導体装置1Cは、図1に示す半導体装置1に対して、上述した点が相違する他、基本的には半導体装置1と同様の構成である。従って、半導体装置1についてした説明を適宜読みかえればよい。

[0082] 以上説明した本開示に係る半導体装置にあっては、プラズマを用いたエッチングなどの製造工程におけるPIDを低減することができ、半導体装置の出荷前に配線を除去するプロセス工程を必要としない。また、半導体装置の特性に与える影響も十分に小さいものとすることができる。

[0083] [電子機器の説明]

本開示の半導体装置は、例えば、移動体通信システムなどにおける無線通信装置などを構成する電子機器に用いることができる。特に、RFスイッチやパワーアンプとして用いて好適である。すなわち、高周波特性や高効率特性に優れた本開示の半導体装置を無線通信装置のRFスイッチやパワーアンプに用いることにより、無線通信の高速化、高効率化および低消費電力化を図ることができる。特に、携帯通信端末においては、高速化、高効率化および低消費電力化によって使用時間を延ばすことができ、利便性をより向上させることができる。

[0084] 図17は、無線通信装置を構成する電子機器の一例を表したものである。電子機器400は、例えば、音声、データ通信、LAN接続など多機能を有する携帯電話システムである。電子機器400は、例えば、アンテナANT

と、アンテナスイッチ回路410と、高電力増幅器（HPA）420と、高周波集積回路RFIC（Radio Frequency Integrated Circuit）430と、ベースバンド部440と、音声出力部MIC、データ出力部DTと、インタフェース部I/F（例えば、無線LAN（W-LAN；Wireless Local Area Network）、Bluetooth（登録商標）、他）とを有している。高周波集積回路RFIC430とベースバンド部440とはインタフェース部I/Fにより接続されている。

[0085] この電子機器400は、送信時、すなわち、電子機器400の送信系から送信信号をアンテナANTへと出力する場合には、ベースバンド部440から出力される送信信号は、高周波集積回路RFIC430、高電力増幅器（HPA）420、およびアンテナスイッチ回路410を介してアンテナANTへと出力される。

[0086] また、受信時、すなわち、アンテナANTで受信した信号を電子機器400の受信系へ入力させる場合には、受信信号は、アンテナスイッチ回路410および高周波集積回路RFIC430を介してベースバンド部440に入力される。ベースバンド部440で処理された信号は、音声出力部MICと、データ出力部DTと、インタフェース部I/Fなどの出力部から出力される。

[0087] [応用例]

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械（トラクター）などのいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0088] 図18は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システム7000の概略的な構成例を示すブロック図である。車両制御システム7000は、通信ネットワーク7010を介して接続された複数の電子制御ユニットを備える。図18に示した例では、車両制御シス

テム 7000 は、駆動系制御ユニット 7100、ボディ系制御ユニット 7200、バッテリー制御ユニット 7300、車外情報検出ユニット 7400、車内情報検出ユニット 7500、及び統合制御ユニット 7600 を備える。これらの複数の制御ユニットを接続する通信ネットワーク 7010 は、例えば、CAN (Controller Area Network)、LIN (Local Interconnect Network)、LAN (Local Area Network) 又は FlexRay (登録商標) 等の任意の規格に準拠した車載通信ネットワークであってよい。

[0089] 各制御ユニットは、各種プログラムにしたがって演算処理を行うマイクロコンピュータと、マイクロコンピュータにより実行されるプログラム又は各種演算に用いられるパラメータ等を記憶する記憶部と、各種制御対象の装置を駆動する駆動回路とを備える。各制御ユニットは、通信ネットワーク 7010 を介して他の制御ユニットとの間で通信を行うためのネットワーク I/F を備えるとともに、車内外の装置又はセンサ等との間で、有線通信又は無線通信により通信を行うための通信 I/F を備える。図 18 では、統合制御ユニット 7600 の機能構成として、マイクロコンピュータ 7610、汎用通信 I/F 7620、専用通信 I/F 7630、測位部 7640、ビーコン受信部 7650、車内機器 I/F 7660、音声画像出力部 7670、車載ネットワーク I/F 7680 及び記憶部 7690 が図示されている。他の制御ユニットも同様に、マイクロコンピュータ、通信 I/F 及び記憶部等を備える。

[0090] 駆動系制御ユニット 7100 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 7100 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。駆動系制御ユニット 7100 は、ABS (Antilock Brake System) 又は ESC (Electronic Stability Control) 等の制御装置としての機能を有してもよい。

- [0091] 駆動系制御ユニット 7 1 0 0 には、車両状態検出部 7 1 1 0 が接続される。車両状態検出部 7 1 1 0 には、例えば、車体の軸回転運動の角速度を検出するジャイロセンサ、車両の加速度を検出する加速度センサ、あるいは、アクセルペダルの操作量、ブレーキペダルの操作量、ステアリングホイールの操舵角、エンジン回転数又は車輪の回転速度等を検出するためのセンサのうちの少なくとも一つが含まれる。駆動系制御ユニット 7 1 0 0 は、車両状態検出部 7 1 1 0 から入力される信号を用いて演算処理を行い、内燃機関、駆動用モータ、電動パワーステアリング装置又はブレーキ装置等を制御する。
- [0092] ボディ系制御ユニット 7 2 0 0 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 7 2 0 0 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 7 2 0 0 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 7 2 0 0 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0093] バッテリ制御ユニット 7 3 0 0 は、各種プログラムにしたがって駆動用モータの電力供給源である二次電池 7 3 1 0 を制御する。例えば、バッテリ制御ユニット 7 3 0 0 には、二次電池 7 3 1 0 を備えたバッテリ装置から、バッテリ温度、バッテリ出力電圧又はバッテリの残存容量等の情報が入力される。バッテリ制御ユニット 7 3 0 0 は、これらの信号を用いて演算処理を行い、二次電池 7 3 1 0 の温度調節制御又はバッテリ装置に備えられた冷却装置等の制御を行う。
- [0094] 車外情報検出ユニット 7 4 0 0 は、車両制御システム 7 0 0 0 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 7 4 0 0 には、撮像部 7 4 1 0 及び車外情報検出部 7 4 2 0 のうちの少なくとも一方が接続される。撮像部 7 4 1 0 には、T o F (Time of Flight) カメラ、ステ

レオカメラ、単眼カメラ、赤外線カメラ及びその他のカメラのうちの少なくとも一つが含まれる。車外情報検出部 7420 には、例えば、現在の天候又は気象を検出するための環境センサ、あるいは、車両制御システム 7000 を搭載した車両の周囲の他の車両、障害物又は歩行者等を検出するための周囲情報検出センサのうちの少なくとも一つが含まれる。

[0095] 環境センサは、例えば、雨天を検出する雨滴センサ、霧を検出する霧センサ、日照度合いを検出する日照センサ、及び降雪を検出する雪センサのうちの少なくとも一つであってよい。周囲情報検出センサは、超音波センサ、レーダ装置及び L I D A R (Light Detection and Ranging、Laser Imaging Detection and Ranging) 装置のうちの少なくとも一つであってよい。これらの撮像部 7410 及び車外情報検出部 7420 は、それぞれ独立したセンサないし装置として備えられてもよいし、複数のセンサないし装置が統合された装置として備えられてもよい。

[0096] ここで、図 19 は、撮像部 7410 及び車外情報検出部 7420 の設置位置の例を示す。撮像部 7910、7912、7914、7916、7918 は、例えば、車両 7900 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部のうちの少なくとも一つの位置に設けられる。フロントノーズに備えられる撮像部 7910 及び車室内のフロントガラスの上部に備えられる撮像部 7918 は、主として車両 7900 の前方の画像を取得する。サイドミラーに備えられる撮像部 7912、7914 は、主として車両 7900 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 7916 は、主として車両 7900 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 7918 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0097] なお、図 19 には、それぞれの撮像部 7910、7912、7914、7916 の撮影範囲の一例が示されている。撮像範囲 a は、フロントノーズに設けられた撮像部 7910 の撮像範囲を示し、撮像範囲 b、c は、それぞれ

サイドミラーに設けられた撮像部 7912, 7914 の撮像範囲を示し、撮像範囲 d は、リアバンパ又はバックドアに設けられた撮像部 7916 の撮像範囲を示す。例えば、撮像部 7910, 7912, 7914, 7916 で撮像された画像データが重ね合わせられることにより、車両 7900 を上方から見た俯瞰画像が得られる。

[0098] 車両 7900 のフロント、リア、サイド、コーナ及び車室内のフロントガラスの上部に設けられる車外情報検出部 7920, 7922, 7924, 7926, 7928, 7930 は、例えば超音波センサ又はレーダ装置であってよい。車両 7900 のフロントノーズ、リアバンパ、バックドア及び車室内のフロントガラスの上部に設けられる車外情報検出部 7920, 7926, 7930 は、例えば L I D A R 装置であってよい。これらの車外情報検出部 7920 ~ 7930 は、主として先行車両、歩行者又は障害物等の検出に用いられる。

[0099] 図 18 に戻って説明を続ける。車外情報検出ユニット 7400 は、撮像部 7410 に車外の画像を撮像させるとともに、撮像された画像データを受信する。また、車外情報検出ユニット 7400 は、接続されている車外情報検出部 7420 から検出情報を受信する。車外情報検出部 7420 が超音波センサ、レーダ装置又は L I D A R 装置である場合には、車外情報検出ユニット 7400 は、超音波又は電磁波等を発信させるとともに、受信された反射波の情報を受信する。車外情報検出ユニット 7400 は、受信した情報に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。車外情報検出ユニット 7400 は、受信した情報に基づいて、降雨、霧又は路面状況等を認識する環境認識処理を行ってもよい。車外情報検出ユニット 7400 は、受信した情報に基づいて、車外の物体までの距離を算出してもよい。

[0100] また、車外情報検出ユニット 7400 は、受信した画像データに基づいて、人、車、障害物、標識又は路面上の文字等を認識する画像認識処理又は距離検出処理を行ってもよい。車外情報検出ユニット 7400 は、受信した画

像データに対して歪補正又は位置合わせ等の処理を行うとともに、異なる撮像部 7 4 1 0 により撮像された画像データを合成して、俯瞰画像又はパノラマ画像を生成してもよい。車外情報検出ユニット 7 4 0 0 は、異なる撮像部 7 4 1 0 により撮像された画像データを用いて、視点変換処理を行ってもよい。

[0101] 車内情報検出ユニット 7 5 0 0 は、車内の情報を検出する。車内情報検出ユニット 7 5 0 0 には、例えば、運転者の状態を検出する運転者状態検出部 7 5 1 0 が接続される。運転者状態検出部 7 5 1 0 は、運転者を撮像するカメラ、運転者の生体情報を検出する生体センサ又は車室内の音声を集音するマイク等を含んでもよい。生体センサは、例えば、座面又はステアリングホイール等に設けられ、座席に座った搭乗者又はステアリングホイールを握る運転者の生体情報を検出する。車内情報検出ユニット 7 5 0 0 は、運転者状態検出部 7 5 1 0 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。車内情報検出ユニット 7 5 0 0 は、集音された音声信号に対してノイズキャンセリング処理等の処理を行ってもよい。

[0102] 統合制御ユニット 7 6 0 0 は、各種プログラムにしたがって車両制御システム 7 0 0 0 内の動作全般を制御する。統合制御ユニット 7 6 0 0 には、入力部 7 8 0 0 が接続されている。入力部 7 8 0 0 は、例えば、タッチパネル、ボタン、マイクロフォン、スイッチ又はレバー等、搭乗者によって入力操作され得る装置によって実現される。統合制御ユニット 7 6 0 0 には、マイクロフォンにより入力される音声を音声認識することにより得たデータが入力されてもよい。入力部 7 8 0 0 は、例えば、赤外線又はその他の電波を利用したリモートコントロール装置であってもよいし、車両制御システム 7 0 0 0 の操作に対応した携帯電話又は P D A (Personal Digital Assistant) 等の外部接続機器であってもよい。入力部 7 8 0 0 は、例えばカメラであってもよく、その場合搭乗者はジェスチャにより情報を入力することができる。あるいは、搭乗者が装着したウェアラブル装置の動きを検出することで

得られたデータが入力されてもよい。さらに、入力部7800は、例えば、上記の入力部7800を用いて搭乗者等により入力された情報に基づいて入力信号を生成し、統合制御ユニット7600に出力する入力制御回路などを含んでもよい。搭乗者等は、この入力部7800を操作することにより、車両制御システム7000に対して各種のデータを入力したり処理動作を指示したりする。

[0103] 記憶部7690は、マイクロコンピュータにより実行される各種プログラムを記憶するROM (Read Only Memory)、及び各種パラメータ、演算結果又はセンサ値等を記憶するRAM (Random Access Memory) を含んでもよい。また、記憶部7690は、HDD (Hard Disc Drive) 等の磁気記憶デバイス、半導体記憶デバイス、光記憶デバイス又は光磁気記憶デバイス等によって実現してもよい。

[0104] 汎用通信I/F7620は、外部環境7750に存在する様々な機器との間の通信を仲介する汎用的な通信I/Fである。汎用通信I/F7620は、GSM (登録商標) (Global System of Mobile communications)、WiMAX、LTE (Long Term Evolution) 若しくはLTE-A (LTE-Advanced) などのセルラー通信プロトコル、又は無線LAN (Wi-Fi (登録商標) ともいう)、Bluetooth (登録商標) などのその他の無線通信プロトコルを実装してよい。汎用通信I/F7620は、例えば、基地局又はアクセスポイントを介して、外部ネットワーク (例えば、インターネット、クラウドネットワーク又は事業者固有のネットワーク) 上に存在する機器 (例えば、アプリケーションサーバ又は制御サーバ) へ接続してもよい。また、汎用通信I/F7620は、例えばP2P (Peer To Peer) 技術を用いて、車両の近傍に存在する端末 (例えば、運転者、歩行者若しくは店舗の端末、又はMTC (Machine Type Communication) 端末) と接続してもよい。

[0105] 専用通信I/F7630は、車両における使用を目的として策定された通信プロトコルをサポートする通信I/Fである。専用通信I/F7630は

、例えば、下位レイヤのIEEE 802.11pと上位レイヤのIEEE 1609との組合せであるWAVE (Wireless Access in Vehicle Environment)、DSRC (Dedicated Short Range Communications)、又はセルラー通信プロトコルといった標準プロトコルを実装してよい。専用通信I/F 7630は、典型的には、車車間 (Vehicle to Vehicle) 通信、路車間 (Vehicle to Infrastructure) 通信、車両と家との間 (Vehicle to Home) の通信及び歩車間 (Vehicle to Pedestrian) 通信のうちの1つ以上を含む概念であるV2X通信を遂行する。

[0106] 測位部7640は、例えば、GNSS (Global Navigation Satellite System) 衛星からのGNSS信号 (例えば、GPS (Global Positioning System) 衛星からのGPS信号) を受信して測位を実行し、車両の緯度、経度及び高度を含む位置情報を生成する。なお、測位部7640は、無線アクセスポイントとの信号の交換により現在位置を特定してもよく、又は測位機能を有する携帯電話、PHS若しくはスマートフォンといった端末から位置情報を取得してもよい。

[0107] ビーコン受信部7650は、例えば、道路上に設置された無線局等から発信される電波あるいは電磁波を受信し、現在位置、渋滞、通行止め又は所要時間等の情報を取得する。なお、ビーコン受信部7650の機能は、上述した専用通信I/F 7630に含まれてもよい。

[0108] 車内機器I/F 7660は、マイクロコンピュータ7610と車内に存在する様々な車内機器7760との間の接続を仲介する通信インタフェースである。車内機器I/F 7660は、無線LAN、Bluetooth (登録商標)、NFC (Near Field Communication) 又はWUSB (Wireless USB) といった無線通信プロトコルを用いて無線接続を確立してもよい。また、車内機器I/F 7660は、図示しない接続端子 (及び、必要であればケーブル) を介して、USB (Universal Serial Bus)、HDMI (登録商標) (High-Definition Multimedia Interface)、又はMHL (Mobile High-definition Link) 等の有線接続を確立してもよい。車内機器7760

は、例えば、搭乗者が有するモバイル機器若しくはウェアラブル機器、又は車両に搬入され若しくは取り付けられる情報機器のうちの少なくとも1つを含んでいてもよい。また、車内機器7760は、任意の目的地までの経路探索を行うナビゲーション装置を含んでいてもよい。車内機器1/F7660は、これらの車内機器7760との間で、制御信号又はデータ信号を交換する。

[0109] 車載ネットワーク1/F7680は、マイクロコンピュータ7610と通信ネットワーク7010との間の通信を仲介するインタフェースである。車載ネットワーク1/F7680は、通信ネットワーク7010によりサポートされる所定のプロトコルに則して、信号等を送受信する。

[0110] 統合制御ユニット7600のマイクロコンピュータ7610は、汎用通信1/F7620、専用通信1/F7630、測位部7640、ビーコン受信部7650、車内機器1/F7660及び車載ネットワーク1/F7680のうちの少なくとも一つを介して取得される情報に基づき、各種プログラムにしたがって、車両制御システム7000を制御する。例えば、マイクロコンピュータ7610は、取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット7100に対して制御指令を出力してもよい。例えば、マイクロコンピュータ7610は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行ってもよい。また、マイクロコンピュータ7610は、取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行ってもよい。

[0111] マイクロコンピュータ7610は、汎用通信1/F7620、専用通信1/F7630、測位部7640、ビーコン受信部7650、車内機器1/F7660及び車載ネットワーク1/F7680のうちの少なくとも一つを介

して取得される情報に基づき、車両と周辺の構造物や人物等の物体との間の3次元距離情報を生成し、車両の現在位置の周辺情報を含むローカル地図情報を作成してもよい。また、マイクロコンピュータ7610は、取得される情報に基づき、車両の衝突、歩行者等の近接又は通行止めの道路への進入等の危険を予測し、警告用信号を生成してもよい。警告用信号は、例えば、警告音を発生させたり、警告ランプを点灯させたりするための信号であってよい。

[0112] 音声画像出力部7670は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図18の例では、出力装置として、オーディオスピーカ7710、表示部7720及びインストルメントパネル7730が例示されている。表示部7720は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。表示部7720は、AR (Augmented Reality) 表示機能を有していてもよい。出力装置は、これらの装置以外の、ヘッドホン、搭乗者が装着する眼鏡型ディスプレイ等のウェアラブルデバイス、プロジェクタ又はランプ等の他の装置であってもよい。出力装置が表示装置の場合、表示装置は、マイクロコンピュータ7610が行った各種処理により得られた結果又は他の制御ユニットから受信された情報を、テキスト、イメージ、表、グラフ等、様々な形式で視覚的に表示する。また、出力装置が音声出力装置の場合、音声出力装置は、再生された音声データ又は音響データ等からなるオーディオ信号をアナログ信号に変換して聴覚的に出力する。

[0113] なお、図18に示した例において、通信ネットワーク7010を介して接続された少なくとも二つの制御ユニットが一つの制御ユニットとして一体化されてもよい。あるいは、個々の制御ユニットが、複数の制御ユニットにより構成されてもよい。さらに、車両制御システム7000が、図示されていない別の制御ユニットを備えてもよい。また、上記の説明において、いずれかの制御ユニットが担う機能の一部又は全部を、他の制御ユニットに持たせ

てもよい。つまり、通信ネットワーク 7010 を介して情報の送受信がされるようになっていけば、所定の演算処理が、いずれかの制御ユニットで行われるようになってよい。同様に、いずれかの制御ユニットに接続されているセンサ又は装置が、他の制御ユニットに接続されるとともに、複数の制御ユニットが、通信ネットワーク 7010 を介して相互に検出情報を送受信してもよい。

[0114] 本開示に係る技術は、以上説明した構成のうち、例えば、通信を司る種々の機器に適用され得る。

[0115] [その他]

なお、本開示の技術は以下のような構成も取ることができる。

[0116] [A 1]

チャネル層を形成する半導体材料層、
半導体材料層上に形成された一対のソース／ドレイン電極、及び、
一対のソース／ドレイン電極の間に配置されており、半導体材料層の上に形成されているゲート電極、
を有しており、

一対のソース／ドレイン電極の少なくとも一方とゲート電極との間は、抵抗素子を介して接続されている、
半導体装置。

[A 2]

ゲート電極は、ゲート絶縁膜を介して半導体材料層上に形成されている、
上記 [A 1] に記載の半導体装置。

[A 3]

半導体材料層は、チャネル層上に形成されたバリア層を有する、
上記 [A 2] に記載の半導体装置。

[A 4]

半導体材料層は化合物半導体材料から成る、
上記 [A 3] に記載の半導体装置。

[A 5]

チャネル層を形成する半導体材料層は、一对のソース／ドレイン電極およびゲート電極に電圧を印加しない状態においてゲート電極下のチャネル層内に2次元電子ガス層が存在するように形成されている、
上記[A 4]に記載の半導体装置。

[A 6]

抵抗素子のインピーダンスは、抵抗素子が接続されるソース／ドレイン電極とゲート電極との間の内部インピーダンスよりも大きい、
上記[A 1]ないし[A 5]のいずれかに記載の半導体装置。

[A 7]

抵抗素子のインピーダンスは1 k Ω 以上である、
上記[A 6]に記載の半導体装置。

[A 8]

抵抗素子のインピーダンスは1 M Ω 以上である、
上記[A 6]に記載の半導体装置。

[A 9]

抵抗素子は半導体材料層上に形成された層間膜内に配置されている、
上記[A 1]ないし[A 8]のいずれかに記載の半導体装置。

[A 10]

抵抗素子はチャネル層を形成する半導体材料層と同層で形成された半導体材料層を用いて構成されている、
上記[A 1]ないし[A 8]のいずれかに記載の半導体装置。

[A 11]

半導体材料層は半導体基板の上に形成されており、
抵抗素子が接続されているソース／ドレイン電極と半導体基板とは接続されている、
上記[A 1]ないし[A 10]のいずれかに記載の半導体装置。

[0117] [B 1]

チャネル層を形成する半導体材料層、
半導体材料層上に形成された一対のソース／ドレイン電極、及び、
一対のソース／ドレイン電極の間に配置されており、半導体材料層の上に
形成されているゲート電極、
を有しており、
一対のソース／ドレイン電極の少なくとも一方とゲート電極との間は、抵抗素子を介して接続されている、
半導体装置を備えた電子機器。

[B 2]

ゲート電極は、ゲート絶縁膜を介して半導体材料層上に形成されている、
上記[B 1]に記載の電子機器。

[B 3]

半導体材料層は、チャネル層上に形成されたバリア層を有する、
上記[B 2]に記載の電子機器。

[B 4]

半導体材料層は化合物半導体材料から成る、
上記[B 3]に記載の電子機器。

[B 5]

チャネル層を形成する半導体材料層は、一対のソース／ドレイン電極およびゲート電極に電圧を印加しない状態においてゲート電極下のチャネル層内に2次元電子ガス層が存在するように形成されている、
上記[B 4]に記載の電子機器。

[B 6]

抵抗素子のインピーダンスは、抵抗素子が接続されるソース／ドレイン電極とゲート電極との間の内部インピーダンスよりも大きい、
上記[B 1]ないし[B 5]のいずれかに記載の電子機器。

[B 7]

抵抗素子のインピーダンスは1 k Ω 以上である、

上記〔B 6〕に記載の電子機器。

〔B 8〕

抵抗素子のインピーダンスは $1\text{ M}\Omega$ 以上である、

上記〔B 6〕に記載の電子機器。

〔B 9〕

抵抗素子は半導体材料層上に形成された層間膜内に配置されている、

上記〔B 1〕ないし〔B 8〕のいずれかに記載の電子機器。

〔B 10〕

抵抗素子はチャネル層を形成する半導体材料層と同層で形成された半導体材料層を用いて構成されている、

上記〔B 1〕ないし〔B 8〕のいずれかに記載の電子機器。

〔B 11〕

半導体材料層は半導体基板の上に形成されており、

抵抗素子が接続されているソース／ドレイン電極と半導体基板とは接続されている、

上記〔B 1〕ないし〔B 10〕のいずれかに記載の電子機器。

符号の説明

[0118] 1, 1 A, 1 B, 1 C . . . 半導体装置、10 . . . 半導体基板、11 . . . 半導体材料層、11 A . . . 素子分離領域、12, 12 A . . . 一对のソース／ドレイン電極、12 B . . . 中継配線、12 C . . . キャパシタを形成する一方の電極、21 . . . 層間絶縁層、22 . . . ゲート絶縁膜を構成する絶縁膜、22 A . . . ゲート絶縁膜、31 . . . ゲート電極、32 . . . 平坦化膜、41 . . . 抵抗素子、42 . . . 絶縁膜、43, 43 A, 43 B . . . コンタクト、44, 44 B . . . コンタクト、53, 53 A, 53 B . . . 配線、54 . . . 保護膜、400 . . . 電子機器、410 . . . アンテナスイッチ回路、420 . . . 高電力増幅器 (HPA)、430 . . . 高周波集積回路 RFIC、440 . . . ベースバンド部、OP1 . . . 層間絶縁層に設けられた開口、OP2, OP3, OP4 . . . 平坦化膜に設けら

れた開口、OP5, OP6 . . . 絶縁膜に設けられた開口、TR . . . 絶縁
ゲート構造を持つ電界効果型トランジスタの部分、 R_s . . . 抵抗素子

請求の範囲

- [請求項1] チャネル層を形成する半導体材料層、
半導体材料層上に形成された一対のソース／ドレイン電極、及び、
一対のソース／ドレイン電極の間に配置されており、半導体材料層
の上に形成されているゲート電極、
を有しており、
一対のソース／ドレイン電極の少なくとも一方とゲート電極との間
は、抵抗素子を介して接続されている、
半導体装置。
- [請求項2] ゲート電極は、ゲート絶縁膜を介して半導体材料層上に形成されて
いる、
請求項 1 に記載の半導体装置。
- [請求項3] 半導体材料層は、チャネル層上に形成されたバリア層を有する、
請求項 2 に記載の半導体装置。
- [請求項4] 半導体材料層は化合物半導体材料から成る、
請求項 3 に記載の半導体装置。
- [請求項5] チャネル層を形成する半導体材料層は、一対のソース／ドレイン電
極およびゲート電極に電圧を印加しない状態においてゲート電極下の
チャネル層内に 2 次元電子ガス層が存在するように形成されている、
請求項 4 に記載の半導体装置。
- [請求項6] 抵抗素子のインピーダンスは、抵抗素子が接続されるソース／ドレ
イン電極とゲート電極との間の内部インピーダンスよりも大きい、
請求項 1 に記載の半導体装置。
- [請求項7] 抵抗素子のインピーダンスは $1\text{ k}\Omega$ 以上である、
請求項 6 に記載の半導体装置。
- [請求項8] 抵抗素子のインピーダンスは $1\text{ M}\Omega$ 以上である、
請求項 6 に記載の半導体装置。
- [請求項9] 抵抗素子は半導体材料層上に形成された層間膜内に配置されている

、

請求項 1 に記載の半導体装置。

[請求項10] 抵抗素子はチャネル層を形成する半導体材料層と同層で形成された半導体材料層を用いて構成されている、

請求項 1 に記載の半導体装置。

[請求項11] 半導体材料層は半導体基板の上に形成されており、

抵抗素子が接続されているソース／ドレイン電極と半導体基板とは接続されている、

請求項 1 に記載の半導体装置。

[請求項12] チャネル層を形成する半導体材料層、

半導体材料層上に形成された一対のソース／ドレイン電極、及び、
一対のソース／ドレイン電極の間に配置されており、半導体材料層の上に形成されているゲート電極、

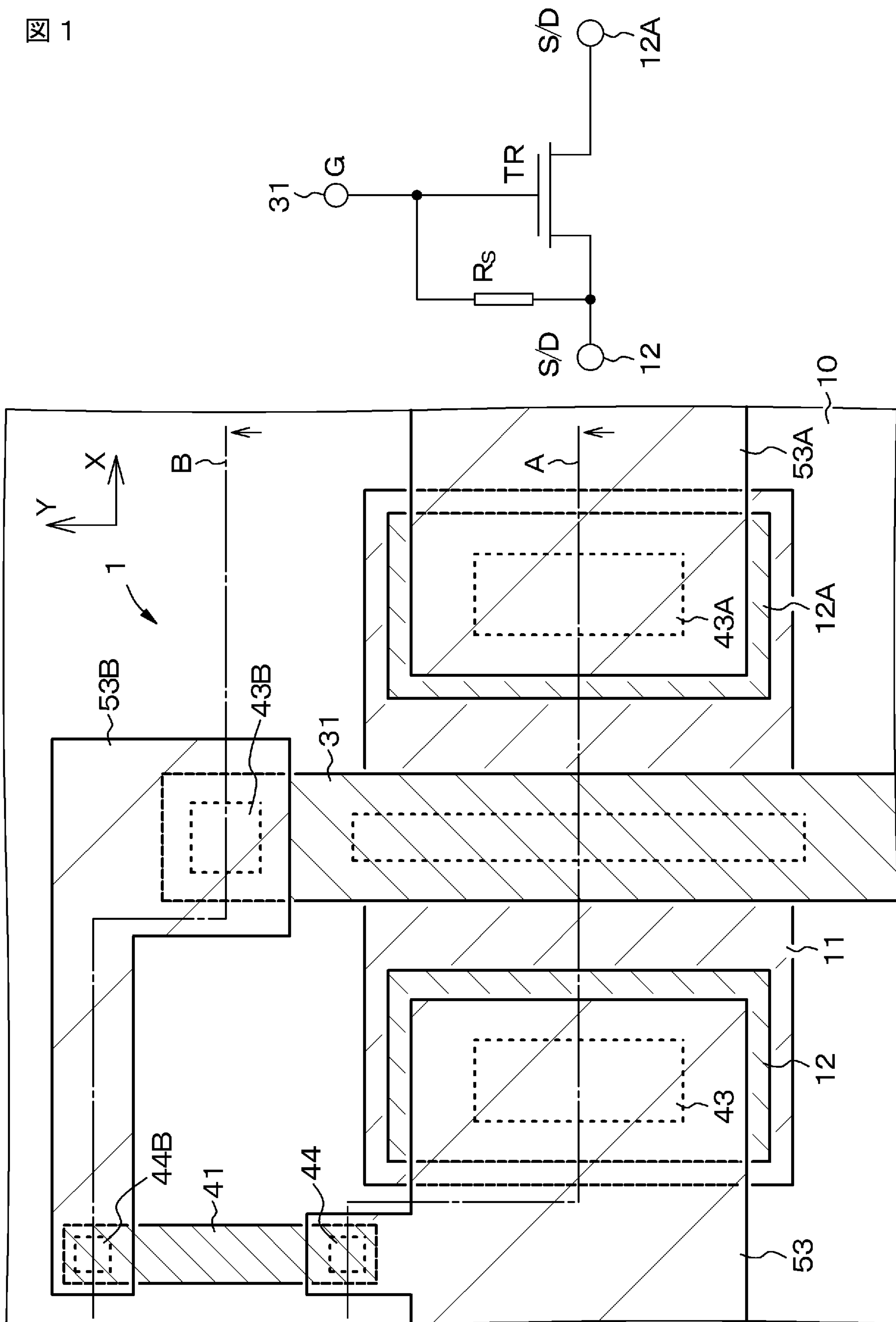
を有しており、

一対のソース／ドレイン電極の少なくとも一方とゲート電極との間は、抵抗素子を介して接続されている、

半導体装置を備えた電子機器。

[図1]

図 1



[図3]

図 3 A

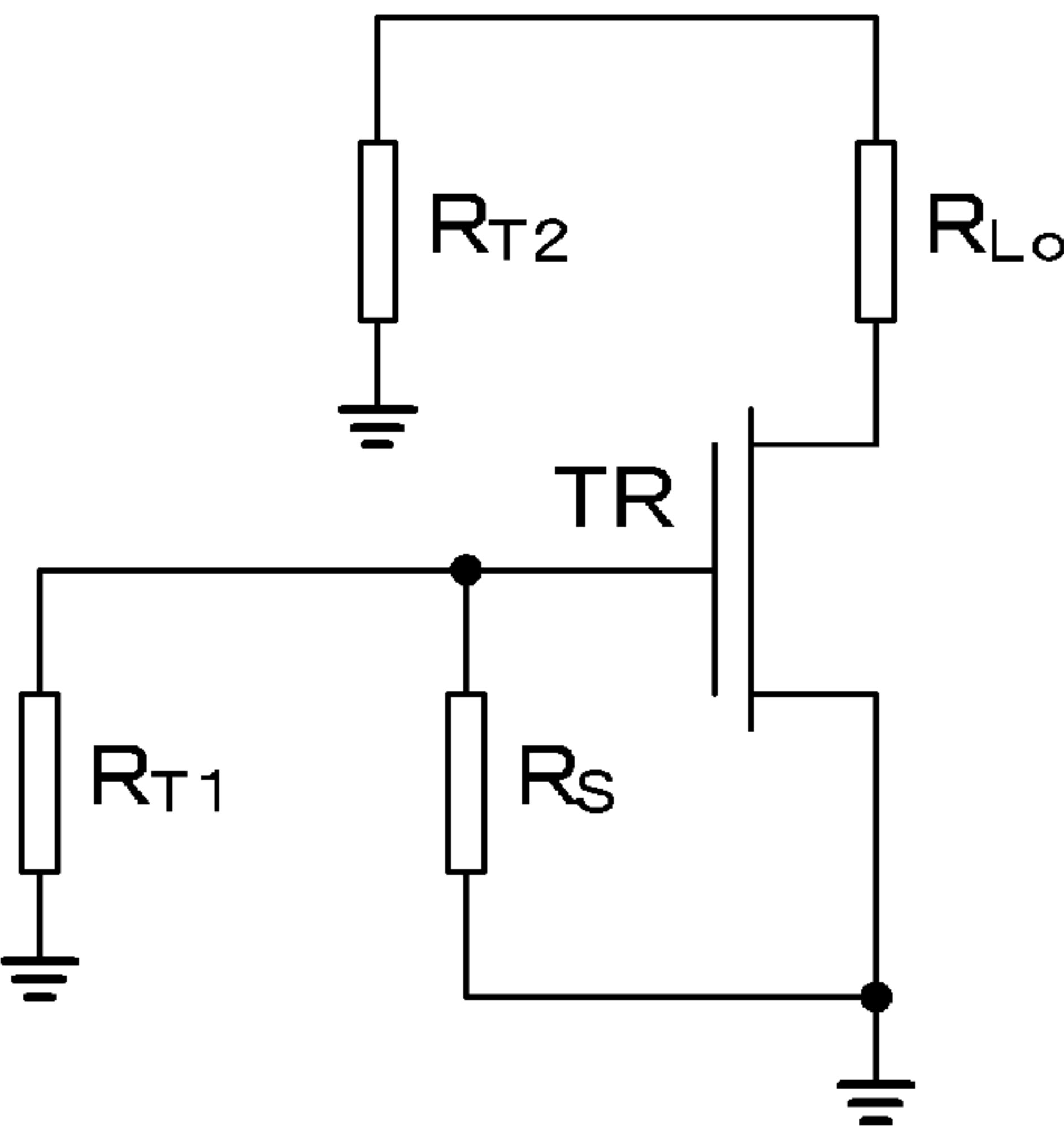
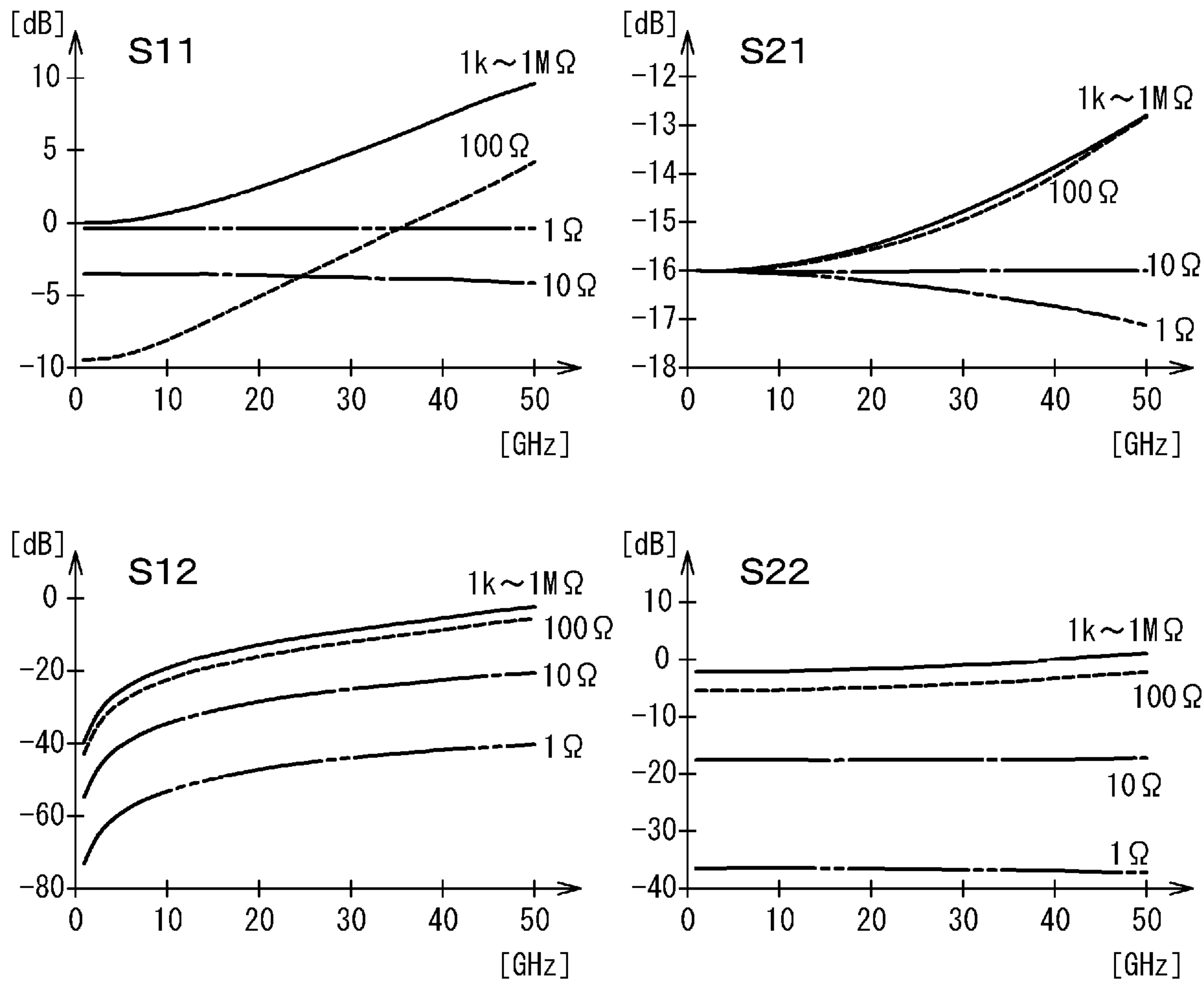


図 3 B



[図4]

図 4 A

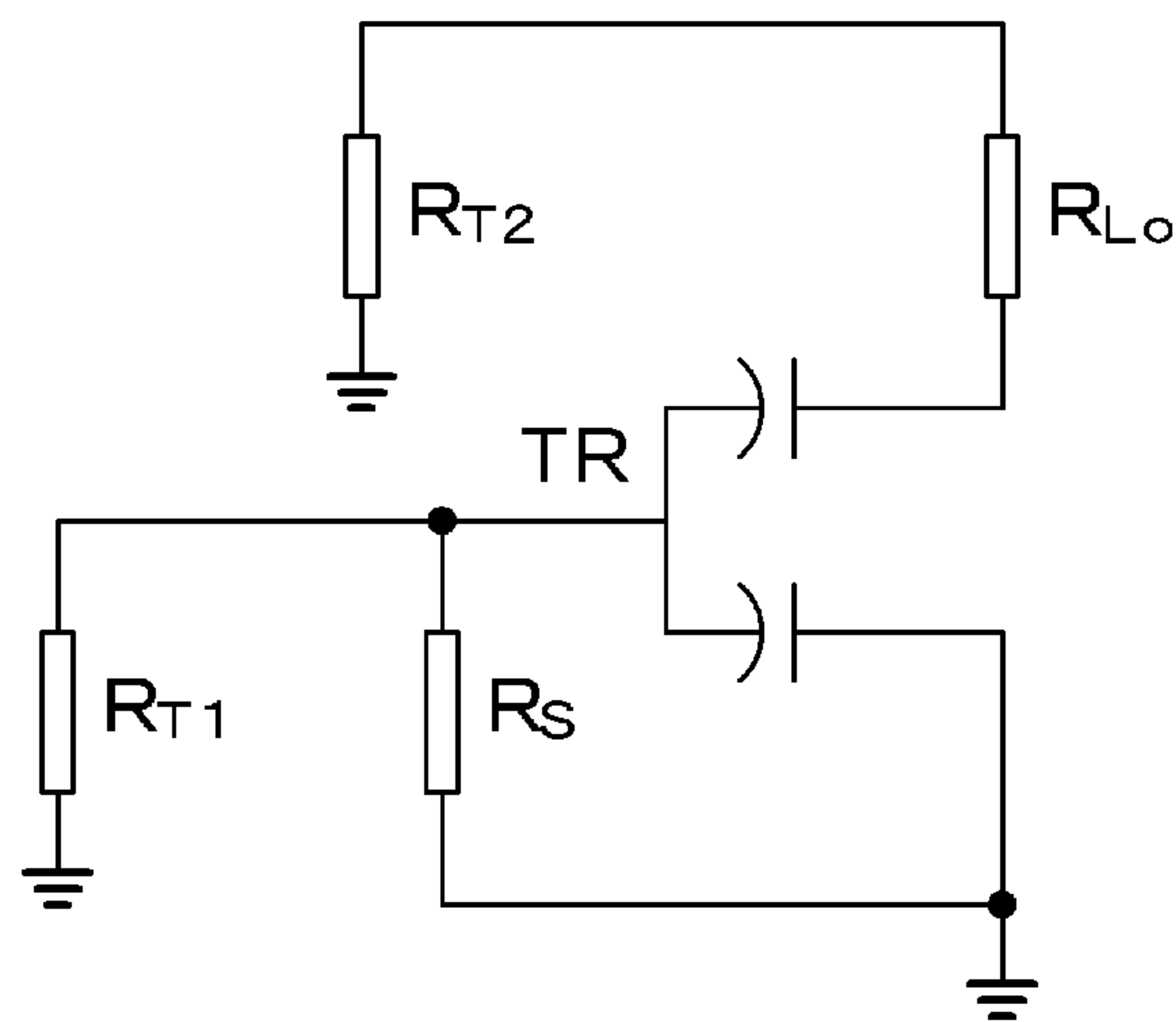
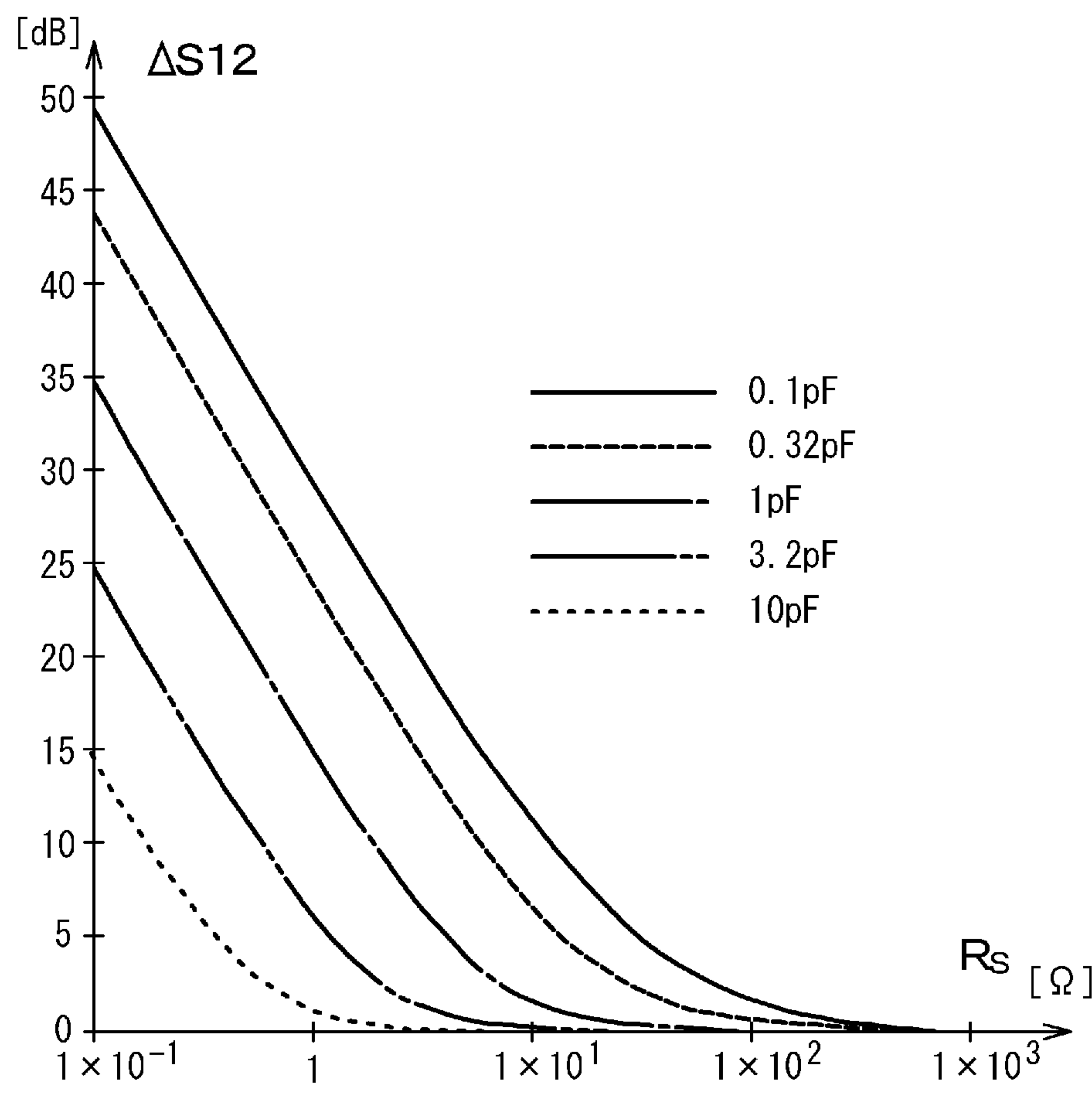
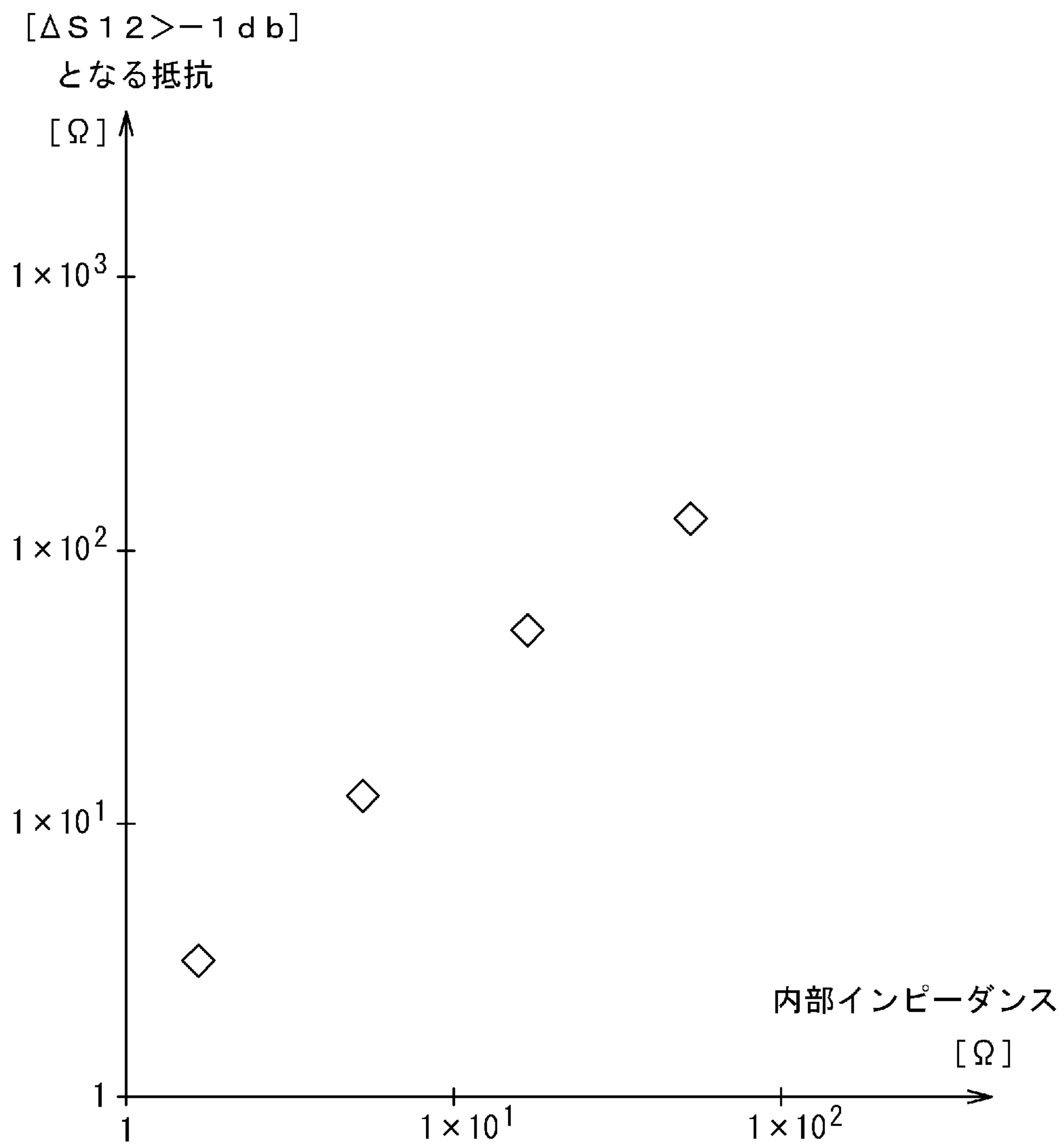


図 4 B



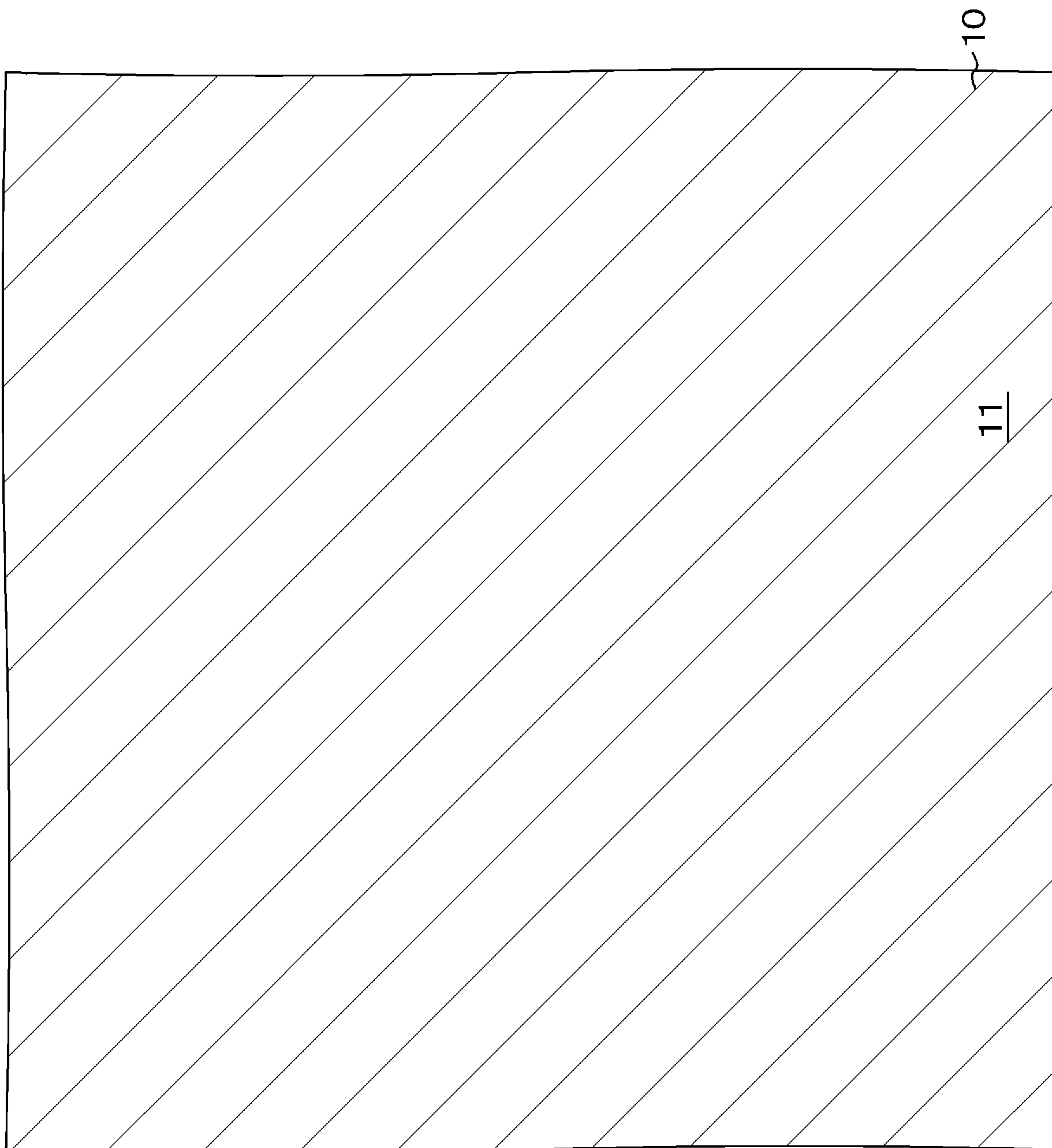
[図5]

図 5



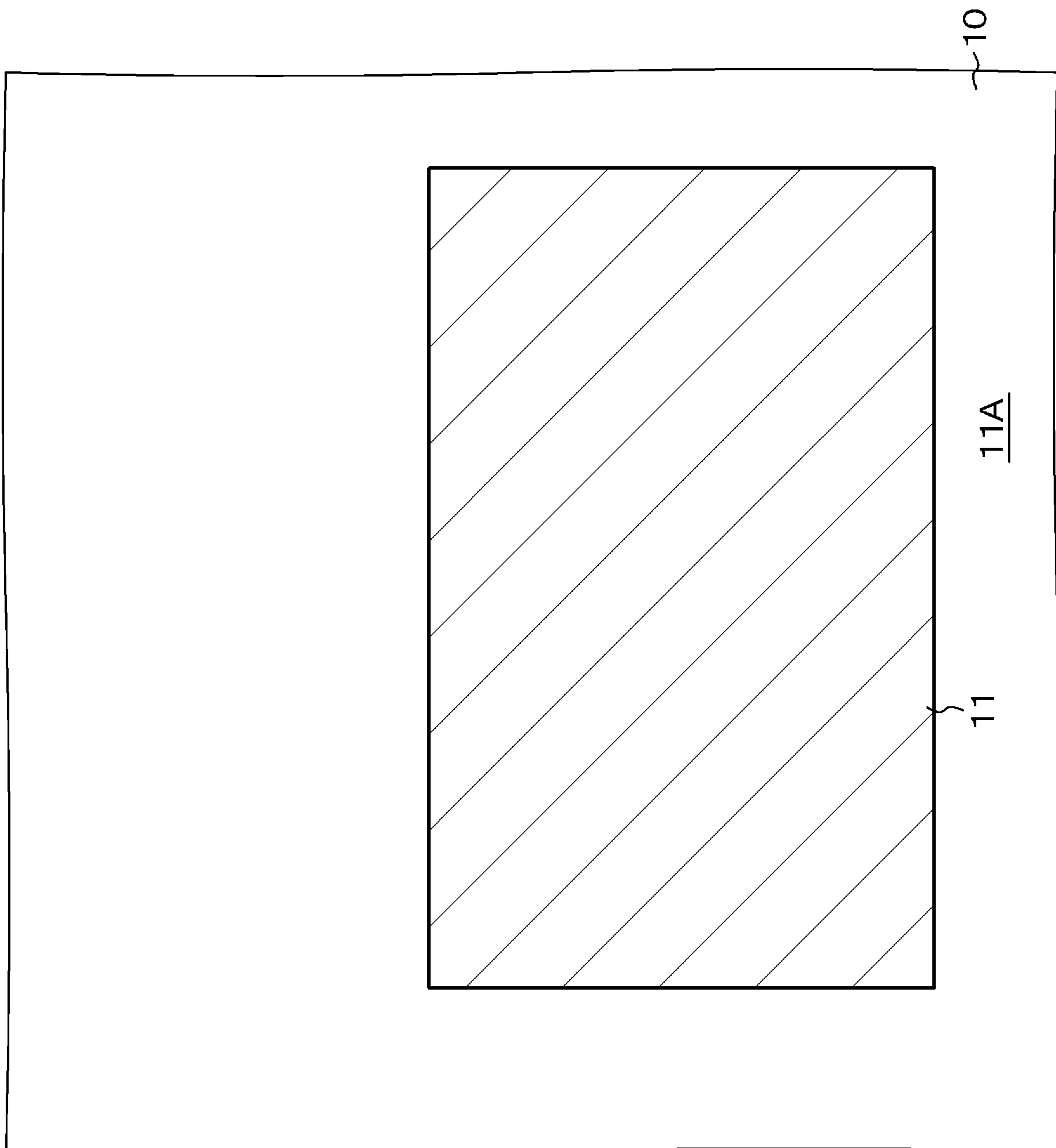
[図6]

図 6



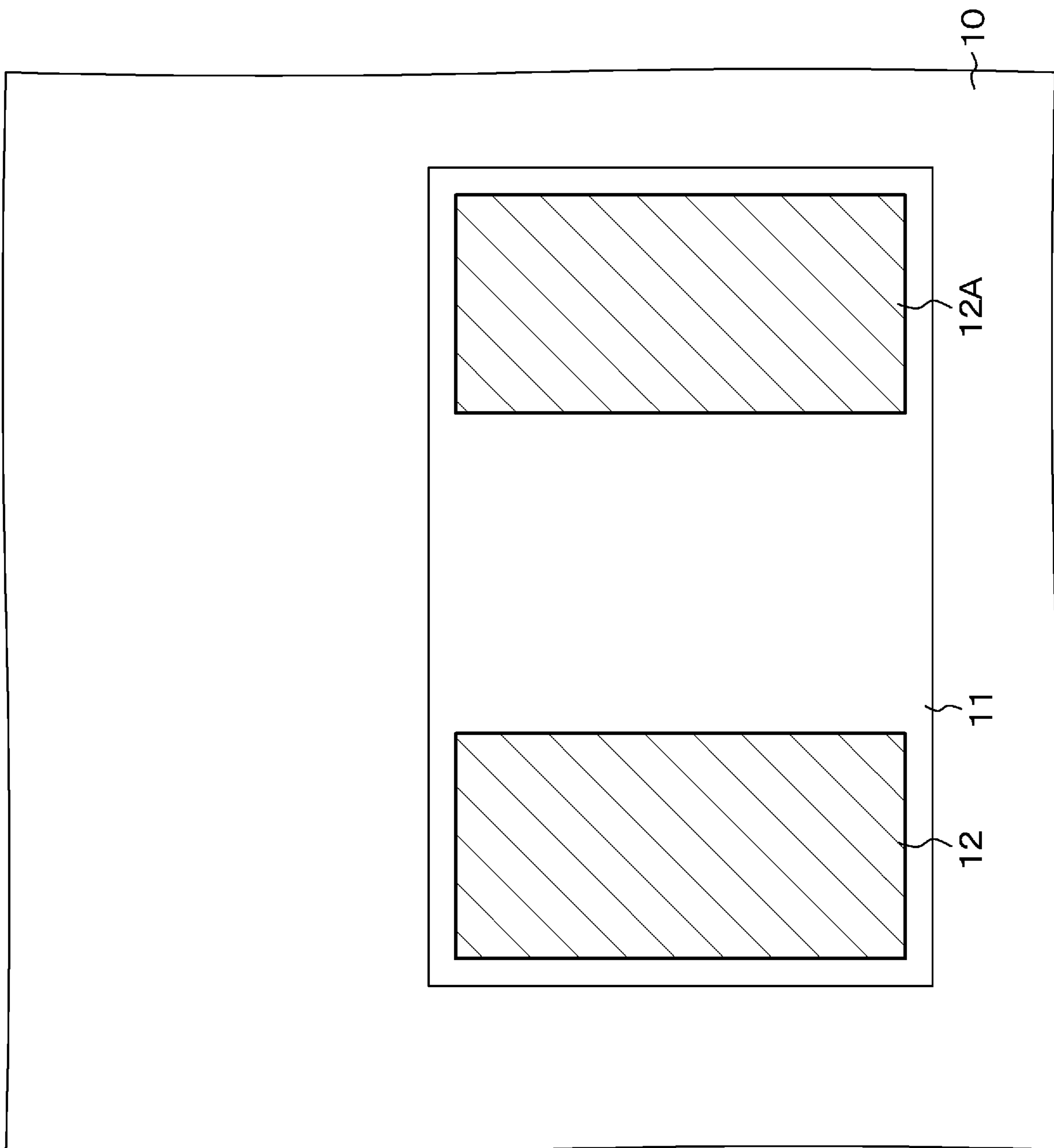
[図7]

図 7



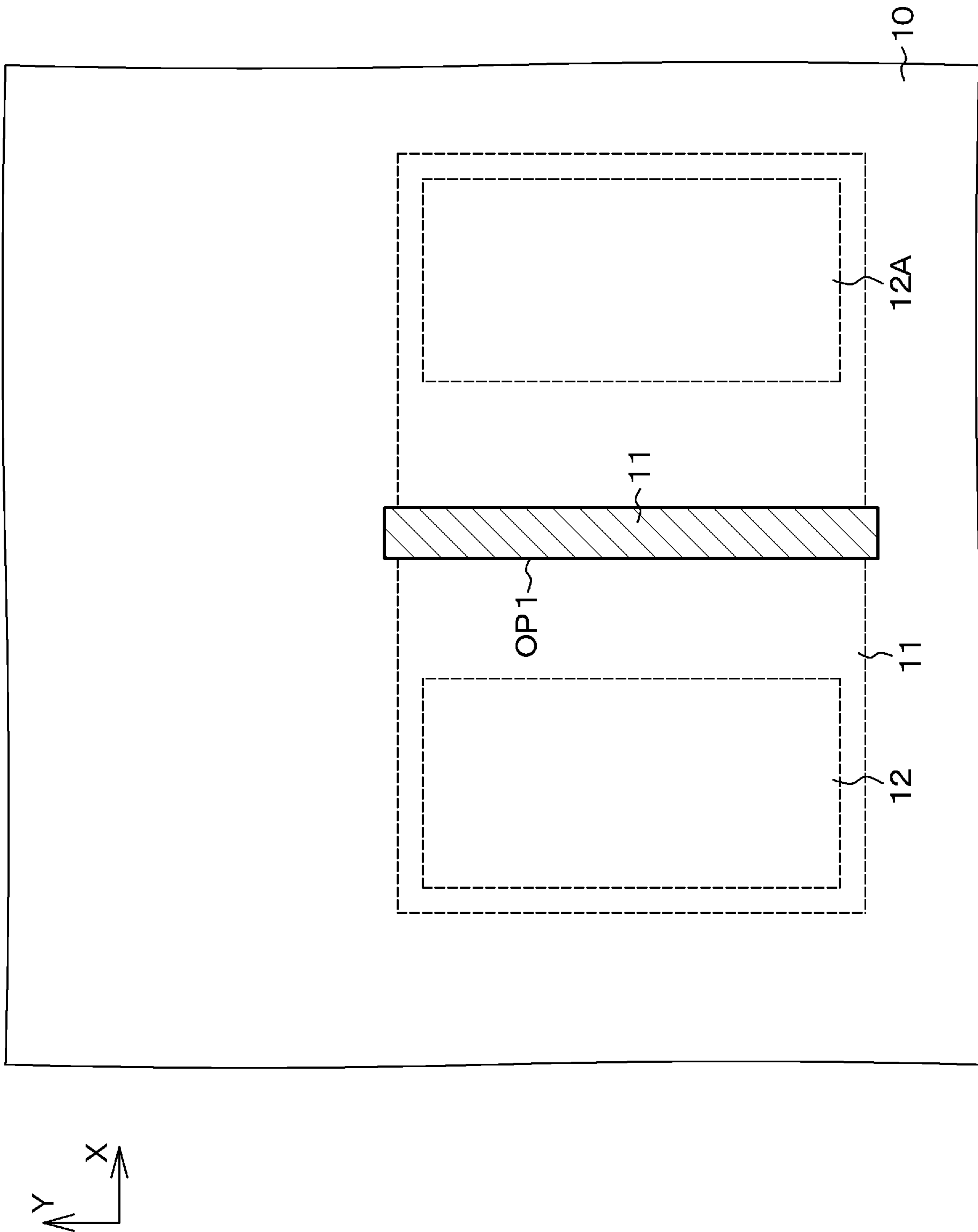
[図8]

図 8



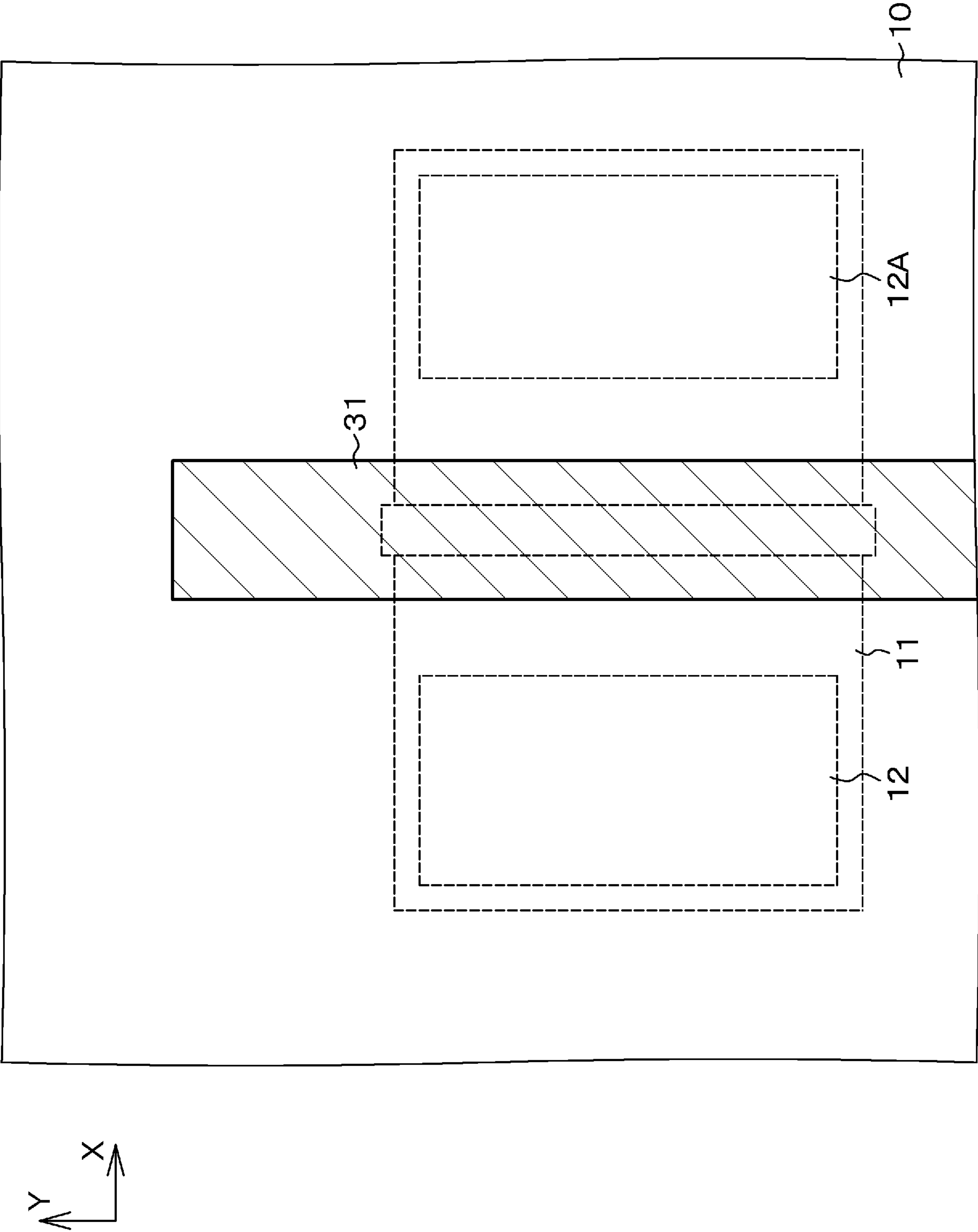
[図9]

図 9



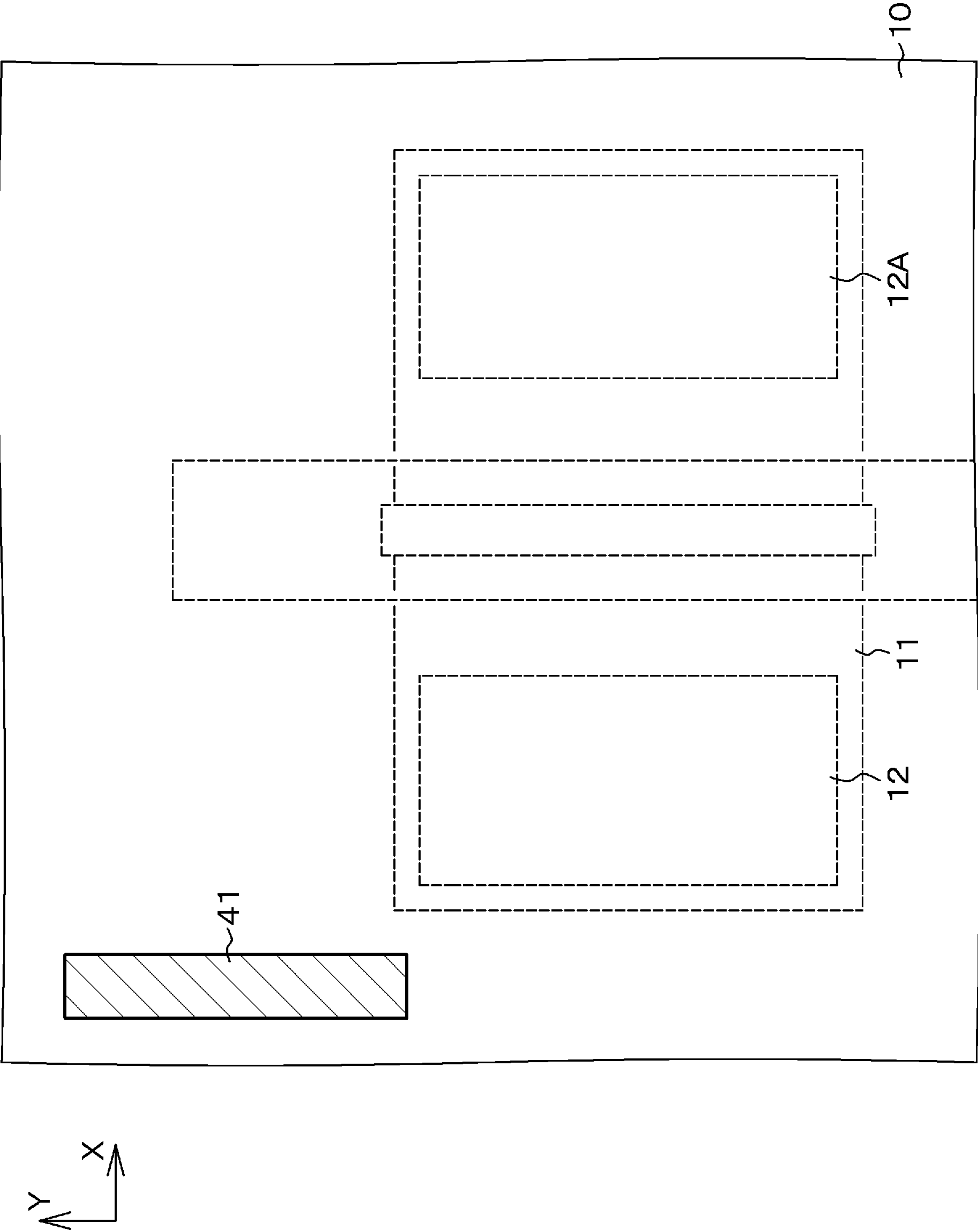
[図10]

図 10



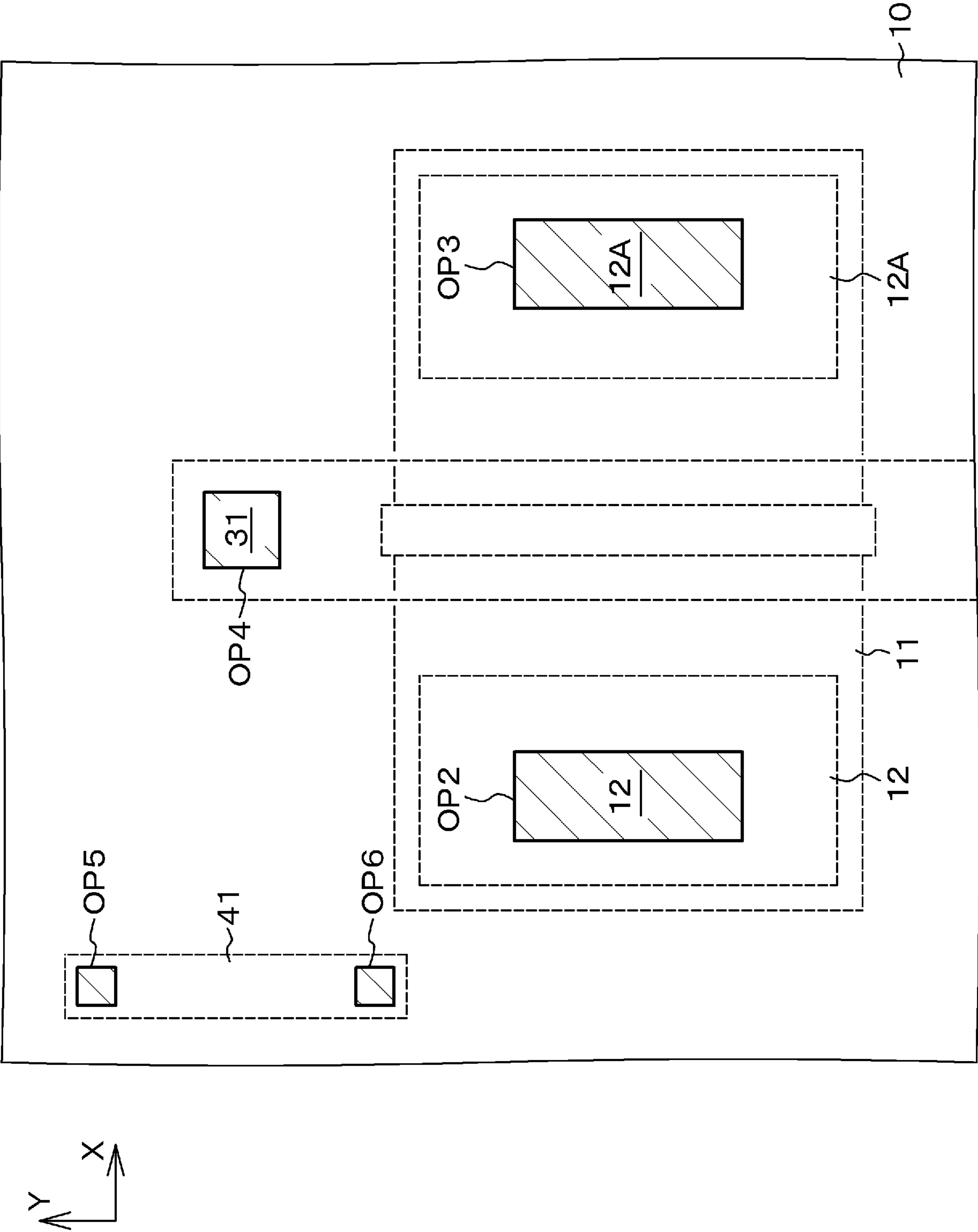
[図11]

図 1 1



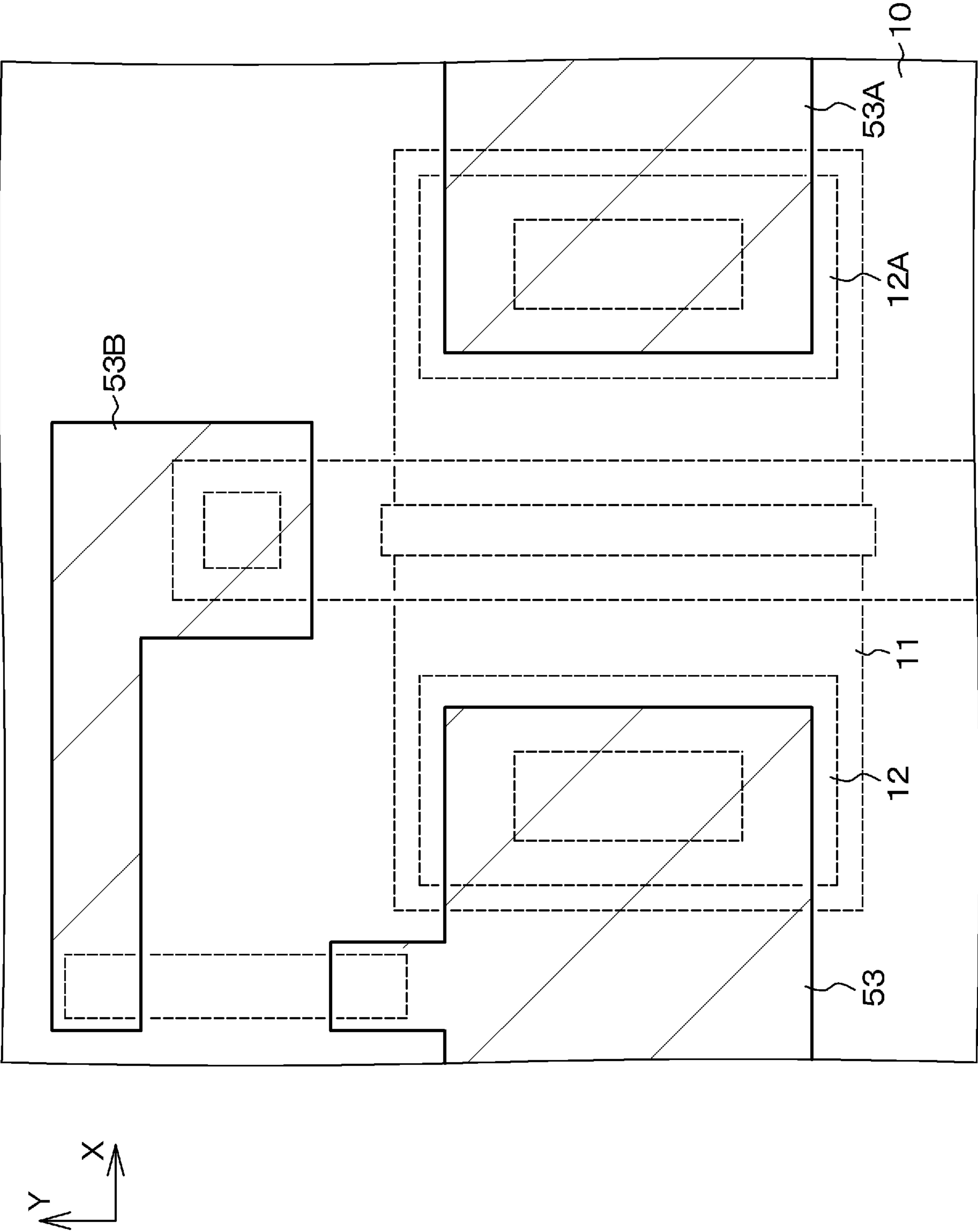
[図12]

図 1 2



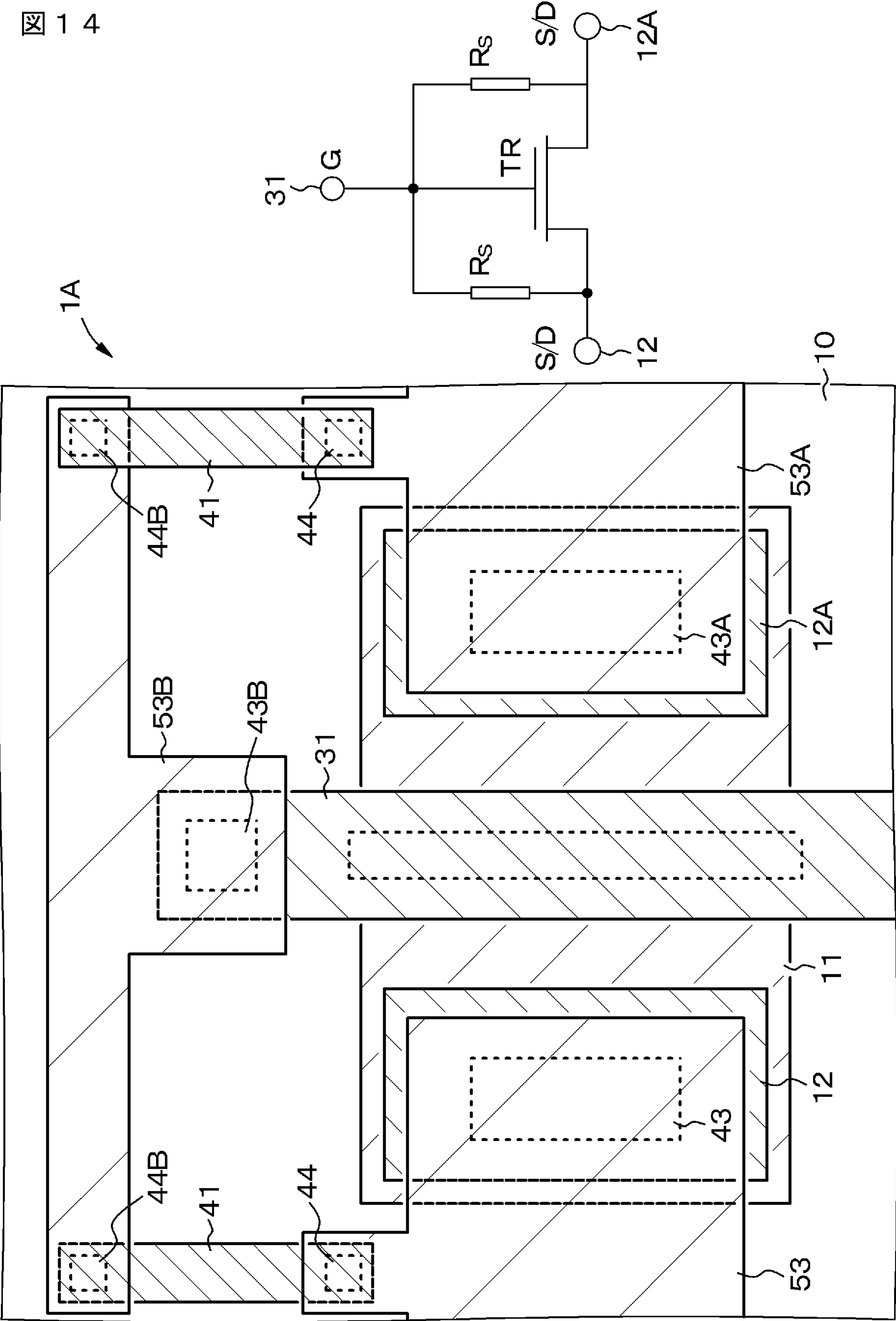
[図13]

図 1 3



[図14]

図 14



[図15]

図 1 5 A

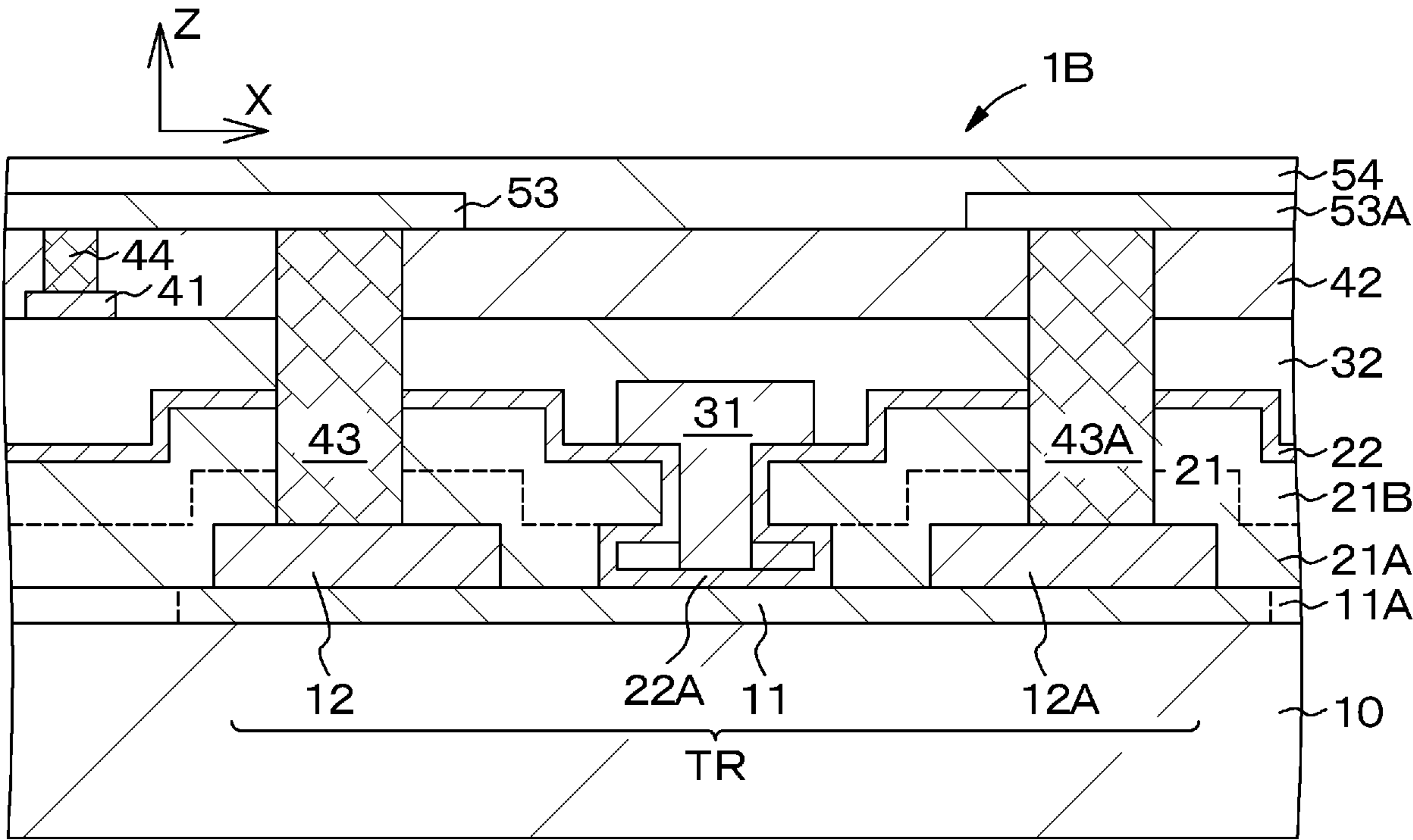
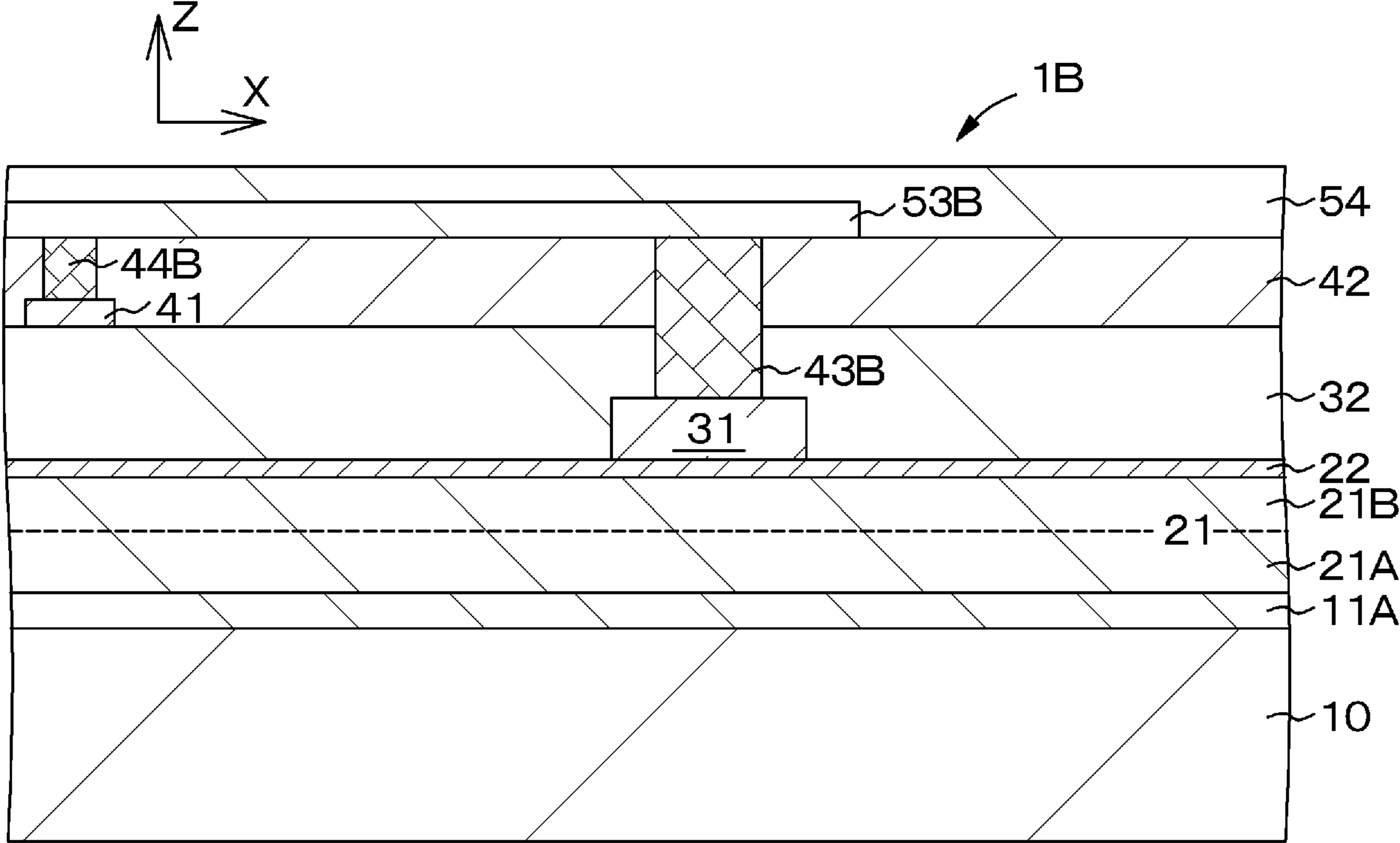
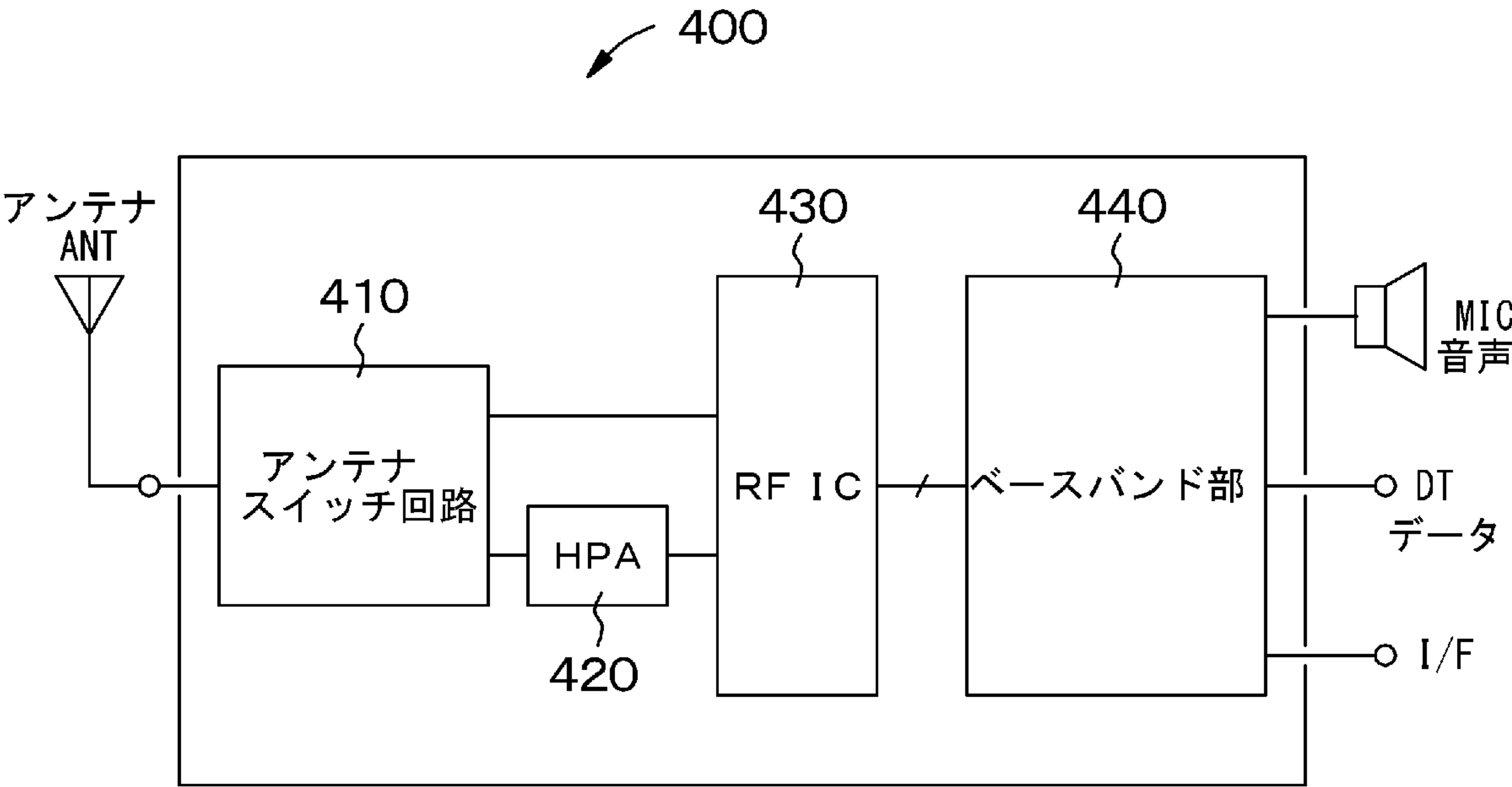


図 1 5 B



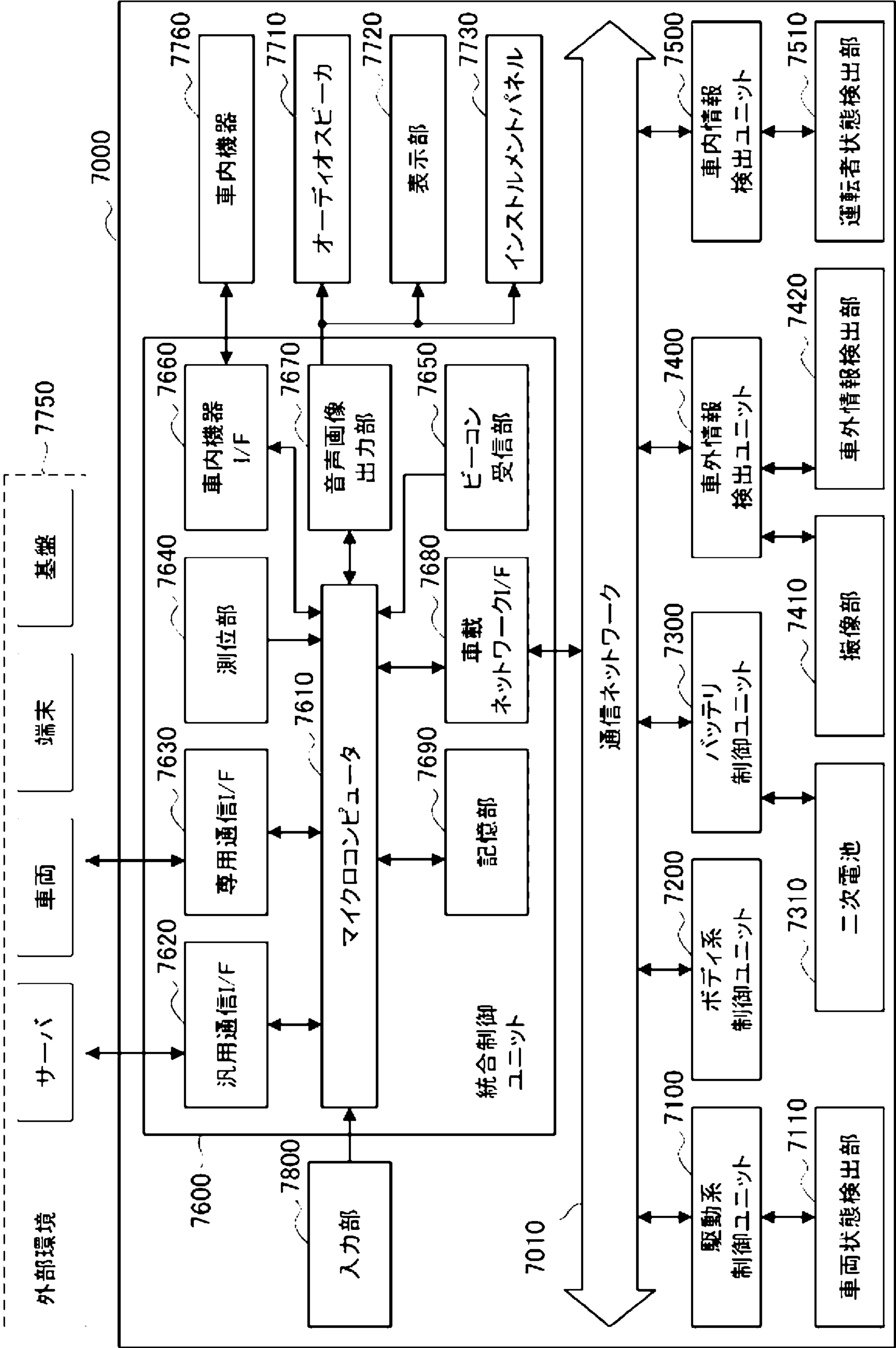
[図17]

図 1 7



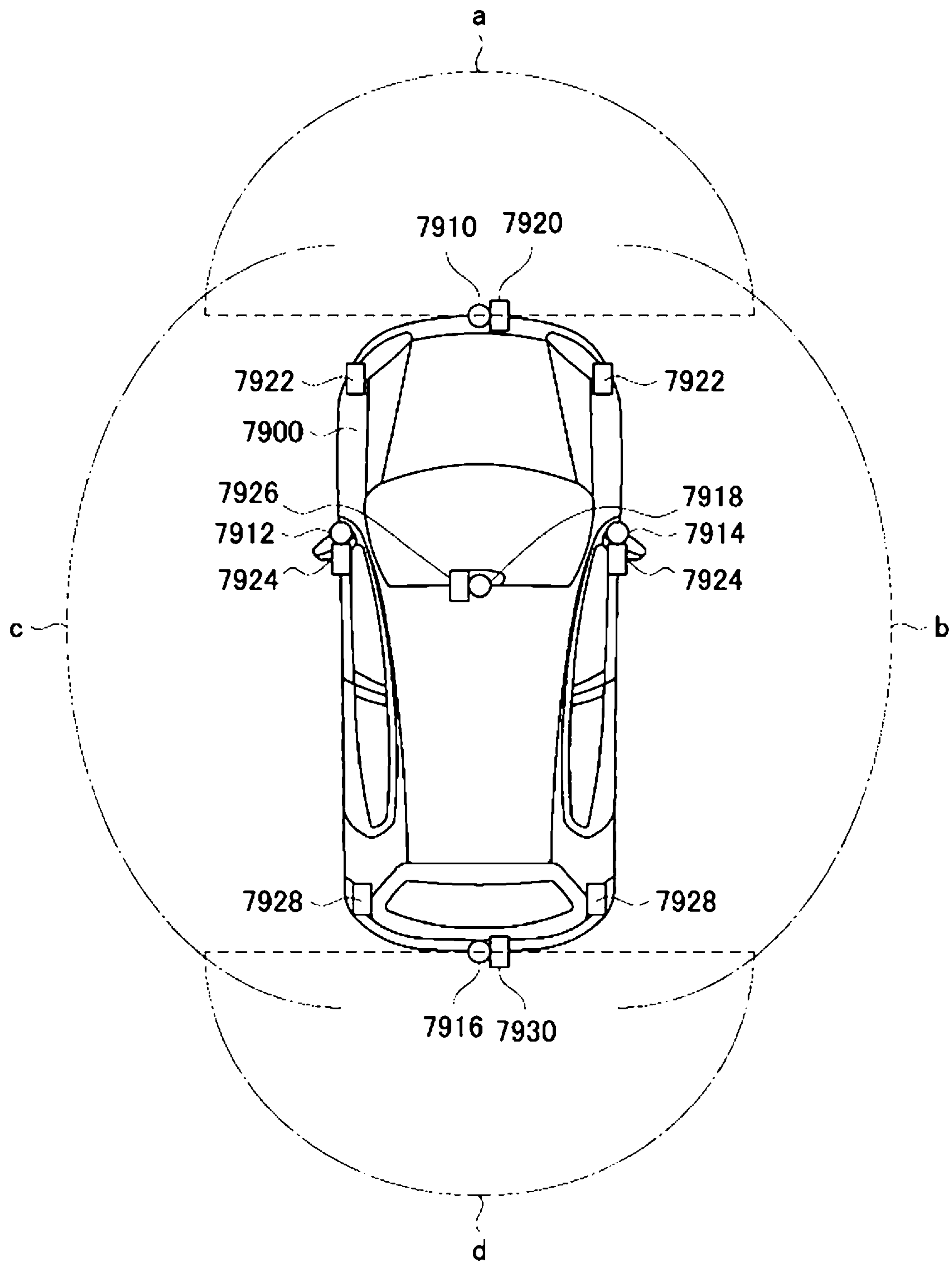
[図18]

図 18



[図19]

図 19



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/038905

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 29/786(2006.01)i; H01L 21/338(2006.01)i; H01L 29/812(2006.01)i; H01L 29/778(2006.01)i; H01L 21/337(2006.01)i; H01L 29/808(2006.01)i

FI: H01L29/80 P; H01L29/78 613Z; H01L29/78 618B; H01L29/78 623A;
H01L29/80 H; H01L29/80 E; H01L27/04 P; H01L29/78 301K; H01L27/04
H; H01L27/04 R; H01L29/80 U; H01L29/78 301B; H01L27/06 311A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822; H01L27/04; H01L27/06; H01L21/336; H01L29/78; H01L29/786;
H01L21/338; H01L29/812; H01L29/778; H01L21/337; H01L29/808

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2018-067730 A (PANASONIC IP MANAGEMENT CO., LTD.) 26 April 2018 (2018-04-26) paragraphs [0029], [0047]-[0055], [0071]-[0076], [0084]-[0089], [0092]-[0093], [0096]-[0097], [0119], [0125], fig. 3, 9, 11, 12(b)	1-5, 10, 12 9 6-8, 11
X Y A	JP 61-160963 A (SANYO ELECTRIC CO., LTD.) 21 July 1986 (1986-07-21) page 1, right column, line 18 to page 2, upper left column, line 3, upper right column, line 7 to lower right column, line 18, fig. 1, 2, 9, 10	1, 6-8, 12 2, 9 3-5, 10, 11
Y A	JP 58-123769 A (TOKYO SHIBAURA ELECTRIC CO., LTD.) 23 July 1983 (1983-07-23) page 1, right column, line 8 to page 2, upper right column, line 8, fig. 1, 2	9 1-8, 10-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 December 2020 (21.12.2020)

Date of mailing of the international search report
12 January 2021 (12.01.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/038905

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2007-305747 A (NEC ELECTRONICS CORPORATION) 22 November 2007 (2007-11-22) paragraphs [0006]-[0007], [0009]-[0010], [0019]-[0028], fig. 2, 3, 8	2 1, 3-12
A	JP 2014-078570 A (TOSHIBA CORP.) 01 May 2014 (2014-05-01) paragraphs [0009]-[0021], [0042]-[0046], [0054]-[0060], fig. 1, 2, 7, 8, 11	1-12
A	JP 2017-143127 A (MITSUBISHI ELECTRIC CORP.) 17 August 2017 (2017-08-17) paragraphs [0002], [0012]-[0024], fig. 1-3	1-12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/038905

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2018-067730 A	26 Apr. 2018	US 2015/0287713 A1 paragraphs [0053], [0071]-[0079], [0095]-[0100], [0108]-[0113], [0116]-[0117], [0120]-[0121], [0144], [0150], fig. 3, 9, 11, 12B WO 2014/103126 A1 (Family: none)	
JP 61-160963 A	21 Jul. 1986	(Family: none)	
JP 58-123769 A	23 Jul. 1983	(Family: none)	
JP 2007-305747 A	22 Nov. 2007	(Family: none)	
JP 2014-078570 A	01 May 2014	US 2014/0098585 A1 paragraphs [0019]- [0035], [0071]- [0077], [0085]- [0093], fig. 1, 2, 7, 8, 11	
JP 2017-143127 A	17 Aug. 2017	US 2017/0229445 A1 paragraphs [0002], [0038]-[0051], fig. 1-3 DE 102017200557 A1 CN 107046030 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 21/336(2006.01)i;
H01L 29/78(2006.01)i; H01L 29/786(2006.01)i; H01L 21/338(2006.01)i; H01L 29/812(2006.01)i;
H01L 29/778(2006.01)i; H01L 21/337(2006.01)i; H01L 29/808(2006.01)i
FI: H01L29/80 P; H01L29/78 613Z; H01L29/78 618B; H01L29/78 623A; H01L29/80 H; H01L29/80 E; H01L27/04
P; H01L29/78 301K; H01L27/04 H; H01L27/04 R; H01L29/80 U; H01L29/78 301B; H01L27/06 311A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L21/822; H01L27/04; H01L27/06; H01L21/336; H01L29/78; H01L29/786; H01L21/338; H01L29/812;
H01L29/778; H01L21/337; H01L29/808

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2020年

日本国実用新案登録公報

1996 - 2020年

日本国登録実用新案公報

1994 - 2020年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-067730 A（パナソニックIPマネジメント株式会社）26.04.2018（2018 - 04 - 26） 段落0029, 0047-0055, 0071-0076, 0084-0089, 0092-0093, 0096-0097, 0119, 0125, 図 3, 9, 11, 12(b)	1-5, 10, 12
Y		9
A		6-8, 11
X	JP 61-160963 A（三洋電機株式会社）21.07.1986（1986 - 07 - 21） 第1頁右欄第18行-第2頁上左欄第3行, 上右欄第7行-下右欄第18行, 第1, 2, 9, 10	1, 6-8, 12
Y		2, 9
A		3-5, 10, 11
Y	JP 58-123769 A（東京芝浦電気株式会社）23.07.1983（1983 - 07 - 23） 第1頁右欄第8行-第2頁上右欄第8行, 第1, 2図	9
A		1-8, 10-12

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

21. 12. 2020

国際調査報告の発送日

12. 01. 2021

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

恩田 和彦 5F 5896

電話番号 03-3581-1101 内線 3516

様式 PCT/ISA/210（第2ページ）（2015年1月）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-305747 A (NECエレクトロニクス株式会社) 22.11.2007 (2007 - 11 - 22) 段落0006-0007, 0009-0010, 0019-0028, 図2, 3, 8	2
A		1, 3-12
A	JP 2014-078570 A (株式会社東芝) 01.05.2014 (2014 - 05 - 01) 段落0009-0021, 0042-0046, 0054-0060, 図1, 2, 7, 8, 11	1-12
A	JP 2017-143127 A (三菱電機株式会社) 17.08.2017 (2017 - 08 - 17) 段落0002, 0012-0024, 図1-3	1-12

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-067730	A	26.04.2018	US 2015/0287713 A1 段落0053, 0071-0079, 0095-0100, 0108-0113, 0116-0117, 0120-0121, 0144, 0150, 図3, 9, 11, 12B WO 2014/103126 A1	
JP	61-160963	A	21.07.1986	(ファミリーなし)	
JP	58-123769	A	23.07.1983	(ファミリーなし)	
JP	2007-305747	A	22.11.2007	(ファミリーなし)	
JP	2014-078570	A	01.05.2014	US 2014/0098585 A1 段落0019-0035, 0071-0077, 0085-0093, 図1, 2, 7, 8, 11	
JP	2017-143127	A	17.08.2017	US 2017/0229445 A1 段落0002, 0038-0051, 図1-3 DE 102017200557 A1 CN 107046030 A	