

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2017-520105

(P2017-520105A)

(43) 公表日 平成29年7月20日 (2017.7.20)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H01L 27/146 (2006.01)</b>	H01L 27/14 A	4M118
<b>H01L 31/10 (2006.01)</b>	H01L 31/10 A	5C024
<b>H04N 5/33 (2006.01)</b>	H04N 5/33	5F849
<b>H04N 5/369 (2011.01)</b>	H04N 5/335 690	

審査請求 未請求 予備審査請求 未請求 (全 17 頁)

(21) 出願番号	特願2016-563172 (P2016-563172)	(71) 出願人	000002185
(86) (22) 出願日	平成27年3月27日 (2015. 3. 27)		ソニー株式会社
(85) 翻訳文提出日	平成28年10月18日 (2016. 10. 18)		東京都港区港南1丁目7番1号
(86) 国際出願番号	PCT/US2015/023107	(71) 出願人	505468945
(87) 国際公開番号	W02015/167723		ピクシム インコーポレイテッド
(87) 国際公開日	平成27年11月5日 (2015. 11. 5)		アメリカ合衆国 カリフォルニア州 94
(31) 優先権主張番号	14/263, 630		043 マウンテン・ビュー チャールス
(32) 優先日	平成26年4月28日 (2014. 4. 28)		トン・ロード 1395
(33) 優先権主張国	米国 (US)	(74) 代理人	100121131
			弁理士 西川 孝
		(74) 代理人	100082131
			弁理士 稲本 義雄

最終頁に続く

(54) 【発明の名称】 NIR撮像素子のための深いウェルのフォトダイオード

## (57) 【要約】

アクティブピクセル型撮像素子は、中型から大型サイズの画素に対し低いピンニング電圧で、高い近赤外線変調伝達関数及び高い量子効率を可能にする、フォトダイオード構造を含む。フォトダイオードは、両方とも第1のドーパント型で、浅いフォトダイオード領域の長さが、深いフォトダイオード領域の長さより長い、浅いフォトダイオード領域及び深いフォトダイオード領域と、両方とも第2のドーパント型の浅い空乏領域及び深い空乏領域と、を含む。深い空乏領域は、少なくとも2つの対称側において深いフォトダイオード領域を取り囲む。

【選択図】図5

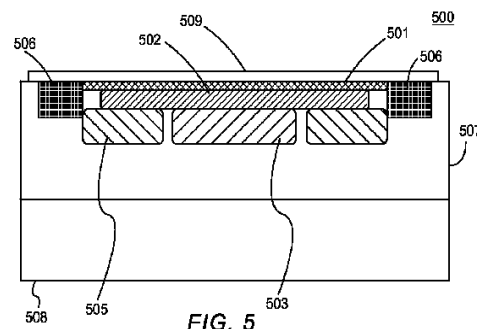


FIG. 5

**【特許請求の範囲】****【請求項 1】**

フォトダイオード領域が、浅いフォトダイオード領域及び第 1 の深いフォトダイオード領域を含み、前記浅いフォトダイオード領域の長さが、前記第 1 の深いフォトダイオード領域の長さよりも長い、第 1 のドーパント型のフォトダイオード領域と、

空乏領域が、浅い空乏領域及び深い空乏領域を含み、前記深い空乏領域が、少なくとも 2 つの対称側において前記第 1 の深いフォトダイオード領域を取り囲む、第 2 のドーパント型の空乏領域と、を備え、

前記第 2 のドーパント型は、前記第 1 のドーパント型と反対のドーパント型である、撮像装置。

10

**【請求項 2】**

前記フォトダイオード領域の全体は、フォトダイオードリセットの間に、キャリアが完全に空乏化されるように構成される、請求項 1 に記載の撮像装置。

**【請求項 3】**

前記第 1 の深いフォトダイオード領域の深さは、前記深い空乏領域の深さと実質的に等しい、請求項 1 に記載の撮像装置。

**【請求項 4】**

前記フォトダイオード領域は、第 2 の深いフォトダイオード領域をさらに含み、前記第 2 の深いフォトダイオード領域の長さは、前記第 1 の深いフォトダイオード領域の前記長さよりも長い、請求項 1 に記載の撮像装置。

20

**【請求項 5】**

前記第 2 の深いフォトダイオード領域は、前記深い空乏領域よりも深い、請求項 4 に記載の撮像装置。

**【請求項 6】**

ゲート酸化物層をさらに備える、請求項 1 に記載の撮像装置。

**【請求項 7】**

前記第 1 の深いフォトダイオード領域及び前記深い空乏領域は、前記ゲート酸化物層より前に形成される、請求項 6 に記載の撮像装置。

**【請求項 8】**

前記フォトダイオード領域は、前記ゲート酸化物層より前に形成され、前記空乏領域は、前記ゲート酸化物層より後に形成される、請求項 6 に記載の撮像装置。

30

**【請求項 9】**

前記空乏領域は、前記ゲート酸化物層より前に形成され、前記フォトダイオード領域は、前記ゲート酸化物層より後に形成される、請求項 6 に記載の撮像装置。

**【請求項 10】**

前記撮像装置は、裏面照射型撮像装置として構成される、請求項 1 に記載の撮像装置。

**【請求項 11】**

光学系と、

前記光学系から入射光を受光するように構成される撮像装置であって、前記撮像装置は、請求項 1 に記載の撮像装置である撮像装置と、

40

前記撮像装置から信号を受信し、データを出力するように構成される、信号プロセッサと、

を備える電子機器。

**【請求項 12】**

フォトダイオード領域が、浅いフォトダイオード領域及び第 1 の深いフォトダイオード領域を含み、前記浅いフォトダイオード領域の長さが、前記第 1 の深いフォトダイオード領域の長さよりも長い、第 1 のドーパント型のフォトダイオード領域を形成することと、

空乏領域が、浅い空乏領域及び深い空乏領域を含み、前記深い空乏領域が、少なくとも 2 つの対称側において前記第 1 の深いフォトダイオード領域を取り囲む、第 2 のドーパント型の空乏領域を形成することと、を含み、

50

前記第 2 のドーパント型は、前記第 1 のドーパント型と反対のドーパント型である、撮像装置の製造方法。

【請求項 13】

前記フォトダイオード領域の全体は、フォトダイオードリセットの間に、キャリアが完全に空乏化されるように構成される、請求項 12 に記載の撮像装置の製造方法。

【請求項 14】

前記第 1 の深いフォトダイオード領域の深さは、前記深い空乏領域の深さと実質的に等しい、請求項 12 に記載の撮像装置の製造方法。

【請求項 15】

前記フォトダイオード領域は、第 2 の深いフォトダイオード領域をさらに含み、前記第 2 の深いフォトダイオード領域の長さは、前記第 1 の深いフォトダイオード領域の前記長さよりも長い、請求項 12 に記載の撮像装置の製造方法。

10

【請求項 16】

前記第 2 の深いフォトダイオード領域は、前記深い空乏領域よりも深い、請求項 15 に記載の撮像装置の製造方法。

【請求項 17】

ゲート酸化物層を形成することをさらに含む、請求項 12 に記載の撮像装置の製造方法。

【請求項 18】

前記ゲート酸化物層を形成する前に、前記第 1 の深いフォトダイオード領域及び前記深い空乏領域を形成することをさらに含む、請求項 17 に記載の撮像装置の製造方法。

20

【請求項 19】

前記ゲート酸化物層を形成する前に、前記フォトダイオード領域を形成することと、前記ゲート酸化物層を形成した後に、前記空乏領域を形成することと、をさらに含む、請求項 17 に記載の撮像装置の製造方法。

【請求項 20】

前記ゲート酸化物層を形成する前に、前記空乏領域を形成することと、前記ゲート酸化物層を形成した後に、前記フォトダイオード領域を形成することと、をさらに含む、請求項 17 に記載の撮像装置の製造方法。

【請求項 21】

前記撮像装置は、裏面照射型撮像装置として構成される、請求項 12 に記載の撮像装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概して、デジタル撮像素子に関し、より詳細には、近赤外線 (NIR: near-infrared) スペクトル領域において、良好な感度を有する撮像素子に関する。

【背景技術】

【0002】

固体撮像素子は、入射光子を電子 - 正孔対に変換することにより動作する。撮像素子は、典型的には、“画素”と呼ばれる光感知素子の 2 次元アレイを含む。電子又は正孔のいずれかは、次いでセンサによって収集され、各画素又は画素群のための出力信号に変換される。光子変換が起こる深さは、検出する物質の吸収係数によって決まる。吸収係数は、物質によって変化するが、所与の物質についての波長が長いほど減少する。吸収係数が減少するにつれて、光は検出する物質中のより深くに浸透する。

40

【0003】

シリコンベースの光検出器は、典型的には、350 - 1100 nm の波長の範囲にある光を感知する。短波長光は、シリコンの表面付近で検出され、長波長光は、電子 - 正孔対を生成することなく、より厚いシリコンを通過し得る。例えば、850 nm (NIR スペ

50

クトル領域における波長)では、シリコンベースの光検出器に対する吸収の深さは、約  $12\text{ }\mu\text{m}$ となる。

【0004】

シリコンベースの撮像素子の設計は、CCD (Charge - Coupled Devices)、CMOS (Complementary Metal - Oxide - Semiconductor) イメージセンサなどを含む。CMOS イメージセンサは、電力消費がより少ないという利点を有し、デジタル出力画素値を提供する内蔵アナログ - デジタルコンバータを含む。

【0005】

基本的なCMOS イメージセンサの画素は、フォトダイオードなどの光検出器、読み出しトランジスタ、フローティングディフュージョン (FD: floating diffusion)、及び出力ノードからなる。CMOS イメージセンサにおける画素の動作の主要な側面は、フォトダイオードのピンニング電圧  $V_{pin}$  である。典型的には、フォトダイオードは、所定の電圧でその厚み全体にわたって空乏化されるように、設計される。フォトダイオードが完全に空乏化されるこの電圧は、ピンニング電圧として知られる。完全空乏化を達成するために、フォトダイオードは、反対のドーピング型の浅い高ドープ領域と、反対のドーピング型のエピタキシャル領域との間に挟まれる。フォトダイオードにおけるドーピング濃度を増加させることによって、フォトダイオードをより厚くすることによって、又は、浅い表面インプラントのドーパント濃度を減少されることによって、ピンニング電圧は増加され得る。 $V_{pin}$  を増加させることは、典型的には、フォトダイオードによって収集され得る電荷を増加させ、画素のダイナミックレンジを増加させる。

10

20

【0006】

一方、フローティングディフュージョンは、フォトダイオードによって収集される電荷の全てを保持しなければならず、そのため、フローティングディフュージョンの電荷容量は、フォトダイオードの容量よりもわずかに大きくあるべきである。フローティングディフュージョンの電荷容量は、その最大電圧スイングに正比例する。フローティングディフュージョンにおける電圧は、最小フォトダイオード電位よりもわずかに高いままでなければならず、したがって、最大フローティングディフュージョン電圧スイングは、大まかには、そのリセット電圧からフォトダイオード  $V_{pin}$  を引いて与えられる。したがって、画素信号がもはやそれ以上に増加しない最大  $V_{pin}$  があるが、遅れの問題が増加し続ける。さらに、 $V_{pin}$  の増加は、典型的には、暗電流の増加及び熱欠陥画素を引き起こす

30

【0007】

深く浸透するNIR光を捉えるために、CMOS センサは、深い電荷収集領域を必要とする。しかしながら、CMOS センサは、概して、典型的なCMOS プロセスステップを用いて製作されるため、フォトダイオード領域は、浅くなりやすい。これは、生成される電荷が、フォトダイオードに対して長距離移動をしなければならないことを意味し、それは、画素のクロストークの増加、並びに量子効率 (QE: quantum efficiency) 及び変調伝達関数 (MTF: modulation transfer function) の低下をもたらす。MTFを改善するために、フォトダイオードはより深くに注入され得る。しかしながら、上で説明したように、フォトダイオードの厚さが増加すると、 $V_{pin}$  が高くなり過ぎてフォトダイオードが正しく機能しなくなる。

40

【発明の概要】

【発明が解決しようとする課題】

【0008】

したがって、ダイナミックレンジの要求を依然として満たしながらも、 $V_{pin}$  が可能な限り低く保たれる、撮像素子及びフォトダイオードが必要とされている。

【課題を解決するための手段】

【0009】

本開示は、フォトダイオード、撮像装置、及び電子機器を目的とする。本開示の一態様では、撮像装置は、フォトダイオード領域が、浅いフォトダイオード領域及び第1の深い

50

フォトダイオード領域を含み、浅いフォトダイオード領域の長さが、第1の深いフォトダイオード領域の長さよりも長い、第1のドーパント型のフォトダイオード領域と、空乏領域が、浅い空乏領域及び深い空乏領域を含み、深い空乏領域が、少なくとも2つの対称側において第1の深いフォトダイオード領域を取り囲む、第2のドーパント型の空乏領域と、エピタキシャル層と、を備え、第2のドーパント型は、第1のドーパント型と反対のドーパント型である。

【0010】

本開示の別の態様では、フォトダイオード領域は、第2の深いフォトダイオード領域をさらに含み、第2の深いフォトダイオード領域の長さは、第1の深いフォトダイオード領域の長さよりも長い。

10

【0011】

本開示の別の態様では、撮像装置の製造方法は、フォトダイオード領域が、浅いフォトダイオード領域及び第1の深いフォトダイオード領域を含み、浅いフォトダイオード領域の長さが、第1の深いフォトダイオード領域の長さよりも長い、第1のドーパント型のフォトダイオード領域を形成することと、空乏領域が、浅い空乏領域及び深い空乏領域を含み、深い空乏領域が少なくとも2つの対称側において第1の深いフォトダイオード領域を取り囲む、第2のドーパント型の空乏領域を形成することと、エピタキシャル層を形成することと、を含み、第2のドーパント型は、第1のドーパント型と反対のドーパント型である。

【0012】

20

本開示は、以下の詳細な説明及び添付図面を考慮して、よりよく理解され得る。

【図面の簡単な説明】

【0013】

【図1】本開示の態様で使用する、例示的な撮像素子である。

【図2】本開示の態様で使用する、例示的な撮像素子である。

【図3】本開示の態様で使用する、例示的な画素回路である。

【図4】比較となるフォトダイオードの断面図である。

【図5】本開示の態様による、例示的なフォトダイオードの断面図である。

【図6】本開示の態様による、別の例示的なフォトダイオードの断面図である。

【図7】本開示の態様による、さらに別の例示的なフォトダイオードの断面図である。

30

【図8】本開示の態様による、さらに別の例示的なフォトダイオードの断面図である。

【図9】本開示の態様による、処理フロー図である。

【図10】本開示の態様による、例示的な電子機器である。

【発明を実施するための形態】

【0014】

[撮像装置 - 全体構成]

図1は、例示的な撮像素子10を示す。撮像素子10は、半導体基板、例えば、以下でより詳細に説明するシリコン基板上に形成される。撮像素子10は、画素アレイ部11を含み、画素アレイ部11には、複数の画素110が、 $n$ 行 $m$ 列を有する $n \times m$ 行列に配置される。画素アレイ部11は、有効画素領域、及びオプティカルブラック画素領域（図示せず）を含んでもよい。有効領域内の画素110は、撮像素子によって生成される画像のビット（ドット又は画素ともいう）に対応する、画素信号を出力するように構成される。一方、オプティカルブラック領域内の画素は、各種のノイズ除去技術のための基準として用いられる、黒レベル信号を出力するように構成される。オプティカルブラック領域内の画素は、それらが入射光から遮蔽されているという点を除いては、有効画素領域内の画素110と構造的には同じである。オプティカルブラック領域は、好ましくは、画素アレイ部11の1つ以上の縁に沿って、有効画素領域の周縁に位置する。画素アレイ部11は、各種の機能を実行するように構成されるが、出力画像内のビットには対応しない、ダミー画素も含んでもよい。以下、“画素110”という用語は、明示的に別段の指示がない限り、撮像素子によって生成される画像のビットに対応する画像信号を出力する画素をいう

40

50

。各画素 110 は、光電変換機能を有する受光素子であるフォトダイオードと、以下で詳細に説明する、MOS トランジスタとを備える。

#### 【0015】

撮像素子は、好ましくは画素アレイ部 11 の周縁の周りに配置された、各種の駆動部を含む。これらの駆動部は、撮像素子の動作を制御し、個々の構成要素を区別する必要がないときには、まとめて“制御部”と呼ばれ得る。画素 110 の動作は、垂直駆動部 12 によって制御され、垂直駆動部 12 は、それぞれの画素行に接続された制御線 16 に信号を印加するように構成される。垂直駆動部 12 は、制御パルスを生成するために、当技術分野においてよく知られるアドレスデコーダ、シフトレジスタなどを含んでもよい。画素 110 から信号を読み出す動作は、カラム処理部 13 を介して実行され、カラム処理部 13 は、カラム読み出し線 17 を介してそれぞれの画素列に接続される。水平駆動部 14 は、カラム処理部 13 の読み出し動作を制御し、当技術分野においてよく知られるシフトレジスタなどを含んでもよい。システム制御部 15 は、例えば、各種のクロックパルス及び制御パルスを生成することによって、垂直駆動部 12、カラム処理部 13、及び水平駆動部 14 を制御するために提供される。カラム処理回路 13 によって読み出される信号は、水平出力線 19 を介して信号処理部 18 に出力され、信号処理部 18 は、信号を受信し、各種の信号処理機能を実行し、画像データを出力するように構成される。

#### 【0016】

上述した全体構成は、単に例示にすぎず、代替の構成も実装可能であると理解されるであろう。例えば、それぞれの列からの画像信号が、並列に信号処理を受けるように、信号処理部 18 及び / 又は記憶部 (図示せず) は、カラム処理部 13 と同様にカラム並列型で構成され得る。別の例として、信号処理部 18 及び / 又は記憶部 (図示せず) は、画素アレイ部 11 と同じ集積回路に含まれることができ、又は、画素アレイ部 11 と一体ではなく、別個の回路で提供されてもよい。

#### 【0017】

図 2 は、図 1 の撮像素子をより詳細に示す。図 2 に示すように、カラム処理部 13 は、好ましくは、各カラム 1、2、...、m 毎にアナログ - デジタル (“A/D” : analog - to - digital) コンバータ 23 - 1、23 - 2、...、23 - m を含む。以下、“A/D コンバータ 23” という用語は、それぞれの列にある個々の A/D コンバータを区別する必要がないときに用いられるものとする。A/D コンバータ 23 によって、画素信号は一度に 1 つの行から読み出されるため、A/D 変換はカラム並列型で行われる。具体的には、垂直駆動部 12 は、読み出しのために 1 度に 1 つの行を選択し、選択された行内のそれぞれの画素 110 は、接続されているそれぞれのカラム読み出し線 17 に信号を出力する。各列のための A/D コンバータ 23 は、信号に対する A/D 変換を並列に実行する。その後、水平駆動部 14 は、A/D コンバータ 23 に、連続的に (即ち、1 度に 1 つ) デジタル信号を水平出力線 19 へ出力させる。

#### 【0018】

A/D コンバータ 23 は、好ましくは、コンパレータ 31、カウンタ 32、スイッチ 33、及びメモリ (ラッチ) 34 を含む。コンパレータ 31 は、それぞれのカラム読み出し線 17 に接続される 1 つの入力と、基準信号生成部 20 によって生成される基準電圧  $V_{ref}$  に接続される他の入力とを有する。基準信号生成部 20 は、システム制御部 15 とは分離しているように示されているが、基準信号生成部 20 は、システム制御部 15 と一体であってもよい。コンパレータ 31 の出力は、カウンタ 32 に接続され、カウンタ 32 の出力は、スイッチ 33 を介してメモリ 34 に接続される。読み出し動作の間、基準信号生成部 20 は、初期時刻  $t_0$  に開始する電圧  $V_{ref}$  に、設定比率で時間にほぼ比例して大きさが変化する、ランプ電圧の形式をとらせる。カウンタ 32 は、時刻  $t_0$  にカウントを開始し、電圧  $V_{ref}$  が、カラム読み出し線 17 上で保持している電位と等しくなるとき (例えば、時刻  $t_1$ )、コンパレータ 31 は、その出力を反転させてカウンタにカウントを停止させる。したがって、カウンタ 23 のカウント値は、時刻  $t_0$  ( $V_{ref}$  の大きさが変化し始めたとき) と、時刻  $t_1$  ( $V_{ref}$  がカラム読み出し線 17 の電位と等しくな

10

20

30

40

50

るとき)との間の時間量に対応する。 $V_{ref}$ の変化の比率は、既知であるため、時刻 $t_0$ と $t_1$ との間の時間は、カラム読み出し線17の電位の大きさに対応する。よって、カラム読み出し線17のアナログ電位は、カウンタ23によって出力されるデジタル値に変換される。デジタル値は、カウンタ23によって、スイッチ33を介してメモリ34に出力され、メモリ34では、水平駆動部14が、メモリに水平出力線19を介して値を出力させるまで、デジタル値が保持される。画素にわたるリセットレベルと時間との間のいかなる変動も相殺するように、リセットレベルが画素信号から差し引かれる、相関二重サンプリング(CDS: correlated double sampling)技術が採用されてもよい。

#### 【0019】

システム制御部15は、好ましくは、システム制御部15へ入力されるマスタクロック信号MCKに基づいて、クロック信号CK並びに制御信号CS1、CS2及びCS3などの、他の各種の部分の制御するためのクロック信号及び制御信号を生成してもよい。マスタクロック信号MCKは、例えば、画素アレイ部11が含まれる集積回路以外の回路からの、例えば、撮像素子に取り付けられている装置のプロセッサからの入力であってもよい。

#### 【0020】

制御線16及びカラム読み出し線17は、好ましくは、間に層間絶縁膜を有する、互いの表面上に積層された複数の配線層に形成される。配線層は、好ましくは、表面照射型画素については半導体基板の表面側、裏面照射型画素については半導体基板の裏面側の、画素の面上に形成される。

#### 【0021】

##### [画素回路 - 全体構成及び動作]

図3は、例示的なCMOSイメージセンサ画素110aを示す。図3は、いわゆる5T(five transistor)画素を示しているが、本開示は、この点について特に限定されない。例えば、例示的なCMOSイメージセンサ画素は、3T、4T、又は6T構成など、より多くの又はより少ないトランジスタを含んでもよい。さらに、コンデンサ及び/又は抵抗器を含む、他の能動回路素子又は受動回路素子が、本開示による画素に含まれてもよい。さらに、図3には示されていないが、各種のトランジスタが、隣接する画素間で共有されてもよい。

#### 【0022】

図3に示される特定のCMOSイメージセンサ画素110aは、フォトダイオードPD、いくつかの読み出しトランジスタM1-M5、フローティングディフュージョンFD、及び出力ノードOUTを備える。例示的な画素の動作は、フォトダイオード及びフローティングディフュージョンのリセット動作で開始する。この動作では、リセットトランジスタM1及び転送トランジスタM2は、それぞれリセット信号RSG及び転送信号TGをハイ(high)にセットすることによってオンになり、それによって、上述のように、フローティングディフュージョンFDに電源電圧 $V_{dd}$ が、フォトダイオードにピンニング電圧 $V_{pin}$ がセットされる。リセット信号RSG及び転送信号TGをロー(low)にセットすることによって、それぞれリセットトランジスタM1及び転送トランジスタM2がオフになるとき、リセット動作は完了し、露光時間が開始する。露光時間の終わりに、転送信号TGを再びハイにセットすることによって、転送トランジスタM2はオンになり、転送トランジスタM2は、フォトダイオードに蓄積された電荷をフローティングディフュージョンFDに転送する。フローティングディフュージョンFDにおける電圧は、ソースフォロワトランジスタM3上のゲート電圧を制御する。画素出力は、行選択トランジスタM4がオンになるように、行選択信号ROSをハイにセットすることによって可能となる。行選択トランジスタがオンにセットされないとき、出力電圧 $V_{out}$ は、ソースフォロワトランジスタ上の電圧、及び最終的には、フローティングディフュージョン電圧に従って制御される。

#### 【0023】

10

20

30

40

50

本明細書で示される例示的な5T構成では、フォトダイオードのみのリセット動作は、単にグローバルシャッタ(global shutter)信号ABをハイにセットすること、及び、それによってグローバルシャッタトランジスタM5をオンにすることによって達成され得る。これは、リセットトランジスタM1及び転送トランジスタM2の双方を一緒にオンにする必要がある、上述のフォトダイオード及びフローティングディフュージョンのリセット動作とは対照的である。フォトダイオードのみのリセット動作によって、フォトダイオードPDが、フローティングディフュージョンFD上に保持されている電荷に影響を及ぼすことなく、肯定的にリセットされることが可能となる。

#### 【0024】

##### [ フォトダイオードの構造 - 比較例 ]

上述したように、本開示の画素110は、その全体構成に関わらず、入射光を電気信号に変換するように構成されるフォトダイオードを含む。本開示の態様の様々な利点は、フォトダイオードの構造に係る。これらの利点を理解する助けとするために、比較例は、まず、フォトダイオードが本開示の態様のものとは異なる構造を有するものについて考えるものとする。

#### 【0025】

図4は、比較となるフォトダイオード400の構造を示す。比較例では、フォトダイオード400は、基板の表面にある浅いp型フォトダイオードインプラント401と、基板の表面の下方の浅い位置にある浅いn型フォトダイオードインプラント402とを含む、基板408を備える。フォトダイオードインプラントは、浅いトレンチインプラント(STI: shallow trench implant)406によって、隣接素子から分離されている。

#### 【0026】

##### [ フォトダイオードの構造 - 例示的な実施形態 ]

本開示の原理によれば、アクティブピクセル型CMOSイメージセンサは、改善された長波長の性能を示すフォトダイオードを実装する。例示的なフォトダイオードは、浅いフォトダイオード領域及び深いフォトダイオード領域を含む。例示的なフォトダイオードの全ての領域が、フォトダイオードリセット動作の間にキャリアを完全に空乏化される。即ち、中性領域は全く残らない。

#### 【0027】

例示的なフォトダイオードは、好ましくは、中間ドーズ量の浅い幅広のフォトダイオード領域と、より低ドーズ量の深い狭ストライプフォトダイオード領域とを含み、フォトダイオード領域は、第1の(即ち、p又はn)ドーパント型を有する。例示的なフォトダイオードは、また、フォトダイオードの上面を空乏化した、反対のドーパント型の浅い高ドーズ量の空乏領域と、ストライプ側を空乏化した、反対のドーパント型の深い低ドーズ量の空乏領域と、を含む。深いフォトダイオード領域は、深く生成されたキャリアの収集を容易にするために、浅いフォトダイオード領域に連結している。

#### 【0028】

深い空乏領域は、深いフォトダイオード領域とほぼ同じ深さに形成され、少なくとも2つの側において深いフォトダイオード領域を取り囲む。深い空乏領域は、好ましくは、深いフォトダイオード領域の空乏化を容易にするために、深いフォトダイオード領域よりも高いドーズ量で行われる。深い空乏領域が浅いフォトダイオード領域を不必要に補償し、それによって電荷収集効率を低下させることを防止するために、深い空乏領域は、浅いフォトダイオード領域の下方の十分深い位置に配置される。

#### 【0029】

図5は、本開示の態様による、例示的なフォトダイオード500の構造を示す。フォトダイオード500は、“T型ウェル”構造を有し、浅い空乏インプラント(depleting implant)501、浅いフォトダイオードインプラント502、深いフォトダイオードインプラント503、及び深い空乏インプラント505を含む。フォトダイオードインプラントは、STI506によって隣接素子から分離されている。フォトダイ



オードインプラント 501 ~ 503 及び 505 は、エピタキシャル層 507 内に形成されてもよく、及び / 又は基板 508 上に形成されてもよい。さらに、フォトダイオード 500 は、ゲート酸化物層 509 を含んでもよい。図 5 に示すように、浅いフォトダイオードインプラント 502 及び深いフォトダイオードインプラント 503 は、“T”型を形成するように連結され、“T”の上部及び腕部は、浅いフォトダイオードインプラント 502 によって形成され、“T”の足は、深いフォトダイオードインプラント 503 によって形成される。

#### 【0030】

図 5 に示すように、浅い空乏インプラント 501 は、フォトダイオード 500 の幅を横切って伸び、浅いフォトダイオードインプラント 502 は、フォトダイオード 500 の幅の大部分を横切って延びる。深いフォトダイオードインプラント 503 は、浅いフォトダイオードインプラント 502 と比べて小さい幅を有し、深い空乏インプラント 505 によって少なくとも 2 つの対称側において囲まれる。言い換えると、浅いフォトダイオードインプラント 502 の長さは、深いフォトダイオードインプラント 503 の長さよりも長い。深いフォトダイオードインプラント 503 は、深い空乏インプラント 505 と実質的に同じ深さを有する。

10

#### 【0031】

フォトダイオード 500 では、フォトダイオードインプラント 502、503 は、第 1 のドーパント型で形成され、空乏インプラント 501、505 は、第 2 のドーパント型で形成される。p - n 接合を提供するために、第 1 のドーパント型及び第 2 のドーパント型は、互いに反対のドーパント型である。

20

#### 【0032】

図 6 は、本開示の別の態様による、例示的なフォトダイオード 600 を示す。フォトダイオード 600 は、“H 型ウェル”構造を有し、浅い空乏インプラント 601、浅いフォトダイオードインプラント 602、第 1 の深いフォトダイオードインプラント 603、第 2 の深いフォトダイオードインプラント 604、及び深い空乏インプラント 605 を含む。フォトダイオードインプラントは、STI 606 によって隣接素子から分離されている。フォトダイオードインプラント 601 ~ 605 は、エピタキシャル層 607 内に形成されてもよく、及び / 又は基板 608 上に形成されてもよい。さらに、フォトダイオード 600 は、ゲート酸化物層 609 を含んでもよい。図 6 に示すように、浅いフォトダイオードインプラント 602、第 1 の深いフォトダイオードインプラント 603、及び第 2 の深いインプラント 604 は、“H”型の側方を形成するように連結され、“H”の側方の上部及び下部の腕部が浅いフォトダイオードインプラント 602 及び第 2 の深いフォトダイオードインプラント 604 によってそれぞれ形成される。“H”の間接続部分は、第 1 の深いフォトダイオードインプラント 603 によって形成される。

30

#### 【0033】

図 6 に示すように、浅い空乏インプラント 601 は、フォトダイオード 600 の幅を横切って延び、浅いフォトダイオードインプラント 602 は、フォトダイオード 600 の幅の大部分を横切って延びる。第 1 の深いフォトダイオードインプラント 603 は、より小さくした幅を有し、深い空乏インプラント 605 によって少なくとも 2 つの対称側において囲まれる。言い換えると、浅いフォトダイオードインプラント 602 の長さは、第 1 の深いフォトダイオードインプラント 603 の長さよりも長い。第 1 の深いフォトダイオードインプラント 603 は、深い空乏インプラント 605 と実質的に同じ深さを有する。さらに、第 2 の深いフォトダイオードインプラント 604 は、第 1 の深いフォトダイオードインプラント 603 と比べて大きな幅を有する。言い換えると、第 2 の深いフォトダイオード領域 604 の長さは、深いフォトダイオード領域 603 の長さよりも長く、好ましくは、浅いフォトダイオード領域 602 の長さと同しくてもよい。第 2 の深いフォトダイオード領域 604 は、深い空乏領域 605 よりも深い。第 2 の深いフォトダイオード領域 604 は、フォトダイオード 600 の標準的な電圧リセットの間にキャリアを完全に空乏化させるのに十分な薄さで、十分低いドーピングである。

40

50

## 【0034】

フォトダイオード600では、フォトダイオードインプラント602～604は、第1のドーパント型で形成され、空乏インプラント601、605は、第2のドーパント型で形成される。p-n接合を提供するために、第1のドーパント型及び第2のドーパント型は、互いに反対のドーパント型である。

## 【0035】

フォトダイオード600は、十分に低いピンニング電圧を達成するために、その形成中により複雑な処理を必要とする可能性があるが、フォトダイオード領域の広い領域が、QE及びMTFの改善をもたらす。

## 【0036】

図7～8は、裏面照射構成における例示的なフォトダイオード700、800を示す。具体的には、図7は、フォトダイオード700が裏面照射用に構成されることを除いては、フォトダイオード500と類似の構造を有するフォトダイオード700を示し、一方、図8は、フォトダイオード800が裏面照射用に構成されることを除いては、フォトダイオード600と類似の構造を有するフォトダイオード800を示す。

## 【0037】

図7では、基板508のような基板を含むのではなく、フォトダイオード700は、受光面として作動する裏面誘導体708を含む。同様に、図8では、基板608のような基盤を含むのではなく、フォトダイオード800は、受光面として作動する裏面誘導体808を含む。

## 【0038】

図7～8は、裏面照射構成を有するそれぞれのフォトダイオードの特定の実装を示しているが、本開示は、図示された構造そのものに限定されない。他の裏面照射の変化形（例えば、センサの厚さ、光学スタック等の変化形）について、当業者によって容易に理解されるであろう。

## 【0039】

上記の好ましいフォトダイオードにおけるフォトダイオード領域は、“インプラント（implant）”と呼ばれるが、本開示は、実装方法によって形成される領域に限定されない。本開示の様々な態様では、フォトダイオード領域は、エピタキシャル成長、イオン注入、ドーパント拡散、又は半導体p-n接合を形成する他の任意の既知の方法によって、形成され得る。

## 【0040】

図5～8に示す深いフォトダイオードは、比較となるフォトダイオードと比べて、NIR照射に対する高い感度及び高いMTFを有するだけでなく、良好な画素の動作のための十分低いピンニング電圧をも有する。この利点及び他の利点は、キャリアがフォトダイオードによって収集されるように拡散されなければならないことを、少なくとも減少された距離の結果として実現される。一方、低いピンニング電圧は、複数の側面から深いフォトダイオードインプラントを空乏化する深い空乏インプラントの結果として実現される。

## 【0041】

## [フォトダイオード製造プロセス]

好ましくは、深いフォトダイオード及び空乏インプラントは、製造プロセスの初期、即ち、ゲート酸化物の形成より前に実行される。この方法では、追加のサーマルバジェットは、フォトダイオードインプラントを深くすることの助けとなり、さらに、MTF性能を改善する。さらに、この方法では、インプラント障害は、よりよく防止され、及び/又はアニールアウトされ得る。あるいは、深いフォトダイオード及び/又は深い空乏インプラントのいずれかが、ゲート形成の後に行われ得る。この方法では、よりはっきりしたp-n接合が実現される可能性があるが、インプラントは深く拡散されない可能性があり、それによって、NIR改善がより小さくなる。

## 【0042】

図9は、本開示の様々な態様による、撮像素子製造のための例示的な処理を示す。

## 【 0 0 4 3 】

ステップ S 9 0 1 で、S T I 分離領域が形成される。ステップ S 9 0 2 で、周縁におけるフォトダイオード分離及び / 又はウェル形成のための p ウェルインプラントが形成され、又は与えられる。ステップ S 9 0 3 で、(例えば、周縁における n ウェル形成のための) n ウェルインプラントが形成される。ステップ S 9 0 4 で、深い p 型インプラントが形成される(例えば、深い空乏インプラント)。ステップ S 9 0 5 で、深い n 型インプラントが形成される(例えば、深いフォトダイオードインプラント、又は第 1 の及び第 2 の深いフォトダイオードインプラント)。ステップ S 9 0 6 で、ゲートスタックが(例えば、ゲート酸化物層を含んで)形成される。ステップ S 9 0 7 で、浅い p 型及び n 型インプラントが形成される(例えば、浅いフォトダイオードインプラント及び浅い空乏インプラント)。ステップ S 9 0 8 で、N F E T 低濃度ドレイン(L D D : l i g h t l y d o p e d d r a i n)インプラントが(例えば、トランジスタ M 1 ~ M 5 の N M O S トランジスタに対応して)形成される。ステップ S 9 0 9 で、P F E T L D D インプラントが、(例えば、トランジスタ M 1 ~ M 5 の P M O S トランジスタに対応して)形成される。ステップ S 9 1 0 で、スペーサ素子が形成される。ステップ S 9 1 1 で、n 型ソース / ドレインインプラント(S D N)及び p 型ソース / ドレインインプラント(S D P)が、(例えば、トランジスタ M 1 ~ M 5 に対応して)形成される。

10

## 【 0 0 4 4 】

## [ 電子機器 ]

電子機器は、上述した撮像素子 1 0 を含むように構成され得る。例えば、電子機器は、デジタルカメラ(静止画を撮るように構成されるカメラ、及び動画を撮るように構成されるカメラの両方を含む)、携帯電話、スマートフォン、タブレット装置、携帯情報端末(P D A : p e r s o n a l d i g i t a l a s s i s t a n t)、ラップトップコンピュータ、デスクトップコンピュータ、ウェブカメラ、望遠鏡、科学実験用センサ、並びに、光を検知し、及び / 又は画像をキャプチャするのに有利であり得る任意の電子機器を含み得る。

20

## 【 0 0 4 5 】

例示的な電子機器を、デジタルカメラの形態で図 1 0 に示し、以下でより詳細に説明する。一方、撮像素子 1 0 が、図 1 0 に示すカメラの特徴と類似の特徴を有する別の電子機器において提供され得ること、並びに、電子機器が、図 1 0 に示していない追加的な特徴を含んでもよく、及び / 又は図 1 0 に示すある特徴を、必要に応じて省いてもよいことを、当業者であれば理解するであろう。

30

## 【 0 0 4 6 】

図 1 0 は、撮像素子 1 0 1 0 に光を導くように構成される光学系 1 0 0 1 を備えるカメラ 1 0 0 0 を示す。撮像素子 1 0 1 0 は、好ましくは、図 1 ~ 3 及び図 5 ~ 8 に関して上述した種類の撮像素子である。特に、光学系 1 0 0 1 は、好ましくは、撮像素子 1 0 1 0 の入射光側付近の焦点で、入射光の焦点を合わせるように構成される、対物レンズ(図示せず)を含んでもよい。対物レンズは、単一のレンズ、1 つのレンズ群、又は複数のレンズ群を含んでもよい。例えば、ズームイン又はズームアウトするために、その中の複数のレンズ群が互いに対し移動可能であるズームレンズが提供されてもよい。さらに、例えば、対物レンズ及び / 又は撮像素子 1 0 1 0 を互いに対して移動することによって、カメラに焦点調整機能を提供するように、焦点調整機構が提供されてもよい。

40

## 【 0 0 4 7 】

さらに、デジタル信号処理部(D S P : d i g i t a l s i g n a l p r o c e s s i n g) 1 0 0 2 は、撮像素子 1 0 1 0 から受信する信号に対して信号処理を実行するために(例えば、撮像素子 1 0 1 0 からの信号及び出力データを受信するために)提供され得る。記憶部 1 0 0 3 は、撮像素子 1 0 1 0 によって生成されるデータを記憶するために提供され得る。制御部 1 0 0 4 は、撮像素子 1 0 1 0 の動作を制御するために提供され得る。電源部 1 0 0 5 は、撮像素子 1 0 1 0 に電源を供給するために提供され得る。出力部 1 0 0 5 は、キャプチャされた画像データを出力するために提供され得る。個々の部分

50

は、1つ以上の他の部分と連携してもよく、又は、個々の部分はそれぞれ別の集積回路であってもよい。個々の部分は、有線又は無線接続を含むバス1009を介して互いに接続されてもよい。制御部1004は、非一時的なコンピュータ可読媒体、例えば、記憶部1003に含まれるメモリ上に記憶されている命令を実行するプロセッサを含んでもよい。出力部1006は、記憶されたデータの外部装置への送信を容易にするため、及び/又は、記憶されたデータを画像として表示装置に表示するためのインタフェースであってもよい。表示装置は、カメラ1000から分離して提供されてもよく、又は、カメラ1000と一体で提供されてもよい。

#### 【0048】

撮像素子1010自体は、画素アレイによって生成される画素信号の信号処理を実行するために各種の部分を含んでもよく、及び/又は信号処理部は、撮像素子1010とは別の電子機器において提供されてもよい。好ましくは、撮像素子1010自体は、少なくともいくつかの信号処理機能、特に、A/D変換及びCDSノイズ除去を実行する。電子機器はまた、好ましくは、例えば、プロセッサを介して、及び/又はビデオエンコーダ/デコーダユニットなどの専用信号処理部を介して、撮像素子1010からの生データを画像/映像記憶フォーマット（例えば、MPEG-4又は任意の既知のフォーマット）に変換する、いくつかの信号処理機能を実行してもよい。

#### 【0049】

概して、上述の電子機器のうちのいくつかのようなコンピューティングシステム及び/又はコンピューティングデバイスは、マイクロソフトウィンドウズ(Microsoft Windows(R))オペレーティングシステム、Unix(登録商標)オペレーティングシステム(例えば、California州Redwood Shoresのオラクル社(Oracle Corporation)によって供給されているSolaris(R)オペレーティングシステム)、New York州ArmonkのIBM(International Business Machines)によって供給されているAIX UNIX(登録商標)オペレーティングシステム、Linux(登録商標)オペレーティングシステム、California州Cupertinoのアップル社(Apple Inc.)によって供給されているMac OS X及びiOSオペレーティングシステム、カナダWaterlooのRIM(Research In Motion)によって供給されているBlackBerry OS、並びにオープン・ハンドセット・アライアンス(Open Handset Alliance)によって供給されているAndroidオペレーティングシステムのバージョン及び/又は種類を含むが、限定されるものではない、いくつかのコンピュータオペレーティングシステムのうちのいずれかを採用することができる。

#### 【0050】

コンピューティングデバイスは、概して、コンピュータ実行可能な命令を含み、命令は、上記で掲げたもののように、1つ以上のコンピューティングデバイスによって実行可能であり得る。コンピュータ実行可能な命令は、Java(TM)、C、C++、C#、Objective C、Visual Basic、Java Script(登録商標)、Perlなどの単独の又は組み合わせのいずれかをを含むが限定はされない、様々なプログラミング言語及び/又はプログラミング技術を用いて生成されるコンピュータプログラムからコンパイルされ、又は解釈実行され得る。概して、プロセッサ(例えば、マイクロプロセッサ)は、例えば、メモリ、コンピュータ可読媒体などから命令を受信し、それらの命令を実行し、それによって、本明細書で説明したプロセスのうち1つ以上を含む、1つ以上のプロセスを実行する。そのような命令及び他のデータは、様々なコンピュータ可読媒体を用いて記憶され送信され得る。

#### 【0051】

コンピュータ可読媒体(プロセッサ可読媒体ともいう)は、コンピュータによって(例えば、コンピュータのプロセッサによって)読まれることができるデータ(例えば、命令)の提供に関与する、任意の非一時的(例えば、有形の)媒体を含む。そのような媒体は

、不揮発性媒体及び揮発性媒体を含むが限定はされない、多くの形式をとることができる。不揮発性媒体は、例えば、光ディスク又は磁気ディスク、及び他の永続メモリを含み得る。揮発性媒体は、例えば、典型的にメインメモリを構成する、D R A M ( d y n a m i c R a n d o m a c c e s s m e m o r y ) を含み得る。そのような命令は、コンピュータのプロセッサに連結されるシステムバスを備えるケーブルを含む、同軸ケーブル、銅線及びファイバオプティクスを含む、1つ以上の送信媒体によって送信され得る。コンピュータ可読媒体の共通の形式は、例えば、フロッピーディスク、フレキシブルディスク、ハードディスク、磁気テープ、他の任意の磁気媒体、C D - R O M、D V D、他の任意の光媒体、パンチカード、紙テープ、穴のパターンを有する他の任意の物理的媒体、R A M、P R O M、E P R O M、F L A S H - E E P R O M、他の任意のメモリチップ、若しくはメモリカートリッジ、又はコンピュータが読み取ることができる他の任意の媒体を含む。

10

#### 【0052】

本明細書で述べたプロセス、システム、方法、発見的教授法などに関して、そのようなプロセスなどのステップは、ある順序付けされたシーケンスにしたがって発生するものとして説明されたが、そのようなプロセスは、本明細書で述べた順序ではない順序で実行される、説明済みのステップで実施され得ると理解すべきである。あるステップは、同時に実行されることができ、他のステップが追加されることができ、又は、本明細書で述べたあるステップは省略され得ると、さらに理解すべきである。言い換えると、本明細書中のプロセスの説明は、ある実施形態を説明する目的で提供され、決して特許請求の範囲を限定するように解釈されるべきではない。

20

#### 【0053】

したがって、上記説明は、説明を意図するものであって、限定を意図したものではないと理解されるべきである。提供された例ではない多くの実施形態及び適用は、上記説明を読むと明らかであろう。範囲は、上記説明を参照することなく決定されるべきであるが、むしろ、添付の特許請求の範囲を参照して、そのような特許請求の範囲が権利を与えられる均等物の全範囲とともに、決定されるべきである。本明細書で論じられた技術において今後の発展が起こるであろうということ、及び開示されたシステム及び方法が、そのような今後の実施形態に組み込まれるであろうということが、期待され予定される。要するに、本出願は、修正及び変更可能であると理解されるべきである。

30

#### 【0054】

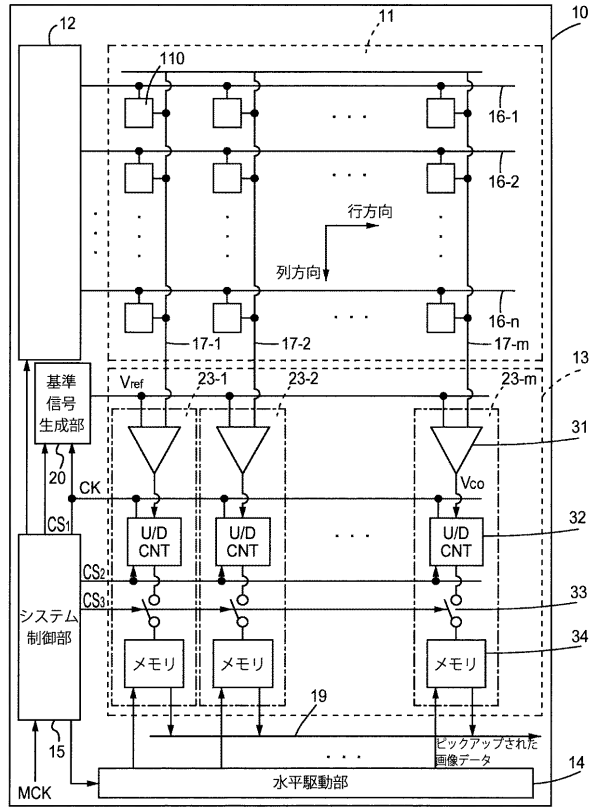
特許請求の範囲において使用される全ての用語は、本明細書において明示的に逆の指示が行われない限り、本明細書に記載の技術における知識を有する者によって理解される、その最も広範囲な合理的構成と、その通常の意味を与えられると意図される。特に、“a”、“the”、“said”などの単数冠詞の使用は、特許請求の範囲が、逆に明示的な制限を列挙しない限り、示された要素のうちの1つ又は複数を列挙するように読まれるべきである。

#### 【0055】

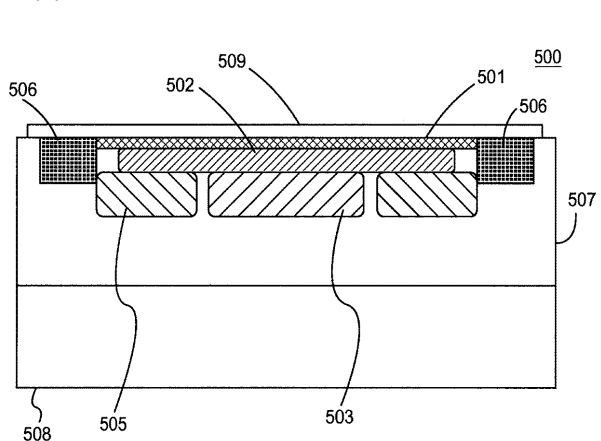
開示の要約は、読者が技術的開示の性質をすぐに確認できるようにするために提供される。それは、特許請求の範囲又は意味を解釈するため、又は限定するために使用されるものではないという理解で提示される。さらに、前述の詳細な説明では、様々な特徴が、開示を合理化する目的で、様々な実施形態において互いにグループ化されていることが分かる。この開示の方法は、クレームされる実施形態が、各請求項に明示的に列挙されているよりも多くの特徴を必要とするという意図を反映するものとして、解釈されるべきではない。むしろ、以下の請求項に反映されるように、発明の主題は、単一の開示された実施形態の全ての特徴よりも少ないことにある。したがって、以下の請求項は、別々に請求される主題として各請求項が独立して、詳細な説明に組み込まれる。

40

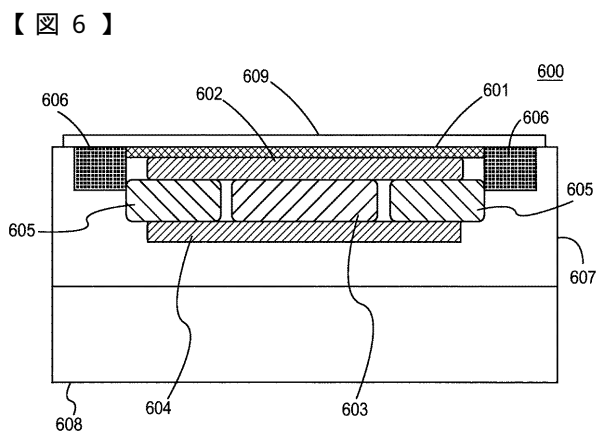
【圖 2】



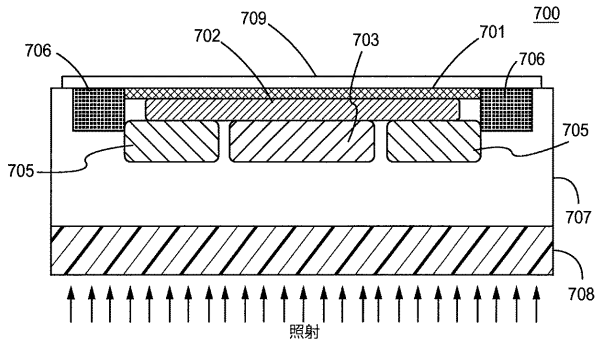
【 図 5 】



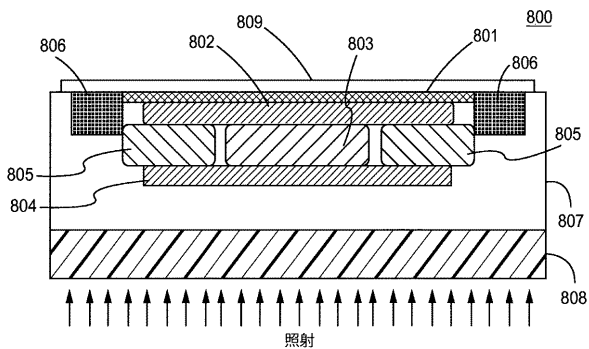
500



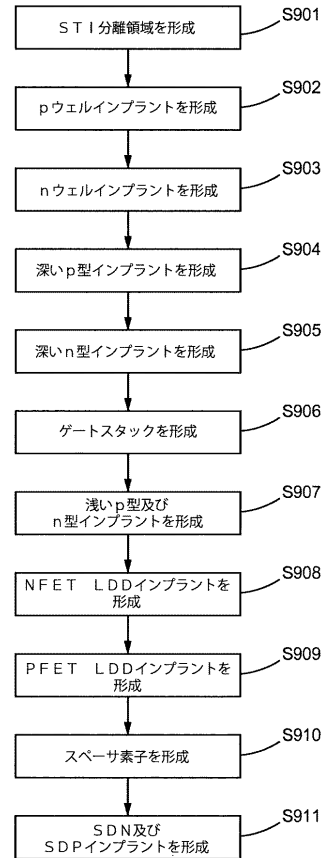
【図 7】



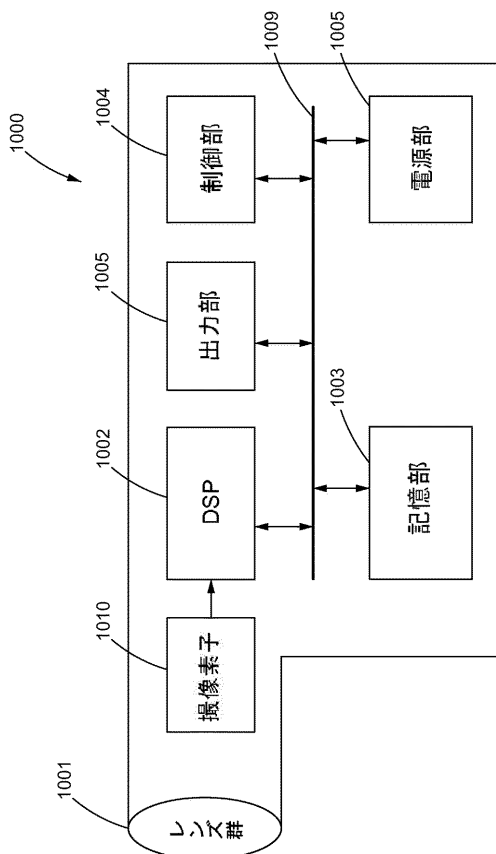
【図 8】



【図 9】



【図 10】



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/US15/23107

## A. CLASSIFICATION OF SUBJECT MATTER

IPC(8) - H04N 5/335, 9/04, 9/083 (2015.01)

CPC - H01L 27/146; H04N 3/14, 9/083

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC(8) Classification(s): H04N 9/083, 9/04, 5/335, 3/14; H01L 31/113, 31/062 (2015.01)

CPC Classification(s): H01L 27/146, 29/768, 27/148, 31/09; H04N 9/083, 3/14, 5/335, 9/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

PatSeer (US, EP, WO, JP, DE, GB, CN, FR, KR, ES, AU, IN, CA, INPADOC Data); Google; Google Scholar; ProQuest; KEYWORDS: photodiode, shallow, deep, layer, stacked, depletion, NIR, infrared, oxide, backside illumination, fabrication, width, well

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 8,274,587 B2 (HYNECEK, J.) September 25, 2012; figure 2; column 3, lines 1-3; column 3, lines 4-5; column 2, lines 59-60; column 3, lines 17-20; column 3, lines 19-20; column 2, lines 59-60; column 4, lines 48-62; column 5, lines 8-11; column 5, lines 3-5; column 2, lines 62-64; column 4, lines 16-39; column 7, lines 12-26; column 5, lines 43-47; column 7 lines 28-29	1-21
A	US 6,489,643 B1 (LEE, J. et al.) December 03, 2002; column 2, lines 8-12	1, 12
A	US 7,498,650 B2 (LAUXTERMAN, S.) March 03, 2009; figure 2; column 3, lines 43-45	1, 12
A	US 2003/0096443 A1 (HWANG, J) May 22, 2003; figure 2; paragraph [0026]	1, 12

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

11 June 2015 (11.06.2015)

Date of mailing of the international search report

06 JUL 2015

Name and mailing address of the ISA/

Mail Stop PCT, Attn: ISA/US, Commissioner for Patents

P.O. Box 1450, Alexandria, Virginia 22313-1450

Facsimile No. 571-273-8300

Authorized officer

Shane Thomas

PCT Helpdesk: 571-272-4300

PCT OSP: 571-272-7774

Form PCT/ISA/210 (second sheet) (January 2015)



## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(特許庁注：以下のものは登録商標)

1. VISUAL BASIC

2. BLACKBERRY

3. ANDROID

(72)発明者 ブラディ フレデリック

アメリカ合衆国 カリフォルニア州 94043 マウンテン・ビュー チャールストン・ロード  
1395 ピクシム インコーポレイテッド内

(72)発明者 コーヘン ミュリエル

イスラエル国 ラーナナ 43663 私書箱2457 エントランス ビー ハイエツィラ 5  
ピクシム イスラエル リミティッド内

(72)発明者 アイアーズ トーマス リチャード

アメリカ合衆国 カリフォルニア州 94043 マウンテン・ビュー チャールストン・ロード  
1395 ピクシム インコーポレイテッド内

(72)発明者 ホワン スニン

アメリカ合衆国 カリフォルニア州 94043 マウンテン・ビュー チャールストン・ロード  
1395 ピクシム インコーポレイテッド内

Fターム(参考) 4M118 AA02 AB01 BA14 CA03 CA18 DD04 FA06 FA28 GA02 GB09

5C024 AX06 CX43 CY47 EX42 GX03 GX16 GX24 GY31

5F849 AA02 AB02 BB03 KA20 LA01