

[19] 中华人民共和国国家知识产权局

[ 51 ] Int. Cl<sup>7</sup>

H01L 27/04

H01L 21/82 H01L 21/66

H05K 1/11



# [12] 发明专利说明书

[21] ZL 专利号 99813527.5

[45] 授权公告日 2004 年 6 月 23 日

[11] 授权公告号 CN 1155089C

[22] 申请日 1999. 11. 19 [21] 申请号 99813527.5

[30] 优先权

[32] 1998. 11. 20 [33] JP [31] 331384/1998

[86] 国际申请 PCT/JP1999/006480 1999. 11. 19

[87] 国际公布 WO2000/031799 日 2000. 6. 2

[85] 进入国家阶段日期 2001. 5. 21

[71] 专利权人 索尼计算机娱乐公司

地址 日本东京都

[72] 发明人 川井英次

审查员 陈 源

[74] 专利代理机构 北京市柳沈律师事务所

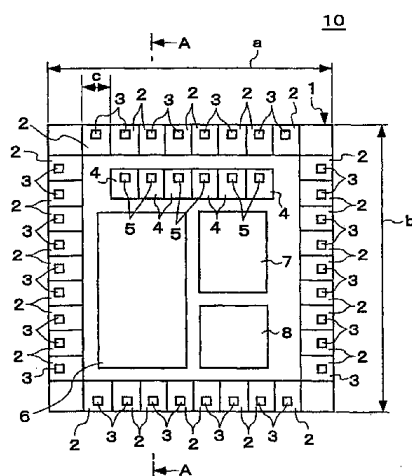
代理人 杨 梧

权利要求书 2 页 说明书 9 页 附图 10 页

[54] 发明名称 集成电路芯片、集成电路元件、印刷电路板及电子设备

[57] 摘要

一种集成电路芯片，可避免焊盘颈，将芯片尺寸设计为对应电路规模的最佳大小。本申请的集成电路芯片在基板 1 上具有电路模块 6、7、8 和用于对电路模块 6、7、8 输入输出信号的输入输出端子 2、4。输入输出端子 2、4 包括用于在电路模块 6、7、8 动作时输入输出信号的动作时用输入输出端子 2、和用于检查电路模块 6、7、8 的检查用输入输出端子 4。动作时用输入输出端子 2 沿基板 1 的边缘排列配置在基板 1 上，检查用输入输出端子 4 及电路模块 6、7、8 配置在基板上的动作时用输入输出端子 2 的内侧的区域。动作时用输入输出端子 2 利用键合线 14 和引线 12 连接，而检查用输入输出端子 4 不和引线 12 连接。



1、一种集成电路芯片，包括：基板；电路模块，形成于所述基板上；以及输入输出端子，用于对所述电路模块输入输出信号，其特征在于，

5 所述输入输出端子包括用于在所述电路模块多个动作时输入输出信号的动作时用输入输出端子、和用于检查所述电路模块的多个检查用输入输出端子，

10 所述多个动作时用输入输出端子沿所述基板的边缘呈一系列并排配置在所述基板上，所述电路模块配置在所述基板上的所述多个动作时用输入输出端子的内侧的区域，在全部所述多个检查用输入输出端子和与所述电路模块呈一系列并排的所述多个动作时用输入输出端子之间，所述多个动作时用输入输出端子在并排的方向和平行的方向并列配置。

2、如权利要求1所述的集成电路芯片，其特征在于，所述动作时用输入输出端子无间隙地呈一系列沿所述基板的边缘排列。

15 3、如权利要求1所述的集成电路芯片，其特征在于，所述动作时用输入输出端子具有键合用焊盘，所述检查用输入输出端子具有用于使探针接触的焊盘。

4、一种集成电路芯片，包括：基板；电路模块，形成于所述基板上；以及输入输出端子，用于对所述电路模块输入输出信号，其特征在于，

20 所述输入输出端子包括利用键合线与外部导电部件连接的键合用输入输出端子、和不利用所述键合线与外部导电部件连接的非键合用输入输出端子，

25 所述键合用输入输出端子沿所述基板的边缘排列配置在所述基板上，所述非键合用输入输出端子及所述电路模块配置在基板上的所述键合用输入输出端子的内侧的区域。

5、一种集成电路元件，包括集成电路芯片、引线、密封所述集成电路芯片和所述引线的一部分的封装，所述集成电路芯片包括：基板；电路模块，形成于所述基板上；以及输入输出端子，用于对所述电路模块输入输出信号，其特征在于，

30 所述输入输出端子包括用于在所述电路模块动作时输入输出信号的动作时用输入输出端子、和用于检查所述电路模块的检查用输入输出端子，

所述动作时用输入输出端子沿所述基板的边缘排列配置在所述基板上，

所述检查用输入输出端子及所述电路模块配置在基板上的所述动作时用输入输出端子的内侧的区域。

6、如权利要求5所述的集成电路元件，其特征在于，所述动作时用输入输出端子与所述引线连接，所述检查用输入输出端子不与所述引线连接。

5 7、如权利要求6所述的集成电路元件，其特征在于，所述检查用输入输出端子具有用于使探针接触的焊盘。

8、如权利要求6所述的集成电路元件，其特征在于，所述动作时用输入输出端子具有键合焊盘，所述键合焊盘与所述引线利用键合线连接。

9、如权利要求5所述的集成电路元件，其特征在于，所述动作时用输入输出端子无间隙地呈一系列沿所述基板的边缘排列。

10、一种印刷电路板，其具有集成电路元件和搭载该集成电路元件的电路基板，所述集成电路元件包括集成电路芯片、引线、密封所述集成电路芯片和所述引线的一部分的封装，所述集成电路芯片包括：基板；电路模块，形成于所述基板上；以及输入输出端子，用于对所述电路模块输入输出信号，

15 所述输入输出端子包括用于在所述电路模块动作时输入输出信号的动作时用输入输出端子、和用于检查所述电路模块的检查用输入输出端子，

所述动作时用输入输出端子沿所述基板的边缘排列配置在所述基板上，所述检查用输入输出端子及所述电路模块配置在基板上的所述动作时用输入输出端子的内侧的区域，其特征在于，

20 所述电路基板包括印刷布线，该印刷布线与所述集成电路元件的所述引线电连接。

11、一种电子设备，其具有集成电路元件和搭载该集成电路元件的电路基板，所述集成电路元件包括集成电路芯片、引线、密封所述集成电路芯片和所述引线的一部分的封装，所述集成电路芯片包括：基板；电路模块，形成于所述基板上；以及输入输出端子，用于对所述电路模块输入输出信号，

25 所述输入输出端子包括用于在所述电路模块动作时输入输出信号的动作时用输入输出端子、和用于检查所述电路模块的检查用输入输出端子，

所述动作时用输入输出端子沿所述基板的边缘排列配置在所述基板上，所述检查用输入输出端子及所述电路模块配置在基板上的所述动作时用输入输出端子的内侧的区域，其特征在于，

30 所述电路基板上具有印刷布线，该印刷布线与所述集成电路元件的所述引线电连接。

## 集成电路芯片、集成电路元件、印刷电路板及电子设备

### 5 技术领域

本发明涉及集成多个电路模块的集成电路芯片、封装所述集成电路芯片的集成电路元件及搭载所述集成电路元件的电子设备。

### 背景技术

10 近年来，在集成电路领域中，随着半导体材料的加工工艺的进步，设计规则不断细化，单位面积可集成的电路规模不断增大。因此，如果是相同的电路规模，则较之以往可减少集成电路芯片的尺寸。而集成电路中的数字信号处理电路的数据总线宽度也比以往增大了。这样由于集成密度的增大和数据总线宽度的增大这两者的复合效果，芯片内的集成电路和外部的信号输入

15 输出所需的输入输出端子(I/O 端子)的数量就只能增加。以往，I/O 端子是在芯片上沿边缘排列成一行而配置的。例如，在芯片形状为方形时，是在其四边无间隙地配置的。I/O 端子通常具有键合焊盘和缓冲电路。缓冲电路是用于保护芯片内部的电路模块不受外部噪音等干扰的电路，由容量较大的晶体管等构成。

20 将集成电路芯片搭载于电子设备的印刷电路板上，大致有两种方法。

其一是将集成电路芯片密封在树脂等封装内形成集成电路元件，将集成电路元件搭载在印刷电路板等上的方法。这种情况下，芯片的 I/O 端子内的键合焊盘和配置在封装上的外部引出用端子利用键合线连接，连接部密封在封装内。通过将外部引出用端子和印刷电路板连接，连接集成电路芯片和印

25 刷电路板。这种情况下，芯片上的电路模块等由封装保护，故具有可提高可靠性的优点。

另一种方法是将芯片直接键合在印刷电路板上的、所谓直接键合方法。直接键合不将芯片封入封装内，而是在所谓裸片(bare chip)状态下直接键合在印刷电路板上，所以不需要封装的部分，可使集成电路芯片配置在印刷

30 电路板上所需要的面积减小，而且具有不需要封装成本的优点。

### 发明内容

如上所述，由于半导体工艺的微细化，芯片内的电路模块的尺寸近年来正向微小化发展，但是，I/O端子的间距并未相应地比以往减小。这是由于，在进行键合线键合时，为了避免相邻的键合线之间的短路及键合线和相邻的引线之间的短路，键合线相互间的间隔和键合线与相邻的引线之间的间隔不能窄到一定程度以下。

因此，在I/O端子数多的芯片中，会产生即使由芯片内部的电路模块的大小决定芯片尺寸，芯片的外周长度也不足排列I/O端子所需的长度的现象。这种情况下，就会产生不得不由I/O端子的数量决定芯片尺寸而不能使芯片尺寸小于该尺寸的、所谓焊盘颈(neck)现象。焊盘颈的芯片是大于内部的电路模块所需的芯片尺寸的芯片，故与I/O端子无间隙地挤在周围的情况相对，芯片内部却产生了未配置任何电路模块的所谓空区域。

这样，当芯片尺寸大于实际的电路模块所需的尺寸以上时，就会形成高成本芯片。

本发明就是鉴于上述情况而开发的，其目的在于，提供一种集成电路芯片，可避免焊盘颈，可将芯片尺寸设定为对应电路规模的最佳大小。

为了实现上述目的，根据本发明，提供以下的集成电路芯片。

该集成电路芯片包括：基板；电路模块，形成于所述基板上；以及输入输出端子，用于对所述电路模块输入输出信号，其特征在于，

所述输入输出端子包括用于在所述电路模块动作时输入输出信号的动作时用输入输出端子、和用于检查所述电路模块的检查用输入输出端子，

所述多个动作时用输入输出端子沿所述基板的边缘呈一系列并排配置在所述基板上，所述电路模块配置在所述基板上的所述多个动作时用输入输出端子的内侧的区域，在全部所述多个检查用输入输出端子和与所述电路模块呈一系列并排的所述多个动作时用输入输出端子之间，所述多个动作时用输入输出端子在并排的方向和平行的方向并列配置。

#### 附图说明

图1是显示作为本发明实施例1的集成电路芯片10的结构的上面图；

图2是显示封装了图1的集成电路芯片10的集成电路元件20的结构的剖面图；

图3(a)是图1的集成电路芯片10的A-A剖面图；

图3(b)是图2的集成电路元件20的B-B剖面图；

图4是本发明实施例1中集成电路芯片10的制造工序所用的测试卡40的结构的上面图；

图 5 是本发明实施例 2 的搭载集成电路元件 20 的印刷电路板 50 的结构的上图；

图 6 是本发明实施例 2 的搭载印刷电路板 50 的电子设备 100 的前面图和操作装置 200 的上图；

5 图 7 是本发明实施例 2 的电子设备 100 的立体图；

图 8 是本发明图 7 的电子设备 100 的 C-C 剖面图；

图 9(a)是比较例的集成电路芯片 90 的结构说明图；

图 9(b)是比较例的集成电路芯片 91 的结构说明图；

图 10(a)是比较例的集成电路芯片 91 的 I/O 端子 2 的详细配置说明图；

10 图 10(b)是比较例的集成电路芯片 92 的 I/O 端子 2 的详细配置说明图。

### 具体实施方式

下面说明本发明的一实施例。

首先，作为实施例 1，参照图 1、图 2、图 3(a)、图 3(b)说明集成电路芯片 10 及封装了芯片 10 的集成电路元件 20。

如图 1、图 3(a)所示，集成电路芯片 10 包括横长  $a \times$  纵长  $b$  的方形半导体基板 1 和无间隙地以间距(ピッチ) $c$  呈一系列配置在其四边的 34 个 I/O 端子 2。在由 I/O 端子 2 包围的内部区域配置有电路模块 6、7、8 和 6 个 I/O 端子 4。

20 I/O 端子 2 在该芯片 10 装在(mount)印刷电路板等上时，通过键合线或引线等与印刷电路板的布线电连接，是由此在电路模块 6、7、8 动作时进行信号输入输出的用户用 I/O 端子(或动作时用 I/O 端子)。而 I/O 端子 4 是用户用 I/O 端子 2 以外的、从用户来看与集成电路芯片 10 的功能及规格无关的 I/O 端子，是在封装的芯片 10 的电路模块 6、7、8 正常动作时不使用的端子。

25 I/O 端子 4 例如是在芯片 10 制造中途或出厂前的检查中为检查电路模块 6、7、8 是否正常动作而输入输出信号的测试用 I/O 端子、在集成电路芯片 10 制造中为检查成膜及蚀刻等制造条件而用的 I/O 端子、修复或 BIST(Built-in Self Test: 内置自测试)/BISR(Built-in Self Repair: 内置自修复)用的 I/O 端子等。以下，I/O 端子 4 也称作测试用 I/O 端子。

30 I/O 端子 2 包括用于键合线键合的键合焊盘 3 和连接键合焊盘 3 及电路模块 6、7、8 的缓冲电路(未图示)。I/O 端子 4 包括用于测试时使探针接触的测试用焊盘 5 和连接测试焊盘 5 及电路模块 6、7、8 的缓冲电路。I/O 端子

2、4的缓冲电路由晶体管等构成，用于保护电路模块6、7、8不受外部噪音信号等的干扰。

虽在图1中未图示，但是，芯片10的上面由树脂制的保护膜9覆盖(图3(a))。在该保护膜9上，在键合焊盘3及测试用焊盘5的部分设有通孔，使5键合焊盘3及测试用焊盘5的上面露出。

下面参照图2、图3(b)说明封装了芯片10的集成电路元件20。

集成电路元件20包括芯片10、搭载芯片10的岛11、引线12及密封它们的树脂性封装13。各引线12利用键合线14分别和芯片10的I/O端子2的键合焊盘3连接。

10 I/O端子4的焊盘5未和引线12连接。这是由于，I/O端子4如上所述是动作测试用的端子等，故不需要与印刷电路板的布线连接的缘故。

下面说明上述芯片10及集成电路元件20的制造方法。

首先，对电路模块6、7、8和I/O端子2、4的电路结构及基板1上的布置进行设计。此时，将芯片10所需的I/O端子分出有必要连接在封装后的印刷电路板上的用户用I/O端子2和用于测试等不必与印刷电路板连接的测试用I/O端子4。然后，将用户用I/O端子2如图1所示无间隙地呈一列布置在基板1的周围，将电路模块6、7、8及测试用I/O端子4配置在用户用I/O端子2包围的内部区域上。基板1的大小采用该配置所需要的最小尺寸 $a \times b$ 。

20 基板1采用半导体晶片，利用成膜、扩散及光刻法等半导体技术，将电路模块6、7、8和I/O端子2、4形成在基板1上。然后形成保护膜9。再将半导体晶片切块，切出 $a \times b$ 大小的基板1，完成芯片10。

在切块之前或之后，为了确认电路模块6、7、8的动作，使用图4所示的测试卡进行测试。

25 测试卡40其中央具有开口43，在开口43的周围嵌入有探针41、42。另外，在图4中，按图示的情况，显示出的探针41、42的数量较少，但实际上，探针41的数量与芯片10的用户用I/O端子2的数量相同。探针42的数量与芯片10的测试用I/O端子4的数量相同。探针41、42的前端朝向开口43的中央的配置芯片10的区域集中。探针41的前端按一定的间隔配置，从而分别与芯片10周围的I/O端子2的键合焊盘3接触。探针42的前端配置为与芯片10的内部区域的I/O端子4的测试用焊盘5分别接触。

30 这样，通过将切块前的半导体晶片或切块后的芯片10配置在测试卡40

的开口 43 的中央部,使探针 41、42 分别与键合焊盘 3 及测试用焊盘 5 接触,可经探针 41、42 自外部电路向电路模块 6、7、8 进行信号的输入输出。从而,可进行制造条件的检查,测试电路模块 6、7、8 的动作并检查成膜及蚀刻等是否完全符合设计等。

5        然后,封装芯片 10。首先,在将芯片 10 模片键合(Die Bonding)在引线框的岛 11 上之后,用键合线 14 将用户用 I/O 端子 2 的键合焊盘 3 和引线框的引线 12 键合连接(图 2)。在测试用 I/O 端子 4 的焊盘 5 上不进行键合。然后,将芯片 10 及引线 12 的连接部封闭在树脂制的封装 13 内,将引线 12 及岛 11 自引线框切开。将引线 12 折弯,完成集成电路元件 20。

10       如上所述,本实施例的芯片 10 是将 I/O 端子分为用户用 I/O 端子 2 及测试用 I/O 端子 4,并仅将用户用 I/O 端子 2 排列在芯片 10 的周围的结构。因此,与将所有的 I/O 端子排列在芯片的周围的现有芯片相比,可减小芯片尺寸。另外,由于在芯片 10 中需要键合的 I/O 端子的数量少,故可在短时间内进行键合,提高制造效率。而在将芯片 10 做成与目前相同大小的芯片尺寸的情况下,由于要排列在芯片 10 周围的 I/O 端子数少,故可宽松地配置用户用 I/O 端子 2,从而容易确保键合线 14 的间隔及键合线 14 与相邻的引线 12 之间的间隔,可降低缺陷产生率。

15       封装了该芯片 10 的集成电路元件 20 由于可使芯片 10 的尺寸小于现有芯片,故相应可使封装后集成电路元件 20 的尺寸变小,因此,在印刷电路板上所占的面积变小,提高了安装效率。而在芯片 10 采用与目前相同大小的芯片尺寸时,由于要配置在芯片 10 周围的 I/O 端子 2 的数量比目前少,故引线 12 的间隔会比目前大。由此,可得到下述效果,即在将集成电路元件 20 安装并锡焊在印刷电路板上时,可降低相邻的引线 12 之间相互发生短路等缺陷的发生率。

20       这里,作为比较例,用图 9(a)、图 9(b)、图 10(a)、图 10(b)说明将与本实施例同样的 I/O 端子 2、4,象现有技术那样全部配置在基板 1 的周围的芯片 90、91。

25       比较例的芯片 90 将 34 个用户用 I/O 端子 2 和 6 个测试用 I/O 端子 4 共计 40 个端子全部沿基板 1 的边缘成一列配置。如图 10 所示, I/O 端子 2 具有键合焊盘 3, I/O 端子 4 具有焊盘 5(未图示)。图 9 的 I/O 端子 2、4 的间距 c 与上述实施例的图 1 的 I/O 端子 2 的间距 c 相同,但周围排列的 I/O 端子

的数量比图 1 多了测试用 I/O 端子 4 的数量，所以基板 1 的一边的长度  $d$ 、 $e$  分别比图 1 的基板 1 的长度  $a$ 、 $b$  长。

比较例的芯片 90 的电路模块 96、97、98 是与上述实施例的电路模块 6、7、8 相同的电路结构，但是，利用比电路模块 6、7、8 粗糙的设计方式而设计。故电路模块 96、97、98 在基板 1 上所占据的面积大。由此，在芯片 90 中由 I/O 端子 2、4 包围的区域大致被电路模块 96、97、98 所占。

另外，如比较例的芯片 90 那样，在混杂排列用户用 I/O 端子 2 及测试用 I/O 端子 4 的情况下，作为键合装置的功能，不能仅不键合测试用 I/O 端子 4，故形成不仅 I/O 端子 2 的键合焊盘 3 而且 I/O 端子 4 的焊盘 5 也都要键合的结构。因此封装时引线 12 的数量也必须与 I/O 端子 2、4 的数量相同，为 40 个。

其次，将比较例的芯片 90 的电路模块 96、97、98 的设计方式变更为与本实施例同样的微细化设计方式，得到另外的比较例的芯片 91(图 9(b))。该芯片 91 的电路模块 6、7、8 由于设计尺寸在长度方向缩小到芯片 91 的 0.7 倍，故电路模块 6、7、8 在基板 1 上所占据的面积变为电路模块 96、97、98 的约 1/2。因此，在基板 1 的内部会如图 9(b)所示产生空区域。

但是，在芯片 91 中 I/O 端子 2、4 的间距为了将键合线的间隔等维持在一定以上，不可小于间距  $c$ 。因此，虽然基板 1 内部有空区域，但不能使基板 1 一边的长度小于长度  $d$ 、 $e$ 。因此，芯片 91 即使使设计尺寸微细化，也不能小于比较例的芯片 90，形成所谓 I/O 端子 2、4 的数量决定基板 1 的大小的所谓焊盘颈的芯片。

因此，为了避免焊盘颈，作为再一比较例的芯片 92，如图 10(b)所示，考虑了将 I/O 端子 2 在基板 1 的周围交错排列为两列的结构。这样，通过将 I/O 端子 2 配置为两列，基板 1 内侧的区域也可以利用，故可以认为，若基板 1 的大小相同，则可使 I/O 端子 2 的数量最大增加到 1.5 倍左右。

但是，将 I/O 端子 2 交错配置的结构为了防止键合线相互间的短路，必须确保与外周侧的 I/O 端子 2 连接的键合线和与内周侧的 I/O 端子 2 连接的键合线之间的间隔在一定程度以上。因此，配置时必须如图 10(b)所示，增大外周侧的 I/O 端子 2 的间隔，使内周侧的 I/O 端子 2 位于其间。另外，当内周侧的 I/O 端子 2 的焊盘 3 的位置离开基板 1 的边缘过大时，则不能由目前的键合装置进行键合，所以，要严格限制，必须使内周侧的 I/O 端子 2 的

焊盘 3 的位置配置在紧靠外周侧的 I/O 端子 2 的位置。因此，用于使 I/O 端子 2 的配置最佳的设计非常复杂。

较之这些比较例的芯片 90、91、92，上述本实施例的芯片 10 只要将 I/O 端子分为用户用 I/O 端子 2 和测试用 I/O 端子 4，使测试用 I/O 端子 4 配置在基板内部的空区域即可。而且，测试用 I/O 端子 4 不进行键合，故只要是能够由上述测试卡 40 进行测定的部位，就可以配置在离开基板 1 的边缘的位置等空区域的任何部位，自由度非常大。因此，可简单地进行芯片 10 的设计，而且，可消除焊盘颈，缩小芯片尺寸。此外，由于可减少芯片 10 的键合部位，故也容易进行键合。由此可实现直接的成本降低。

另外，本实施例的芯片 10 不仅不需要减少测试用 I/O 端子 4 的数量，而且，在基板 1 的内部区域存在空的情况下，还可增加测试用 I/O 端子 4 的数量。由此，可得到电路模块 6、7、8 的动作确认和附带条件等所需的测试用 I/O 端子 4 足够的芯片 10，故可提高不良品的发现率，而且容易实现制造时的条件。因此，可用高的成品率制造高品质的芯片 10。

另外，在本实施例中，是将测试用 I/O 端子 4 全部配置在基板 1 的内部区域，但是只要基板 1 的尺寸允许，也可以将一部分测试用 I/O 端子 4 与用户用 I/O 端子 2 一起配置在基板 1 的周围。另外，即使是测试用 I/O 端子 4，其中兼作用户用 I/O 端子 2 的端子或安装在印刷电路板上后通过印刷电路板输入输出测试信号的测试用 I/O 端子 4，也可配置在基板 1 的周围进行键合。

用户用 I/O 端子 2 及测试用 I/O 端子 4 不限于本实施例的图 1 所示的数量及形状，可根据需要进行变更。基板 1 的形状也不限于图 1 所示的方形。

下面参照图 5~图 8，作为实施例 2 简单说明安装了实施例 1 的集成电路元件 20 的印刷电路板 50 及搭载该印刷电路板 50 的电子设备 100。

在印刷电路板 50 上利用锡焊来安装实施例 1 的集成电路元件 20 及集成电路元件 51、52、53。在集成电路元件 20 内的芯片 10 上，具有电子设备 100 的主处理器功能的电路被作为电路模块 6、7、8 形成。在集成电路元件 51 中，作为电路模块形成有图像处理专用电路，在集成电路元件 52 中，作为电路模块形成有输入输出控制电路，在集成电路元件 53 作为电路模块形成有存储电路。在印刷电路板 50 上，除上述外，还搭载有电路元件 54 和连接器 55、56、57、58 及未图示的布线。

该印刷电路板 50 如图 8 所示，搭载于电子设备 100 的箱体 110 上。电

子设备 100 是娱乐装置，如图 6、图 7 所示，包括：再生 CD 及 DVD 等磁盘的磁盘装置 103 和槽单元 105、106。电子设备 100 与未图示的图像显示装置连接，槽单元 106 与操作装置 200 的连接器 232 连接。在槽单元 105 可安装小型的存储装置。在箱体 110 上设有复位开关 104、磁盘装置 103 的排出开关 102 及用于使箱体纵置或横置的支脚部 107、108。

集成电路元件 20 的主处理器进行将设置在磁盘装置 103 的托盘 101 上的 DVD 所存储的图像显示在图像显示装置上的动作、及将预先记录的程序读入 DVD 或 CD 的动作。然后，根据读入的程序，指示集成电路元件 51 的图像处理专用电路生成图像，将生成的图像显示在图像显示装置上。

10 集成电路元件 20 的主处理器相对于操作装置 200 的开关 210，向集成电路元件 51 的图像处理专用电路发出指示，使其接收用户进行的操作，根据上述程序改变图像。由此，用户可改变图像显示装置的图像，进行游戏等。集成电路元件 20 的主处理器将装在槽单元 106 的游戏的进行状况等存储在存储装置内。

15 在箱体 110 的内部，除印刷电路板 50 外，还配置有电源单元和开关、插口单元 116 等。在印刷电路板 50 的上部，为了使集成电路 20 等的热量排出，配置有管型散热片 114，管型散热片 114 连接在散热片 112 上。在箱体 110 上安装有用于排出散热片 112 等的热量的排气扇 115。在印刷电路板 50 上还设有屏蔽罩 113，用于保护集成电路元件 20 等不受外部电磁波的影响。

20 这种安装在印刷电路板 50 上的集成电路元件 20 由于是实施例 1 说明的结构，故是小型的元件，安装效率高。因此，可实现小的印刷电路板 50。随之，电子设备 100 整体的大小也可小型化。由于可低成本地制造集成电路元件 20，故也可实现印刷电路板 50 及电子设备 100 的低成本化。

25 在上述实施例中；是以封装了芯片 10 的集成电路元件 20 的形式搭载在印刷电路板 50 上的结构，但也可采用直接将芯片 10 直接键合在印刷电路板 50 上的结构。这种情况下，由于不需要封装，故可进一步提高安装效率，因此，可进一步实现小型的印刷电路板 50 及电子设备。此外，由于不需要封装，故与封装的相比可进一步降低成本，可提供低成本的印刷电路板 50 及电子设备 100。

30 用户用 I/O 端子 2 的焊盘 3 在本实施例中是利用键合线和引线 12 连接在印刷电路板 50 的，但是，也可利用 TBA(Tape-automated bonding 带式自动

键合)等其他部件与印刷电路板连接。

上述的电子设备 100 的集成电路元件 20 用于控制磁盘装置 103、操作装置 200、存储装置、图像显示装置等多个装置的复杂动作，故需要多个 I/O 端子。因此，作为诸如电子设备 100 这样的装置的集成电路元件 20 的芯片 5 10，使用实施例 1 的结构芯片在小型化及低成本化方面可得到很大的效果。

如上所述，根据本发明，可提供一种集成电路芯片，其可避免焊盘颈，可将芯片尺寸设计为对应电路规模的最恰当的大小。

#### 产业上利用的可能性

本发明可用于集成多个电路模块的集成电路芯片、封装了所述集成电路 10 芯片的集成电路元件、以及搭载所述集成电路元件的电子设备。

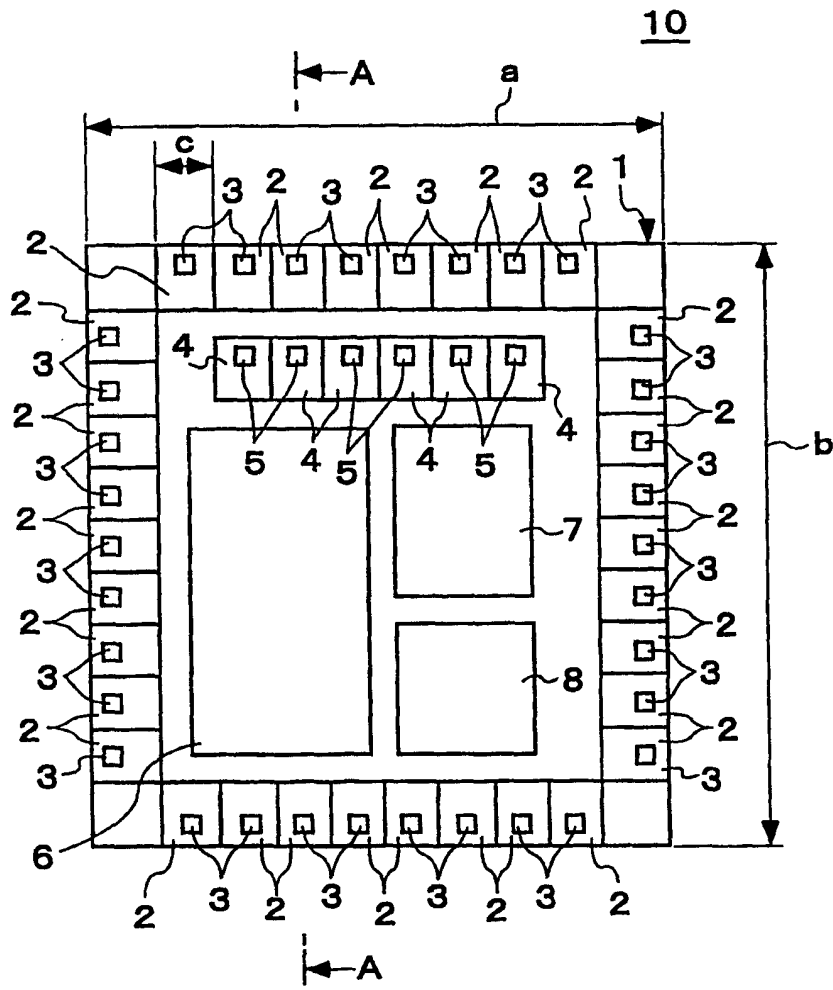


图 1

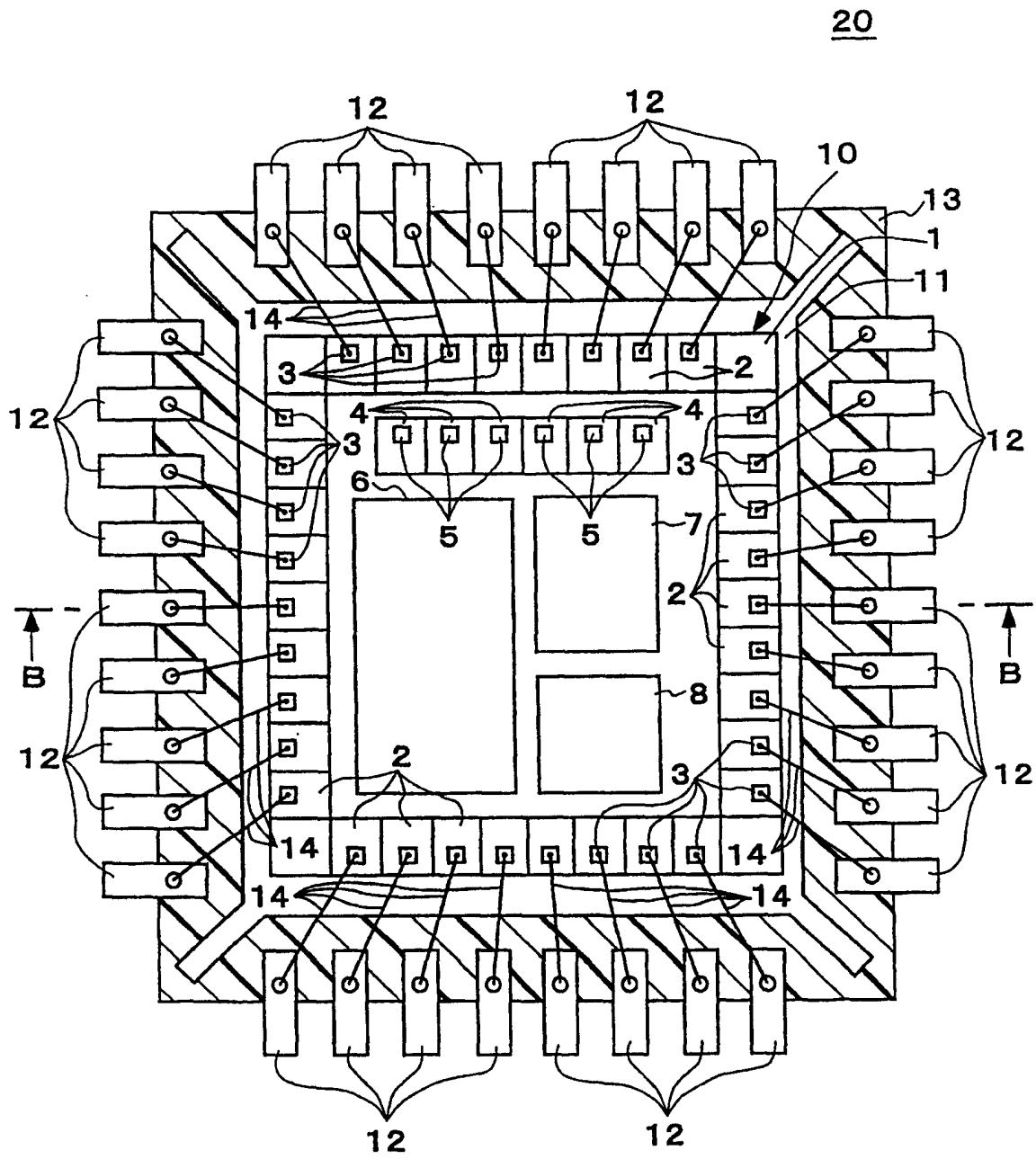


图 2

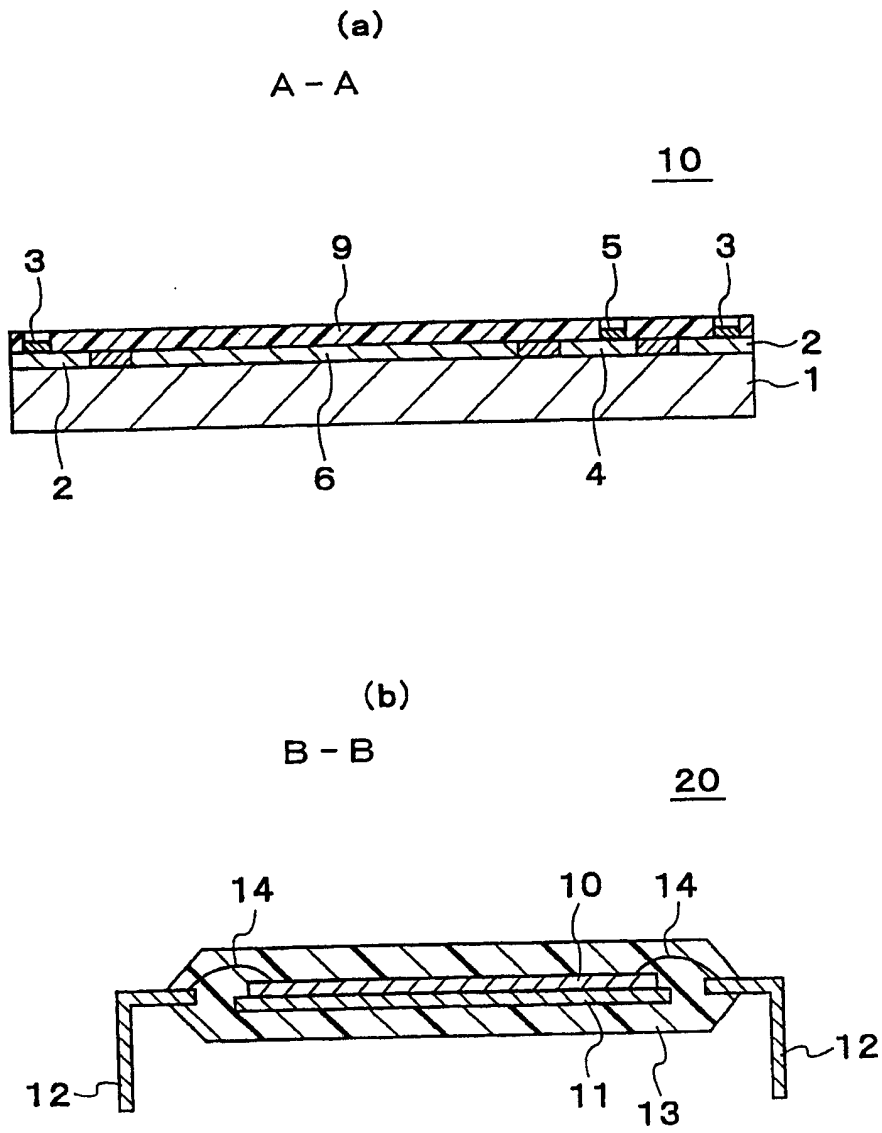


图 3

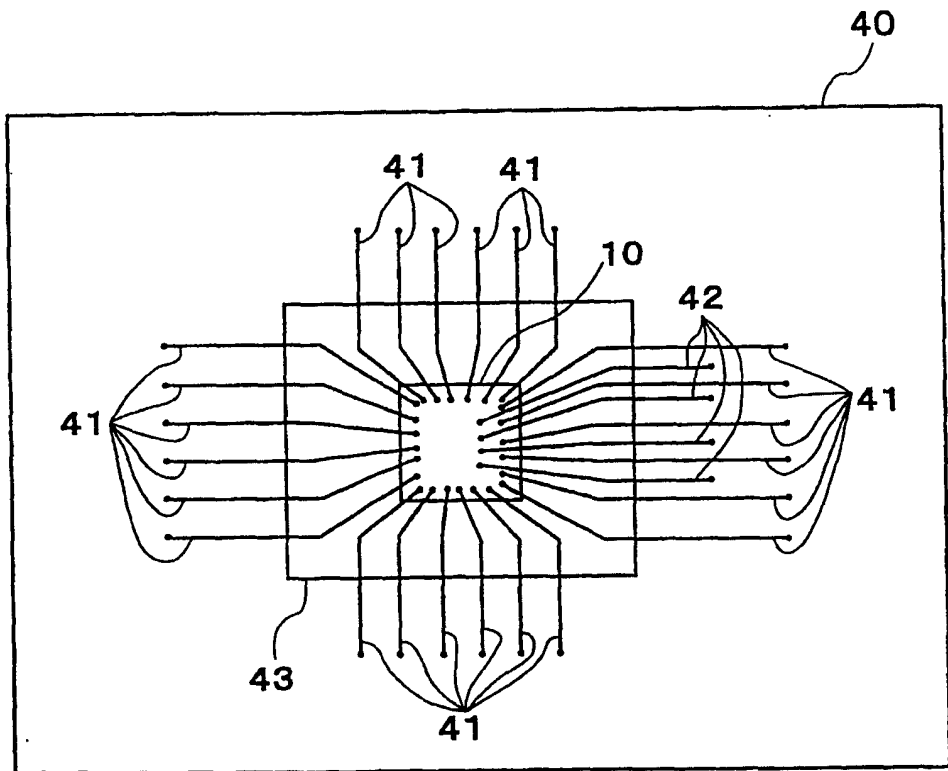


图 4

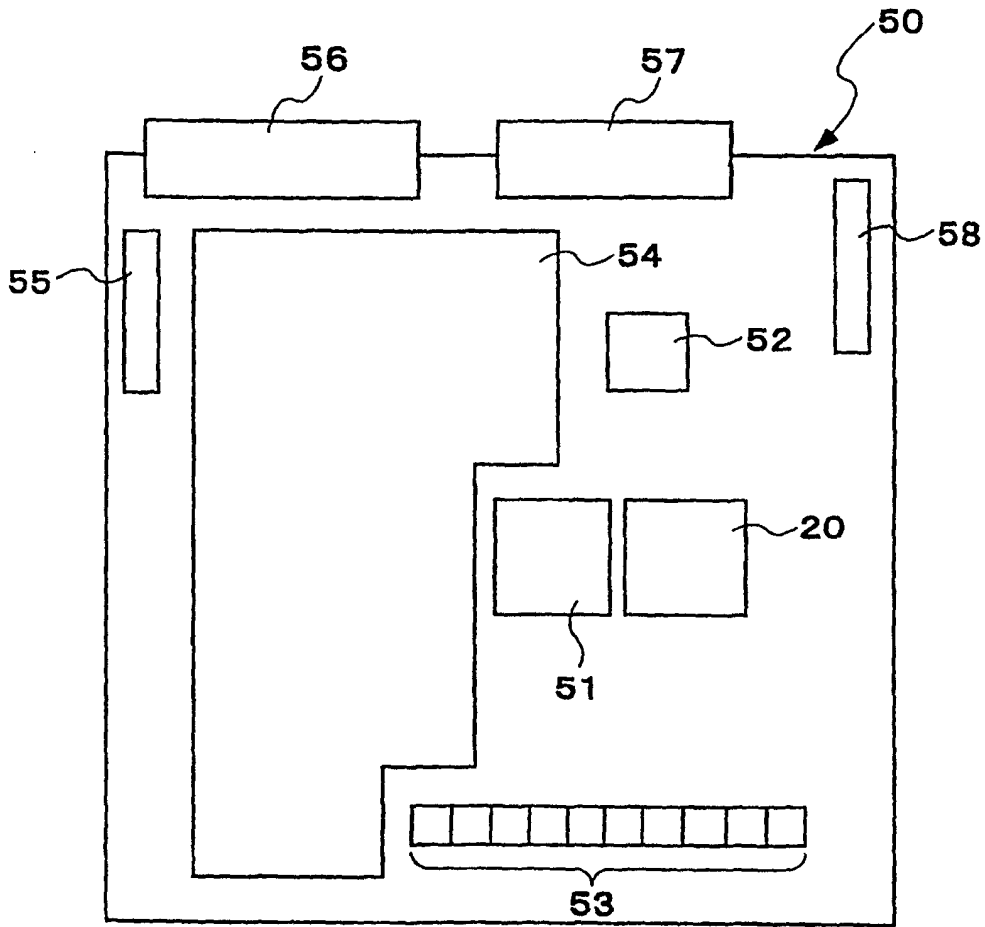


图 5



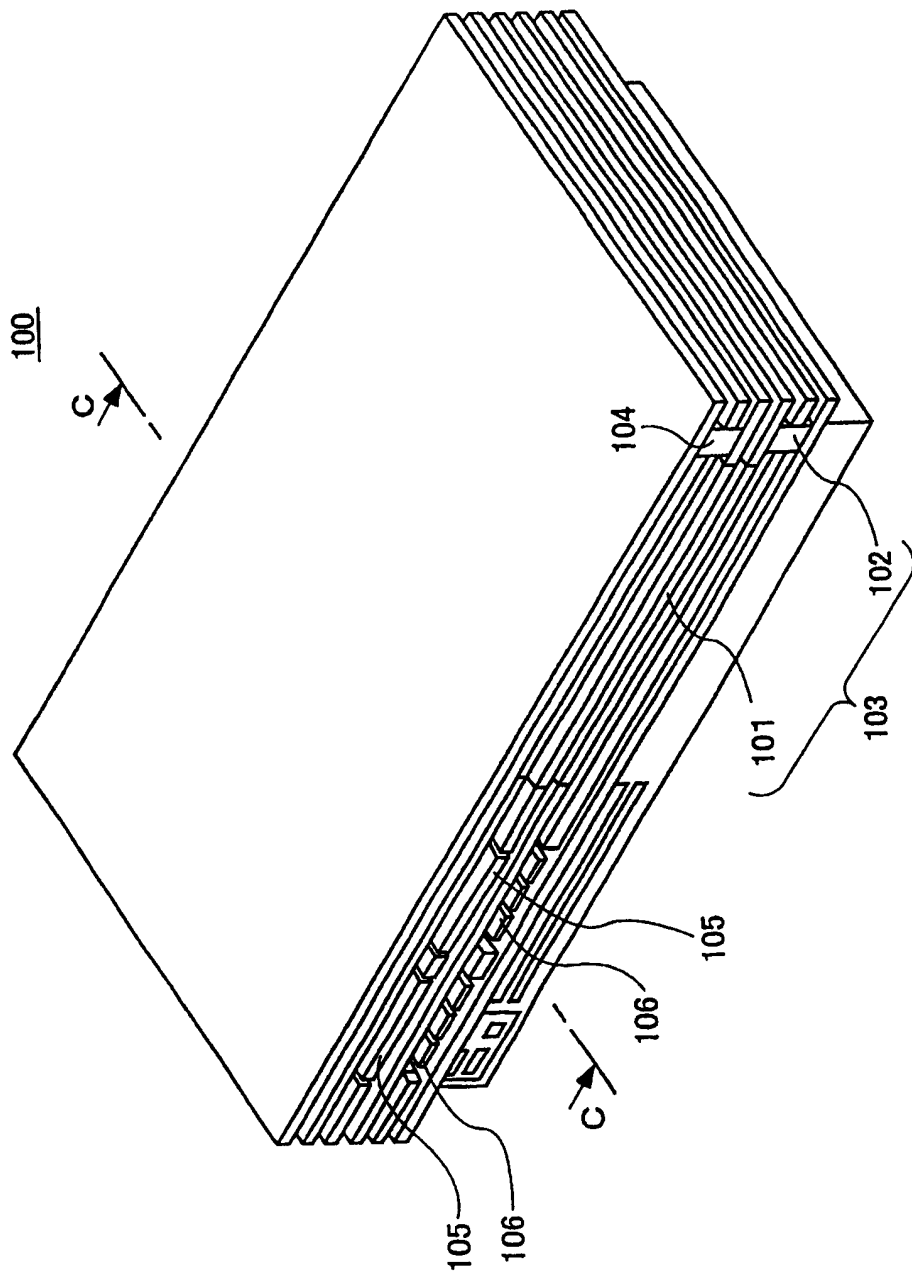


图 7

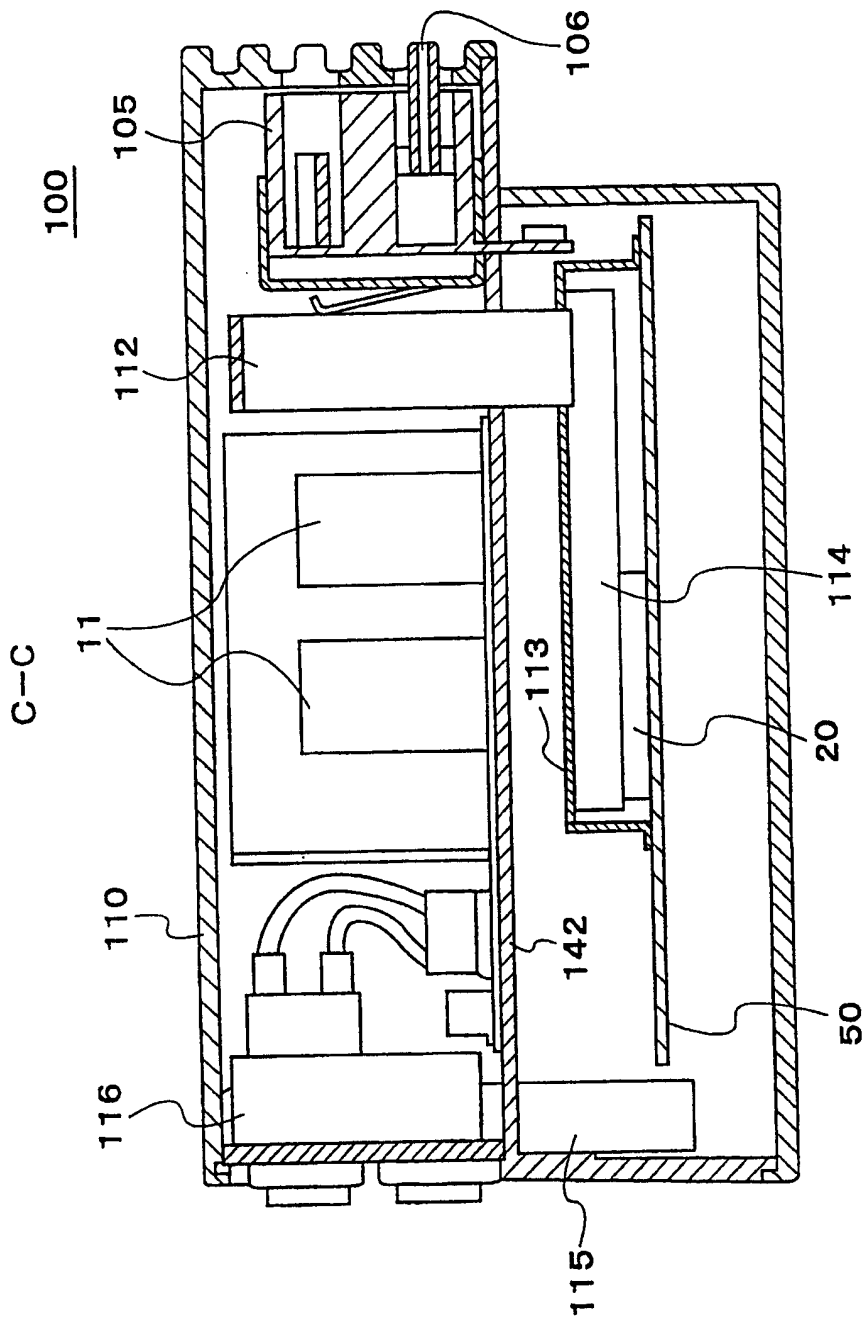
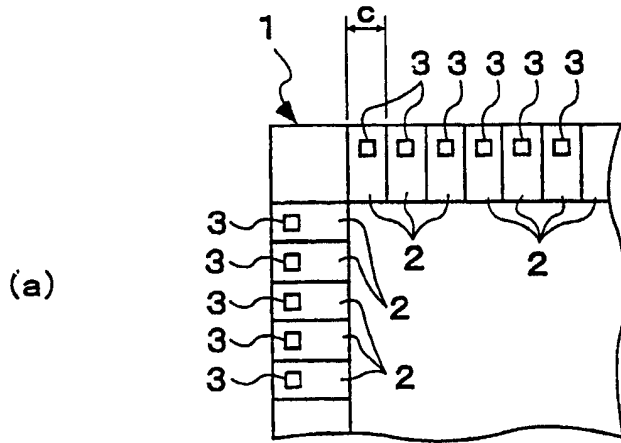


图 8



91



92

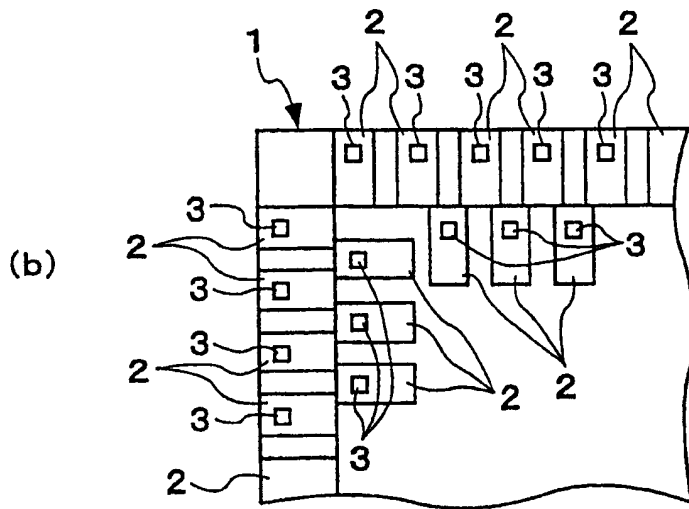


图 10