

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7434188号
(P7434188)

(45)発行日 令和6年2月20日(2024.2.20)

(24)登録日 令和6年2月9日(2024.2.9)

(51)国際特許分類		F I	
H O 4 N	25/70 (2023.01)	H O 4 N	25/70
H O 1 L	27/146 (2006.01)	H O 1 L	27/146 C
H O 1 L	29/786 (2006.01)	H O 1 L	27/146 E
		H O 1 L	27/146 F
		H O 1 L	29/78 6 1 8 B
請求項の数 7 (全42頁) 最終頁に続く			
(21)出願番号	特願2020-568869(P2020-568869)	(73)特許権者	000153878
(86)(22)出願日	令和2年1月22日(2020.1.22)		株式会社半導体エネルギー研究所
(86)国際出願番号	PCT/IB2020/050457		神奈川県厚木市長谷398番地
(87)国際公開番号	WO2020/157600	(72)発明者	山崎 舜平
(87)国際公開日	令和2年8月6日(2020.8.6)		神奈川県厚木市長谷398番地 株式会
審査請求日	令和4年11月30日(2022.11.30)		社半導体エネルギー研究所内
(31)優先権主張番号	特願2019-13507(P2019-13507)	(72)発明者	池田 隆之
(32)優先日	平成31年1月29日(2019.1.29)		神奈川県厚木市長谷398番地 株式会
(33)優先権主張国・地域又は機関	日本国(JP)		社半導体エネルギー研究所内
		審査官	鈴木 明
		最終頁に続く	

(54)【発明の名称】 撮像装置および電子機器

(57)【特許請求の範囲】
【請求項1】

第1の層と、第2の層と、第3の層と、を有する撮像装置であって、
前記第2の層は、前記第1の層と前記第3の層との間に設けられ、
前記第1の層は、光電変換デバイスを有し、
前記第2の層は、第1の回路および第2の回路を有し、
前記第3の層は、第3の回路および第4の回路を有し、
前記第1の回路および前記光電変換デバイスは、撮像データを生成する機能を有し、
前記第3の回路は、前記撮像データを読み出す機能を有し、
前記第2の回路は、前記第3の回路で読み出した前記撮像データを記憶する機能を有し、
前記第4の回路は、前記第2の回路に記憶した前記撮像データを読み出す機能を有し、
前記第1の回路および前記第2の回路は、金属酸化物をチャネル形成領域に有するトラ
ンジスタを有し、
前記トランジスタは、半導体層と、前記半導体層の上方に配置された第1のゲート電極と
、前記半導体層の下方に配置された第2のゲート電極と、を有し、
前記第2のゲート電極は、第1の絶縁体が有する開口に埋め込まれており、
前記半導体層の側面、及び前記半導体層の上面は、第2の絶縁体に覆われており、
前記第1のゲート電極の側面は、前記第2の絶縁体に覆われており、
前記第1の絶縁体の側面、前記第2の絶縁体の側面、前記第2の絶縁体の上面、及び前記
第2のゲート電極の上面は、第3の絶縁体に覆われており、

前記第 1 の絶縁体の下方、及び前記第 2 のゲート電極の下方には、第 4 の絶縁体が配置され、

前記第 3 の絶縁体と前記第 4 の絶縁体とは、接する領域を有し、

前記第 3 の絶縁体と前記第 4 の絶縁体とは、窒化シリコンを含む撮像装置。

【請求項 2】

請求項 1 において、

前記第 1 の回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 1 のキャパシタと、を有し、

前記光電変換デバイスの方の電極は、前記第 1 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの一方は、前記第 1 のキャパシタの方の電極と電氣的に接続され、

前記第 1 のキャパシタの方の電極は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 4 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第 4 のトランジスタのソースまたはドレインの他方は、前記第 3 の回路と電氣的に接続する撮像装置。

【請求項 3】

請求項 1 または 2 において、

前記第 2 の回路は、第 5 のトランジスタと、第 2 のキャパシタと、を有し、

前記第 5 のトランジスタのソースまたはドレインの一方は、前記第 2 のキャパシタの方の電極と電氣的に接続され、

前記第 5 のトランジスタのソースまたはドレインの他方は、前記第 3 の回路と電氣的に接続され、

前記第 5 のトランジスタのソースまたはドレインの他方は、前記第 4 の回路と電氣的に接続する撮像装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記第 3 の回路は、A/D コンバータを有し、前記第 4 の回路は、センスアンプを有する撮像装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記第 1 の層および前記第 3 の層は、単結晶シリコンを有する撮像装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、

前記金属酸化物は、In と、Zn と、M (M は Al、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、Nd または Hf) と、を有する撮像装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の撮像装置と、表示部と、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、撮像装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・

10

20

30

40

50

オブ・マター)に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

基板上に形成された酸化物半導体薄膜を用いてトランジスタを構成する技術が注目されている。例えば、酸化物半導体を有するオフ電流が極めて低いトランジスタを画素回路に用いる構成の撮像装置が特許文献1に開示されている。

【先行技術文献】

【特許文献】

【0005】

【文献】特開2011-119711号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

撮像装置は様々な用途に用いられており、撮像動作の高速化、高機能化が望まれている。例えば、高速の連写、撮像データの解析などを行うには、1フレーム単位でデータが保持できることが好ましい。

【0007】

本発明の一態様では、メモリ機能を有する撮像装置を提供することを目的の一つとする。または、動体の撮像に適した撮像装置を提供することを目的の一つとする。低消費電力の撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置を提供することを目的の一つとする。または、上記撮像装置の動作方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

【0008】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0009】

本発明の一態様は、メモリ機能を有する撮像装置に関する。

【0010】

本発明の一態様は、第1の層と、第2の層と、第3の層と、を有する撮像装置であって、第2の層は、第1の層と第3の層との間に設けられ、第1の層は、光電変換デバイスを有し、第2の層は、第1の回路および第2の回路を有し、第3の層は、第3の回路および第4の回路を有し、第1の回路および光電変換デバイスは、撮像データを生成する機能を有し、第3の回路は、撮像データを読み出す機能を有し、第2の回路は、第3の回路で読み出した撮像データを記憶する機能を有し、第4の回路は、第2の回路に記憶した撮像データを読み出す機能を有し、第1の回路および第2の回路は、金属酸化物をチャネル形成領域に有するトランジスタを有する撮像装置である。

【0011】

第1の回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1のキャパシタと、を有し、光電変換デバイスの一方の電極は

10

20

30

40

50

、第1のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタのソースまたはドレインの他方は、第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第2のトランジスタのソースまたはドレインの一方は、第1のキャパシタの一方の電極と電氣的に接続され、第1のキャパシタの一方の電極は、第3のトランジスタのゲートと電氣的に接続され、第3のトランジスタのソースまたはドレインの一方は、第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、第4のトランジスタのソースまたはドレインの他方は、第3の回路と電氣的に接続される。

【0012】

第2の回路は、第5のトランジスタと、第2のキャパシタと、を有し、第5のトランジスタのソースまたはドレインの一方は、第2のキャパシタの一方の電極と電氣的に接続され、第5のトランジスタのソースまたはドレインの他方は、第3の回路と電氣的に接続され、第5のトランジスタのソースまたはドレインの他方は、第4の回路と電氣的に接続される。

10

【0013】

第3の回路は、A/Dコンバータを有し、第4の回路は、センスアンプを有することができる。

【0014】

第1の層および前記第3の層は、単結晶シリコンを有することができる。

【0015】

金属酸化物は、Inと、Znと、M(MはAl、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、NdまたはHf)と、を有することが好ましい。

20

【発明の効果】

【0016】

本発明の一態様を用いることで、メモリ機能を有する撮像装置を提供することができる。または、動体の撮像に適した撮像装置を提供することができる。低消費電力の撮像装置を提供することができる。または、信頼性の高い撮像装置を提供することができる。または、新規な撮像装置を提供することができる。または、上記撮像装置の動作方法を提供することができる。または、新規な半導体装置などを提供することができる。

【図面の簡単な説明】

【0017】

30

図1は、撮像装置を説明する図である。

図2Aおよび図2Bは、画素回路を説明する図であり、図2Cは、メモリ回路を説明する図である。

図3Aは、ローリングシャッタ方式を説明する図であり、図3Bは、グローバルシャッタ方式を説明する図である。

図4Aおよび図4Bは、画素回路の動作を説明するタイミングチャートである。

図5Aおよび図5Bは、画素回路を説明する図である。

図6A乃至図6Cは、撮像装置を説明するブロック図である。

図7Aおよび図7Bは、撮像装置の構成を説明する断面図である。

図8A乃至図8Dは、トランジスタを説明する図である。

40

図9は、記憶装置の構成例を説明する図である。

図10は、メモリセルアレイの構成例を説明する図である。

図11A乃至図11Dメモリセルの構成例を説明する回路図である。

図12は、半導体装置の構成を示す断面図である。

図13は、半導体装置の構成を示す断面図である。

図14A乃至図14Fは、撮像装置を収めたパッケージ、カメラモジュールを説明する斜視図である。

図15A乃至図15Fは、電子機器を説明する図である。

【発明を実施するための形態】

【0018】

50

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

【0019】

また、回路図上では単一の要素として図示されている場合であっても、機能的に不都合がなければ、当該要素が複数で構成されてもよい。例えば、スイッチとして動作するトランジスタは、複数が直列または並列に接続されてもよい場合がある。また、キャパシタを分割して複数の位置に配置する場合もある。

【0020】

また、一つの導電体が、配線、電極および端子などの複数の機能を併せ持っている場合があり、本明細書においては、同一の要素に対して複数の呼称を用いる場合がある。また、回路図上で要素間が直接接続されているように図示されている場合であっても、実際には当該要素間が複数の導電体を介して接続されている場合があり、本明細書ではこのような構成でも直接接続の範疇に含める。

【0021】

(実施の形態1)

本実施の形態では、本発明の一態様の撮像装置について、図面を参照して説明する。

【0022】

本発明の一態様は、メモリ機能を有する撮像装置である。撮像データをメモリ回路に一時的に記憶することで、撮像データを連続して高速に取得することができる。また、撮像データをメモリ回路から高速に読み出すことができ、データ解析なども高速に行うことができる。

【0023】

また、グローバルシャッタ方式での撮像が可能な画素回路を用いることで、動きのある被写体であっても歪のない画像を得ることができる。

【0024】

また、本発明の一態様では、画素を構成する回路にチャネル形成領域に金属酸化物を有するトランジスタ（以下、OSトランジスタ）を用いる。OSトランジスタは、シリコン基板上に形成することができ、貼り合わせ工程を削減することができる。

【0025】

<撮像装置>

図1は、本発明の一態様の撮像装置を説明する図である。撮像装置は、層12、層13、および層14を有する。層13は、層12と層14との間に設けられ、それぞれが互いに重なる領域を有する。

【0026】

層12は、光電変換デバイス（光電変換素子ともいう）を有する。光電変換デバイスとしては、フォトダイオードを用いることができる。当該フォトダイオードとしては、例えば、単結晶シリコンを光電変換部に用いたpn接合型フォトダイオード、非晶質シリコン、多結晶シリコンまたは微結晶シリコンを光電変換層に用いたpin型フォトダイオードなどを用いることができる。または、化合物半導体、セレンまたはセレン化合物などの材料を光電変換層に用いてもよい。本実施の形態では、光電変換デバイスとして、単結晶シリコンを用いたpn接合型フォトダイオードを用いた例を説明する。

【0027】

層13は、画素回路を構成するトランジスタ等、およびメモリ回路を構成するトランジスタ等を有する。また、当該トランジスタとしては、OSトランジスタを用いることが好ましい。OSトランジスタは、オフ電流が極めて低い特性を有し、画素回路で長時間データ

10

20

30

40

50

保持が可能になるなど、画素回路の構成要素として適している。メモリ回路は、次に説明する第１の読み出し回路から出力されたデジタルデータを格納することができる。

【００２８】

層１４は、第１の読み出し回路を構成するトランジスタ等、および第２の読み出し回路を構成するトランジスタ等を有する。第１の読み出し回路は、例えば、画素回路から出力されたアナログデータをデジタルデータに変換するＡ／Ｄコンバータ等を有することができる。第２の読み出し回路は、例えば、メモリ回路に格納されたデータを読み出すためのセンスアンプ等を有することができる。

【００２９】

<画素回路>

図２Ａは、画素回路の一例を説明する図である。画素回路は、層１２が有する光電変換デバイス１０１と、層１３が有する回路１１０を有する。回路１１０は、トランジスタ１０３と、トランジスタ１０４と、トランジスタ１０５と、トランジスタ１０６と、キャパシタ１０８を有することができる。なお、キャパシタ１０８を設けない構成としてもよい。

【００３０】

光電変換デバイス１０１の一方の電極（カソード）は、トランジスタ１０３のソースまたはドレインの一方と電氣的に接続される。トランジスタ１０３のソースまたはドレインの他方は、トランジスタ１０４のソースまたはドレインの一方と電氣的に接続される。トランジスタ１０４のソースまたはドレインの一方は、キャパシタ１０８の一方の電極と電氣的に接続される。キャパシタ１０８の一方の電極は、トランジスタ１０５のゲートと電氣的に接続される。トランジスタ１０５のソースまたはドレインの一方は、トランジスタ１０６のソースまたはドレインの一方と電氣的に接続される。

【００３１】

ここで、トランジスタ１０３のソースまたはドレインの他方、キャパシタ１０８の一方の電極、トランジスタ１０５のゲートを接続する配線をノードＦＤとする。ノードＦＤは電荷蓄積部として機能させることができる。

【００３２】

光電変換デバイス１０１の他方の電極（アノード）は、配線１２１と電氣的に接続される。トランジスタ１０３のゲートは、配線１２７と電氣的に接続される。トランジスタ１０４のソースまたはドレインの他方は、配線１２２と電氣的に接続される。トランジスタ１０５のソースまたはドレインの他方は、配線１２３に電氣的に接続される。トランジスタ１０４のゲートは、配線１２６と電氣的に接続される。トランジスタ１０６のゲートは、配線１２８と電氣的に接続される。キャパシタ１０８の他方の電極は、例えばＧＮＤ配線などの基準電位線と電氣的に接続される。トランジスタ１０６のソースまたはドレインの他方は、配線１２９と電氣的に接続される。

【００３３】

配線１２７、１２６、１２８は、各トランジスタの導通を制御する信号線としての機能を有することができる。配線１２９は出力線としての機能を有することができる。

【００３４】

配線１２１、１２２、１２３は、電源線としての機能を有することができる。図２Ａに示す構成では光電変換デバイス１０１のカソード側がトランジスタ１０３と電氣的に接続する構成であり、ノードＦＤを高電位にリセットして動作させる構成であるため、配線１２２は高電位（配線１２１よりも高い電位）とする。

【００３５】

図２Ａでは、光電変換デバイス１０１のカソードがノードＦＤと電氣的に接続する構成を示したが、図２Ｂに示すように光電変換デバイス１０１のアノード側がトランジスタ１０３のソースまたはドレインの一方と電氣的に接続する構成としてもよい。

【００３６】

当該構成では、ノードＦＤを低電位にリセットして動作させる構成であるため、配線１２２は低電位（配線１２１よりも低い電位）とする。

10

20

30

40

50

【0037】

トランジスタ103は、ノードFDの電位を制御する機能を有する。トランジスタ104は、ノードFDの電位をリセットする機能を有する。トランジスタ105はソースフォロア回路として機能し、ノードFDの電位を画像データとして配線129に出力することができる。トランジスタ106は、画像データを出力する画素を選択する機能を有する。

【0038】

トランジスタ103およびトランジスタ104には、OSトランジスタを用いることが好ましい。OSトランジスタは、オフ電流が極めて低い特性を有する。トランジスタ103、104にOSトランジスタを用いることによって、ノードFDで電荷を保持できる期間を極めて長くすることができる。そのため、回路構成や動作方法を複雑にすることなく、全画素で同時に電荷の蓄積動作を行うグローバルシャッタ方式を適用することができる。

10

【0039】

<撮像装置の動作方式>

図3Aはローリングシャッタ方式の動作方法を模式化した図であり、図3Bはグローバルシャッタ方式を模式化した図である。Enはn列目（nは自然数）の露光（蓄積動作）、Rnはn列目の読み出し動作を表している。図3A、図3Bでは、1行目からM行目（Mは自然数）までの動作を示している。

【0040】

ローリングシャッタ方式は、露光とデータの読み出しを順次行う動作方法であり、ある行の読み出し期間と他の行の露光期間を重ねる方式である。露光後すぐに読み出し動作を行うため、データの保持期間が比較的短い回路構成であっても撮像を行うことができる。しかしながら、撮像の同時性がないデータで1フレームの画像が構成されるため、動体の撮像においては画像に歪が生じてしまう。

20

【0041】

一方で、グローバルシャッタ方式は、全画素で同時に露光を行って各画素にデータを保持し、行毎にデータを読み出す動作方法である。したがって、動体の撮像であっても歪のない画像を得ることができる。

【0042】

画素回路にチャネル形成領域にSiを用いたトランジスタ（以下、Siトランジスタ）などの比較的オフ電流の高いトランジスタを用いた場合は、電荷蓄積部からデータ電位が流出しやすいためローリングシャッタ方式が多く用いられる。Siトランジスタを用いてグローバルシャッタ方式を実現するには、別途専用のメモリ回路などを設ける必要があり、さらに複雑な動作を高速で行わなければならない。一方で、画素回路にOSトランジスタを用いた場合は、電荷蓄積部からのデータ電位の流出がほとんどないため、容易にグローバルシャッタ方式を実現することができる。なお、本発明の一態様の撮像装置をローリングシャッタ方式で動作させることもできる。

30

【0043】

なお、画素回路を構成するトランジスタに、OSトランジスタおよびSiトランジスタを任意に組み合わせて適用してもよい。また、全てのトランジスタをOSトランジスタまたはSiトランジスタとしてもよい。Siトランジスタとしては、非晶質シリコンを有するトランジスタ、結晶性のシリコン（代表的には、低温ポリシリコン、単結晶シリコンなど）を有するトランジスタなどが挙げられる。

40

【0044】

<メモリ回路>

図2Cは、層13が有するメモリ回路のセルの一例を示す図である。セル111は、トランジスタ107およびキャパシタ109を有する。トランジスタ107のソースまたはドレインの一方は、キャパシタ109の一方の電極と電気的に接続される。トランジスタ107のソースまたはドレインの他方は、配線132と電気的に接続される。トランジスタ107のゲートは、配線132と電気的に接続される。なお、他の構成のセルを用いることもできる。

50

【0045】

配線131は、ワード線としての機能を有することができる。配線132は、ビット線としての機能を有することができる。トランジスタ107を導通させることで、配線132からキャパシタ109にデータを書き込むことができる。または、トランジスタ107を導通させることで、キャパシタ109から配線132にデータを読み出すことができる。

【0046】

トランジスタ107には、OSトランジスタを用いることが好ましい。前述したように、OSトランジスタはオフ電流が極めて小さいため、キャパシタ109に蓄積された電荷を長時間保持することができる。したがって、リフレッシュ間隔を拡大することができ、消費電力を低減することができる。また、実質的に不揮発性メモリとしても使用することができる。メモリ回路の詳細は、後述する他の実施の形態にて説明する。

10

【0047】

<画素回路の動作>

次に、図2Aに示す画素回路の動作の一例を図4Aのタイミングチャートを用いて説明する。なお、本明細書におけるタイミングチャートの説明においては、高電位を“H”、低電位を“L”で表す。配線121には常時“L”が供給され、配線122、123には常時“H”が供給されている状態とする。

【0048】

期間T1において、配線126の電位を“H”、配線127の電位を“H”、配線128の電位を“L”とすると、トランジスタ103、104が導通し、ノードFDには配線123の電位“H”が供給される（リセット動作）（図2A参照）。

20

【0049】

期間T2において、配線126の電位を“L”、配線127の電位を“H”、配線128の電位を“L”とすると、トランジスタ104が非導通となってリセット電位の供給が遮断される。また、光電変換デバイス101の動作に応じてノードFDの電位が低下する（蓄積動作）。

【0050】

期間T3において、配線126の電位を“L”、配線127の電位を“L”、配線128の電位を“L”とすると、トランジスタ103が非導通となり、ノードFDの電位は確定し、保持される（保持動作）。このとき、ノードFDに接続されるトランジスタ103およびトランジスタ104にオフ電流の低いOSトランジスタを用いることによって、ノードFDからの不必要な電荷の流出を抑えることができ、データの保持時間の延ばすことができる。

30

【0051】

期間T4において、配線126の電位を“L”、配線127の電位を“L”、配線128の電位を“H”とすると、トランジスタ106が導通し、トランジスタ105のソースフォロア動作によりノードFDの電位が配線129に読み出される（読み出し動作）。

【0052】

以上が図2Aに示す画素回路の動作の一例である。

【0053】

図2Bに示す画素回路は、図4Bのタイミングチャートに従って動作させることができる。なお、配線121、123には常時“H”が供給され、配線122には常時“L”が供給されている状態とする。基本的な動作は、上記の図2Aのタイミングチャートの説明と同様である。

40

【0054】

本発明の一態様においては、図5A、図5Bに例示するように、トランジスタにバックゲートを設けた構成としてもよい。図5Aは、バックゲートがフロントゲートと電氣的に接続された構成を示しており、オン電流を高める効果を有する。図5Bは、バックゲートが定電位を供給できる配線と電氣的に接続された構成を示しており、トランジスタのしきい値電圧を制御することができる。

【0055】

50

また、図 5 A、図 5 B を組み合わせるなど、それぞれのトランジスタが適切な動作が行えるような構成としてもよい。また、バックゲートが設けられないトランジスタを画素回路が有していてもよい。

【0056】

<撮像装置の構成例>

図 6 A は、本発明の一態様の撮像装置を説明するブロック図である。当該撮像装置は、マトリクス状に配列された画素回路 50 を有する画素アレイ 51 と、画素アレイ 51 の行を選択する機能を有する回路 52（ロードライバ）と、画素回路 50 からデータを読み出す機能を有する回路 53 と、リセット電位および電源電位を供給する回路 57 と、回路 53 の出力データを格納する回路 58 と、回路 58 からデータを読み出す機能を有する回路 59 を有する。

10

【0057】

回路 53 は、画素アレイ 51 の列を選択する機能を有する回路 54（カラムドライバ）と、画素回路 50 の出力データに対して相関二重サンプリング処理を行うための回路 55（CDS 回路）と、回路 55 から出力されたアナログデータをデジタルデータに変換する機能を有する回路 56（A/D コンバータ）などを有することができる。回路 52、54 には、シフトレジスタ回路やデコーダ回路を用いることができる。

【0058】

図 6 B、図 6 C は、図 1 に示した撮像装置の積層構成における、上記各回路および図 2 A、図 2 B、図 2（C）に示した回路の配置を説明する概念図である。

20

【0059】

層 12 には、光電変換デバイス 101 が設けられ、層 13 に設けられる回路 110 と電氣的に接続することで画素回路 50 が形成される。また、層 13 には、回路 58 が設けられる。

【0060】

回路 110 および回路 58 は、図 6 B に示すように、水平方向に並べて配置する構成とすることができる。回路 110 および回路 58 は、OS トランジスタで形成するため、同一の工程で作製することができる。

【0061】

または、回路 110 および回路 58 は、図 6 C に示すように、垂直方向に積層して配置する構成としてもよい。OS トランジスタは薄膜で形成することができるため、積層が容易である。回路 110 および回路 58 を積層することで、画素回路 50 およびセル 111 を高密度に配置することができ、解像度および記憶容量を向上させることができる。なお、セル 111 は単層に限らず、複数の層の積層であってもよい。

30

【0062】

層 14 には、回路 52、回路 53 および回路 59 などを設けることができる。これらの回路は、高速動作が望まれるため、Si トランジスタで形成することが好ましい。すなわち、層 14 は、単結晶シリコン基板を有することが好ましい。なお、回路 52 は、OS トランジスタで形成されていてもよい。この場合、回路 52 は、層 12 に設けられる。

【0063】

また、上記構成に限らず、回路 52、回路 53 および回路 59 のそれぞれが有する一部のトランジスタは、層 13 に設けられた OS トランジスタで形成されていてもよい。または、回路 110 および回路 58 のそれぞれが有する一部のトランジスタは、層 14 に設けられた Si トランジスタで形成されていてもよい。

40

【0064】

以上の構成の撮像装置によって、撮像およびデータ処理を高速に行うことができる。また、Si トランジスタで構成される回路上に OS トランジスタで構成される回路を重ねて形成することができ、撮像装置を小型化することができる。また、貼り合わせ工程を削減することができ、製造コストを削減することができる。

【0065】

50

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

【0066】

(実施の形態2)

本実施の形態では、本発明の一態様の撮像装置の構造例などについて詳細を説明する。

【0067】

図7Aは、画素領域を含む断面の一例を説明する図である。当該構造は、層12上に層13を作製し、別途形成した層14を層13に貼り合わせて作製することができる。なお、層13と層14との電氣的な接続部分は省略している。

【0068】

層12には、光電変換デバイス101として、n型の導電型を有する領域22、p型の導電型を有する領域(単結晶シリコン基板21)およびp⁺型の導電型を有する領域28を有するpn接合型フォトダイオードが設けられる。

【0069】

層13には、OSトランジスタが設けられる。図7Aでは、図2A、図2B、図2(C)に示す回路構成を例として、トランジスタ103、トランジスタ107を例示する。

【0070】

層14には、Siトランジスタを有するシリコン基板25などが設けられる。図7Aでは、回路53が有するトランジスタ112、回路59が有するトランジスタ113を例示する。

【0071】

OSトランジスタが形成される領域とSiデバイス(光電変換デバイス101またはSiトランジスタ等)が形成される領域との間には、絶縁層65、66が設けられる。絶縁層65、66は、水素の拡散を防止する機能を有する。例えば、光電変換デバイス101近傍に設けられる絶縁層中の水素は、シリコンのダングリングボンドを終端する。一方、トランジスタ103、107のチャネル形成領域の近傍に設けられる絶縁層中の水素は、酸化半導体層中にキャリアを生成する要因の一つとなる。

【0072】

絶縁層65、66により、一方の層に水素を閉じ込めることでSiデバイスの信頼性を向上させることができる。また、一方の層から他方の層への水素の拡散が抑制されることでトランジスタ103、107の信頼性も向上させることができる。

【0073】

絶縁層65、66としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)等を用いることができる。

【0074】

層13と層14との接合領域において、層13側には絶縁層31が設けられる。また、層14側には絶縁層33が設けられる。絶縁層31および絶縁層33は、貼り合わせに寄与する絶縁層である。

【0075】

なお、図7Aでは、絶縁層31が絶縁層63および絶縁層64の2層である例を示している。絶縁層63には、例えばアクリル樹脂やポリイミドなどの有機膜を用いることができる。絶縁層33および絶縁層64には酸化シリコン膜などの無機膜を用いることができる。

【0076】

また、図7Bに、図7Aとは異なる構造例を示す。当該構造は、層14上に層13を作製し、別途形成した層12を層13に貼り合わせて作製することができる。なお、層13と層14との電氣的な接続部分は省略している。

【0077】

この場合、層12と層13との接合領域において、層12側には絶縁層33および導電層34が設けられる。また、層13側には絶縁層31および導電層32が設けられる。ここ

10

20

30

40

50

で、絶縁層 31 は、絶縁層 63、絶縁層 65 および絶縁層 64 の 3 層である例を示している。なお、絶縁層 65 は上記の効果が得られる位置であれば、その他の位置に設けられていてもよい。例えば、絶縁層 63 と絶縁層 65 を入れ替えてもよい。また、導電層 34 と導電層 32 を貼り合わせることで電氣的な接続を得ることができる。

【0078】

図 8A に OSTRANSISTA の詳細を示す。図 8A に示す OSTRANSISTA は、酸化物半導体層および導電層の積層上に絶縁層を設け、当該半導体層に達する溝を設けることでソース電極 205 およびドレイン電極 206 を形成するセルフアライン型の構成である。

【0079】

OSTRANSISTA は、酸化物半導体層 207 に形成されるチャネル形成領域、ソース領域 203 およびドレイン領域 204 のほか、ゲート電極 201、ゲート絶縁膜 202 を有する構成とすることができる。当該溝には少なくともゲート絶縁膜 202 およびゲート電極 201 が設けられる。当該溝には、さらに酸化物半導体層 208 が設けられていてもよい。

【0080】

OSTRANSISTA は、図 8B に示すように、ゲート電極 201 をマスクとして半導体層にソース領域 203 およびドレイン領域 204 を形成するセルフアライン型の構成としてもよい。

【0081】

または、図 8C に示すように、ソース電極 205 またはドレイン電極 206 とゲート電極 201 とが重なる領域を有するノンセルフアライン型のトップゲート型トランジスタであってもよい。

【0082】

トランジスタ 103、105、106 はバックゲート 535 を有する構造を示しているが、バックゲートを有さない構造であってもよい。バックゲート 535 は、図 8D に示すトランジスタのチャネル幅方向の断面図のように、対向して設けられるトランジスタのフロントゲートと電氣的に接続してもよい。なお、図 8D は図 8A のトランジスタ 103 の A1-A2 断面を示しているが、その他の構造のトランジスタも同様にフロントゲートとバックゲート 535 を電氣的に接続してもよい。また、バックゲート 535 にフロントゲートとは異なる固定電位を供給することができる構成であってもよい。

【0083】

OSTRANSISTA に用いる半導体材料としては、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体などであり、例えば、後述する CAAC-OS または CAC-OS などを用いることができる。CAAC-OS は結晶を構成する原子が安定であり、信頼性を重視するトランジスタなどに適する。また、CAC-OS は、高移動度特性を示すため、高速駆動を行うトランジスタなどに適する。

【0084】

OSTRANSISTA は半導体層のエネルギーギャップが大きいこと、数 $\gamma \text{ A} / \mu \text{ m}$ (チャネル幅 $1 \mu \text{ m}$ あたりの電流値) という極めて低いオフ電流特性を示す。また、OSTRANSISTA は、インパクトイオン化、アバランシェ降伏、および短チャネル効果などが生じないなど Si トランジスタとは異なる特徴を有し、高耐圧で信頼性の高い回路を形成することができる。また、Si トランジスタでは問題となる結晶性の不均一性に起因する電気特性のばらつきも OSTRANSISTA では生じにくい。

【0085】

OSTRANSISTA が有する半導体層は、例えばインジウム、亜鉛および M (アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属) を含む In-M-Zn 系酸化物で表記される膜とすることができる。In-M-Zn 系酸化物は、例えば、スパッタリング法、ALD (Atomic Layer Deposition) 法、または MOCVD (Metal Organic Chemical Vapor Deposition) 法などを用

10

20

30

40

50

いて形成することができる。

【0086】

In-M-Zn酸化物をスパッタリング法で成膜する場合、スパッタリングターゲットの金属元素の原子数比は、 $In \geq M$ 、 $Zn \geq M$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=3:1:2$ 、 $In:M:Zn=4:2:3$ 、 $In:M:Zn=4:2:4.1$ 、 $In:M:Zn=5:1:6$ 、 $In:M:Zn=5:1:7$ 、 $In:M:Zn=5:1:8$ 等が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

10

【0087】

半導体層としては、キャリア密度の低い酸化物半導体を用いる。例えば、半導体層は、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。当該酸化物半導体は欠陥準位密度が低く、安定な特性を有する酸化物半導体であるといえる。

【0088】

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

20

【0089】

半導体層を構成する酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

【0090】

また、アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるアルカリ金属またはアルカリ土類金属の濃度（二次イオン質量分析法により得られる濃度）を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。

30

【0091】

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（二次イオン質量分析法により得られる濃度）は、 $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下にすることが好ましい。

40

【0092】

また、半導体層を構成する酸化物半導体に水素が含まれていると、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャンネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

【0093】

50

酸素欠損に水素が入った欠陥は、酸化物半導体のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

【0094】

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0095】

また、酸化物半導体（金属酸化物）は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor）、多結晶酸化物半導体、nc-OS（nanocrystalline Oxide Semiconductor）、擬似非晶質酸化物半導体（a-like OS：amorphous-like Oxide Semiconductor）、および非晶質酸化物半導体などがある。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

【0096】

非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

【0097】

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、または積層構造を有する場合がある。

【0098】

以下では、非単結晶の半導体層の一態様であるCAC（Cloud-Aligned Composite）-OSの構成について説明する。

【0099】

CAC-OSとは、例えば、酸化物半導体を構成する元素が、 0.5 nm 以上 10 nm 以下、好ましくは、 1 nm 以上 2 nm 以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、 0.5 nm 以上 10 nm 以下、好ましくは、 1 nm 以上 2 nm 以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0100】

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0101】

例えば、 In-Ga-Zn 酸化物における CAC-OS (CAC-OS の中でも In-Ga-Zn 酸化物を、特に CAC-IGZO と呼称してもよい。) とは、インジウム酸化物 (以下、 InO_{x1} ($x1$ は 0 よりも大きい実数) とする。)、またはインジウム亜鉛酸化物 (以下、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ ($x2$ 、 $y2$ 、および $z2$ は 0 よりも大きい実数) とする。)、と、ガリウム酸化物 (以下、 GaO_{x3} ($x3$ は 0 よりも大きい実数) とする。)、またはガリウム亜鉛酸化物 (以下、 $\text{Ga}_{x4}\text{Zn}_{y4}\text{O}_{z4}$ ($x4$ 、 $y4$ 、および $z4$ は 0 よりも大きい実数) とする。)) などと、に材料が分離することでモザイク状となり、モザイク状の InO_{x1} 、または $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ が、膜中に均一に分布した構成 (以下、クラウド状ともいう。) である。

【0102】

つまり、 CAC-OS は、 GaO_{x3} が主成分である領域と、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第 1 の領域の元素 M に対する In の原子数比が、第 2 の領域の元素 M に対する In の原子数比よりも大きいことを、第 1 の領域は、第 2 の領域と比較して、In の濃度が高いとする。

【0103】

なお、 IGZO は通称であり、In、Ga、Zn、および O による 1 つの化合物をいう場合がある。代表例として、 $\text{InGaO}_3(\text{ZnO})_{m1}$ ($m1$ は自然数)、または $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$ ($-1 \leq x0 \leq 1$ 、 $m0$ は任意数) で表される結晶性の化合物が挙げられる。

【0104】

上記結晶性の化合物は、単結晶構造、多結晶構造、または CAAC 構造を有する。なお、 CAAC 構造とは、複数の IGZO のナノ結晶が c 軸配向を有し、かつ a-b 面においては配向せずに連結した結晶構造である。

【0105】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、 CAAC-OS において、歪み近傍においても、明確な結晶粒界 (グレインバウンダリーともいう) を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、 CAAC-OS が、a-b 面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。なお、明確な結晶粒界 (グレインバウンダリー) が確認される結晶構造は、いわゆる多結晶 (polycrystal) と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、または電界効果移動度の低下を引き起こす可能性が高い。よって、明確な結晶粒界が確認されない CAAC-OS は、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、 CAAC-OS を構成するには、Zn を有する構成が好ましい。例えば、 In-Zn 酸化物、及び In-Ga-Zn 酸化物は、In 酸化物よりも結晶粒界の発生を抑制できるため好適である。

【0106】

一方、 CAC-OS は、酸化物半導体の材料構成に関する。 CAC-OS とは、In、Ga、Zn、および O を含む材料構成において、一部に Ga を主成分とするナノ粒子状に観察される領域と、一部に In を主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。したがって、 CAC-OS において、結晶構造は副次的な要素である。

【0107】

なお、 CAC-OS は、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、In を主成分とする膜と、Ga を主成分とする膜との 2 層からなる構造は、含まない。

【0108】

10

20

30

40

50

なお、 GaO_{x3} が主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域とは、明確な境界が観察できない場合がある。

【0109】

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、CAC-O-Sは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

10

【0110】

CAC-O-Sは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、CAC-O-Sをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、および窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

【0111】

CAC-O-Sは、X線回折(XRD: X-ray diffraction)測定法のひとつであるOut-of-plane法による $\theta/2\theta$ スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、X線回折測定から、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

20

【0112】

また、CAC-O-Sは、プローブ径が1nmの電子線（ナノビーム電子線ともいう。）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域（リング領域）と、該リング領域に複数の輝点が観測される。したがって、電子線回折パターンから、CAC-O-Sの結晶構造が、平面方向、および断面方向において、配向性を有さないnc(nano-crystal)構造を有することがわかる。

【0113】

また、例えば、In-Ga-Zn酸化物におけるCAC-O-Sでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、 GaO_{x3} が主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

30

【0114】

CAC-O-Sは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-O-Sは、 GaO_{x3} などが主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

【0115】

ここで、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域は、 GaO_{x3} などが主成分である領域と比較して、導電性が高い領域である。つまり、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。したがって、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度(μ)が実現できる。

40

【0116】

一方、 GaO_{x3} などが主成分である領域は、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域と比較して、絶縁性が高い領域である。つまり、 GaO_{x3} などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイ

50

ツチング動作を実現できる。

【0117】

したがって、CAC-O-Sを半導体デバイスに用いた場合、GaOx₃などに起因する絶縁性と、Inx₂Zny₂Oz₂、またはInOx₁に起因する導電性とが、相補的に作用することにより、高いオン電流(I_{on})、および高い電界効果移動度(μ)を実現することができる。

【0118】

また、CAC-O-Sを用いた半導体デバイスは、信頼性が高い。したがって、CAC-O-Sは、様々な半導体装置の構成材料として適している。

【0119】

次に、図7Bの構造を例として、貼り合わせ技術の説明を行う。

【0120】

層12には、絶縁層33および導電層34が設けられる。導電層34は、絶縁層33に埋設され、貫通する領域を有する。導電層34は、領域22と電氣的に接続される。また、絶縁層33、導電層34の表面は、それぞれ高さが一致するように平坦化されている。

【0121】

層13には、絶縁層31および導電層32が設けられる。導電層32は、絶縁層31に埋設され、貫通する領域を有する。導電層32は、トランジスタ103と電氣的に接続される。また、絶縁層31および導電層32の表面は、それぞれ高さが一致するように平坦化されている。

【0122】

ここで、導電層32および導電層34は、主成分が同一の金属元素であることが好ましい。また、絶縁層31および絶縁層33の表面は、同一の成分で構成されていることが好ましい。

【0123】

例えば、導電層32、34には、Cu、Al、Sn、Zn、W、Ag、PtまたはAuなどを用いることができる。接合のしやすさから、好ましくはCu、Al、W、またはAuを用いる。また、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、窒化チタンなどを、表面に積層した絶縁膜を、絶縁膜31、33に用いることができる。

【0124】

つまり、導電層32および導電層34の組み合わせに、上記に示す同一の金属材料を用いることが好ましい。また、絶縁層31および絶縁層33のそれぞれに、上記に示す同一の絶縁材料を用いることが好ましい。当該構成とすることで、層12と層13の境を接合位置とする、貼り合わせを行うことができる。

【0125】

当該貼り合わせによって、導電層32および導電層34の電氣的な接続を得ることができる。また、絶縁層31および絶縁層33の機械的な強度を有する接続を得ることができる。

【0126】

金属層同士の接合には、表面の酸化膜および不純物の吸着層などをスパッタリング処理などで除去し、清浄化および活性化した表面同士を接触させて接合する表面活性化接合法を用いることができる。または、温度と圧力を併用して表面同士を接合する拡散接合法などを用いることができる。どちらも原子レベルでの結合が起こるため、電氣的だけでなく機械的にも優れた接合を得ることができる。

【0127】

また、絶縁層同士の接合には、研磨などによって高い平坦性を得たのち、酸素プラズマ等で親水性処理をした表面同士を接触させて仮接合し、熱処理による脱水で本接合を行う親水性接合法などを用いることができる。親水性接合法も原子レベルでの結合が起こるため、機械的に優れた接合を得ることができる。

【0128】

層12と、層13を貼り合わせる場合、それぞれの接合面には絶縁層と金属層が混在する

10

20

30

40

50

ため、例えば、表面活性化接合法および親水性接合法を組み合わせればよい。

【0129】

例えば、研磨後に表面を清浄化し、金属層の表面に酸化防止処理を行ったのちに親水性処理を行って接合する方法などを用いることができる。また、金属層の表面をAuなどの難酸化性金属とし、親水性処理を行ってもよい。なお、上述した方法以外の接合方法を用いてもよい。

【0130】

以下では、イメージセンサチップを収めたパッケージおよびカメラモジュールの一例について説明する。当該イメージセンサチップには、上記撮像装置の構成を用いることができる。

10

【0131】

図14Aは、イメージセンサチップを収めたパッケージの上面側の外観斜視図である。当該パッケージは、イメージセンサチップ650を固定するパッケージ基板610、カバーガラス620および両者を接着する接着剤630等を有する。

【0132】

図14Cは、当該パッケージの下面側の外観斜視図である。パッケージの下面には、半田ボールをバンプ640としたBGA(Ball Grid Array)を有する。なお、BGAに限らず、LGA(Land Grid Array)やPGA(Pin Grid Array)などを有していてもよい。

【0133】

図14Eは、カバーガラス620および接着剤630の一部を省いて図示したパッケージの斜視図である。パッケージ基板610上には電極パッド660が形成され、電極パッド660およびバンプ640はスルーホールを介して電氣的に接続されている。電極パッド660は、イメージセンサチップ650とワイヤ670によって電氣的に接続されている。

20

【0134】

また、図14Bは、イメージセンサチップをレンズ一体型のパッケージに収めたカメラモジュールの上面側の外観斜視図である。当該カメラモジュールは、イメージセンサチップ651を固定するパッケージ基板611、レンズカバー621、およびレンズ635等を有する。また、パッケージ基板611およびイメージセンサチップ651の間には撮像装置の駆動回路および信号変換回路などの機能を有するICチップ690も設けられており、SiP(System in Package)としての構成を有している。

30

【0135】

図14Dは、当該カメラモジュールの下面側の外観斜視図である。パッケージ基板611の下面および側面には、実装用のランド641が設けられたQFN(Quad Flat No-lead package)の構成を有する。なお、当該構成は一例であり、QFP(Quad Flat Package)や前述したBGAが設けられていてもよい。

【0136】

図14Fは、レンズカバー621およびレンズ635の一部を省いて図示したモジュールの斜視図である。ランド641は電極パッド661と電氣的に接続され、電極パッド661はイメージセンサチップ651またはICチップ690とワイヤ671によって電氣的に接続されている。

40

【0137】

イメージセンサチップを上述したような形態のパッケージに収めることでプリント基板等への実装が容易になり、イメージセンサチップを様々な半導体装置、電子機器に組み込むことができる。

【0138】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【0139】

(実施の形態3)

50

本実施の形態では、本発明の一態様の撮像装置に用いることができる記憶装置 3300 の構成について説明する。

【0140】

<記憶装置>

図9は、記憶装置の構成例を示すブロック図である。記憶装置 3300 は、周辺回路 3311、セルアレイ (Cell Array) 3401、および半導体装置 3100 を有する。なお、記憶装置 3300 は、実施の形態1で説明した回路 58 に相当する。

【0141】

記憶装置 3300 には、外部から電源電圧として低電源電圧 (VSS)、周辺回路 3311 用の高電源電圧 (VDD)、セルアレイ 3401 用の高電源電圧 (VIL) が供給される。

10

【0142】

また、記憶装置 3300 には、制御信号 (CE、WE、RE)、アドレス信号 ADDR、データ信号 WDATA が外部から入力される。アドレス信号 ADDR は、ローデコーダ 3321 およびカラムデコーダ 3331 に入力され、データ信号 WDATA は入出力回路 3334 に入力される。

【0143】

〔周辺回路 3311 の構成例〕

周辺回路 3311 は、ローデコーダ 3321、ワード線ドライバ回路 3322、カラムデコーダ 3331、ビット線ドライバ回路 3330、出力回路 3340、コントロールロジック回路 3360 を有する。

20

【0144】

ワード線ドライバ回路 3322 は、配線 WL に電位を供給する機能を有する。ビット線ドライバ回路 3330 は、プリチャージ回路 3332、増幅回路 3333、および入出力回路 3334 を有する。プリチャージ回路 3332 は、配線 SL (図示せず)、配線 BIL または配線 RBL などプリチャージする機能を有する。増幅回路 3333 は、配線 BIL または配線 RBL から読み出されたデータ信号を増幅する機能を有する。なお、配線 WL、配線 SL、配線 BIL、および配線 RBL は、セルアレイ 3401 が有するメモリセル (Memory Cell) 3411 に接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路 3340 を介して、デジタルのデータ信号 RDATA として記憶装置 3300 の外部に出力される。

30

【0145】

コントロールロジック回路 3360 は、外部からの入力信号 (CE、WE、RE) を処理して、ローデコーダ 3321、カラムデコーダ 3331 の制御信号を生成する。CE は、チップイネーブル信号であり、WE は、書き込みイネーブル信号であり、RE は、読み出しイネーブル信号である。コントロールロジック回路 3360 が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

【0146】

なお、上述の各回路あるいは各信号は、必要に応じて、適宜、取捨することができる。

【0147】

〔セルアレイ 3401 の構成例〕

セルアレイ 3401 を構成するトランジスタに OS トランジスタを適用することができる。また、周辺回路 3311 を構成するトランジスタに OS トランジスタを適用することができる。セルアレイ 3401 と周辺回路 3311 を、OS トランジスタを用いて形成することで、セルアレイ 3401 と周辺回路 3311 を、同一の製造工程で作製することが可能になり、製造コストを低く抑えることができる。

40

【0148】

図10にセルアレイ 3401 の詳細を記載する。セルアレイ 3401 は、一列に m (m は 1 以上の整数である。) 個、一行に n (n は 1 以上の整数である。) 個、計 $m \times n$ 個のメモリセル 3411 を有し、メモリセル 3411 は行列状に配置されている。図10では、

50

メモリセル 3 4 1 1 のアドレスも併せて表記している。例えば、[1 , 1] は 1 行 1 列目のアドレスに位置しているメモリセル 3 4 1 1 を示し、[i , j] (i は、1 以上 m 以下の整数であり、j は、1 以上 n 以下の整数である。) は i 行 j 列目のアドレスに位置しているメモリセル 3 4 1 1 を示している。なお、セルアレイ 3 4 0 1 とワード線ドライバ回路 3 3 2 2 を接続している配線の数、メモリセル 3 4 1 1 の構成、一行中に含まれるメモリセル 3 4 1 1 の数などによって決まる。また、セルアレイ 3 4 0 1 とビット線ドライバ回路 3 3 3 0 とを接続している配線の数、メモリセル 3 4 1 1 の構成、一行中に含まれるメモリセル 3 4 1 1 の数などによって決まる。

【 0 1 4 9 】

〔メモリセル 3 4 1 1 の構成例〕

図 1 1 に、上述のメモリセル 3 4 1 1 に適用できるメモリセル 3 4 1 1 A 乃至メモリセル 3 4 1 1 D の構成例を示す。

【 0 1 5 0 】

〔 D O S R A M 〕

図 1 1 A に、 D R A M 型のメモリセル 3 4 1 1 A の回路構成例を示す。本明細書等において、 O S トランジスタを用いた D R A M を、 D O S R A M (D y n a m i c O x i d e S e m i c o n d u c t o r R a n d o m A c c e s s M e m o r y) 呼ぶ。メモリセル 3 4 1 1 A は、トランジスタ M 1 1 と、キャパシタ C s と、を有する。

【 0 1 5 1 】

トランジスタ M 1 1 の第 1 端子は、キャパシタ C s の第 1 端子と接続され、トランジスタ M 1 1 の第 2 端子は、配線 B I L と接続され、トランジスタ M 1 1 のゲートは、配線 W L と接続され、トランジスタ M 1 1 のバックゲートは、配線 B G L と接続されている。キャパシタ C s の第 2 端子は、配線 G N D L と接続されている。配線 G N D L は、低レベル電位 (基準電位という場合がある。) を与える配線である。

【 0 1 5 2 】

配線 B I L は、ビット線として機能し、配線 W L は、ワード線として機能する。配線 B G L は、トランジスタ M 1 1 のバックゲートに電位を印加するための配線として機能する。また、配線 B G L は、半導体装置 3 1 0 0 の出力端子 O U T と電氣的に接続される。配線 B G L に任意の電位を印加することによって、トランジスタ M 1 1 のしきい値電圧を増減することができる。

【 0 1 5 3 】

データの書き込みおよび読み出しは、配線 W L に高レベル電位を印加し、トランジスタ M 1 1 を導通状態にし、配線 B I L とキャパシタ C s の第 1 端子を電氣的に接続することによって行われる。

【 0 1 5 4 】

また、上述した記憶装置 3 3 0 0 が有するメモリセルは、メモリセル 3 4 1 1 A に限定されず、回路構成の変更を行うことができる。

【 0 1 5 5 】

トランジスタ M 1 1 をメモリセルに用いる場合は、トランジスタ M 1 1 に O S トランジスタを用いることが好ましい。また、 O S トランジスタの半導体層に、インジウム、元素 M (元素 M はアルミニウム、ガリウム、イットリウム、またはスズ) 、亜鉛のいずれかを含む酸化物半導体を用いることが好ましい。特に、インジウム、ガリウム、亜鉛からなる酸化物半導体を用いることが好ましい。

【 0 1 5 6 】

インジウム、ガリウム、亜鉛を含む酸化物半導体を適用した O S トランジスタは、オフ電流が極めて小さいという特性を有している。トランジスタ M 1 1 として O S トランジスタを用いることによって、トランジスタ M 1 1 のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタ M 1 1 によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモ

10

20

30

40

50

リセル 3 4 1 1 A、メモリセル 3 4 1 1 B、メモリセル 3 4 1 1 C、メモリセル D に対し
て多値データ、またはアナログデータを保持することができる。

【0157】

トランジスタ M 1 1 として O S トランジスタを適用することにより、D O S R A M を構成
することができる。

【0158】

[N O S R A M]

図 1 1 B に、2 つのトランジスタと 1 つのキャパシタを有するゲインセル型（「2 T r 1
C 型」ともいう。）のメモリセル 3 4 1 1 B の回路構成例を示す。メモリセル 3 4 1 1 B
は、トランジスタ M 1 1 と、トランジスタ M 3 と、キャパシタ C s と、を有する。

10

【0159】

トランジスタ M 1 1 の第 1 端子は、キャパシタ C s の第 1 端子と接続され、トランジスタ
M 1 1 の第 2 端子は、配線 W B L と接続され、トランジスタ M 1 1 のゲートは、配線 W L
と接続され、トランジスタ M 1 1 のバックゲートは、配線 B G L と接続されている。キャ
パシタ C s の第 2 端子は、配線 R L と接続されている。トランジスタ M 3 の第 1 端子は、
配線 R B L と接続され、トランジスタ M 3 の第 2 端子は、配線 S L と接続され、トランジ
スタ M 3 のゲートは、キャパシタ C s の第 1 端子と接続されている。

【0160】

配線 W B L は、書き込みビット線として機能し、配線 R B L は、読み出しビット線として
機能し、配線 W L は、ワード線として機能する。配線 R L は、キャパシタ C s の第 2 端子
に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の
最中、配線 R L には、基準電位を印加するのが好ましい。

20

【0161】

配線 B G L は、トランジスタ M 1 1 のバックゲートに電位を印加するための配線として機
能する。また、配線 B G L は、半導体装置 3 1 0 0 の出力端子 O U T と電氣的に接続され
る。配線 B G L に任意の電位を印加することによって、トランジスタ M 1 1 のしきい値電
圧を増減することができる。

【0162】

データの書き込みは、配線 W L に高レベル電位を印加し、トランジスタ M 1 1 を導通状態
にし、配線 W B L とキャパシタ C s の第 1 端子を電氣的に接続することによって行われる
。具体的には、トランジスタ M 1 1 が導通状態のときに、配線 W B L に記録する情報に対
応する電位を印加し、キャパシタ C s の第 1 端子、およびトランジスタ M 3 のゲートに該
電位を書き込む。その後、配線 W L に低レベル電位を印加し、トランジスタ M 1 1 を非導
通状態にすることによって、キャパシタ C s の第 1 端子の電位、およびトランジスタ M 3
のゲートの電位を保持する。

30

【0163】

データの読み出しは、配線 R L と配線 S L に所定の電位を印加することによって行われる
。トランジスタ M 3 のソースドレイン間に流れる電流、およびトランジスタ M 3 の第 1
端子の電位は、トランジスタ M 3 のゲートの電位、およびトランジスタ M 3 の第 2 端子の
電位によって決まるので、トランジスタ M 3 の第 1 端子に接続されている配線 R B L の電
位を読み出すことによって、キャパシタ C s の第 1 端子（またはトランジスタ M 3 のゲー
ト）に保持されている電位を読み出すことができる。つまり、キャパシタ C s の第 1 端子
（またはトランジスタ M 3 のゲート）に保持されている電位から、このメモリセルに書き
込まれている情報を読み出すことができる。または、このメモリセルに書き込まれている
情報の有無を知ることができる。

40

【0164】

また、上述した記憶装置 3 3 0 0 が有するメモリセルは、メモリセル 3 4 1 1 B に限定さ
れず、回路の構成を適宜変更することができる。

【0165】

例えば、配線 W B L と配線 R B L を一本の配線 B I L としてまとめた構成であってもよい

50

。そのメモリセルの回路構成例を図11Cに示す。メモリセル3411Cは、メモリセル3411Bの配線WBLと配線RBLを一本の配線BILとして、トランジスタM11の第2端子、およびトランジスタM3の第1端子が、配線BILと接続されている構成となっている。つまり、メモリセル3411Cは、書き込みビット線と、読み出しビット線と、を1本の配線BILとして動作する構成となっている。

【0166】

なお、メモリセル3411Bおよびメモリセル3411Cにおいても、トランジスタM11にOSTランジスタを用いることが好ましい。トランジスタM11にOSTランジスタを用いて、メモリセル3411Bおよびメモリセル3411Cのような2Tr1C型のメモリセルを用いた記憶装置をNOSRAM (Non-volatile Oxide Semiconductor Random Access Memory) という。

10

【0167】

なお、トランジスタM3のチャネル形成領域には、シリコンを有することが好ましい。特に、該シリコンは、非晶質シリコン、多結晶シリコン、低温ポリシリコン (LTPS: Low Temperature Poly-Silicon) とすることができる。Siトランジスタは、OSTランジスタよりも電界効果移動度が高くなる場合があるため、読み出しトランジスタとして、Siトランジスタを適用するのは好適といえる。

【0168】

また、トランジスタM3としてOSTランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

20

【0169】

また、図11Dに、3トランジスタ1キャパシタのゲインセル型 (「3Tr1C型」ともいう。) のメモリセル3411Dの回路構成例を示す。メモリセル3411Dは、トランジスタM11、トランジスタM5、およびトランジスタM6と、キャパシタCsと、を有する。

【0170】

トランジスタM11の第1端子は、キャパシタCsの第1端子と接続され、トランジスタM11の第2端子は、配線BILと接続され、トランジスタM11のゲートは、配線WLと接続され、トランジスタM11のバックゲートは、配線BGLと電氣的に接続されている。キャパシタCsの第2端子は、トランジスタM5の第1端子と、配線GNDLと、に電氣的に接続されている。トランジスタM5の第2端子は、トランジスタM6の第1端子と接続され、トランジスタM5のゲートは、キャパシタCsの第1端子と接続されている。トランジスタM6の第2端子は、配線BILと接続され、トランジスタM6のゲートは配線RLと接続されている。

30

【0171】

配線BILは、ビット線として機能し、配線WLは、書き込みワード線として機能し、配線RLは、読み出しワード線として機能する。

【0172】

配線BGLは、トランジスタM11のバックゲートに電位を印加するための配線として機能する。また、配線BGLは、半導体装置3100の出力端子OUTと電氣的に接続される。配線BGLに任意の電位を印加することによって、トランジスタM11のしきい値電圧を増減することができる。

40

【0173】

データの書き込みは、配線WLに高レベル電位を印加し、トランジスタM11を導通状態にし、配線BILとキャパシタCsの第1端子を接続することによって行われる。具体的には、トランジスタM11が導通状態のときに、配線BILに記録する情報に対応する電位を印加し、キャパシタCsの第1端子、およびトランジスタM5のゲートに該電位を書き込む。その後、配線WLに低レベル電位を印加し、トランジスタM11を非導通状態にすることによって、キャパシタCsの第1端子の電位、およびトランジスタM5のゲートの電位を保持する。

50

【0174】

データの読み出しは、配線BILに所定の電位をプリチャージして、その後、配線BILを電氣的に浮遊状態にし、かつ配線RLに高レベル電位を印加することによって行われる。配線RLが高レベル電位となるので、トランジスタM6は導通状態となり、配線BILとトランジスタM5の第2端子が電氣的に接続状態となる。このとき、トランジスタM5の第2端子には、配線BILの電位が印加されることになるが、キャパシタCsの第1端子（またはトランジスタM5のゲート）に保持されている電位に応じて、トランジスタM5の第2端子の電位、および配線BILの電位が変化する。ここで、配線BILの電位を読み出すことによって、キャパシタCsの第1端子（またはトランジスタM5のゲート）に保持されている電位を読み出すことができる。つまり、キャパシタCsの第1端子（またはトランジスタM5のゲート）に保持されている電位から、このメモリセルに書き込まれている情報を読み出すことができる。または、このメモリセルに書き込まれている情報の有無を知ることができる。

10

【0175】

また、上述した記憶装置3300が有するメモリセルは、回路の構成を適宜変更することができる。

【0176】

なお、メモリセル3411Dにおいても、トランジスタM11にOSTランジスタを用いることが好ましい。トランジスタM11としてOSTランジスタを適用した3Tr1C型のメモリセル3411Dは、前述したNOSRAMの一態様である。

20

【0177】

なお、本実施の形態で説明したトランジスタM5およびM6のチャネル形成領域には、シリコンを有することが好ましい。特に、該シリコンは、非晶質シリコン、多結晶シリコン、低温ポリシリコンとすることができる。Siトランジスタは、OSTランジスタよりも電界効果移動度が高くなる場合があるため、読み出しトランジスタとして、Siトランジスタを適用するのは好適といえる。

【0178】

また、トランジスタM5およびM6としてOSTランジスタを用いた場合、メモリセルを単極性回路で構成することができる。

【0179】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

30

【0180】

（実施の形態4）

本実施の形態では、本発明の一態様の撮像装置に用いることができる記憶装置の構成について、図12および図13を用いて説明する。

【0181】

〔記憶装置1〕

本発明の一態様の撮像装置に用いることができる記憶装置は、トランジスタ200、トランジスタ300、およびキャパシタ100を備える（図12参照）。トランジスタ200はトランジスタ300の上方に設けられ、キャパシタ100はトランジスタ300、およびトランジスタ200の上方に設けられている。

40

【0182】

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

【0183】

また、半導体層を構成する酸化物半導体に、酸化物230a、酸化物230bおよび酸化

50

物 2 3 0 c を用いることができる。具体的には、酸化物 2 3 0 a として、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成、または $1 : 1 : 0.5$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。

【0184】

また、酸化物 2 3 0 b として、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成、または $1 : 1 : 1$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物 2 3 0 b として、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ [原子数比] もしくはその近傍の組成、または $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ [原子数比] もしくはその近傍の組成の金属酸化物を用いてもよい。また、酸化物 2 3 0 b として、 $\text{In}-\text{Zn}$ 酸化物（例えば、 $\text{In} : \text{Zn} = 2 : 1$ [原子数比] もしくはその近傍の組成、 $\text{In} : \text{Zn} = 5 : 1$ [原子数比] もしくはその近傍の組成、または $\text{In} : \text{Zn} = 10 : 1$ [原子数比] もしくはその近傍の組成）を用いてもよい。また、酸化物 2 3 0 b として、 In 酸化物を用いてもよい。

10

【0185】

また、酸化物 2 3 0 c として、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成、 $\text{Ga} : \text{Zn} = 2 : 1$ [原子数比] もしくはその近傍の組成、または $\text{Ga} : \text{Zn} = 2 : 5$ [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物 2 3 0 c に、酸化物 2 3 0 b に用いることのできる材料を適用し、単層または積層で設けてもよい。例えば、酸化物 2 3 0 c を積層構造とする場合の具体例としては、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成と、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成との積層構造、 $\text{Ga} : \text{Zn} = 2 : 1$ [原子数比] もしくはその近傍の組成と、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成との積層構造、 $\text{Ga} : \text{Zn} = 2 : 5$ [原子数比] もしくはその近傍の組成と、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成との積層構造、酸化ガリウムと、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ [原子数比] もしくはその近傍の組成との積層構造などが挙げられる。

20

【0186】

また、酸化物 2 3 0 b、2 3 0 c として、膜中のインジウムの比率を高めることで、トランジスタのオン電流、または電界効果移動度などを高めることが出来るため、好適である。また、上述した近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。

30

【0187】

図 1 2 に示す記憶装置において、配線 1 0 0 1 はトランジスタ 3 0 0 のソースと電氣的に接続され、配線 1 0 0 2 はトランジスタ 3 0 0 のドレインと電氣的に接続されている。また、配線 1 0 0 3 はトランジスタ 2 0 0 のソースおよびドレインの一方と電氣的に接続され、配線 1 0 0 4 はトランジスタ 2 0 0 の第 1 のゲートと電氣的に接続され、配線 1 0 0 6 はトランジスタ 2 0 0 の第 2 のゲートと電氣的に接続されている。そして、トランジスタ 3 0 0 のゲート、およびトランジスタ 2 0 0 のソースおよびドレインの他方は、キャパシタ 1 0 0 の電極の一方と電氣的に接続され、配線 1 0 0 5 はキャパシタ 1 0 0 の電極の他方と電氣的に接続されている。

【0188】

また、図 1 2 に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

40

【0189】

<トランジスタ 3 0 0>

トランジスタ 3 0 0 は、基板 3 1 1 上に設けられ、ゲートとして機能する導電体 3 1 6、ゲート絶縁体として機能する絶縁体 3 1 5、基板 3 1 1 の一部からなる半導体領域 3 1 3、およびソース領域またはドレイン領域として機能する低抵抗領域 3 1 4 a、および低抵抗領域 3 1 4 b を有する。トランジスタ 3 0 0 は、p チャンネル型、あるいは n チャンネル型のいずれでもよい。

【0190】

50

ここで、図12に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからF I N型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I基板を加工して凸形状を有する半導体膜を形成してもよい。

【0191】

なお、図12に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0192】

<キャパシタ100>

キャパシタ100は、トランジスタ200の上方に設けられる。キャパシタ100は、第1の電極として機能する導電体110Cと、第2の電極として機能する導電体、および誘電体として機能する絶縁体を有する。また、導電体115、導電体125、導電体140、絶縁体142、絶縁体145、絶縁体152、導電体153、絶縁体154および絶縁体156を有する。

【0193】

また、例えば、導電体112Cと、導電体110Cは、同時に形成することができる。なお、導電体112Cは、キャパシタ100、トランジスタ200、またはトランジスタ300と電気的に接続するプラグ、または配線としての機能を有する。

【0194】

図12では、導電体112C、および導電体110Cは単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0195】

また、キャパシタの（誘電体として）絶縁体は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

【0196】

例えば、キャパシタの（誘電体として）絶縁体には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（high-k）材料との積層構造を用いることが好ましい。当該構成により、キャパシタ100は、高誘電率（high-k）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、キャパシタ100の静電破壊を抑制することができる。

【0197】

なお、高誘電率（high-k）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

【0198】

また、キャパシタの（誘電体として）絶縁体は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（P Z T）、チタン酸ストロンチウム（S r T i O₃）または（B a , S r）T i O₃（B S T）などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いてもよい。例えば、絶縁体を積層とする場合、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、が順に形成された3層積層や、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、

10

20

30

40

50

酸化アルミニウムと、が順に形成された4層積層などを用いれば良い。また、絶縁体としては、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0199】

一方、絶縁耐力が大きい材料（低い比誘電率の材料）としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

【0200】

<配線層>

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【0201】

例えば、トランジスタ300上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326にはキャパシタ100、またはトランジスタ200と電氣的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能する。

【0202】

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

【0203】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図12において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能する。

【0204】

同様に、絶縁体210、絶縁体211、絶縁体212、絶縁体214、および絶縁体216には、導電体218、及びトランジスタ200を構成する導電体（導電体205C）等が埋め込まれている。なお、導電体218は、キャパシタ100、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。さらに、導電体120、および絶縁体130上には、絶縁体150が設けられている。

【0205】

ここで、上記実施の形態に示す絶縁体241と同様に、プラグとして機能する導電体218の側面に接して絶縁体217が設けられる。絶縁体217は、絶縁体210、絶縁体211、絶縁体212、絶縁体214、および絶縁体216に形成された開口の内壁に接して設けられている。つまり、絶縁体217は、導電体218と、絶縁体210、絶縁体211、絶縁体212、絶縁体214、および絶縁体216と、の間に設けられている。なお、導電体205Cは導電体218と並行して形成することができるので、導電体205Cの側面に接して絶縁体217が形成される場合もある。

【0206】

絶縁体217としては、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体217は、絶縁体211、絶縁体212、絶縁

10

20

30

40

50

体 2 1 4、および絶縁体 2 2 2 に接して設けられるので、絶縁体 2 1 0 または絶縁体 2 1 6 などから水または水素などの不純物が、導電体 2 1 8 を通じて酸化物 2 3 0 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体 2 1 0 または絶縁体 2 1 6 に含まれる酸素が導電体 2 1 8 に吸収されるのを防ぐことができる。

【 0 2 0 7 】

絶縁体 2 1 7 は、絶縁体 2 4 1 と同様の方法で形成することができる。例えば、P E A L D 法を用いて、窒化シリコンを成膜し、異方性エッチングを用いて導電体 3 5 6 に達する開口を形成すればよい。

【 0 2 0 8 】

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【 0 2 0 9 】

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【 0 2 1 0 】

例えば、絶縁体 1 5 0、絶縁体 2 1 0、絶縁体 3 5 2、および絶縁体 3 5 4 等には、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリル樹脂などがある。

【 0 2 1 1 】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体 2 1 4、絶縁体 2 1 1、絶縁体 2 1 2 および絶縁体 3 5 0 等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

【 0 2 1 2 】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

【 0 2 1 3 】

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【 0 2 1 4 】

例えば、導電体 3 2 8、導電体 3 3 0、導電体 3 5 6、導電体 2 1 8、および導電体 1 1 2 C 等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0215】

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ 2 0 0 に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体が設けられることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

【0216】

例えば、図 1 2 では、過剰酸素を有する絶縁体 2 2 4 および絶縁体 2 8 0 と、導電体 2 4 0 との間に、絶縁体 2 4 1 を設けるとよい。絶縁体 2 4 1 と、絶縁体 2 2 2、絶縁体 2 7 2、絶縁体 2 7 3、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 とが接して設けられることで、絶縁体 2 2 4、およびトランジスタ 2 0 0 は、バリア性を有する絶縁体により、封止する構造とすることができる。

【0217】

つまり、絶縁体 2 4 1 を設けることで、絶縁体 2 2 4 および絶縁体 2 8 0 が有する過剰酸素が、導電体 2 4 0 に吸収されることを抑制することができる。また、絶縁体 2 4 1 を有することで、不純物である水素が、導電体 2 4 0 を介して、トランジスタ 2 0 0 へ拡散することを抑制することができる。

【0218】

なお、絶縁体 2 4 1 としては、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。特に、窒化シリコンは水素に対するブロッキング性が高いため好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物などを用いることができる。

【0219】

また、上記実施の形態と同様に、トランジスタ 2 0 0 は、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 7、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 で封止されることが好ましい。このような構成とすることで、絶縁体 2 7 4、絶縁体 1 5 0 などに含まれる水素が絶縁体 2 8 0 などに混入するのを低減することができる。

【0220】

ここで、絶縁体 2 8 4、絶縁体 2 8 3、および絶縁体 2 8 2 には導電体 2 4 0 が、絶縁体 2 1 4、絶縁体 2 1 2、および絶縁体 2 1 1 には導電体 2 1 8 が貫通しているが、上記の通り、絶縁体 2 4 1 が導電体 2 4 0 に接して設けられ、絶縁体 2 1 7 が導電体 2 1 8 に接して設けられている。これにより、導電体 2 4 0 および導電体 2 1 8 を介して、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 7、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 の内側に混入する水素を低減することができる。このようにして、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 7、絶縁体 2 8 2、絶縁体 2 8 3、絶縁体 2 8 4、絶縁体 2 4 1、および絶縁体 2 1 7 でトランジスタ 2 0 0 をより確実に封止し、絶縁体 2 7 4 等に含まれる水素などの不純物が外側から混入するのを低減することができる。

【0221】

また、絶縁体 2 1 6、絶縁体 2 2 4、絶縁体 2 8 0、絶縁体 2 5 0、および絶縁体 2 7 4 は、先の実施の形態に示すように、水素原子が低減または除去されたガスを用いた成膜方

10

20

30

40

50

法で形成されることが好ましい。これにより、絶縁体 216、絶縁体 224、絶縁体 280、絶縁体 250、および絶縁体 274 の水素濃度を低減することができる。

【0222】

このようにして、トランジスタ 200 近傍のシリコン系絶縁膜の水素濃度を低減し、酸化物 230 の水素濃度を低減することができる。

【0223】

<ダイシングライン>

以下では、大面積基板を半導体素子ごとに分断することによって、複数の記憶装置をチップ状に取り出す場合に設けられるダイシングライン（スクライプライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、
10 基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の記憶装置に分断（分割）する場合がある。

【0224】

ここで、例えば、図 12 に示すように、絶縁体 283 と、絶縁体 211 とが接する領域がダイシングラインと重なるように設計することが好ましい。つまり、複数のトランジスタ 200 を有するメモリセルの外縁に設けられるダイシングラインとなる領域近傍において、絶縁体 282、絶縁体 280、絶縁体 273、絶縁体 272、絶縁体 224、絶縁体 222、絶縁体 216、絶縁体 214、および絶縁体 212 に開口を設ける。

【0225】

つまり、上記絶縁体 282、絶縁体 280、絶縁体 273、絶縁体 272、絶縁体 224、
20 絶縁体 222、絶縁体 216、絶縁体 214、および絶縁体 212 に設けた開口において、絶縁体 211 と、絶縁体 283 とが接する。また、絶縁体 282、絶縁体 280、絶縁体 273、絶縁体 272、絶縁体 224、絶縁体 222、絶縁体 216、および絶縁体 214 に開口を設け、当該開口において絶縁体 212 と絶縁体 283 が接する構成にしてもよい。例えば、このとき、絶縁体 212 と、絶縁体 283 とを同材料及び同方法を用いて形成してもよい。絶縁体 212、および絶縁体 283 を、同材料、および同方法で設けることで、密着性を高めることができる。例えば、窒化シリコンを用いることが好ましい。

【0226】

当該構造により、絶縁体 211、絶縁体 212、絶縁体 214、絶縁体 287、絶縁体 282、絶縁体 283、および絶縁体 284 で、トランジスタ 200 を包み込むことができる。
30 絶縁体 211、絶縁体 212、絶縁体 214、絶縁体 287、絶縁体 282、絶縁体 283、および絶縁体 284 の少なくとも一は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ 200 に拡散することを防ぐことができる。

【0227】

また、当該構造により、絶縁体 280、および絶縁体 224 の過剰酸素が外部に拡散することを防ぐことができる。従って、絶縁体 280、および絶縁体 224 の過剰酸素は、効率的にトランジスタ 200 におけるチャンネルが形成される酸化物に供給される。当該酸素により、トランジスタ 200 におけるチャンネルが形成される酸化物の酸素欠損を低減する
40 ことができる。これにより、トランジスタ 200 におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 200 の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

【0228】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた記憶装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供
50 することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された記憶装置を提供することができる。

【0229】

【記憶装置２】

本発明の一態様の記憶装置の構成を図１３に示す。本発明の一態様の記憶装置は、トランジスタ２００、トランジスタ３００、トランジスタ４００、およびキャパシタ１００を有する。

【０２３０】

トランジスタ４００は、トランジスタ２００の第２のゲート電圧を制御することができる。例えば、トランジスタ４００の第１のゲート及び第２のゲートをソースとダイオード接続し、トランジスタ４００のソースと、トランジスタ２００の第２のゲートを接続する構成とする。当該構成でトランジスタ２００の第２のゲートの負電位を保持するとき、トランジスタ４００の第１のゲートーソース間の電圧および、第２のゲートーソース間の電圧は、０Ｖになる。トランジスタ４００において、第２のゲート電圧及び第１のゲート電圧が０Ｖのときのドレイン電流が非常に小さいため、トランジスタ２００およびトランジスタ４００に電源供給をしなくても、トランジスタ２００の第２のゲートの負電位を長時間維持することができる。これにより、トランジスタ２００、およびトランジスタ４００を有する記憶装置は、長期にわたり記憶内容を保持することが可能である。

【０２３１】

従って、図１３において、配線１００１はトランジスタ３００のソースと電氣的に接続され、配線１００２はトランジスタ３００のドレインと電氣的に接続されている。また、配線１００３はトランジスタ２００のソースおよびドレインの一方と電氣的に接続され、配線１００４はトランジスタ２００のゲートと電氣的に接続され、配線１００６はトランジスタ２００のバックゲートと電氣的に接続されている。そして、トランジスタ３００のゲート、およびトランジスタ２００のソースおよびドレインの他方は、キャパシタ１００の電極の一方と電氣的に接続され、配線１００５はキャパシタ１００の電極の他方と電氣的に接続されている。配線１００７はトランジスタ４００のソースと電氣的に接続され、配線１００８はトランジスタ４００のゲートと電氣的に接続され、配線１００９はトランジスタ４００のバックゲートと電氣的に接続され、配線１０１０はトランジスタ４００のドレインと電氣的に接続されている。ここで、配線１００６、配線１００７、配線１００８、及び配線１００９が電氣的に接続されている。

【０２３２】

また、図１３に示す記憶装置は、図１２に示す記憶装置と同様に、マトリクス状に配置することで、メモリセルアレイを構成することができる。なお、１個のトランジスタ４００は、複数のトランジスタ２００の第２のゲート電圧を制御することができる。そのため、トランジスタ４００は、トランジスタ２００よりも、少ない個数を設けるとよい。また、また、図１３に示す記憶装置は、図１２に示す記憶装置と同様に、トランジスタ２００、およびトランジスタ４００を、絶縁体２１１、絶縁体２１２、絶縁体２１４、絶縁体２８７、絶縁体２８２、絶縁体２８３、および絶縁体２８４で封止することができる。

【０２３３】

<トランジスタ４００>

トランジスタ４００は、トランジスタ２００と、同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ４００は、第１のゲートとして機能する導電体４６０（導電体４６０ａ、および導電体４６０ｂ）と、第２のゲートとして機能する導電体４０５と、ゲート絶縁層として機能する絶縁体２２２、絶縁体２２４、および絶縁体４５０と、チャネル形成領域を有する酸化物４３０ｃと、ソースとして機能する導電体４４２ａ、酸化物４４３ａ、酸化物４３１ａ、および酸化物４３１ｂと、ドレインとして機能する導電体４４２ｂ、酸化物４４３ｂ、酸化物４３２ａ、および酸化物４３２ｂと、を有する。また、トランジスタ２００と同様に、プラグとして機能する導電体が、導電体４４２ａと、導電体４４２ｂに接して設けられる。

【０２３４】

なお、同じ層に形成された構造体は、同時に形成することができる。例えば、酸化物４３０ｃは、酸化物２３０ｃとなる酸化膜を加工することで、形成することができる。

【0235】

トランジスタ400の活性層として機能する酸化物430cは、酸化物230などと同様に、酸素欠損が低減され、水素または水などの不純物が低減されている。これにより、トランジスタ400のしきい値電圧を0Vより大きくし、オフ電流を低減し、第2のゲート電圧及び第1のゲート電圧が0Vのときのドレイン電流を非常に小さくすることができる。

【0236】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

【0237】

(実施の形態5)

本発明の一態様に係る撮像装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図15A乃至図15Fに示す。

【0238】

図15A携帯電話機の一例であり、筐体981、表示部982、操作ボタン983、外部接続ポート984、スピーカ985、マイク986、カメラ987等を有する。当該携帯電話機は、表示部982にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指やスタイラスなどで表示部982に触れることで行うことができる。当該携帯電話機における画像取得のための要素に本発明の一態様の撮像装置を適用することができる。

【0239】

図15Bは携帯データ端末であり、筐体911、表示部912、スピーカ913、カメラ919等を有する。表示部912が有するタッチパネル機能により情報の入出力を行うことができる。また、カメラ919で取得した画像から文字等を認識し、スピーカ913で当該文字を音声出力することができる。当該携帯データ端末における画像取得のための要素に本発明の一態様の撮像装置を適用することができる。

【0240】

図15Cは監視カメラであり、支持台951、カメラユニット952、保護カバー953等を有する。カメラユニット952には回転機構などが設けられ、天井に設置することで全周囲の撮像が可能となる。当該カメラユニットにおける画像取得のための要素に本発明の一態様の撮像装置を適用することができる。なお、監視カメラとは慣用的な名称であり、用途を限定するものではない。例えば監視カメラとしての機能を有する機器はカメラ、またはビデオカメラとも呼ばれる。

【0241】

図15Dはビデオカメラであり、第1筐体971、第2筐体972、表示部973、操作キー974、レンズ975、接続部976、スピーカ977、マイク978等を有する。操作キー974およびレンズ975は第1筐体971に設けられており、表示部973は第2筐体972に設けられている。当該ビデオカメラにおける画像取得のための要素に本発明の一態様の撮像装置を適用することができる。

【0242】

図15Eはデジタルカメラであり、筐体961、シャッターボタン962、マイク963、発光部967、レンズ965等を有する。当該デジタルカメラにおける画像取得のための要素に本発明の一態様の撮像装置を適用することができる。

【0243】

図15Fは腕時計型の情報端末であり、表示部932、筐体兼リストバンド933、カメラ939等を有する。表示部932は、情報端末の操作を行うためのタッチパネルを備え

10

20

30

40

50

る。表示部 932 および筐体兼リストバンド 933 は可撓性を有し、身体への装着性が優れている。当該情報端末における画像取得のための要素に本発明の一態様の撮像装置を適用することができる。

【0244】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

【符号の説明】

【0245】

BGL：配線、BL：配線、BIL：配線、Cs：キャパシタ、GNDL：配線、M3：トランジスタ、M5：トランジスタ、M6：トランジスタ、M11：トランジスタ、SL：配線、T1：期間、T2：期間、T3：期間、T4：期間、RBL：配線、RL：配線、WBL：配線、WL：配線、12：層、13：層、14：層、21：単結晶シリコン基板、22：領域、25：シリコン基板、28：領域、31：絶縁層、32：導電層、33：絶縁層、34：導電層、50：画素回路、51：画素アレイ、52：回路、53：回路、54：回路、55：回路、56：回路、57：回路、58：回路、59：回路、63：絶縁層、64：絶縁層、65：絶縁層、66：絶縁層、100：キャパシタ、101：光電変換デバイス、102：トランジスタ、103：トランジスタ、104：トランジスタ、105：トランジスタ、106：トランジスタ、107：トランジスタ、108：キャパシタ、109：キャパシタ、110：回路、110C：導電体、111：セル、112：トランジスタ、112C：導電体、113：トランジスタ、120：導電体、121：配線、122：配線、123：配線、126：配線、127：配線、128：配線、129：配線、130：絶縁体、131：配線、132：配線、150：絶縁体、200：トランジスタ、201：ゲート電極、202：ゲート絶縁膜、203：ソース領域、204：ドレイン領域、205：ソース電極、205C：導電体、206：ドレイン電極、207：酸化物半導体層、208：酸化物半導体層、210：絶縁体、211：絶縁体、212：絶縁体、214：絶縁体、216：絶縁体、217：絶縁体、218：導電体、222：絶縁体、224：絶縁体、230：酸化物、230a：酸化物、230b：酸化物、230c：酸化物、240：導電体、241：絶縁体、250：絶縁体、272：絶縁体、273：絶縁体、274：絶縁体、280：絶縁体、282：絶縁体、283：絶縁体、284：絶縁体、287：絶縁体、300：トランジスタ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、400：トランジスタ、405：導電体、430c：酸化物、431a：酸化物、431b：酸化物、432a：酸化物、432b：酸化物、442a：導電体、442b：導電体、443a：酸化物、443b：酸化物、450：絶縁体、460：導電体、460a：導電体、460b：導電体、535：バックゲート、610：パッケージ基板、611：パッケージ基板、620：カバーガラス、621：レンズカバー、630：接着剤、635：レンズ、640：パンプ、641：ランド、650：イメージセンサチップ、651：イメージセンサチップ、660：電極パッド、661：電極パッド、670：ワイヤ、671：ワイヤ、690：ICチップ、911：筐体、912：表示部、913：スピーカ、919：カメラ、932：表示部、933：筐体兼リストバンド、939：カメラ、951：支持台、952：カメラユニット、953：保護カバー、961：筐体、962：シャッターボタン、963：マイク、965：レンズ、967：発光部、971：筐体、972：筐体、973：表示部、974：操作キー、975：レンズ、976：接続部、977：スピーカ、978：マイク、981：筐体、982：表示部、983：操作ボタン、984：外部接続ポート、985：スピーカ、986：マイク、987：カメラ、1001：配線、1002：配線、1003：配線、1004：配線、1005：配線、1006：配線、1007：配線、1008：配線、1009：配線、1010：配線、3100：半導体装置、3300：記憶装置、3311：周辺回路、3321：

10

20

30

40

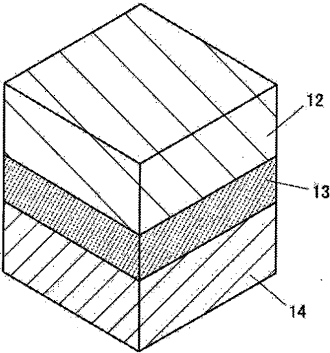
50

ローデコーダ、3322：ワード線ドライバ回路、3330：ビット線ドライバ回路、3331：カラムデコーダ、3332：プリチャージ回路、3333：増幅回路、3334：入出力回路、3340：出力回路、3360：コントロールロジック回路、3401：セルアレイ、3411：メモリセル、3411A：メモリセル、3411B：メモリセル、3411C：メモリセル、3411D：メモリセル、3420：メモリセル、3430：メモリセル

【図面】

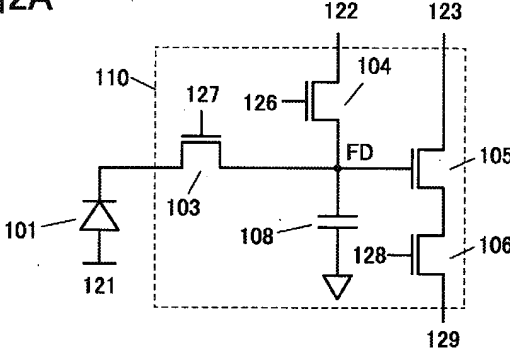
【図1】

図1



【図2A】

図2A

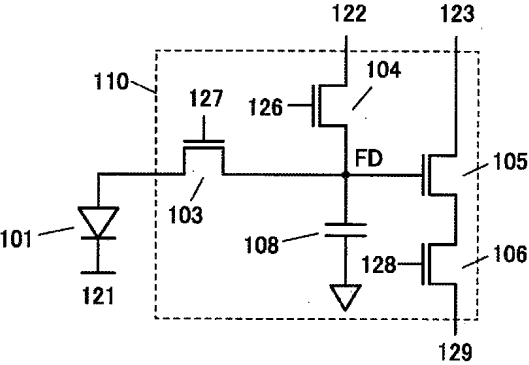


10

20

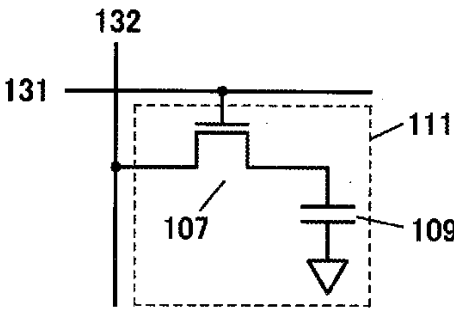
【図2B】

図2B



【図2C】

図2C



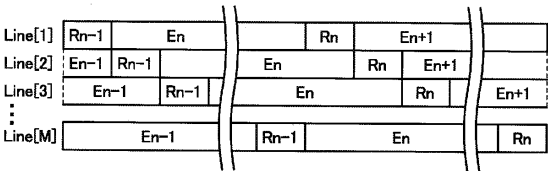
30

40

50

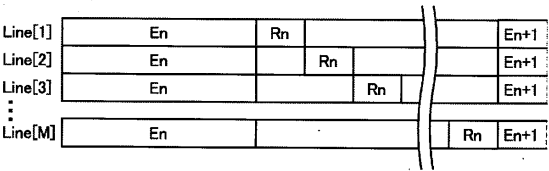
【図 3 A】

図3A



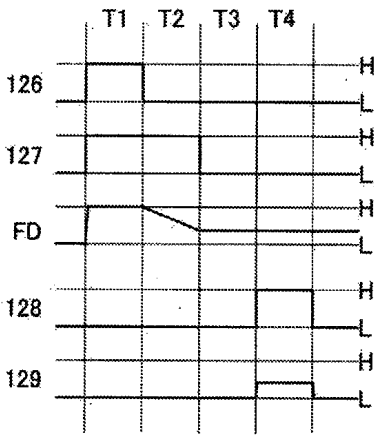
【図 3 B】

図3B



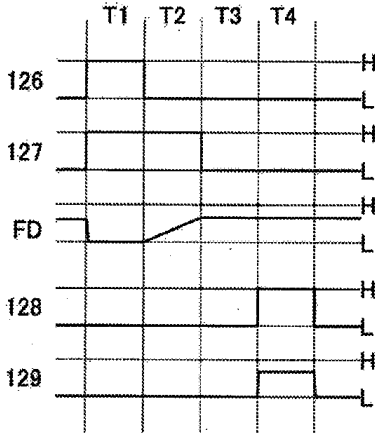
【図 4 A】

図4A



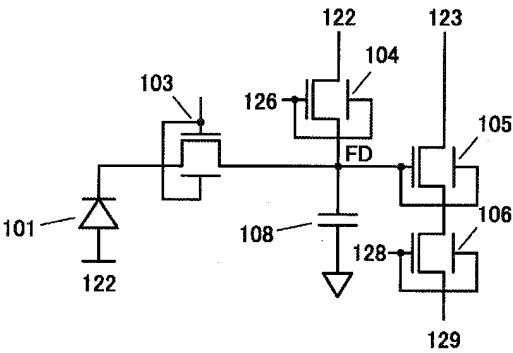
【図 4 B】

図4B



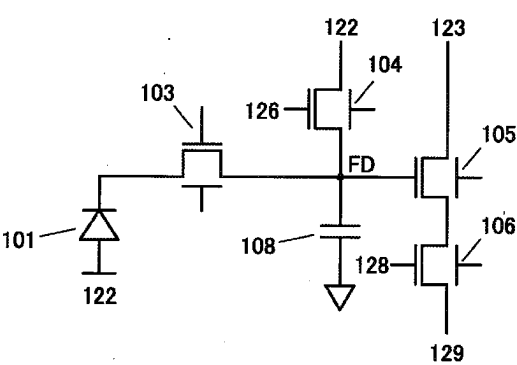
【図 5 A】

図5A



【図 5 B】

図5B



10

20

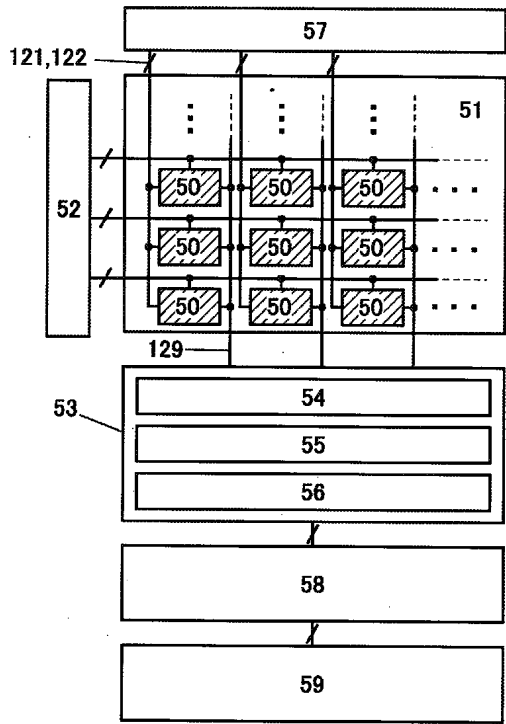
30

40

50

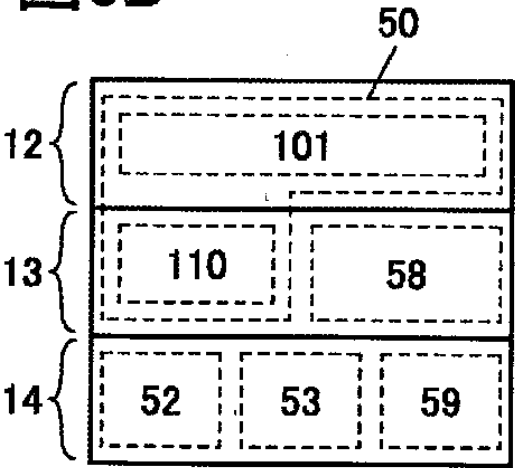
【図 6 A】

図6A



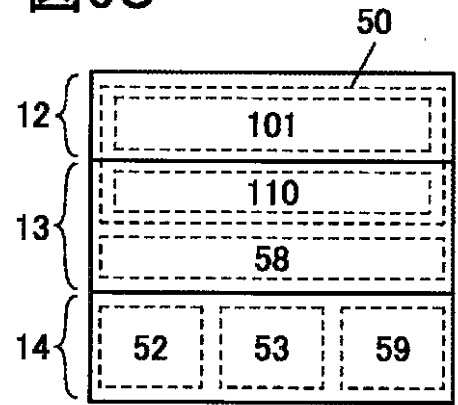
【図 6 B】

図6B



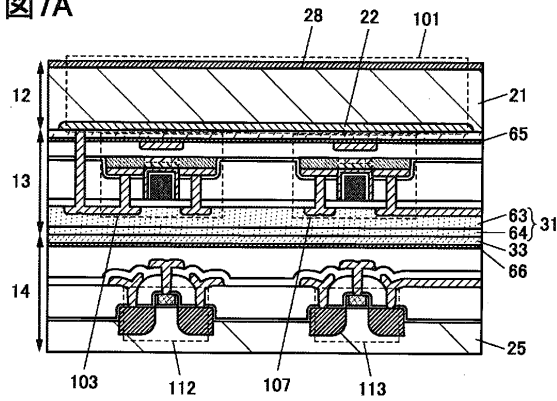
【図 6 C】

図6C



【図 7 A】

図7A



10

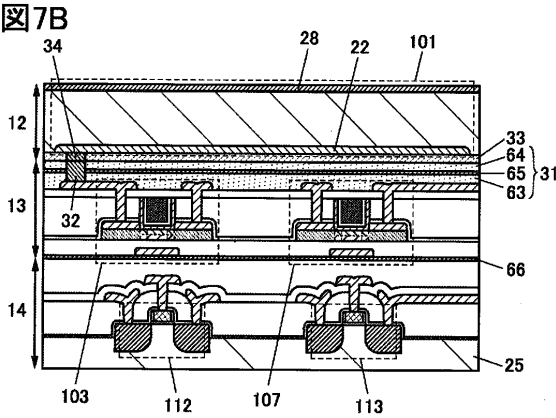
20

30

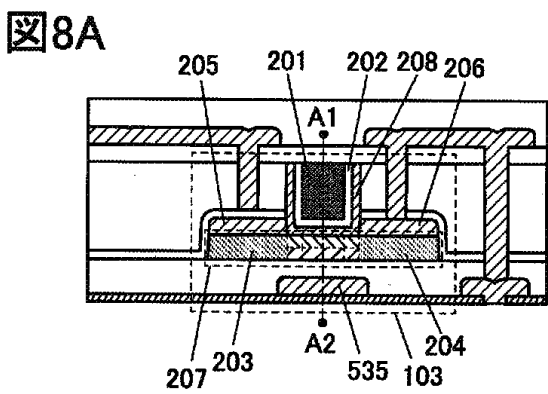
40

50

【図 7 B】

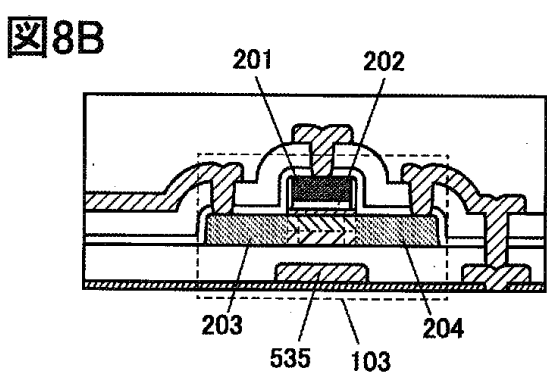


【図 8 A】

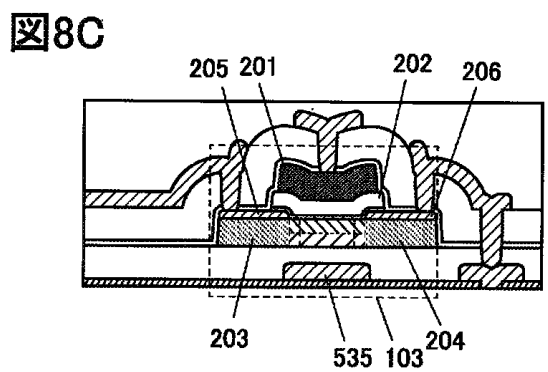


10

【図 8 B】



【図 8 C】



20

30

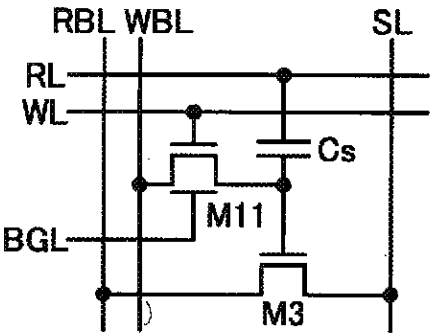
40

50

【図 1 1 B】

図11B

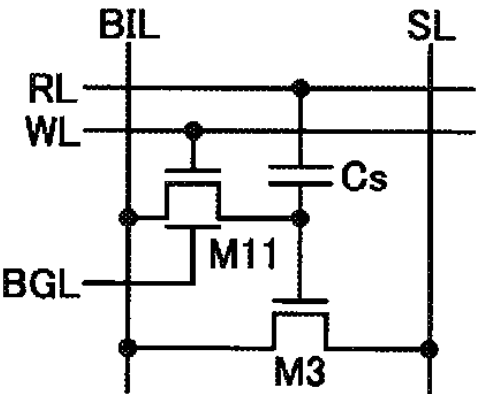
3411B



【図 1 1 C】

図11C

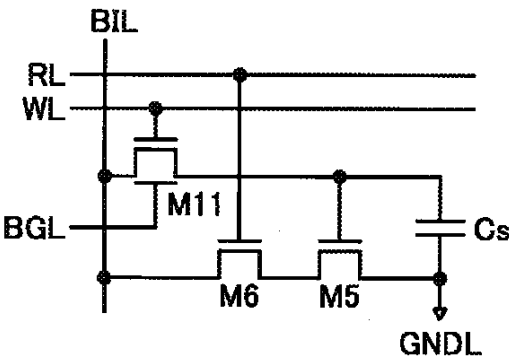
3411C



【図 1 1 D】

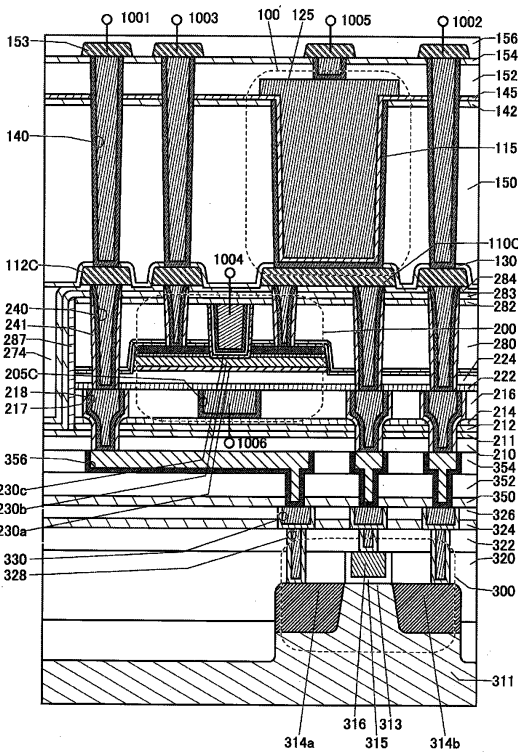
図11D

3411D



【図 1 2】

図12



10

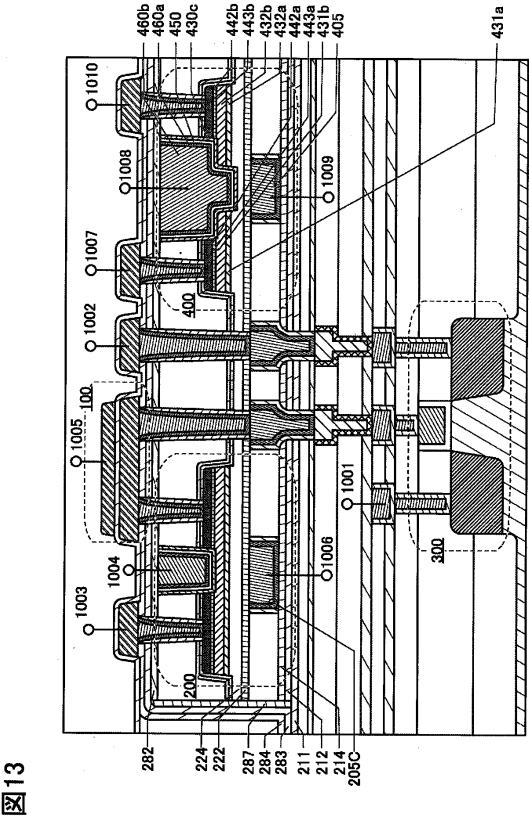
20

30

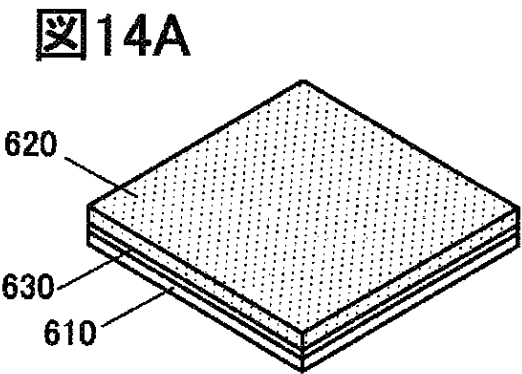
40

50

【図 1 3】



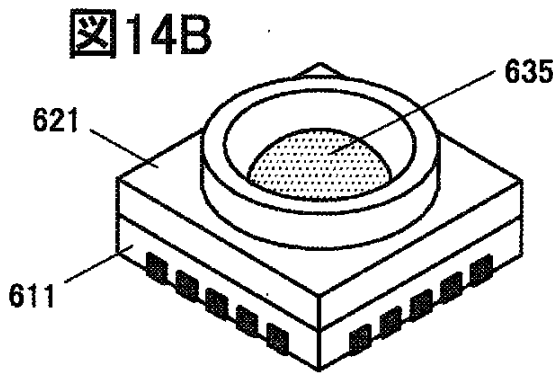
【図 1 4 A】



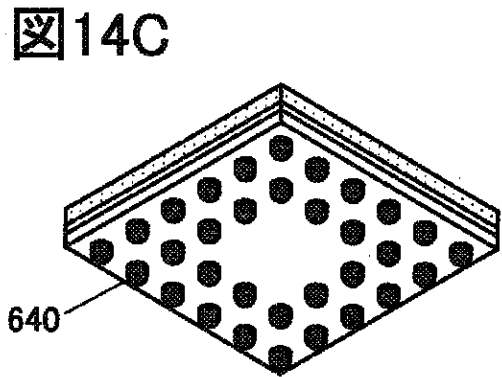
10

20

【図 1 4 B】



【図 1 4 C】



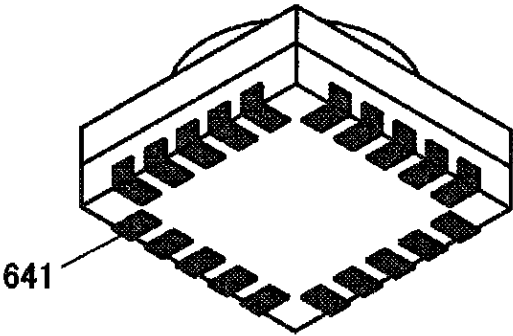
30

40

50

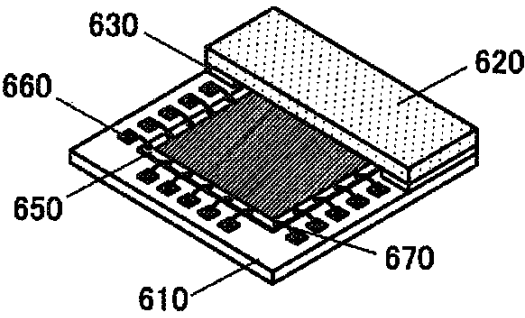
【図 1 4 D】

図14D



【図 1 4 E】

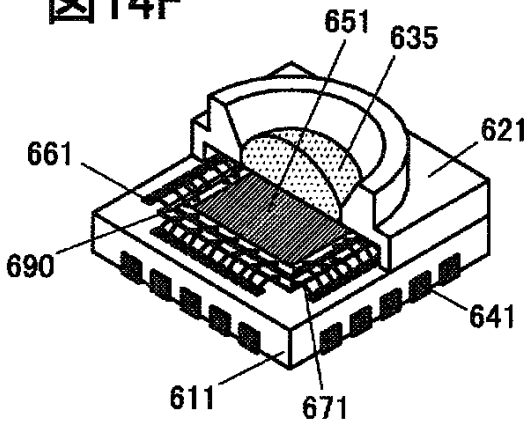
図14E



10

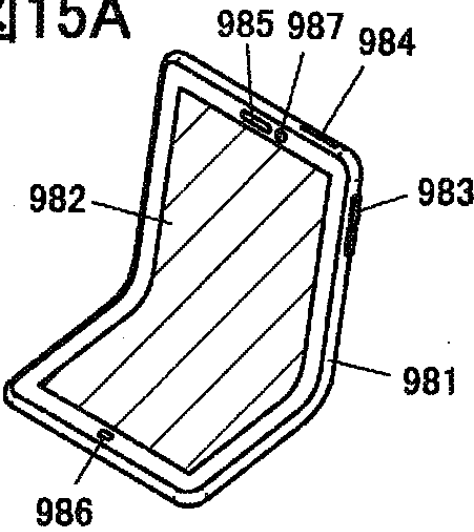
【図 1 4 F】

図14F



【図 1 5 A】

図15A



20

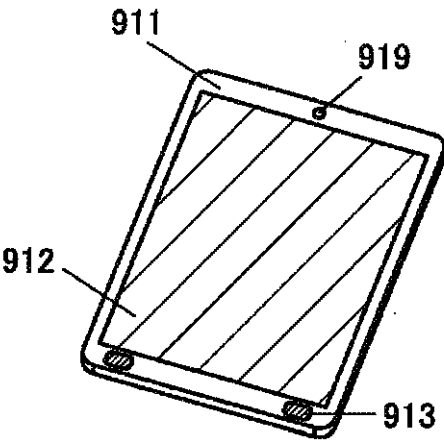
30

40

50

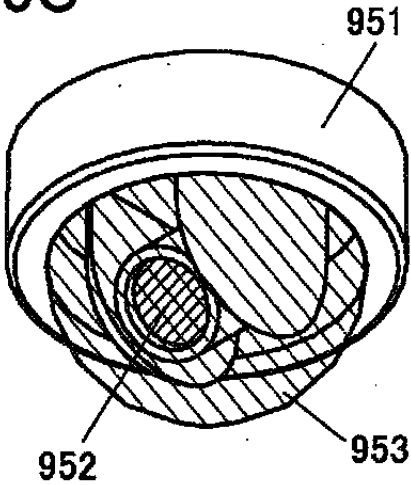
【図 15 B】

図 15B



【図 15 C】

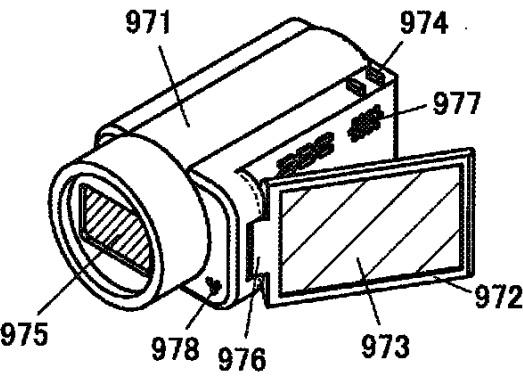
図 15C



10

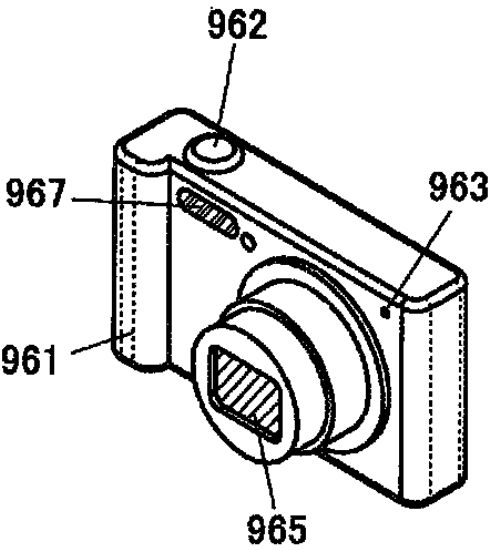
【図 15 D】

図 15D



【図 15 E】

図 15E



20

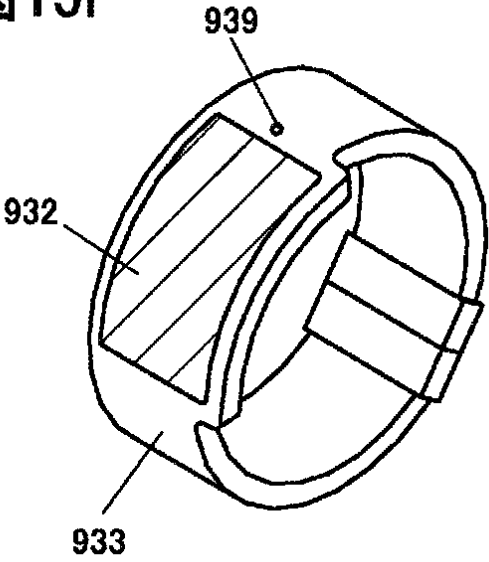
30

40

50

【図 15 F】

図15F



10

20

30

40

50

フロントページの続き

(51)国際特許分類

	F I		
	H 0 1 L	29/78	6 1 3 Z
	H 0 1 L	29/78	6 1 3 B

(56)参考文献

特開 2 0 1 6 - 2 1 3 2 9 8 (J P , A)

国際公開第 2 0 1 5 / 1 5 9 7 2 8 (W O , A 1)

国際公開第 2 0 1 7 / 2 0 9 2 2 1 (W O , A 1)

特開 2 0 1 7 - 1 7 5 1 2 9 (J P , A)

(58)調査した分野 (Int.Cl., D B名)

H 0 4 N 2 5 / 0 0 - 2 5 / 7 9

H 0 1 L 2 7 / 1 4 6

H 0 1 L 2 9 / 7 8