

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和7年2月18日(2025.2.18)

【公開番号】特開2023-141491(P2023-141491A)

【公開日】令和5年10月5日(2023.10.5)

【年通号数】公開公報(特許)2023-188

【出願番号】特願2022-47837(P2022-47837)

【国際特許分類】

H 10D 89/60(2025.01)

10

H 10D 84/80(2025.01)

【F I】

H 01L 27/04 H

H 01L 27/06 102A

H 01L 27/06 311B

H 01L 27/06 311A

【手続補正書】

【提出日】令和7年2月7日(2025.2.7)

20

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

上記内部回路Cの動作電圧は目的に応じて変化すが、本実施形態ではこの動作電圧を2Vとし、VDD端子には2Vが印加されることとする。

一般に、内部回路の動作電圧が2Vの場合には、内部回路に含まれるMOSトランジスタのゲート絶縁膜の真性破壊電圧は5.5V程度となる。このため、ESD保護回路が存在しなければ、VDD端子に静電気が放電された場合、内部回路に含まれるMOSトランジスタのゲート絶縁膜に5.5V以上の電圧が印加され破壊してしまう。

つまり、ESD保護回路100は、VDD端子の電圧が5.5V以上になる前に保護動作をし、VDD端子に内部回路Cの動作電圧の2Vが印加されている場合には保護動作しないようにすればよい。また、NMOSトランジスタ110のゲート絶縁膜の真性耐圧も5.5Vとなるようにゲート絶縁膜の膜厚を設定すればよい。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

このP型中濃度領域113aの不純物濃度を調整することで、NMOSトランジスタ110のしきい値電圧、寄生ダイオードのアバランシェ降伏電圧、及び寄生バイポーラトランジスタのトリガ電圧の調整が可能である。

上記したように、ESD保護回路100はVDD端子の電圧が5.5V以上になる前に保護動作をし、VDD端子に内部回路Cの動作電圧の2Vが印加されている場合には保護動作をしない必要があるので、NMOSトランジスタ110のしきい値電圧、寄生ダイオードのアバランシェ降伏電圧、及び、寄生バイポーラトランジスタのトリガ電圧をP型中濃度領域113aの不純物濃度を調整することで2V以上かつ5.5V以下に調整する。

【手続補正3】

40

50

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

この保護動作1だけでは、図7Bの実線で示した「立ち上がり時間が短い入力電圧の場合」と同様の電流-電圧特性となり、小さい面積では内部回路Cを保護できなくなる。内部回路Cを保護するためには、より大きいサージ電流を流すためにゲート電極116のゲート幅を広げなければならないが、その結果、レイアウト面積が大きくなり、リーク電流も大きくなる。

従来のGG-MOS型ESD保護回路の場合には、ゲート電極がVSS端子に接続されているため、ゲート・ドレイン間の半導体表面近傍の電界が強くなり表面ブレイクダウンが発生し、それによって生成されたキャリアが寄生バイポーラトランジスタの動作を誘発させる。一方で、本実施形態では、ゲート電極がドレイン電極に接続されているため、GG-MOS型ESD保護回路の様に表面ブレイクダウンによる寄生バイポーラトランジスタの動作は期待できないが、P型中濃度領域113aがあることで、P型中濃度領域113aとN型高濃度ドレイン領域114aの接合部が成す寄生ダイオードでアバランシェ降伏が生じる為、寄生バイポーラトランジスタの動作を誘発させることができる。

【手続補正4】

【補正対象書類名】明細書

10

【補正対象項目名】0040

20

【補正方法】変更

【補正の内容】

【0040】

この寄生ダイオードのアバランシェ降伏電圧とそれによって動作を誘発される寄生バイポーラトランジスタのトリガ電圧も、しきい値電圧同様にP型中濃度領域113aの不純物濃度で調整する。

寄生ダイオードのアバランシェ降伏電圧もしきい値同様に、内部回路Cの動作電圧2VをVDD端子に印加した際に所望のリーク電流以下になるように2V以上に調整する。それによって動作を誘発される寄生バイポーラトランジスタのトリガ電圧も自ずと2V以上になる。また、VDD端子から印加されたESDサージから内部回路Cを守るために、寄生バイポーラトランジスタのトリガ電圧は5.5V以下になるように調整する。この時、寄生ダイオードのアバランシェ降伏電圧を2V以上にした際に寄生バイポーラトランジスタのトリガ電圧が5.5Vを越えてしまう場合は、NMOSトランジスタ110のゲート長を短くし、寄生バイポーラのトリガ電圧だけを下げ調整する。また、ゲート電極がGG-MOS型ESD保護回路の様にVSS端子に接続されていないため、GG-MOS型ESD保護回路よりも寄生バイポーラトランジスタの動作のトリガ電圧を下げやすく、内部回路を保護しやすいという利点もある。

この寄生バイポーラトランジスタの動作により、N型高濃度ドレイン領域114aからN型高濃度ソース領域114bに上記の保護動作1であるチャネル領域に流れるサージ電流とは別に、チャネル領域より深い部分(-Z方向)の寄生バイポーラトランジスタ領域により多くのサージ電流を流すことができる(保護動作2)。

30

【手続補正5】

【補正対象書類名】明細書

40

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

つまり、サージ電流を流す経路は、チャネル領域に流れる電流経路(保護動作1)とチャネル領域より深い部分(-Z方向)の寄生バイポーラトランジスタ領域に流れる電流経

50

路（保護動作2）の2つの経路が存在するため、従来技術の中でも面積的に有利であるG-G-MOS型ESD保護回路よりも更に面積を小さくすることが可能となる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正の内容】

【0046】

このように、ESD保護回路100は、VDD端子とVSS端子との間に、所定の動作電圧で動作する内部回路Cと並列に接続されており、NMOSトランジスタ110を有する。NMOSトランジスタ110は、VDD端子にN型高濃度ドレイン領域114a及びゲート電極116が接続され、VSS端子にN型高濃度ソース領域114bが接続されている。このNMOSトランジスタ110は、図2Fに示すように、しきい値電圧、寄生ダイオードのツェナー降伏電圧、及び寄生バイポーラトランジスタのトリガ電圧が、内部回路Cの動作電圧よりも高く、かつ内部回路Cの破壊電圧及びNMOSトランジスタ110のゲート絶縁膜115の破壊電圧よりも低い。

これにより、ESD保護回路100は、レイアウト面積を小さくでき、かつリーキ電流を低減できるとともに、容量結合MOS型ESD保護回路で生じてしまう誤動作を防止することができる。

また、図1及び図2A～図2Fに示す実施形態の場合、NMOSトランジスタ110のゲート110GがVDD端子に直接接続されているため、急激なサージ電流の流入によって保護動作1および保護動作2が十分に行われる前にゲート110Gの電位がNMOSトランジスタ110のゲート絶縁膜の耐圧を超えると、ゲート絶縁膜が破壊する場合がある。その場合は、以下に示す変形例1によって破壊を回避することが可能である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

図4Bは、図4Aに示したNMOSトランジスタ110において、P型中濃度領域113aの代わりにN型高濃度ドレイン領域114aの直下にP型中濃度領域113bを形成した以外は、図4Aに示したNMOSトランジスタ110と同様とする構造である。

図4Bの構造にすることで、図4Aと同等の効果を得られるだけでなく、P型中濃度チャネル領域117直下の寄生バイポーラトランジスタのベース領域濃度が図4Aよりも薄くなるため、寄生バイポーラトランジスタのトリガ電圧が下がり、図4Aよりも内部回路Cを保護しやすくなる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

図4Dから図4Gは、図2A及び図4Aから図4Cに示したNMOSトランジスタにおいて、ゲート絶縁膜115及びゲート電極116の側壁にサイドウォールスペーサ119を設けた以外は、それぞれ図2A及び図4Aから図4Cに示したNMOSトランジスタとそれぞれ同様とする構造である。図4Hは、図4Gに示したNMOSトランジスタにおいて、N型低濃度領域118aを浅く形成したN型低濃度領域118bに変えた以外は、図4Gに示したNMOSトランジスタと同様とする構造である。

このサイドウォールスペーサ119は一般的の半導体製造工程で利用される技術であり、

10

20

30

40

50

ゲート絶縁膜 115 及びゲート電極 116 の形成後に、全面に形成した絶縁膜をエッチバックで除去して形成される。図 4D から図 4H を利用することで、サイドウォールスペーサを使用する製造工程においても追加工程無しで本発明を適用することができる。

ここで、図 4D から 4F において、サイドウォールスペーサ 119 の直下に N 型領域が存在しない。この様な構造の場合、ゲート電極 116 にプラスの電圧を印加した際にサイドウォールスペーサ 119 の直下のチャネルが反転しづらくなるため、チャネル電流は流れづらく、通常の MOS トランジスタとして利用する場合には問題となるが、上記のように本発明では N 型高濃度ドレイン領域 114a と P 型中濃度領域 113b の間でのアバランシェ降伏により寄生バイポーラトランジスタを動作させ、かつゲートが GG - MOS 型 ESD 保護回路の様に接地されていない為、アバランシェ降伏によって発生した正孔がチャネル部の電位も上昇させ、寄生バイポーラトランジスタによる電流以外にチャネル電流も流すことができる。したがって、これらの構造においても保護動作 1 および保護動作 2 が働き、内部回路 C を保護することができる。また、上記のサイドウォールスペーサ 119 下のチャネルが反転しづらくなる理由から、リーク電流も抑えることができる。

10

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

20

以上説明したように、本発明の一実施形態における ESD 保護回路は、第 1 の端子と第 2 の端子との間に、所定の動作電圧で動作する被保護回路と並列に接続されており、NMOS トランジスタを有する。この NMOS トランジスタは、第 1 の端子にドレイン及びゲートが接続され、第 2 の端子にソースが接続されており、しきい値電圧及び寄生バイポーラトランジスタのトリガ電圧が、動作電圧よりも高く、かつ被保護回路の破壊電圧及び ESD 保護回路の NMOS トランジスタのゲート絶縁膜の破壊電圧よりも低い。

これにより、この ESD 保護回路は、レイアウト面積を小さくでき、かつリーク電流を低減できるとともに、容量結合 MOS 型 ESD 保護回路で発生するような誤動作をしないようにすることができる。

30

40

50