



(19) **RU** ⁽¹¹⁾ **2 012 165** ⁽¹³⁾ **C1**

(51) МПК⁵ **H 04 Q 5/16, 3/04**

РОССИЙСКОЕ АГЕНТСТВО
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 4940620/09, 03.06.1991

(46) Дата публикации: 30.04.1994

(71) Заявитель:
Войсковая часть 25871

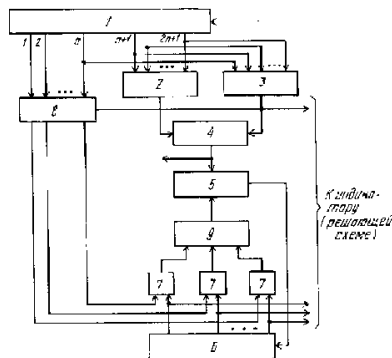
(72) Изобретатель: Азаров Г.И.,
Новиков В.П.

(73) Патентообладатель:
Войсковая часть 25871

(54) УСТРОЙСТВО ДЕШИФРАЦИИ М-ПОСЛЕДОВАТЕЛЬНОСТЕЙ

(57) Реферат:

Использование: в технике связи, в частности для приема адресных сигналов, формируемых на основе М-последовательности. Сущность изобретения: устройство дешифрации М-последовательности содержит $(2n - 1)$ - разрядный регистр 1 сдвига, первый и второй элементы ИЛИ - НЕ 2 и 3, элемент ИЛИ 4, ключ 5, n -разрядный регистр 6 сдвига, элемент И 7, управляемый инвертор 8 и сумматор 9 по модулю два. Устройство обеспечивает расширение функциональных возможностей путем увеличения числа дешифрируемых сигналов за счет различения прямых и инверсных М-последовательностей. 1 ил.



RU 2 012 165 C1

RU 2 012 165 C1



(19) **RU** ⁽¹¹⁾ **2 012 165** ⁽¹³⁾ **C1**

(51) Int. Cl.⁵ **H 04 Q 5/16, 3/04**

RUSSIAN AGENCY
FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 4940620/09, 03.06.1991

(46) Date of publication: 30.04.1994

(71) Applicant:
VOJSKOVAJA CHAST' 25871

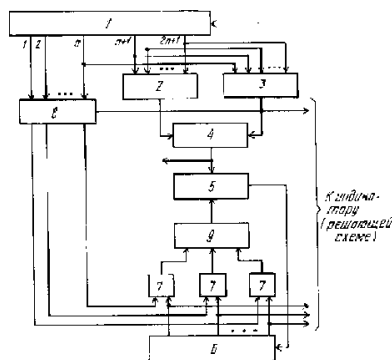
(72) Inventor: AZAROV G.I.,
NOVIKOV V.P.

(73) Proprietor:
VOJSKOVAJA CHAST' 25871

(54) **DEVICE FOR DECODING M-SEQUENCE**

(57) Abstract:

FIELD: communications. SUBSTANCE: device has (2n-1)-bit shift register 1, first and second NOR gates 2 and 3, OR gate 4, switch 5, n-bit shift register 6, AND gate 7, controlled inverter 8, modulo-two adder 9. This results in possibility to increase number of decoded signals due to recognition of direct and inverse M-sequences. EFFECT: increased functional capabilities. 1 dwg



RU 2 0 1 2 1 6 5 C 1

RU 2 0 1 2 1 6 5 C 1

Изобретение относится к технике связи и может быть использовано в системах (устройствах) адресного вызова для приема (дешифрации) адресных сигналов, формируемых на основе М-последовательностей (последовательностей максимальной длины).

Известны устройства для дешифрации (приема) адресных сигналов, формируемых с помощью М-последовательностей. Однако эти устройства могут быть применены для дешифрации относительно коротких М-последовательностей, генерирование которых осуществляется регистрами сдвига с небольшим числом разрядов (3-5). С увеличением числа разрядов значительно увеличивается время дешифрации и применение этих устройств становится нецелесообразным.

Наиболее близким по технической сути к предложенному устройству является устройство, содержащее $(2n-1)$ -разрядный регистр сдвига, элемент ИЛИ-НЕ, ключ, сумматор по модулю два, n элементов И и n -разрядный регистр сдвига. Это устройство позволяет сократить время дешифрации за счет выделения в принимаемой последовательности наиболее длинной серии нулей и использования ее совместно с n -предыдущими символами для определения истинности последовательности.

Недостатком этого устройства является ограниченное число дешифрируемых последовательностей, обусловленное невозможностью дешифрации инверсных М-последовательностей. Это значительно снижает функциональные возможности устройства применительно к системам адресного вызова, в которых используются как прямые, так и инверсные последовательности.

Цель изобретения - расширение функциональных возможностей путем увеличения числа дешифрируемых М-последовательностей.

Поставленная цель достигается тем, что в устройстве, содержащее $(2n-1)$ -разрядный регистр сдвига, выходы $(n-1)$ разрядов которого соединены с соответствующими входами элемента ИЛИ-НЕ, ключ, выход которого соединен с входом n -разрядного регистра сдвига, выходы разрядов которого соединены соответственно с вторыми входами элементов И, выходы которых соединены с входами сумматора по модулю два, выход которого соединен с входом ключа, введены второй элемент ИЛИ-НЕ, элемент ИЛИ и инвертор, при этом выходы разрядов $(2n-1)$ -разрядного регистра сдвига соединены соответственно с входами второго элемента ИЛИ-НЕ, выход которого соединен с вторым входом элемента ИЛИ и управляющим входом инвертора, выход первого элемента ИЛИ-НЕ соединен с первым входом элемента ИЛИ, выход которого соединен с управляющим входом ключа, выходы буферных разрядов $(2n-1)$ -разрядного регистра сдвига через инвертор соединены с первыми входами элементов И.

Сущность изобретения, его новизна и существенные отличия состоят в том, что за счет введения в известное устройство новых элементов и их связей обеспечивается двукратное увеличение числа дешифрируемых сигналов

(М-последовательностей). Причем анализ типа дешифрируемой М-последовательности (прямая или инверсная) осуществляется параллельно и одновременно без дополнительных затрат времени.

В основу изобретения положены структурные свойства М-последовательностей. В частности, в М-последовательности порядка n содержатся все n -значные двоичные комбинации, кроме комбинаций из одних нулей, причем каждая n -значная комбинация встречается один раз. Анализ (контроль) выполнения этого свойства и позволяет различать прямые и инверсные М-последовательности.

На фиг. 1 приведена структурная электрическая схема устройства дешифрации М-последовательностей. Оно содержит $(2n-1)$ -разрядный регистр 1 сдвига $(n-1)$ разрядов которого соединены с соответствующими входами первого элемента ИЛИ-НЕ2, а n разрядов регистра 1 соединены с соответствующими входами второго элемента ИЛИ-НЕ 3, выходы первого 2 и второго 3 элементов ИЛИ-НЕ соединены соответственно с первым и вторым входами элемента ИЛИ 4, выход которого соединен с управляющим входом ключа 5, выход которого соединен с входом n -разрядного регистра 6 сдвига, выходы разрядов которого соединены с вторыми входами соответствующих элементов И 7, первые входы которых через инвертор 8 подключены к выходам буферных разрядов $(2n-1)$ -разрядного регистра 1 сдвига, выходы элементов И 7 соединены с входом сумматора 9 по модулю два, выход которого соединен со входом ключа 5, а выход второго элемента ИЛИ-НЕ 3 соединен с управляющим входом инвертора 8.

Устройство дешифрации М-последовательностей работает следующим образом.

Принимаемая М-последовательность поступает на вход и записывается в $(2n-1)$ -разрядный регистр 1 сдвига. (Тактовые генераторы, обеспечивающие функционирование регистров 1 и 6 на чертеже не показаны). Первый элемент ИЛИ-НЕ 2 анализирует, является ли данная последовательность "прямой". Признаком "прямой" последовательности служит наличие серий (по ряд следующих элементов) из $(n-1)$ "нулей" и n "единиц". Элемент ИЛИ-НЕ 2 обеспечивает выделение серии из $(n-1)$ нулей. При появлении такой серии на выходе элемента ИЛИ-НЕ 2 формируется логическая "единица", которая через элемент ИЛИ 4 поступает на управляющий вход ключа 5 и обеспечивает подключение его входа на выход (ключ открывается). При этом обеспечивается замыкание петли обратной связи для n -разрядного регистра 6 сдвига по следующей цепи: выходы разрядов регистров - элементы И 7 - сумматор 9 - ключ 5 - вход регистра 6. Причем структура обратной связи (подключение того или иного разряда регистра 6) определяется сигналами, поступающими на вторые входы элементов И 7 с буферных выходов $(2n-1)$ -разрядного регистра 1 сдвига (при отсутствии управляющего сигнала инвертор 8 эти сигналы не инвертирует).

Одновременно с замыканием цепи обратной связи осуществляется $(n-1)$ -кратное

продвижение символов, записанных в n -разрядный регистр 6 сдвига. Это продвижение осуществляется с помощью тактового генератора (на чертеже не показан), например по сигналу с выхода элемента ИЛИ 4. После этого ключ 5 размыкается и состояние разрядов (сочетание "единиц" и "нулей") n -разрядного регистра сдвига определяет коэффициенты полинома обратной связи (порождающего полинома), по которым можно судить об истинности ("своя", "чужая") принятой M -последовательности. Для удобства сигналы с выходов разрядов регистра 6 могут быть выведены на индикатор или решающую схему.

Если на вход $(2n-1)$ -разрядного регистра 1 сдвига поступает инверсная M -последовательность, то ее отличительным признаком служит наличие серии из $(n-1)$ "единиц" и n "нулей". Второй элемент ИЛИ-НЕ 3 обеспечивает обнаружение серии из n "нулей". При появлении такой серии на выходе элемента ИЛИ-НЕ 3 формируется логическая "единица", которая поступает на управляющий вход инвертора 8. В результате сигналы, поступающие с выход буферных разрядов $(2n-1)$ -разрядного регистра 1 сдвига на первые входы элементов И 7, инвертируются (восстанавливаются в "прямую" M -последовательность). Одновременно логическая "единица" с выхода элемента ИЛИ-НЕ 3 через элемент ИЛИ 4 обеспечивает отпирание ключа 5 и далее устройство работает в обычном режиме. Кроме того, сигнал с выхода второго элемента ИЛИ-НЕ 3 также может быть выведен на индикатор для отображения факта приема инверсной последовательности или заложенной в ней информации.

Таким образом, предлагаемое устройство позволяет в два раза увеличить число

принимаемых (дешифрируемых) сигналов, что обеспечивает увеличение в два раза числа абонентов в сети связи (при использовании этих сигналов в качестве адресных). При этом исключены дополнительные затраты времени и сохранены все положительные свойства прототипа.

Все блоки (элементы) предлагаемого устройства могут быть выполнены на базе цифровых интегральных микросхем.

Формула изобретения:

УСТРОЙСТВО ДЕШИФРАЦИИ

M -ПОСЛЕДОВАТЕЛЬНОСТЕЙ, содержащее $(2n - 1)$ -разрядный регистр сдвига, выходы соответствующих $n - 1$ разрядов которого соединены с входами первого элемента ИЛИ - НЕ, и n -разрядный регистр сдвига, выходы n разрядов которого соединены с первыми входами соответствующих элементов И, выходы которых через сумматор по модулю два соединены с входом ключа, выход которого соединен с входом n -разрядного регистра сдвига, отличающееся тем, что, с целью расширения функциональных возможностей путем обеспечения увеличения числа дешифрируемых

M -последовательностей, введены второй элемент ИЛИ - НЕ, управляемый инвертор и элемент ИЛИ, при этом выходы соответствующих n разрядов $(2n - 1)$ -разрядного регистра сдвига соединены с входами второго элемента ИЛИ - НЕ, выход которого и выход первого элемента ИЛИ - НЕ соединены через элемент ИЛИ с управляющим входом ключа, выходы n буферных разрядов $(2n - 1)$ -разрядного регистра сдвига соединены с вторыми входами соответствующих элементов И через управляемый инвертор, управляющий вход которого соединен с выходом второго элемента ИЛИ - НЕ.

40

45

50

55

60