

[12] 发明专利说明书

[21] ZL 专利号 94118966. X

[45] 授权公告日 2001 年 2 月 28 日

[11] 授权公告号 CN 1062668C

[22] 申请日 1994.11.29 [24] 颁证日 2000.11.25

[21] 申请号 94118966. X

[30] 优先权

[32] 1993.11.29 [33] KR [31] 25674/1993

[73] 专利权人 大宇电子株式会社

地址 韩国汉城

[72] 发明人 朴龙圭

[56] 参考文献

US 4357702 1982.11.2 G06F11/00

US 4841513 1989.6.20 G11B5/02

审查员 钟 强

[74] 专利代理机构 永新专利商标代理有限公司

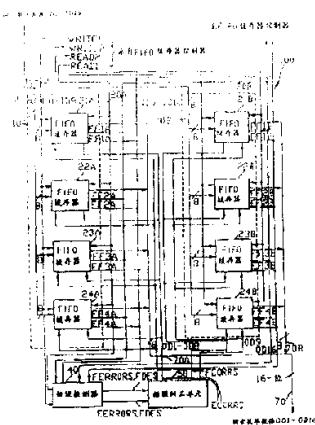
代理人 蹇 炜

权利要求书 2 页 说明书 12 页 附图页数 4 页

[54] 发明名称 具有错误检测与纠正装置的 FIFO 缓存系统

[57] 摘要

一种新颖的 FIFO 缓存系统，具有用于有效地检测与纠正其中的错误的一个 错误检测与纠正装置。该系统包括并行配置的 M 个数据存储器块，用于暂存 N 位输入数字数据及生成包含表示其满与空状态的满标志与空标志信号的存储状态信号；一个错误检测器，响应该存储状态信号，用于生成表示出现在满标志信号与空标志信号中的错误的满错误信号与空错误信号；以及一个纠错器，响应该满错误与空错误信号，用于生成纠正出现在对应的数据存储装置中的错误存储状态的满错误纠正信号与空错误纠正信号。



I S S N 1 0 0 8 - 4 2 7 4

权利要求书

1、一种具有错误检测与纠正装置的先进先出（FIFO）缓存系统，用于产生具有恒定的位速率的N位输出数字数据，N为M的一个倍数而M则为一个正整数，该系统包括：

并行配置的M个数据存储装置，用于同步暂存N位输入数字数据与生成N位输出数字数据，各所述数据存储装置同步地存储N / M位输入数字数据，并包括两个或两个以上的级联的先进先出（FIFO）缓冲存储器用于顺序地存储该N / M位输入数字数据，并且各先进先出（FIFO）缓冲存储器生成包含分别表示其满与空状态的一个满标志与一个空标志信号的存储状态信号；

错误检测装置，响应该存储状态信号，用于生成分别表示出现在满标志信号与空标志信号中的错误的满错误信号与空错误信号；以及

错误纠正装置，响应该满错误和空错误信号，用于生成分别纠正出现在与满错误与空错误信号相对应的数据存储装置中的错误存储状态的满错误纠正信号与空错误纠正信号。

2、权利要求1中所述的系统，其中所述错误纠正装置包括：

脉冲发生装置，响应满错误与空错误信号，用于生成分别具有与该满错误信号与该空错误信号相对应的脉冲数目的第一与第二脉冲信号；

第一错误纠正装置，响应该第一脉冲信号，用于生成纠正出现在与满错误信号相对应的数据存储装置中的错误存储状态的满错误纠正信号；以及

00·04·29

第二错误纠正装置，响应该第二脉冲信号，用于生成纠正出现在与空错误信号相对应的数据存储装置中的错误存储状态的空错误纠正信号。

说 明 书

具有错误检测与纠正装置的 F I F O 缓存系统

本发明涉及一种先进先出（F I F O）缓存系统；尤其是涉及一种能够检测与纠正其中的错误的一种改进的 F I F O 缓存系统。

众所周知，F I F O 缓存系统广泛地使用在各种电子 / 电器应用中。传统的 F I F O 缓存系统设置有至少一个 F I F O 缓冲存储器，并且适用于暂时存储传输的输入数字数据，例如以具有变化的或较高的位速率的不连续位流方式传输并可以转换成具有较低的恒定位速率的连续位流的数字数据。

F I F O 缓冲存储器通常用一种半导体集成电路实现，并由于有限的硬件容量而只能存储具有固定的位宽度的输入数字数据。因此，为了处理比一个 F I F O 缓冲存储器的位宽度大的输入数字数据，F I F O 缓存系统通常采用多个 F I F O 缓冲存储器，而每一个缓冲存储器则拥有固定的位宽度的输入总线。在这一情况中，为了使 F I F O 缓冲存储器能够同时处理分开的输入数字数据，F I F O 缓冲存储器是配置成并行方式的。

众所周知，这样一种配置要求分开的输入数字数据同时或同步地存入（或写入）并行的 F I F O 缓冲存储器中，并

且以相同的方式从其中输出（或读出）以便生成与输入的数字数据完全相同的输出数字数据。

然而有时由于在一个读或写控制信号中出现诸如假信号或尖峰脉冲等噪声，而在 F I F O 缓冲存储器的读或写操作中出现异步，从而引发错误的输出数字数据。

因此，本发明的一个主要目的为提供一种能够有效地检测与纠正可能出现在缓存系统中的错误的改进的 F I F O 缓存系统。

按照本发明，提供了一种能够存储 N 位输入数字数据以生成具有恒定的位速率的 N 位输出数字数据的 F I F O 缓存系统，N 为 M 的一个倍数而 M 则为一个正整数，该系统包括：并行配置的 M 个数据存储装置，用于暂存 N 位输入数字数据及同步地生成 N 位输出数字数据，各所述数据存储装置同步地存储 (N / M) 位输入数字数据并包括二或二个以上级联的 F I F O 缓冲存储器，用于顺序地存储该 (N / M) 位输入数字数据，并且各 F I F O 缓冲存储器生成存储状态信号，其中包含一个满标志及一个空标志信号，分别表示其满与空状态；错误检测装置，对这些存储状态信号作出响应，用于生成分别表示在满标志信号与空标志信号中出现的错误的满错误信号与空错误信号；以及错误纠正装置，对满错误与空错误信号作出响应，用于生成分别纠正出现在与满错误及空错误信号相对应的数据存储装置中的错误存储状态的满错误纠正信号与空错误纠正信号。

从下面结合附图所作的较佳实施例的描述中，本发明的上述与其它目的以及特征将是显而易见的，附图中：

图 1 示出按照本发明的具有一个错误检测器及一个错误纠正单元的新型 F I F O 缓存系统的示意图；

图 2 描绘图 1 中所示的错误检测器的详细方框图；

图 3 示出图 1 中所示的错误纠正单元的详细方框图；及

图 4 A 至 4 E 提供从图 1 中所示的各元件生成的定时图。

参见图 1，其中示出了按照本发明的具有一个错误检测器 4 0 及一个错误纠正单元 5 0 的一个创造性 F I F O 缓存系统 1 0 0 。

该 F I F O 缓存系统 1 0 0 包括第一与第二外部总线 1 0 与 7 0 、第一与第二数据存储器模块 2 0 A 与 2 0 B 、错误检测器 4 0 与错误纠正单元 5 0 。

在该 F I F O 缓存系统 1 0 0 中，适用于并行传送 N (例如 1 6) 位输入数字数据 (例如 I D 1 至 I D 1 6) 的第一外部总线 1 0 是与内部输入总线 1 0 A 与 1 0 B 耦合的。同样示范性地示出的以并行方式传送 1 6 位输出数字数据 (即 O D 1 至 O D 1 6) 的第二外部总线 7 0 是与内部输出总线 7 0 A 与 7 0 B 相连的。

按照本发明的一个较佳实施例，第一与第二数据存储器模块 2 0 A 与 2 0 B 各包含 L 个 (例如 4 个) 以级联方式耦合的传统 F I F O 缓冲存储器，即各该数据存储器模块包含

顺序地执行读或写操作的 4 个级联的 F I F O 缓存器。

需要指出的是，各数据存储器模块中所包括的 F I F O 缓存器的数目是根据各该 F I F O 缓存器的存储容量及输入与输出数字数据之间的位速率差确定的。

如图 1 中所示，耦合在各 F I F O 缓存器 2 1 A 至 2 4 A 与 2 1 B 至 2 4 B 的输入级上的内部输入总线 1 0 A 与 1 0 B 分别以并行方式传送 $N / 2$ (例如 8) 位输入数字数据，例如 (I D 1 - I D 8) 与 (I D 9 - I D 1 6)，其中 N 为一个正整数。内部输出总线 7 0 A 与 7 0 B 的功能除了各该内部输出总线是连接到各该 F I F O 缓存器的输出级之外，基本上与内部输入总线 1 0 A 与 1 0 B 的功能相同。

在内部输入总线 1 0 A 与 1 0 B 上的各分开的 8 位输入数字数据，即 (I D 1 - I D 8) 与 (I D 9 - I D 1 6)，加到第一与第二数据存储器模块 2 0 A 与 2 0 B 上，各模块同时执行 8 位输入数字数据的写操作。以相同的方式，同时从各该数据存储器模块中读取各 8 位输出数字数据，即 (O D 1 - O D 8) 与 (O D 9 - O D 1 6)。

各该 F I F O 缓存器向一个 F I F O 缓存器控制器 (未示出) 与错误检测器 4 0 提供一个诸如分别指明该缓存器是否为满的或空的一个满标志或空标志信号 (例如 F F 1 A 或 E F 1 A) 的缓存器状态信号。F I F O 缓存器控制器分别响应来自模块 2 0 A 与 2 0 B 的满标志信号确定用于控制第一与第二数据存储器模块 2 0 A 与 2 0 B 的写操作的 W R

I T E 1 与 W R I T E 2 控制信号；以及响应来自模块 2 0 A 与 2 0 B 的空标志信号，分别确定用于控制第一与第二数据存储器模块 2 0 A 与 2 0 B 的读操作的 R E A D 1 与 R E A D 2 控制信号；并将它们提供给 F I F O 缓存器、错误检测器 4 0 与 错误纠正单元 5 0 。需要指出的是，即使将用于控制数据存储器模块 2 0 A 与 2 0 B 的写控制信号分别称作 W R I T E 1 与 W R I T E 2 控制信号，但它们是完全相同的；并且对于 R E A D 1 与 R E A D 2 控制信号也是一样。

具体地说，在内部输入总线 1 0 A 与 1 0 B 上的各分开的 8 位输入数字信号（即 I D 1 – I D 8 ）与（ I D 9 – I D 1 6 ）是分别响应 F I F O 缓存器控制器发布的 W R I T E 1 与 W R I T E 2 控制信号，同时分别写入级联的 F I F O 缓存器 2 1 A 与 2 1 B 中的。一旦填满了第一级联的 F I F O 缓存器 2 1 A 与 2 1 B ，写操作便转移到第二级联的 F I F O 缓存器 2 2 A 与 2 2 B 。对于后面的级联 F I F O 缓存器顺序地重复这一过程。

读操作以与写操作相同的方式进行。即作为 8 位输出数据从第一级联的 F I F O 缓存器中同时读出存储在数据存储器模块中的分开的 8 位输入数字数据，并且顺序地通过后面对应的那些级联 F I F O 缓存器。然后，在第二外部总线 7 0 上组合各内部输出总线 7 0 A 与 7 0 B 上的各 8 位输出数据，借此生成具有恒定位速率的连续位流形式的 1 6 位输出数据。

需要指出的是，写操作是在完全空的 F I F O 缓存器上进行的，而读操作则是在完全填满的 F I F O 缓存器上执行的。因此，如果写或读操作不是同步地在第 i 个级联的 F I F O 缓存器 ($i = 1, 2, 3, 4$) 上进行，则来自第 i 个级联的 F I F O 缓存器的空标志或满标志信号将不相同，这表示 F I F O 缓存系统 1 0 0 的一次错误操作。

与此同时，错误检测器 4 0 通过将来自第 i 个级联的 F I F O 缓存器中每一个的满标志信号与空标志信号与来自 F I F O 缓存器控制器的一个写控制信号（即 W R I T E 1 或 W R I T E 2）或读控制信号（即 R E A D 1 或 R E A D 2）分别进行比较，而生成表示各种错误的满与空错误信号 F E R R O R S 与 E E R R O R S。错误检测器 4 0 的细节将参照图 2 加以描述。

生成的满与空错误信号送到错误纠正单元 5 0，后者响应满错误信号与写控制信号以生成满错误纠正信号 F C O R R S，并响应空错误信号与读控制信号以生成空错误纠正信号 E C O R R S。错误纠正单元 5 0 的细节将在下面参照图 3 加以描述。

参见图 2，其中示出了图 1 中所示的错误检测器 4 0 的详细方框图。该错误检测器 4 0 包括第一与第二错误检测电路 4 1 与 4 2，其中第一与第二错误检测电路分别包含多个计数器，例如 4 1 A 至 4 1 D 及 4 2 A 至 4 2 D。

输入到第一与第二错误检测电路 4 1 与 4 2 中的各计数

器中的为满标志信号与一个写控制信号（例如 W R I T E 1），或者空标志信号与一个读控制信号（例如 R E A D 1）。例如，对计数器 4 1 A 的输入为第一级联 F I F O 缓存器 2 1 A 与 2 1 B 提供的满标志信号 F F 1 A 与 F F 1 B，以及由 F I F O 缓存器控制器提供的 W R I T E 1 控制信号；而对计数器 4 2 C 的输入为第三级联 F I F O 缓存器 2 3 A 与 2 3 B 提供的空标志信号 E F 3 A 与 E F 3 B 以及 F I F O 缓存器控制器提供的 R E A D 1 控制信号，等等。

如果对计数器的输入相同，则各计数器生成作为满或空错误信号的一个计数值 0。即如果对计数器的两个输入同步出现（例如 E F 3 A 与 E F 3 B 同时出现）则各该计数器的输出将为计数值 0。如果对其两个输入不同步出现，则各该计数器通过使用 W R I T E 1 与 R E A D 1 控制信号作为一个时钟信号提供某一非 0 计数值。换言之，计数值可根据满或空标志信号之间的时钟周期确定。

例如，如果满标志信号 F F 1 B 的发生比满标志信号 F F 1 A 的发生提前了两个时钟周期，则计数器 4 1 A 将生成一个计数值 2 作为满错误信号 F E R R O R S；并且类似地，如果空标志信号 E F 3 B 的发生比空标志信号 E F 3 A 的发生提前了 2 个时钟周期，则计数器 4 2 C 将生成一个计数值 2 作为空错误信号 E E R R O R S，如图 4 A 至 4 D 中所示。

此外，各该计数器（例如计数器 4 1 A 或 4 2 C）向错

误纠正单元 5 0 提供一个指明在其中包含上一次填满或清空的 F I F O 缓存器的数据存储器模块（例如 2 0 A）的指定信号，诸如一个满指定信号 F D E S 或一个空指定信号 E D E S。

参见图 3，其中示出了图 1 中所示的错误纠正单元 5 0 的

详细方框图。该错误纠正单元 5 0 包括一个脉冲发生器 5 1 及一个纠错器 5 4。该脉冲发生器 5 1 包含第一与第二脉冲发生装置 5 2 与 5 3，其中第一与第二脉冲发生装置分别包含 4 个传统的脉冲发生电路 5 2 A 至 5 2 D 及 5 3 A 至 5 3 D。

各该脉冲发生电路 5 2 A 至 5 2 D 及 5 3 A 至 5 3 D 接收图 2 中所示的各计数器 4 1 A 至 4 1 D 及 4 2 A 至 4 2 D 提供的满或空错误信号 F E R R O R S 或 E E R R O R S，并生成一个具有与输入到其中的计数值相对应的脉冲数的一个脉冲信号。例如，如果脉冲发生电路 5 2 A 接收到其对应的计数器 4 1 A 提供的计数值 2，则它生成包含两个脉冲的一个脉冲信号。在本发明的一个较佳实施例中，脉冲宽度是充分地小的，以使脉冲发生电路能在半个时钟周期中提供所需数目的脉冲。

将生成的各脉冲信号加到在纠错器 5 4 上。纠错器 5 4 包含第一与第二纠错装置 5 5 与 5 6，其中第一与第二纠错装置分别包含四个纠错电路 5 5 A 至 5 5 D 及 5 6 A 至 5 6

D。各该纠错电路接收来自各脉冲发生电路的一个脉冲信号及来自图 2 中所示的一个对应的计数器的满或空指定信号 F D E S 或 E D E S；并将所接收的脉冲信号作为满或空错误纠正信号（即 F C O R R S 或 E C O R R S）提供给其中包含上一次填满或清空的 F I F O 缓存器的一个数据存储器模块，借此纠正由一次异步写或读操作引发的错误数据存储状态。

参见图 4 A 至 4 E，下面描述图 1 中所示的错误检测器 4 0 与错误纠正单元 5 0 所进行的操作的细节。如图 4 A 与 4 B 中所示，各该写与读控制信号由一序列逻辑低 / 高电平构成；并且假定写与读操作是在逻辑高电平（例如 a 1 至 a 8 与 b 1 至 b 8）上执行的。需要指出的是，写与读控制信号不是从实际尺度画出的。即，为了简化起见，即使在图 4 A 与 4 B 中以相同的尺度画出了写与读控制信号，写控制信号的逻辑高电平的实际频率是大于读控制信号的，这一点可以从输入到该系统中的输入数字数据的位速率高于从该系统输出的数字数据的位速率这一事实推论得出。

如果在第 i 个缓存器（例如 2 1 A 与 2 1 B）上的写操作期间，在 W R I T E 2 控制信号的一个逻辑低电平中（例如图 4 B 中所示的逻辑高电平 b 1 与 b 2 之间）出现了逻辑高电平噪声（例如 b 1' 与 b 1''），并且如果在逻辑高电平 b 2 下 F I F O 缓存器 2 1 B 完全被填满了，则 F I F O 缓存器 2 1 B 在图 4 D 中所示的瞬间 1 0 9 上生成逻辑高电

平的满标志信号 F F 1 B，并且在后面的 F I F O 缓存器 2 2 B 上继续地执行写操作。与此同时，F I F O 缓存器 2 1 A 在 W R I T E 1 控制信号的逻辑高电平 a 3 与 a 4 下进行写操作，并在出现 a 4 时被完全填满，并借此在时间 1 1 2 上生成逻辑高电平的满标志信号 F F 1 A，如图 4 C 中所示，该信号从满标志信号 F F 1 B 的发生起延迟了两个时钟周期。在满标志信号 F F 1 A 出现的时间 1 1 2，已经从逻辑高电平 b 3 与 b 3 在 F I F O 缓存器 2 2 B 的前两个存储区中存储了两组输入数字数据。需要指出的是，b 1' 与 b 1'' 在 F I F O 缓存器 2 1 A 上写入了两组错误的数据，并且从 N / 2 位输入数字数据中的各对并未存储在数据存储器模块 2 0 A 与 2 0 B 的相同存储区上的意义上说，在出现 b 1' 之后，在数据存储器模块 2 0 A 与 2 0 B 上的写操作变成异步的了。在这一场合中，在出现 b 1' 后存储的输入数字数据不能在读操作中同步地读出。换言之，读操作不能重构原始输入数字数据，并且从出现 b 1' 后存储的输入数字数据生成的输出数字数据成为全部错误的。

因此，按照本发明，图 1 中所示的错误检测器 4 0 采用写控制信号作为基准的计数时钟周期；并生成计数值（在本例中为 2）作为满错误信号 F E R R O R S 及指明数据存储器模块 2 0 A 的满指定信号 F D E S。此后，响应该满错误信号 F E R R O R S，包含在错误纠正单元 5 0 中的脉冲发生电路 5 2 A 生成如图 4 E 中所示的持续一段图 4 A 中所示

的逻辑高电平 a_4 与 a_5 之间的一个逻辑低电平时间 1 1 3 的包含脉冲 a_1' 与 a_1'' 的脉冲信号。接着，响应来自错误检测器 4 0 的满指定信号 F D E S，纠错电路 5 5 A 将来自脉冲发生电路 5 2 A 的脉冲信号作为满纠正信号 F C O R R S 提供给数据存储器模块 2 0 A。通过在 W R I T E 1 与 W R I T E 2 控制信号中的逻辑高电平 a_5 与 b_5 出现之前将满纠正信号 F C O R R S 加到数据存储器模块 2 0 A 上，在 F I F O 缓存器 2 2 A 的前两个存储区中存储了两组数据，例如具有全部零值的数据。由于在逻辑高电平 b_3 与 b_4 下已将两组输入数字数据存储在 F I F O 缓存器 2 2 B 的前两个存储区中，随后的输入数字数据便能响应 W R I T E 1 与 W R I T E 2 控制信号存储在 F I F O 缓存器 2 2 A 与 2 2 B 中的完全相同的存储区中，从而使一次同步的读操作能够在其上执行。

纠正由一次错误的读操作引起的错误也是以类似的方式进行的。例如，如图 4 B 中所示，如果在 F I F O 缓存器 2 3 B 上的读操作期间引发了噪声 b_1' 与 b_1'' ，从 F I F O 缓存器 2 3 B 发生空标志信号 E F 3 B 比从 F I F O 缓存器 2 3 A 发生空标志信号 E F 3 A 提前两个时钟周期；并且在 b_1' 出现后所读取的输出数字数据成为全部是错的。响应 E F 3 A、E F 3 B 与读控制信号，包含在错误检测器 4 0 中的计数器 4 2 C 生成具有计数值 2 的空错误信号 E E R R O R S 及表示数据存储器模块 2 0 A 的错误指定信号 E D

E S。包含在错误纠正单元 5 0 中的脉冲发生电路 5 3 C 响应应该空错误信号 E R R O R S 在图 4 A 与 4 B 中所示的逻辑低电平的持续时间 1 1 3 内生成具有如图 4 E 中所示的脉冲 a 1' 与 a 1" 的脉冲信号。纠错电路 5 6 C 响应来自计数器 4 2 C 的错误指定信号 E D E S，将来自脉冲发生电路 5 3 C 的脉冲信号作为纠错信号的 E C O R R S 提供给数据存储器模块 2 0 A。由于在 R E A D 2 控制信号的逻辑高电平 b 3 与 b 4 下已经读取了存储在 F I F O 缓存器 2 4 A 的前两个存储区中的输入数字数据，并且在发生逻辑高电平 a 5 之前已由脉冲 a 1' 与 a 1" 读取了存储在 F I F O 缓存器 2 4 A 的前两个存储区中的输入数字数据，数据存储器模块 2 0 A 与 2 0 B 上的随后的读操作便能同时执行而不会对输出数字数据产生错误。

为了简化，虽然本发明的较佳实施例是参照两个数据存储器模块描述的，应能理解，为了容纳比上述输入数字数据更大的位宽度的输入数字数据，可以采用两个以上的数据存储器模块。

虽然已经参照特定的实施例示出与描述了本发明，但是对于熟悉本技术的人员而言，显而易见可以作出许多改变与修正而仍不脱离所附的权利要求书中所定义的本发明的精神与范围。

说 明 书 附 图

图 1

输入数字数据 ID1 - ID16

至 FIFO 缓存器控制器

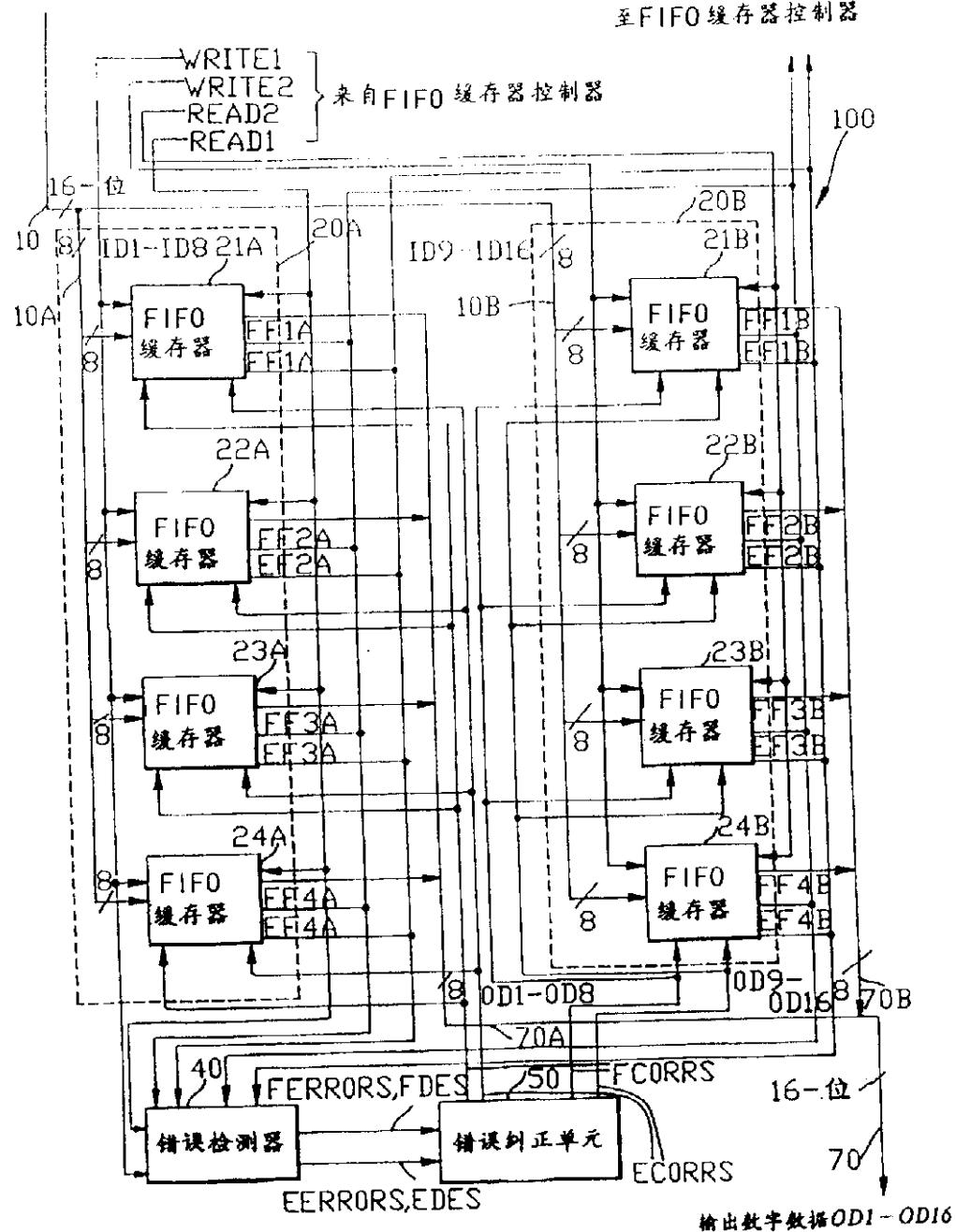


图 2

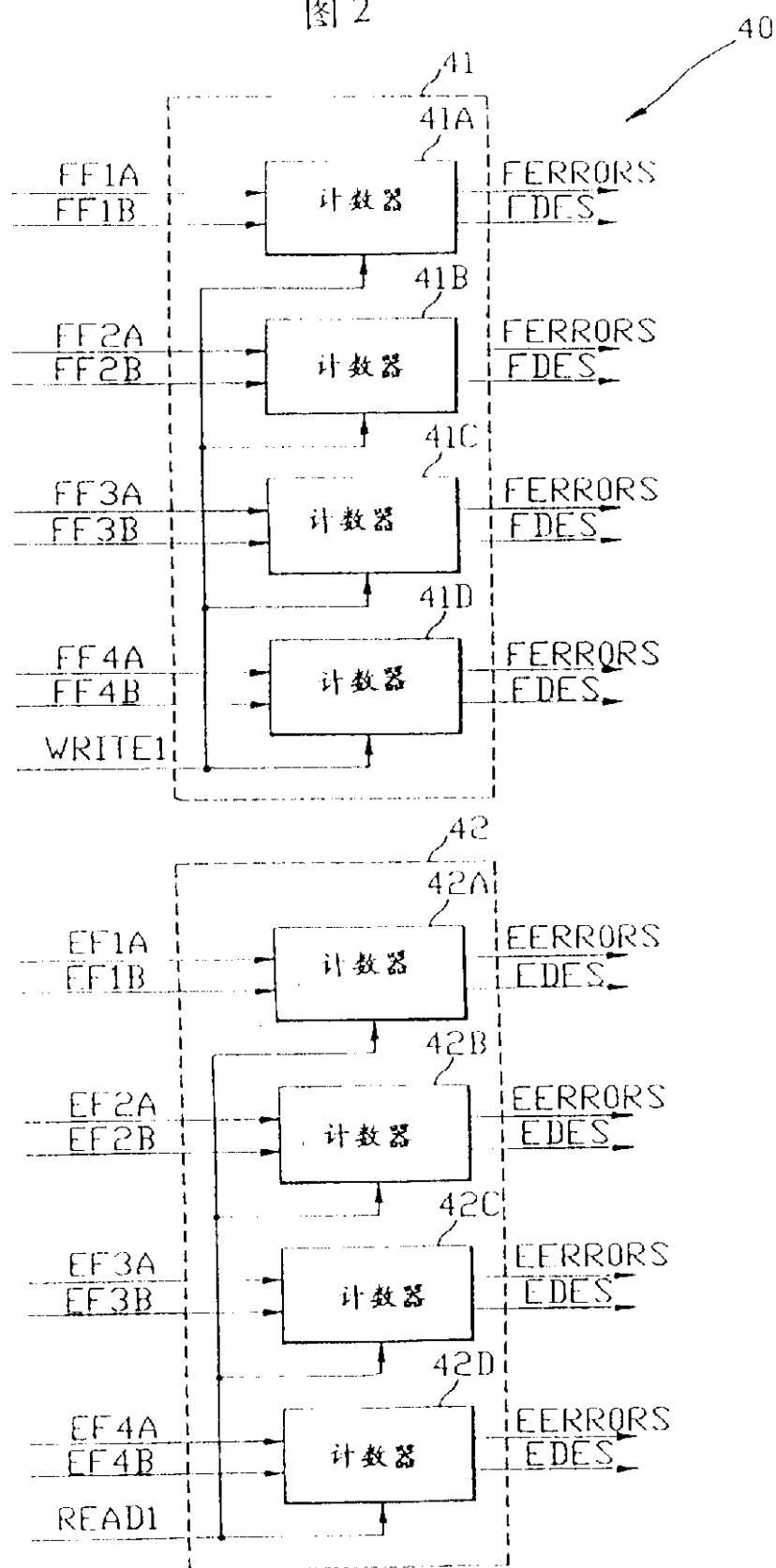
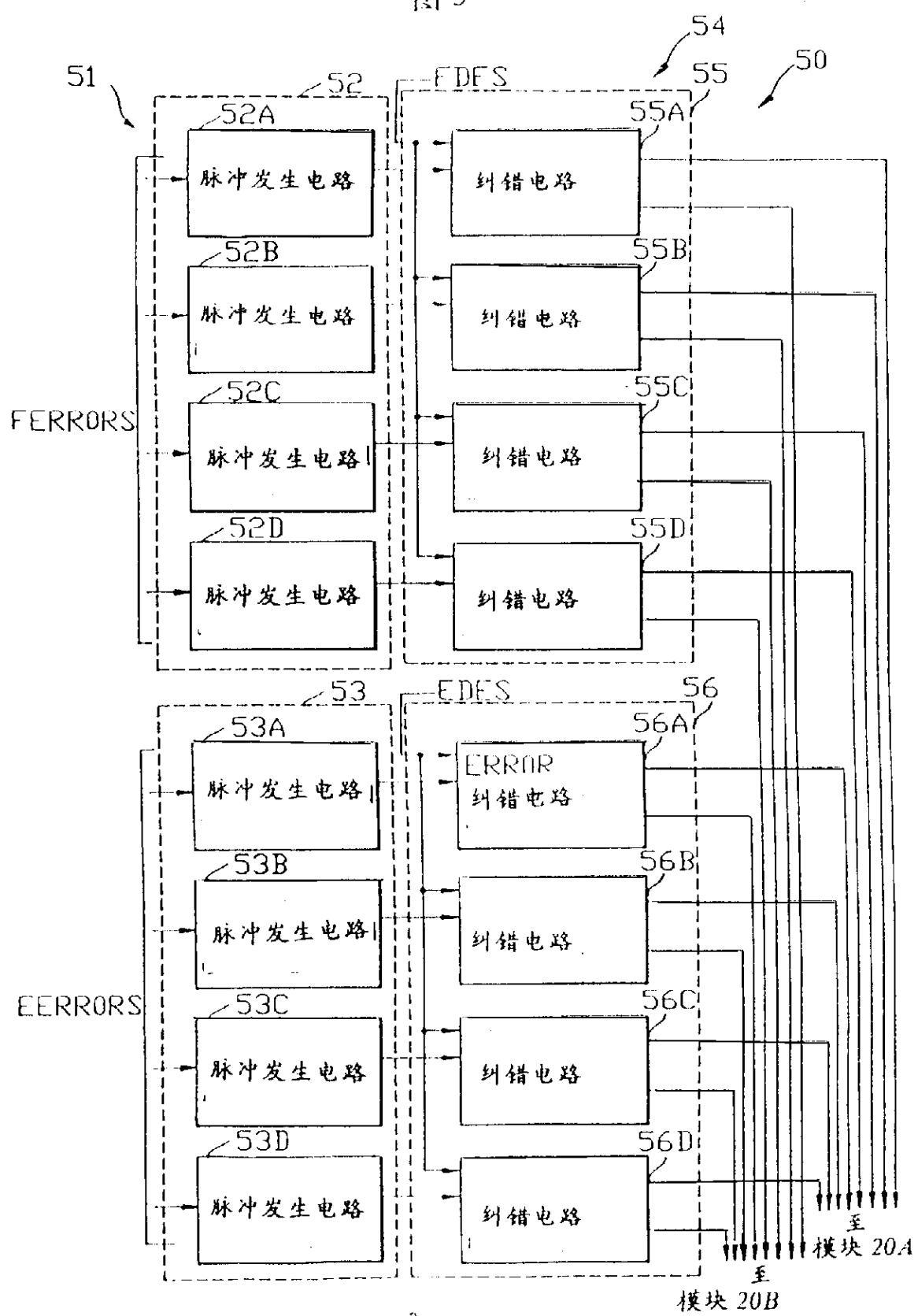


图 3



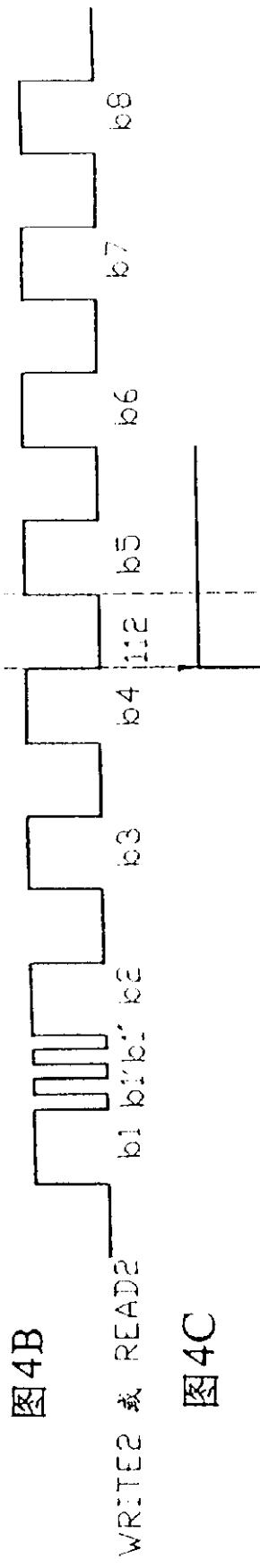
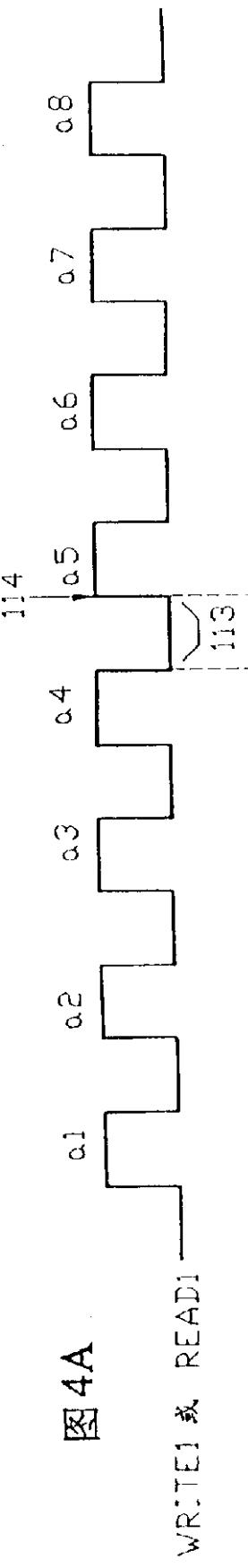


图 4C

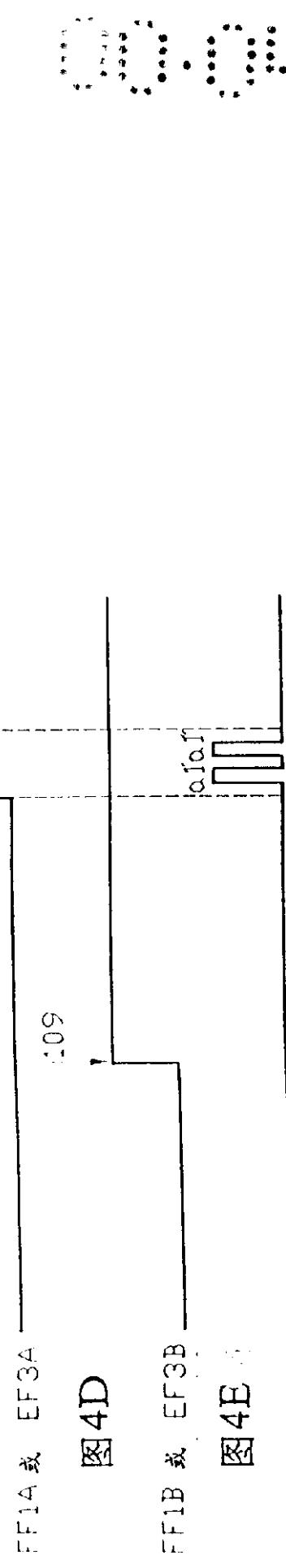


图 4E



FCORRS 或 ECORRS

FCORRS
ECORRS