

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3808700号
(P3808700)

(45) 発行日 平成18年8月16日(2006.8.16)

(24) 登録日 平成18年5月26日(2006.5.26)

(51) Int. Cl.	F I
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 2 5 A
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 7 1 A

請求項の数 7 (全 20 頁)

(21) 出願番号	特願2000-371106 (P2000-371106)	(73) 特許権者	000003078
(22) 出願日	平成12年12月6日(2000.12.6)		株式会社東芝
(65) 公開番号	特開2002-176154 (P2002-176154A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成14年6月21日(2002.6.21)	(74) 代理人	100092820
審査請求日	平成16年8月31日(2004.8.31)		弁理士 伊丹 勝
		(72) 発明者	山田 敬
			神奈川県横浜市磯子区新杉田町8番地 株
			式会社東芝 横浜事業所内
		(72) 発明者	梶山 健
			神奈川県横浜市磯子区新杉田町8番地 株
			式会社東芝 横浜事業所内
		審査官	井原 純

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板と、
前記半導体層の上面から前記絶縁膜を貫通して前記半導体基板の内部にまで達する深さ
をもって且つ、前記絶縁膜の上部で溝径が拡大された溝径拡大部を有するように形成され
た溝の前記溝径拡大部に前記半導体層の下面に接する状態で埋め込まれた不純物拡散源と

この不純物拡散源による前記半導体層の下面からの不純物拡散による第2導電型の第1
拡散層、前記半導体層の上面からの不純物拡散による第2導電型の第2拡散層、及び前記
不純物拡散源の上方の前記溝の側面にゲート絶縁膜を介して形成されたゲート電極を有す
るトランジスタと、
を備え、

前記絶縁膜の下部に前記溝の途中まで埋め込まれた蓄積電極を持つ、前記トランジスタ
と共にDRAMセルを構成するトレンチキャパシタが形成されており、

前記蓄積電極上部の前記溝径拡大部に、前記トランジスタの第1拡散層の不純物拡散源
となる埋め込みストラップが前記半導体層に対してその下面のみに接する状態で埋め込み
形成され、この埋め込みストラップがキャップ絶縁膜で覆われ、このキャップ絶縁膜上に
前記トランジスタのゲート電極が埋め込まれており、

前記埋め込みストラップは、前記キャップ絶縁膜の直下に埋め込まれた第1のストラ
ップ膜と、この第1のストラップ膜に接して前記溝径拡大部に前記半導体層に対してその下

10

20

面のみに接する状態で埋め込まれた第2のストラップ膜とから構成されていることを特徴とする半導体装置。

【請求項2】

半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板と、
前記半導体層の上面から前記絶縁膜を貫通して前記半導体基板の内部にまで達する深さをもつ、前記絶縁膜の上部で溝径が拡大された溝径拡大部を有するように形成された溝の前記溝径拡大部に前記半導体層の下面に接する状態で埋め込まれた不純物拡散源と

この不純物拡散源による前記半導体層の下面からの不純物拡散による第2導電型の第1拡散層、前記半導体層の上面からの不純物拡散による第2導電型の第2拡散層、及び前記不純物拡散源の上方の前記溝の側面にゲート絶縁膜を介して形成されたゲート電極を有するトランジスタと、
を備え、

前記絶縁膜の下部に前記溝の途中まで埋め込まれた蓄積電極を持つ、前記トランジスタと共にDRAMセルを構成するトレンチキャパシタが形成されており、

前記蓄積電極上部の前記溝径拡大部に、前記トランジスタの第1拡散層の不純物拡散源となる埋め込みストラップが前記半導体層に対してその下面のみに接する状態で埋め込み形成され、この埋め込みストラップがキャップ絶縁膜で覆われ、このキャップ絶縁膜上に前記トランジスタのゲート電極が埋め込まれており、

前記溝の溝径拡大部は、前記絶縁膜の厚みの全範囲にわたって形成され、前記キャパシタの蓄積電極が前記溝径拡大部の途中まで埋め込まれ、前記埋め込みストラップは前記蓄積電極上に前記半導体層に対してその下面のみに接する状態に埋め込まれていることを特徴とする半導体装置。

【請求項3】

前記半導体層は、二つのDRAMセルが両端部に配置されるように、前記絶縁膜に達する深さに埋め込み形成された素子分離絶縁膜により複数の島状素子領域に区画され、前記トランジスタのゲート電極に接続されたワード線が一方方向に連続的に配設され、前記トランジスタの第2拡散層に接続されたビット線が前記ワード線と交差して配設されてDRAMセルアレイが構成されていることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】

前記ビット線は、前記各島状素子領域の両端部のワード線に隣接する位置で前記各島状素子領域毎に前記第2拡散層にコンタクトし、且つ前記島状素子領域の中央部を横切って前記半導体層にコンタクトして前記半導体層に固定電位を与えるためのボディ配線が形成されていることを特徴とする請求項3記載の半導体装置。

【請求項5】

前記半導体層は、二つのDRAMセルが両端部に配置されるように、前記絶縁膜に達しない深さに埋め込み形成された素子分離絶縁膜により複数の島状素子領域に区画され、前記トランジスタのゲート電極に接続されたワード線が一方方向に連続的に配設され、前記トランジスタの第2拡散層に接続されたビット線が前記ワード線と交差して配設されてDRAMセルアレイが構成されていることを特徴とする請求項1又は2記載の半導体装置。

【請求項6】

半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板に、前記半導体層及び前記絶縁膜を貫通して前記半導体基板の内部に達する深さの溝を形成する工程と、

前記溝内にキャパシタ絶縁膜を介して蓄積電極を埋め込む工程と、

前記蓄積電極上に不純物がドーブされた第1のストラップ膜を埋め込む工程と、

前記第1のストラップ膜上方の前記溝の側面に露出した前記絶縁膜をエッチングして前記半導体層の下面を露出させる溝径拡大部を形成する工程と、

前記溝の溝径拡大部に前記第1のストラップ膜に重なり且つ、前記半導体層に対してその下面のみに接する状態で不純物がドーブされた第2のストラップ膜を埋め込む工程と、

10

20

30

40

50

前記第1のストラップ膜をキャップ絶縁膜で覆う工程と、
 前記キャップ絶縁膜上方の前記溝の側面にゲート絶縁膜を形成した後、前記溝にゲート電極を埋め込む工程と、
 前記半導体層に、上面からの不純物拡散及び前記第2のストラップ膜による下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程と
 を有することを特徴とする半導体装置の製造方法。

【請求項7】

半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板に、前記半導体層及び前記絶縁膜を貫通して前記半導体基板の内部に達する深さの溝を形成する工程と、

前記溝の側面に露出する前記絶縁膜をエッチングして前記半導体層の下面を露出させる溝径拡大部を形成する工程と、

前記溝内にキャパシタ絶縁膜を介して前記溝径拡大部の途中までの深さに蓄積電極を埋め込む工程と、

前記蓄積電極上の前記溝径拡大部に前記蓄積電極に重なり且つ、前記半導体層に対してその下面にのみ接する状態で不純物がドーピングされた埋め込みストラップを形成する工程と、

前記埋め込みストラップをキャップ絶縁膜で覆う工程と、

前記キャップ絶縁膜上方の前記溝の側面にゲート絶縁膜を形成した後、前記溝にゲート電極を埋め込む工程と、

前記半導体層に、上面からの不純物拡散及び前記埋め込みストラップによる下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程と
 を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置とその製造方法に係り、特にトレンチキャパシタと縦型トランジスタにより構成されるDRAMセルを持つ半導体装置とその製造方法に関する。

【0002】

【従来の技術】

1トランジスタ/1キャパシタにより構成されるメモリセルを用いたDRAMは、高集積化の一途を辿っており、世代毎にセル面積の縮小が図られている。セル面積を縮小するためには、基本的に、構成要素であるトランジスタとキャパシタの占有面積をそれぞれ低減する必要がある。キャパシタに関しては、小さいセル占有面積のなかで如何に必要とするキャパシタ容量を確保するかが問題であり、キャパシタ絶縁膜の高誘電率化や実効キャパシタ面積増大のための構造等が世代毎に開発されている。トランジスタに関しては、平面構造のまま、ソース、ドレイン拡散層深さやゲート絶縁膜厚の低減、基板不純物濃度の増加等、スケールリング則を基本として微細化が行われてきた。

【0003】

今後更にトランジスタを微細化するためには、チャンネル長の縮小と共にしきい値が低下してしまう現象(短チャンネル効果)を抑制すべく、ゲート絶縁膜の薄膜化と基板不純物濃度の高濃度化が必要不可欠となる。しかし、基板不純物濃度を高めると、基板とストレージノードとの間の接合リークが増大し、メモリセルのデータ保持能力が低下することが知られている(例えば、T.Hamamoto et al., "Well concentration: A novel scaling limitation factor derived from DRAM retention time and its modeling", IEDM Tech.Dig., p.9 15, 1995)。

【0004】

また、ゲート絶縁膜を薄膜化する場合、ゲート絶縁膜の耐圧を確保するためにワード線電圧の低電圧化が必要になる。しかし、DRAMのメモリセルに用いるトランジスタはキャパシタに蓄えられた電荷を長く保持できるように、通常のロジックに比べてオン時のリー

10

20

30

40

50

ク電流を低くする必要があるので、しきい値を高め設定しなければならない。そして、しきい値が高いままワード線電圧を下げると、キャパシタへの書き込み信号量が低下し、動作マージンが劣化する危険性がある。

【0005】

これらの問題を解決する高密度DRAM用セルの構造として、基板に形成したトレンチの下部にキャパシタを形成し、上部にトレンチ側面をチャネルとする縦型トランジスタを形成する構造が提案されている(U.Gruening et al., "A Novel Trench DRAM Cell with a Vertical Access Transistor and Buried Strap(VERI BEST) for 4Gb/16Gb", IEDM Tech. Dig., 1999)。

【0006】

上記文献で提案されているDRAMセルのビット線方向の断面構造を図28に示す。基板1は、キャパシタCを形成する下部にn型層が埋め込まれており、上部のトランジスタQが形成される部分がp型層である。この基板1に、n型層に達するトレンチ1が形成され、このトレンチ1の下部にキャパシタ絶縁膜2を有するキャパシタCが形成される。キャパシタCの蓄積電極上には、これに連続する埋め込みストラップ3が形成される。

【0007】

埋め込みストラップ3は、キャパシタCとその上部に形成されるトランジスタQの接続ノードであり且つ、トランジスタQの下部の拡散層5の不純物拡散源でもある。埋め込みストラップ3上はキャップ絶縁膜4で覆われ、この上のトレンチ側壁を利用して縦型のトランジスタQが形成される。p型層の上面から形成された拡散層6と、埋め込みストラップ3からの不純物拡散により形成された拡散層5がトランジスタのソース、ドレインとなる。

【0008】

トランジスタQのゲート電極と一体にワード線WLが形成される。折り返しビット線構造の場合、ワード線WLに隣接して、隣接セルのパスワード線PassWLが配置される。この場合ビット線BLは、PassWLの間で、拡散層6にコンタクトさせることになる。

【0009】

【発明が解決しようとする課題】

この様に、図28のDRAMセルは、従来のトレンチキャパシタの上部にゲート電極を埋め込むことで、従来のDRAMセルとほぼ同様の方法で縦型トランジスタを形成している。これにより、トランジスタのチャネル長は、セル占有面積と関係なく深さ方向に確保することができる。従って、短チャネル効果に影響されることなく、セル占有面積を小さくすることができる。

【0010】

しかし、上述のDRAMセルでは、埋め込みストラップ3の上面位置が、多結晶シリコンの埋め込み工程のエッチバック深さで決定されるため、縦型トランジスタQのチャネル長がエッチバックプロセスによりばらつく。従って、トランジスタ特性のばらつきが問題になる。

【0011】

この発明は、上記事情を考慮してなされたもので、特性のばらつきが小さい縦型トランジスタを持つ半導体装置とその製造方法を提供することを目的としている。

【0012】

【課題を解決するための手段】

この発明に係る半導体装置は、半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板と、前記半導体層の上面から前記絶縁膜の内部にまで達する深さをもって且つ、前記絶縁膜の上部で溝径が拡大された溝径拡大部を有するように形成された溝の前記溝径拡大部に前記半導体層の下面に接する状態で埋め込まれた不純物拡散源と、この不純物拡散源による前記半導体層の下面からの不純物拡散による第2導電型の第1拡散層、前記半導体層の上面からの不純物拡散による第2導電型の第2拡散層、及び前記不

10

20

30

40

50

純物拡散源の上方の前記溝の側面にゲート絶縁膜を介して形成されたゲート電極を有するトランジスタと、を備えたことを特徴とする。

【0013】

この発明によると、半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板（いわゆるSOI(Silicon On Insulator)基板）を用いて、溝の側面に形成される縦型トランジスタのソース、ドレインは、半導体層の下面から上方への不純物拡散と上面から下方への不純物拡散により形成されるようにしている。従って、縦型トランジスタのチャネル長は、半導体層の厚みと上下面からの不純物拡散深さにより決まり、下部の不純物拡散源となる埋め込み層のエッチバック工程のばらつきの影響を受けない。

10

【0014】

この発明をDRAMに適用した場合には、溝は、絶縁膜を貫通して半導体基板の内部に達する深さに形成され、且つ絶縁膜の下部に溝の途中まで埋め込まれた蓄積電極を持つ、トランジスタと共にDRAMセルを構成するトレンチキャパシタが形成される。またこの場合、蓄積電極上部の溝径拡大部に、トランジスタの第1拡散層の不純物拡散源となる埋め込みストラップが半導体層に対してその下面のみに接する状態で埋め込み形成され、この埋め込みストラップがキャップ絶縁膜で覆われ、このキャップ絶縁膜上にトランジスタのゲート電極が埋め込まれる。

【0015】

具体的に埋め込みストラップは、例えば、キャップ絶縁膜の直下に埋め込まれた第1のストラップ膜と、この第1のストラップ膜に接して溝径拡大部に半導体層に対してその下面のみに接する状態で埋め込まれた第2のストラップ膜とから構成される。

20

或いはまた、溝の溝径拡大部が、絶縁膜の厚みの全範囲にわたって形成され、キャパシタの蓄積電極が溝径拡大部の途中まで埋め込まれ、埋め込みストラップは蓄積電極上に半導体層に対してその下面のみに接する状態に埋め込まれるようにしてもよい。

【0016】

DRAMセルアレイを構成する場合、半導体層は、二つのDRAMセルが両端部に配置されるように、絶縁膜に達する深さに埋め込み形成された素子分離絶縁膜により複数の島状素子領域に区画される。そして、トランジスタのゲート電極に接続されたワード線が一方方向に連続的に配設され、トランジスタの第2拡散層に接続されたビット線がワード線と交差して配設されてDRAMセルアレイが構成される。

30

【0017】

このようなDRAMセルアレイにおいて、セルアレイの基板電位を固定するためには、例えばビット線を、各島状素子領域の両端部のワード線に隣接する位置で各DRAMセル毎に第2拡散層にコンタクトさせる。そして、島状素子領域の中央部を横切って、半導体層にコンタクトするボディコンタクト配線を形成すればよい。

或いはまた、素子分離絶縁膜を絶縁膜に達しない深さに形成すれば、各島状素子領域の半導体層は底部で連続するから、セルアレイ周辺で基板電位を容易に固定することができる。

【0018】

40

この発明による半導体装置の製造方法は、半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板に、前記半導体層を貫通して前記絶縁膜の内部に達する深さの溝を形成する工程と、前記溝に露出した前記絶縁膜を選択エッチングして、前記半導体層の下面を露出させる溝径拡大部を形成する工程と、前記溝の溝径拡大部に前記半導体層の下面のみに接する状態で不純物拡散源を埋め込み形成する工程と、前記溝にゲート絶縁膜を介してゲート電極を埋め込み形成する工程と、前記半導体層に、上面からの不純物拡散及び前記不純物拡散源による下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程とを有することを特徴とする。

【0019】

この発明に係る半導体装置の製造方法はまた、半導体基板上に絶縁膜により分離されて第

50

1 導電型の半導体層が形成された基板に、前記半導体層及び前記絶縁膜を貫通して前記半導体基板の内部に達する深さの溝を形成する工程と、前記溝内にキャパシタ絶縁膜を介して蓄積電極を埋め込む工程と、前記蓄積電極上部の前記溝の側面に露出した前記絶縁膜をエッチングして前記半導体層の下面を露出させる溝径拡大部を形成する工程と、前記溝の溝径拡大部に前記蓄積電極に重なり且つ、前記半導体層の下面にのみ接する状態で不純物がドーブされた埋め込みストラップを形成する工程と、前記埋め込みストラップをキャップ絶縁膜で覆う工程と、前記キャップ絶縁膜上方の前記溝の側面にゲート絶縁膜を形成した後、前記溝にゲート電極を埋め込む工程と、前記半導体層に、上面からの不純物拡散及び前記埋め込みストラップによる下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程とを有することを特徴とする。

10

【0020】

この発明に係る半導体装置の製造方法は更に、半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板に、前記半導体層及び前記絶縁膜を貫通して前記半導体基板の内部に達する深さの溝を形成する工程と、前記溝内にキャパシタ絶縁膜を介して蓄積電極を埋め込む工程と、前記蓄積電極上に不純物がドーブされた第1のストラップ膜を埋め込む工程と、前記第1のストラップ膜上方の前記溝の側面に露出した前記絶縁膜をエッチングして前記半導体層の下面を露出させる溝径拡大部を形成する工程と、前記溝の溝径拡大部に前記第1のストラップ材料膜に重なり且つ、前記半導体層に対してその下面にのみ接する状態で不純物がドーブされた第2のストラップ膜を埋め込む工程と、前記第2のストラップ膜をキャップ絶縁膜で覆う工程と、前記キャップ絶縁膜上方の前記溝の側面にゲート絶縁膜を形成した後、前記溝にゲート電極を埋め込む工程と、前記半導体層に、上面からの不純物拡散及び前記第2のストラップ膜による下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程とを有することを特徴とする。

20

【0021】

この発明に係る半導体装置の製造方法は更に、半導体基板上に絶縁膜により分離されて第1導電型の半導体層が形成された基板に、前記半導体層及び前記絶縁膜を貫通して前記半導体基板の内部に達する深さの溝を形成する工程と、前記溝の側面に露出する前記絶縁膜をエッチングして前記半導体層の下面を露出させる溝径拡大部を形成する工程と、前記溝内にキャパシタ絶縁膜を介して前記溝拡大部の途中までの深さに蓄積電極を埋め込む工程と、前記蓄積電極上の前記溝径拡大部に前記蓄積電極に重なり且つ、前記半導体層に対してその下面にのみ接する状態で不純物がドーブされた埋め込みストラップを形成する工程と、前記埋め込みストラップをキャップ絶縁膜で覆う工程と、前記キャップ絶縁膜上方の前記溝の側面にゲート絶縁膜を形成した後、前記溝にゲート電極を埋め込む工程と、前記半導体層に、上面からの不純物拡散及び前記埋め込みストラップによる下面からの不純物拡散によりソース、ドレイン拡散層を形成する工程とを有することを特徴とする。

30

【0022】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

[実施の形態1]

図1は、この発明を1/2ピッチの折り返しビット線構造のDRAMセルアレイに適用した実施の形態の平面図であり、図2及び図3はそれぞれ、図1のA-A'断面図及びB-B'断面図である。

40

【0023】

この実施の形態では、n型単結晶シリコン基板11上に、シリコン酸化膜12等の絶縁膜により分離されたp型単結晶シリコン層13が形成されたSOI基板10を用いている。シリコン層13の厚みは、トランジスタのチャンネル長を規定することになるので、予め一定値に調整されている必要がある。最近市販されているSOI基板は、シリコン層の厚みが数%以内のばらつきで供給されているので、市販のSOI基板を用い得る。このSOI基板10に、p型シリコン層13及びシリコン酸化膜12を貫通し、n型シリコン基板11の内部に達する深さの溝20が形成され、この溝20の下部にトレンチキャパシタCが

50

形成され、上部にトランジスタQが形成されている。

【0024】

SOI基板10のp型シリコン層13は、STI(Shallow Trench Isolation)法により埋め込まれた素子分離絶縁膜40によって、隣接する二つのセル領域となる矩形の島状素子領域14に区画される。図1に示すように、キャパシタCは、各島状素子領域14の端部に埋め込み形成され、このキャパシタCに重なるように、島状素子領域14の端部側面にトランジスタQが形成される。但し、実際の製造工程では、島状素子領域14を区画する前に、溝20にキャパシタC及びトランジスタQが形成されることになる。

【0025】

キャパシタCは溝20の下部側壁に、例えばON(Oxide/Nitride)膜によりキャパシタ絶縁膜21を形成し、更にこの溝20にn型多結晶シリコン層からなる蓄積電極22を埋め込んで作られる。キャパシタCは、n型シリコン基板11を全メモリセルに共通のプレート電極として構成される。蓄積電極22の上端は、シリコン酸化膜12の厚みの途中に位置する。この蓄積電極22とトランジスタQを接続するための埋め込みストラップ23は、蓄積電極22上に連続するようにn型多結晶シリコン等により形成される。

10

【0026】

埋め込みストラップ23は、トランジスタQの下部のn⁺型拡散層31の不純物拡散源としても用いられており、このとき不純物は埋め込みストラップ23中若しくは蓄積電極22中から埋め込みストラップ23を介してp型シリコン層13中へ拡散される。ここで重要なことは、埋め込みストラップ23が、p型シリコン層13の下面のみに接するように埋め込まれることである。そのために、蓄積電極22が埋め込まれた溝20の上部には、シリコン酸化膜12を横方向にエッチングして後退させることによって径を拡大させた溝径拡大部25が設けられている。この溝径拡大部25に蓄積電極22に重なるように埋め込みストラップ23を、p型シリコン層13に対してその下面のみに接する状態で埋め込んでいる。埋め込みストラップ23の上部は、キャップ絶縁膜24で覆われる。

20

【0027】

キャップ絶縁膜24が埋め込まれた溝20の上部に露出するp型シリコン層13の側面にゲート絶縁膜30が形成され、ゲート電極となる多結晶シリコン層33aが埋め込まれる。p型シリコン層13の溝20に接する上面からトランジスタQの上部拡散層32が形成される。この様に、キャパシタCが埋め込まれた溝20の上部に、p型シリコン層13の上下面からの拡散によるソース、ドレイン拡散層31, 32が形成されて、縦型トランジスタQが作られる。

30

【0028】

トランジスタQのゲート電極となる多結晶シリコン層33aは、その後の素子分離絶縁膜40の埋め込み工程で各素子領域毎に分離される。そして、この多結晶シリコン層33aに重なるように、多結晶シリコン層33b及びWSi₂層34が積層されて、この積層膜がパターン形成されてワード線WLとなる。ワード線上はシリコン窒化膜36と層間絶縁膜37で覆われ、この上にビット線(BL)38が形成される。ビット線38は、島状素子領域14の中央部即ち二つの通過ワード線の間でn⁺型拡散層32にコンタクトさせる。このビット線コンタクトBLCには、コンタクト孔を介してn⁺型拡散層32に重なるn⁺型拡散層35が形成され、そのコンタクト孔に例えばコンタクトプラグ39が埋め込まれる。

40

【0029】

この実施の形態によると、SOI基板を用いて、埋め込みストラップ23がp型シリコン層13の下面のみに接するように、溝20の溝径拡大部25に埋め込まれる。そして、縦型トランジスタQの下部拡散層31は、埋め込みストラップ23からの上方拡散のみにより形成される。従って、縦型トランジスタQのチャネル長は、埋め込みストラップ23のエッチバック量の影響でばらつくことはない。言い換えれば、チャネル長の制御性は、SOI基板10のp型シリコン層13の膜厚のばらつきの範囲程度に向上する。

50

【0030】

また、キャパシタCの蓄積電極22はキャパシタ絶縁膜21によりシリコン基板11から絶縁分離され、各トランジスタQの拡散層もシリコン酸化膜12によりシリコン基板11から絶縁分離されている。このため、ソフトエラー耐性やノイズ耐性が高いものとなっている。更に、もし、シリコン酸化膜12がないとすると、図28の従来例に示すように、埋め込みストラップ23による寄生トランジスタを抑制するために、埋め込みストラップ23を形成する部分の側壁にある程度の厚みを持つ側壁絶縁膜の形成が不可欠になる。しかしこの実施の形態では、埋め込みストラップ23は、シリコン酸化膜12の内部に埋め込まれているから、寄生トランジスタを抑制するための格別の手当を必要としない。

【0031】

次に、この実施の形態のセルアレイの製造工程を、図2の断面に着目して、図4～図9を参照して説明する。図4は、キャパシタCが形成された状態を示している。SOI基板10にまず、バッファ酸化膜41とシリコン窒化膜42からなるマスクをパターン形成する。そして、RIEによりSOI基板10をエッチングして、n型シリコン基板11の内部にまで達する深さの溝20を形成する。この後、図では示さないが、必要に応じて、溝20の底部からプレート電極を低抵抗化するためのn⁺型拡散層を形成する。

【0032】

次いで、溝20の側壁にON膜等からなるキャパシタ絶縁膜21を形成した後、n型不純物がドーピングされた多結晶シリコンを堆積し、RIEによりエッチバックして、溝20の途中まで埋め込む。これにより、蓄積電極22が形成される。蓄積電極22の上面は、SOI基板10のシリコン酸化膜12の途中に位置するようにする。

【0033】

この後、図5に示すように、蓄積電極22の上方にあるキャパシタ絶縁膜21をエッチング除去し、更に溝20に露出しているシリコン酸化膜12をHF溶液等によりエッチングして所定距離後退させて、p型シリコン層13の下面43を露出させた溝径拡大部25を形成する。

【0034】

そして、図6に示すように、再度n型不純物がドーピングされた多結晶シリコン膜を堆積して溝20を埋め込み、これをRIE等の異方性エッチングによりエッチバックして、蓄積電極22に重なる埋め込みストラップ23を形成する。埋め込みストラップ23は、その上面位置がp型シリコン層13の下面位置より低くなるように、言い換えれば、埋め込みストラップ23がp型シリコン層13に対してその下面のみに接する状態で溝径拡大部25に埋め込む。

【0035】

その後、図7に示すように、溝20に、埋め込みストラップ23を覆うシリコン酸化膜等のキャップ絶縁膜24を形成する。このキャップ絶縁膜24は、この上に埋め込み形成されるゲート電極と蓄積ノードとを分離するためのもので、シリコン酸化膜等の埋め込みによってもよいし、或いは埋め込みストラップ23の表面を酸化して得られるシリコン酸化膜やそれらの複合膜、更には、埋め込みストラップ23上にも形成れさせることになるゲート絶縁膜で兼ねることもできる。

【0036】

そして、p型シリコン層13の上面にイオン注入によりn⁺型拡散層32を形成し、熱酸化により溝20の側面にゲート絶縁膜30を形成し、ゲート電極となる多結晶シリコン膜33aを堆積する。ゲート絶縁膜30の熱酸化工程或いはそれ以降の熱工程で、埋め込みストラップ23のn型不純物はp型シリコン層13に上方拡散し、n⁺型拡散層31が形成される。

【0037】

次いで、図8に示すように、STI法による素子分離工程を行う。即ち、シリコン窒化膜44等によりマスクを形成し、多結晶シリコン膜33a、ゲート絶縁膜30、キャップ絶縁膜24、p型シリコン層13をRIEによりエッチングして素子分離溝を形成した後、

10

20

30

40

50

シリコン酸化膜等の素子分離絶縁膜 40 を埋め込む。素子分離絶縁膜 40 は好ましくは、CMP 処理等により平坦化する。ここでは、素子分離溝を、シリコン酸化膜 12 に達する深さに形成しており、これにより二つの DRAM セルを形成する各島状素子領域 14 の p 型シリコン層 13 は、互いに他の島状素子領域 14 から絶縁分離される。

【0038】

この後、少なくとも溝 20 以外のシリコン窒化膜 44 をエッチング除去した後、図 9 に示すように、多結晶シリコン膜 33b、WSi₂ 膜 34、シリコン窒化膜 36 の積層膜を堆積し、これらの積層膜をパターンニングして、ワード線 WL を形成する。

【0039】

そして、図 2 に示すように、ワード線 WL の側壁にもシリコン窒化膜を形成した後、層間絶縁膜 37 を堆積する。この層間絶縁膜 37 にワード線 WL にセルフアラインされたコンタクト孔を形成し、イオン注入により n⁺ 型拡散層 35 を形成する。そして、コンタクト孔にコンタクトプラグ 39 を埋め込んだ後、ビット線 38 を形成する。

【0040】

この実施の形態の製造工程によれば、埋め込みストラップ 23 のエッチバックの制御は、p 型シリコン層 13 の厚みより深くすればよく、これにより埋め込みストラップ 23 は p 型シリコン層 13 の下面のみに接する状態になる。従ってトランジスタのチャネル長制御のために厳しいエッチバック量制御を行うという必要がなく、製造歩留まりは向上する。

【0041】

この実施の形態において、電極材料や絶縁材料は一例であり、他に種々選択可能である。また前述のように、埋め込みストラップ 23 は、p 型シリコン層 13 の下面位置より深くエッチバックすることが重要であり、例えばキャパシタ C の蓄積電極 22 の上面に達するまでエッチバックしてもよい。但しこの場合、蓄積電極 22 の表面に予めエッチングストップのための薄いシリコン酸化膜等を形成しておくことが好ましい。これにより、蓄積電極 22 のエッチングを抑えることができる。

【0042】

なおこの場合、埋め込みストラップ 23 としては、溝 20 の外側にシリコン酸化膜 12 の側方エッチングにより拡げた溝径拡大部 25 のみに残ることになり、キャパシタ C の蓄積電極 22 との電氣的接続が不十分になる可能性がある。これに対しては、図 5 の工程でキャパシタ絶縁膜 21 をオーバーエッチングして、蓄積電極 22 の側面に埋め込みストラップ 23 が接触するように、手当をしておくことが好ましい。

【0043】

[実施の形態 2]

図 10 は、他の実施の形態による DRAM セルアレイの断面図を、先の実施の形態の図 2 に対応させて示している。平面図は、図 1 と同じである。先の実施の形態と異なるのは、埋め込みストラップ 23 が、2 層のストラップ膜である多結晶シリコン膜 23a、23b により構成されている点である。これらの 2 層のうち、最初の多結晶シリコン層 23a は、溝径拡大部 25 を形成する前に、キャパシタ C の蓄積電極 22 よりも上部の溝 20 の側壁に、キャパシタ絶縁膜がない状態で積層される。そして、溝径拡大部 25 を形成した後、第 2 層目の多結晶シリコン層 23b が、p 型シリコン層 13 の下面のみに接する状態で溝径拡大部 25 に埋め込まれる。

【0044】

この実施の形態の製造工程を説明すれば、図 4 までは先の実施の形態と同様である。この後、蓄積電極 22 上のキャパシタ絶縁膜 21 をエッチング除去した後、図 11 に示すように、n 型不純物をドーブした多結晶シリコン膜 23a を、堆積とエッチバックにより溝 20 に埋め込む。或いは、多結晶シリコン膜 23a を蓄積電極 22 上に選択成長させる方法でもよい。このとき、多結晶シリコン膜 23a の上面は、シリコン酸化膜 12 の途中に位置するようにする。

【0045】

この状態で、図 12 に示すように、HF 溶液等による等方性エッチングにより、シリコン

10

20

30

40

50

酸化膜 1 2 をエッチングして後退させる。これにより、p 型シリコン層 1 3 の下面 4 3 が露出する溝径拡大部 2 5 が形成される。そして、図 1 0 に示すように、多結晶シリコン膜 2 3 b を、堆積とエッチバックにより、p 型シリコン層 1 3 の下面にのみ接触するように埋め込む。このときエッチバックは、多結晶シリコン膜 2 3 a の上面が露出するまで行うことができる。

その後は、先の実施の形態と同様である。

【 0 0 4 6 】

この実施の形態によると、埋め込みストラップ 2 3 を 2 層の多結晶シリコン膜 2 3 a , 2 3 b により形成することにより、キャパシタ絶縁膜のオーバーエッチングを十分に行わなくても、蓄積電極 2 2 と埋め込みストラップ 2 3 の電氣的接続は確実になる。

10

【 0 0 4 7 】

[実施の形態 3]

図 1 3 は、他の実施の形態による D R A M セルアレイの断面図を、先の実施の形態の図 2 に対応させて示している。平面図は、図 1 と同じである。先の実施の形態と異なるのは、溝径拡大部 2 5 がシリコン酸化膜 1 2 の厚み範囲全体にわたって形成され、キャパシタ C の蓄積電極 2 2 の上面が溝径拡大部 2 5 に位置して広い面積をもって埋め込まれていること、そしてその上部に埋め込みストラップ 2 3 が p 型シリコン層 1 3 の下面のみに接するように形成されていることである。

【 0 0 4 8 】

その製造工程を説明すれば、図 1 4 に示すように、キャパシタ用の溝 2 0 を R I E によりエッチングした後、引き続き H F 溶液によりエッチングを行って、シリコン酸化膜 1 2 の端面を後退させる。これにより、p 型シリコン層 1 3 の下面 4 3 が露出する溝径拡大部 2 5 が形成される。

20

【 0 0 4 9 】

この後、図 1 5 に示すように、キャパシタ絶縁膜 2 1 を形成し、多結晶シリコン膜の堆積とエッチバックにより蓄積電極 2 2 を埋め込む。蓄積電極 2 2 の上面は、シリコン酸化膜 1 2 の途中に位置するようにし、その上部にあるキャパシタ絶縁膜はエッチング除去する。

この後は、先の実施の形態 1 と同様である。

【 0 0 5 0 】

この様に、キャパシタ用の溝 2 0 の形成直後に、シリコン酸化膜 1 2 を後退させるエッチングを行うことにより、蓄積電極 2 2 と埋め込みストラップ 2 3 の間の電氣的接続がキャパシタ絶縁膜 2 1 で妨げられることがなく、従ってキャパシタ絶縁膜のエッチング条件や、埋め込みストラップのエッチバック条件に厳しい制御性が要求されることがない。これにより、高歩留まりが得られる。

30

【 0 0 5 1 】

[実施の形態 4]

図 1 6 及び図 1 7 は、別の実施の形態による D R A M セルアレイの平面図とその A - A ' 断面図を、実施の形態 1 の図 1 及び図 2 に対応させて示している。実施の形態 1 と異なる点は、ビット線コンタクト B L C の配置のみである。即ち、実施の形態 1 の場合、一つの島状素子領域 1 4 の両端部にキャパシタ C とトランジスタ Q による D R A M セルが形成され、その間を 2 本の通過ワード線が走るレイアウトにおいて、その 2 本の通過ワード線の間即ち島状素子領域 1 4 の中央部に二つのセルに共通のビット線コンタクト B L C を配置している。

40

【 0 0 5 2 】

これに対してこの実施の形態では、同様のセルレイアウトにおいて、一つの島状素子領域 1 4 の両端部二つのセルに対するビット線コンタクト B L C をそれぞれ別々に、各セルのワード線の隣接する位置に配置している。

従ってまた、トランジスタの上部 n⁺ 拡散層 3 2 は、島状素子領域 1 4 の全面には必要がなく、ビット線コンタクト B L C の位置のみに形成している。

50

【 0 0 5 3 】

この実施の形態によると、ビット線コンタクト数が増えることによりビット線の寄生容量が増える可能性があるが、ビット線からキャパシタまでの抵抗を小さくすることができ、容量と抵抗の積で決まる配線遅延時間を結果的に削減し、データ書き込み、読み出しの速度向上が可能になる。

【 0 0 5 4 】

[実施の形態 5]

ここまでの実施の形態は、折り返しビット線構造の場合であるが、この発明はオープンビット線方式にも適用できる。図 1 8 は、オープンビット線方式の実施の形態による D R A Mセルアレイの平面図であり、図 1 9 はその A - A ' 断面図である。キャパシタ C とトランジスタ Q の関係、埋め込みストラップ 2 3 による上方拡散のみによりトランジスタ Q の下部 n^+ 拡散層 3 1 が形成される点等、基本的な特徴は実施の形態 1 と同様である。従って、実施の形態 1 と対応する部分には同じ符号を付して詳細な説明は省く。

10

【 0 0 5 5 】

オープンビット線方式の場合には、図 1 8 に示すように、通過ワード線がない状態で、一つのセル毎に島状素子領域 1 4 が形成され、ビット線方向に隣接するセルの間隔は、間に素子分離絶縁膜 4 0 を挟んで最小加工寸法程度まで小さくすることができる。

【 0 0 5 6 】

[実施の形態 6]

図 2 0 及び図 2 1 は、オープンビット線方式の他の実施の形態による D R A Mセルアレイの平面図とその A - A ' 断面図である。実施の形態 5 との相違は、ビット線 B L に沿ってセルの向きを全て同じにただけである。この様に、セルの向きを揃えることにより、セルアレイの繰り返しパターンがより単純になり、リソグラフィ工程のマージンが向上する。従って図に示したように、下部 n^+ 型拡散層 3 2 が素子分離絶縁膜 4 0 まで達するようになるまで微細化することも可能となる。これにより、拡散層容量も低減し、接合リークも抑制することが可能になる。

20

【 0 0 5 7 】

[実施の形態 7]

ここまでの実施の形態では、縦型トランジスタ Q の基板電位は考えていない。各島状素子領域 1 4 の p 型シリコン層 1 3 は、底部のシリコン酸化膜 1 2 と素子分離絶縁膜 4 0 により他の領域から絶縁分離されており、このままではフローティングになるため、動作不安定の原因になる。

30

図 2 2 は、基板電位を固定することを可能とした実施の形態の D R A Mセルアレイの平面図であり、図 2 3 はその A - A ' 断面図である。

【 0 0 5 8 】

この D R A Mセルアレイ構造は、図 1 6 及び図 1 7 を基本とするもので、ビット線コンタクト B L C を各セルの直近位置に配置する構成としている。そして、各島状素子領域 1 4 の中央部、即ちパスワード線のスペースを利用して、p 型シリコン層 1 3 の電位固定のためのボディコンタクト B D C を配置している。そして、各ボディコンタクト B D C を連結するボディ配線 (B D L) 5 2 を、パスワード線の間配設している。

40

【 0 0 5 9 】

具体的な製造工程としては、ビット線コンタクト B L C を形成する工程の前に、通過ワード線の間、ボディコンタクト B D C の領域にコンタクト孔を開け、ここにコンタクト層 5 1 を埋め込む。好ましくは、図 2 3 に示すように、コンタクト底部をリセスエッチングし、 p^+ 型層 5 3 を形成した後に、p 型不純物を含む多結晶シリコン等のコンタクト層 5 1 を埋め込む。更にこのコンタクト層 5 1 をワード線方向に連結する、p 型不純物がドーブされた多結晶シリコンや W 等の低抵抗配線材料によりボディ配線 5 2 をパスワード線の間埋め込む。

【 0 0 6 0 】

この様に、ボディ配線 5 2 を埋め込み形成して、p 型シリコン層 1 3 に基板電位を与える

50

ことにより、トランジスタの安定動作が可能になる。図 2 3 では、コンタクト孔をリセスエッチングしてコンタクト層 5 1 を埋め込んでいるが、これはパスワード線を挟んで隣接する二つのセル間のリークを低減する上で有効である。

【 0 0 6 1 】

[実施の形態 8]

図 2 4 は、図 2 3 の実施の形態を基本として、これを少し変形した実施の形態である。即ち、ボディコンタクト B D C のコンタクト層 5 1 の周囲に素子分離絶縁膜 4 0 より浅い分離用絶縁膜 5 4 を埋め込んでいる。この構造は、実施の形態 1 の製造工程において、S T I 法による素子分離溝のエッチング工程後に、続けて分離用絶縁膜 5 4 を埋め込むための浅い分離溝エッチングを行い、素子分離絶縁膜 4 0 と同時に分離用絶縁膜 5 4 を埋め込むことで得られる。或いは深い S T I と浅い S T I を別々に分けて形成してもよい。

10

【 0 0 6 2 】

この様なボディコンタクト構造とすれば、トランジスタの基板電位を固定することができ、パスワード線の下に形成されるチャネルや空乏層に起因するボディコンタクト B D C 部の接合リークが効果的に抑制される。また、パスワード線を挟んで隣接する二つのセル間のリークを低減する上でも、実施の形態 7 より好ましい。またこの構造では、 n^+ 型拡散層 3 2 を図 2 と同様に、島状素子領域 1 4 の全面に形成しても差し支えない。

【 0 0 6 3 】

[実施の形態 9]

図 2 5 は、ボディコンタクト配線を配設することなく、セルアレイ領域の周辺でトランジスタの基板電位を固定することを可能とした実施の形態である。これは、実施の形態 1 の図 2 の構造を基本としている。図 2 と異なる点は、S T I により形成される素子分離絶縁膜 4 0 の深さを、p 型シリコン層 1 3 の厚み未満、従ってシリコン酸化膜 1 2 に達しない深さとしている点である。これにより、各島状素子領域 1 4 は、完全には絶縁分離されず、p 型シリコン層 1 3 の底部で互いに連結された状態となる。

20

【 0 0 6 4 】

但しこの場合、埋め込みストラップ 2 3 から p 型シリコン層 1 3 への上方拡散により形成される n^+ 型拡散層 3 1 が溝 2 0 の全周で形成されると、ビット線方向に隣接するセルの間で短絡を生じ、或いは短絡しなくてもリークが増大するおそれがある。そこで、埋め込みストラップ 2 3 の埋め込み前に、その部分の溝 2 0 には、 n^+ 型拡散層 3 1 の形成が必要な一辺を除く残りの 3 辺に側壁絶縁膜 6 1 を形成している。

30

【 0 0 6 5 】

具体的には、図 2 6 に示すように、キャパシタ C の蓄積電極 2 2 を埋め込んだ後、溝 2 0 の上部側壁にキャパシタ絶縁膜 2 1 より厚いシリコン酸化膜等の側壁絶縁膜 6 1 を形成する。このときの平面図を示すと、図 2 7 (a) のようになる。この後、図 2 7 (b) に示すように、側壁絶縁膜 6 1 のうち、後に埋め込みストラップからの不純物拡散を行う一辺部のみを選択的にエッチング除去して、3 辺にだけ残す。この後、実施の形態 1 と同様の工程で埋め込みストラップ 2 3 を形成する。

【 0 0 6 6 】

この実施の形態によると、ボディコンタクト配線を形成することなく、セルアレイ周辺で基板電位を固定することができる。

40

【 0 0 6 7 】

この発明は、上記実施の形態に限られない。即ち上記実施の形態では、D R A M セルアレイに適用した場合を説明したが、その縦型トランジスタの集積化構造及びその製造方法は、チャネル長の制御性に優れているという特徴を有するものであり、この意味で D R A M セルアレイに限らず、他の半導体メモリや論理集積回路等に適用しても有効である。

【 0 0 6 8 】

【 発明の効果 】

以上述べたようにこの発明によれば、S O I 基板を用いて、溝の側面に形成される縦型トランジスタのソース、ドレインは、半導体層の下面から上方への不純物拡散と上面から下

50

方への不純物拡散により形成されるようにしている。従って、チャンネル長は半導体層の厚みと上下面からの不純物拡散深さにより決まり、特性のばらつきのない優れた縦型トランジスタが得られる。

【図面の簡単な説明】

【図 1】この発明の実施の形態による D R A Mセルアレイの平面図である。

【図 2】図 1 の A - A ' 断面図である。

【図 3】図 1 の B - B ' 断面図である。

【図 4】同実施の形態の製造工程を説明するための断面図である。

【図 5】同実施の形態の製造工程を説明するための断面図である。

【図 6】同実施の形態の製造工程を説明するための断面図である。

10

【図 7】同実施の形態の製造工程を説明するための断面図である。

【図 8】同実施の形態の製造工程を説明するための断面図である。

【図 9】同実施の形態の製造工程を説明するための断面図である。

【図 10】他の実施の形態による D R A Mセルアレイの図 2 に対応する断面図である。

【図 11】同実施の形態の製造工程を説明するための断面図である。

【図 12】同実施の形態の製造工程を説明するための断面図である。

【図 13】他の実施の形態による D R A Mセルアレイの図 2 に対応する断面図である。

【図 14】同実施の形態の製造工程を説明するための断面図である。

【図 15】同実施の形態の製造工程を説明するための断面図である。

【図 16】他の実施の形態による D R A Mセルアレイの図 1 に対応する平面図である。

20

【図 17】図 16 の A - A ' 断面図である。

【図 18】他の実施の形態による D R A Mセルアレイの図 1 に対応する平面図である。

【図 19】図 18 の A - A ' 断面図である。

【図 20】他の実施の形態による D R A Mセルアレイの図 1 に対応する平面図である。

【図 21】図 20 の A - A ' 断面図である。

【図 22】他の実施の形態による D R A Mセルアレイの図 1 に対応する平面図である。

【図 23】図 22 の A - A ' 断面図である。

【図 24】他の実施の形態による D R A Mセルアレイの図 23 に対応する断面図である。

【図 25】他の実施の形態による D R A Mセルアレイの図 23 に対応する断面図である。

【図 26】同実施の形態の製造工程を説明するための断面図である。

30

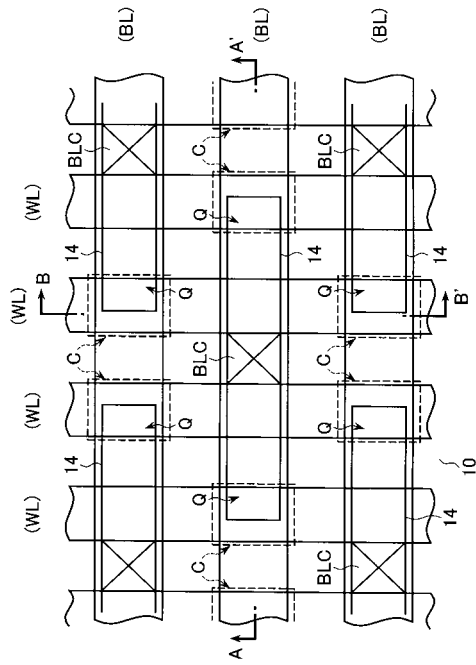
【図 27】同実施の形態の製造工程を説明するための平面図である。

【図 28】従来の縦型トランジスタを用いた D R A Mセルアレイの断面図である。

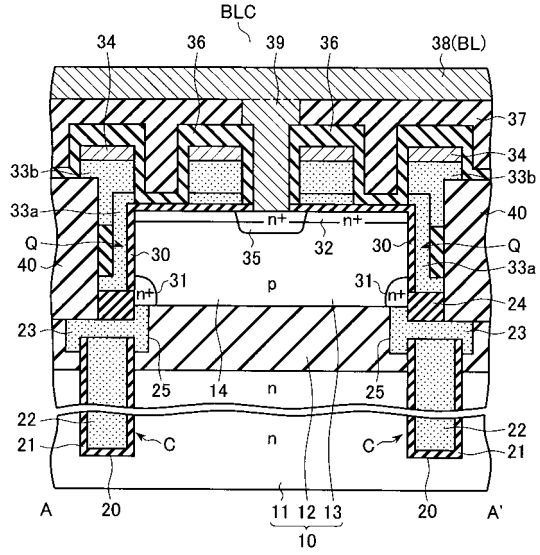
【符号の説明】

10 ... S O I 基板、11 ... n 型シリコン基板、12 ... シリコン酸化膜、13 ... p 型シリコン層、14 ... 島状素子領域、20 ... 溝、21 ... キャパシタ絶縁膜、22 ... 蓄積電極、23 ... 埋め込みストラップ、24 ... キャップ絶縁膜、25 ... 溝径拡大部、30 ... ゲート絶縁膜、31, 32, 35 ... n⁺型拡散層、33a, 33b ... 多結晶シリコン膜、34 ... W S i₂ 膜、36 ... シリコン窒化膜、37 ... 層間絶縁膜、38 ... ビット線、40 ... 素子分離絶縁膜、C ... キャパシタ、Q ... トランジスタ。

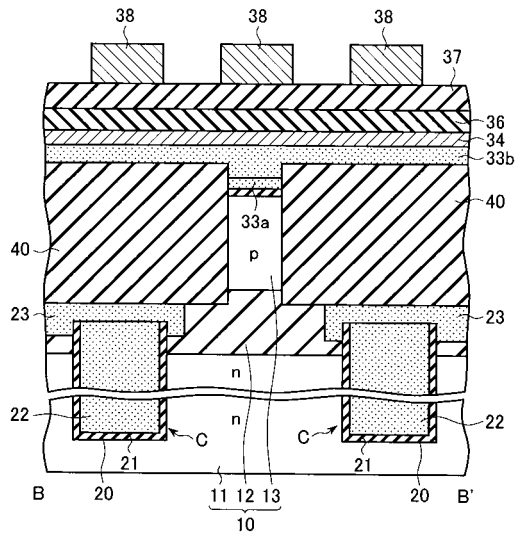
【 図 1 】



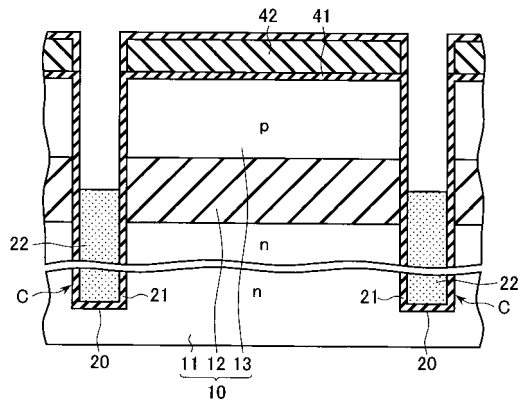
【 図 2 】



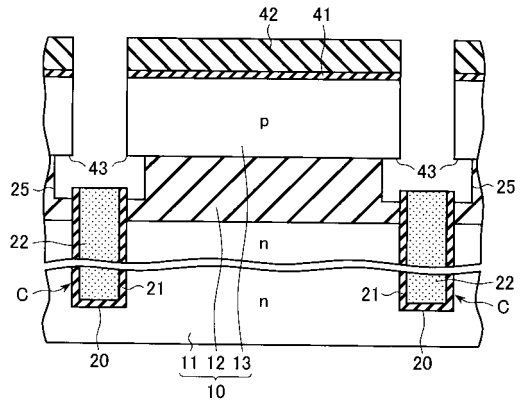
【 図 3 】



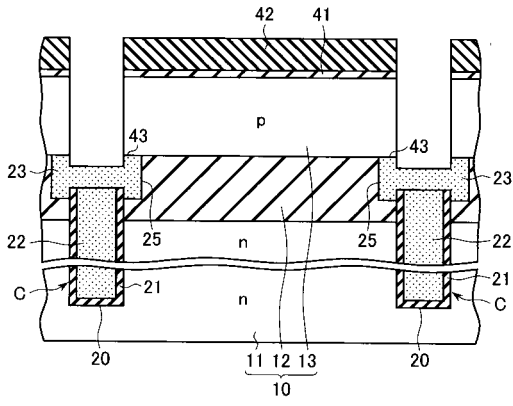
【 図 4 】



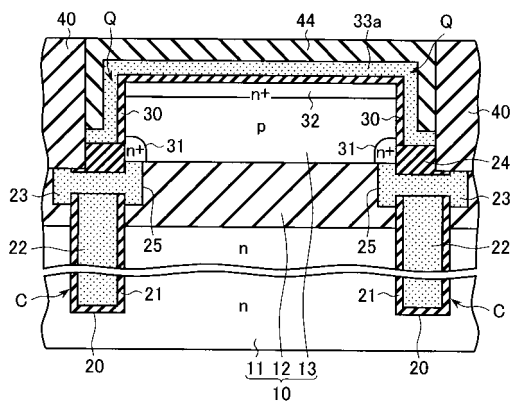
【 図 5 】



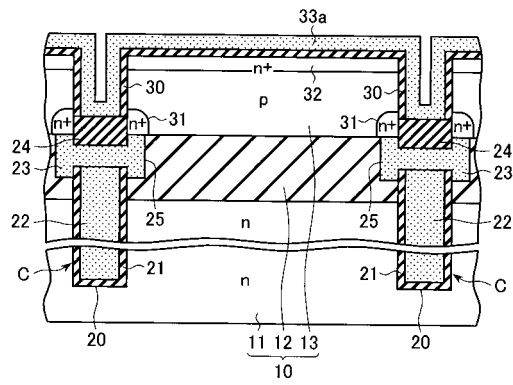
【 図 6 】



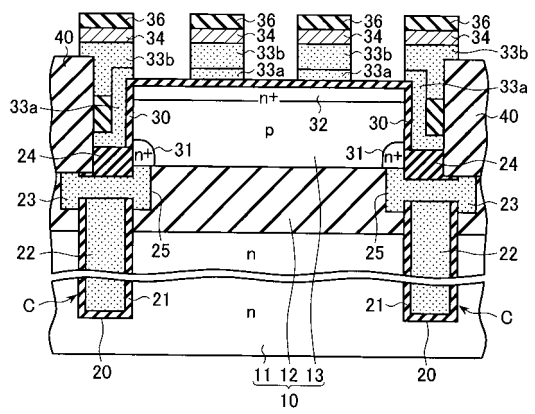
【 図 8 】



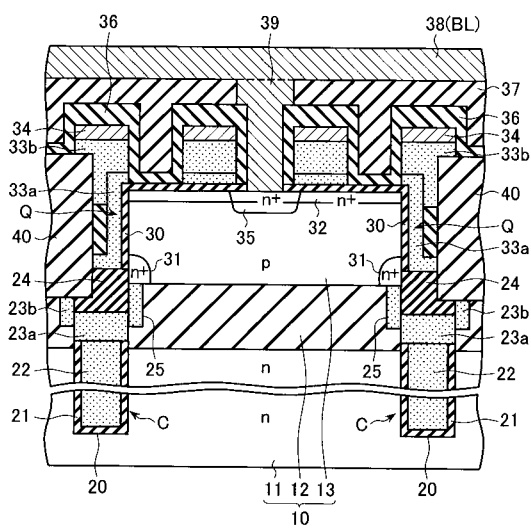
【 図 7 】



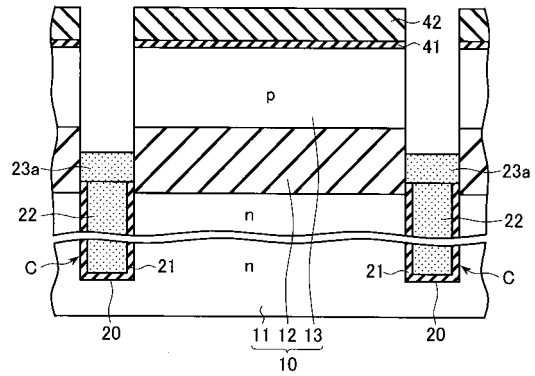
【 図 9 】



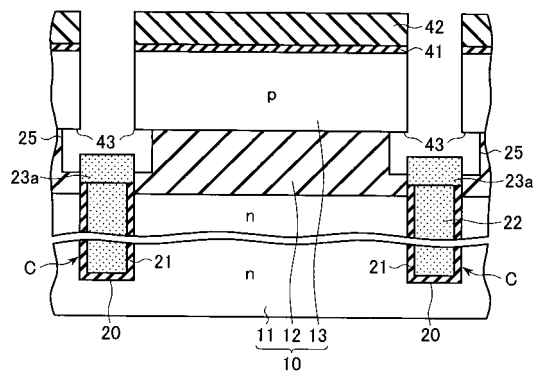
【 図 10 】



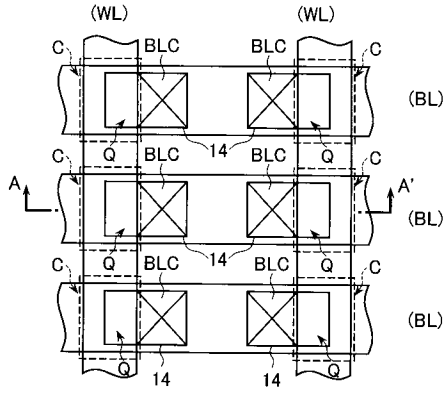
【 図 11 】



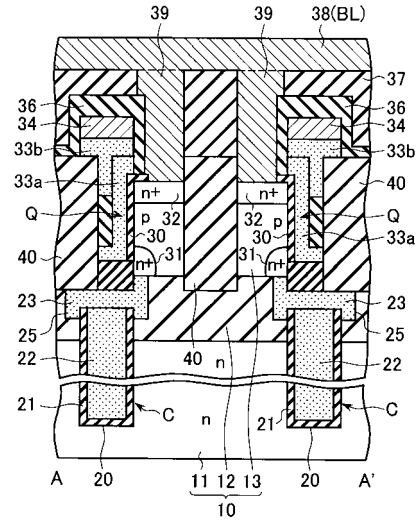
【 図 12 】



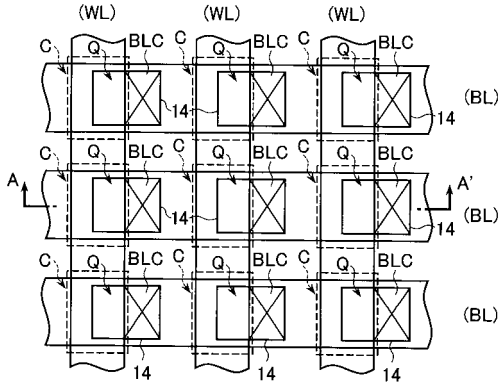
【 図 18 】



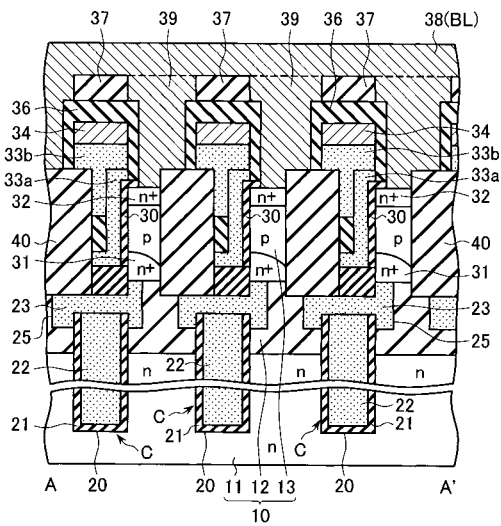
【 図 19 】



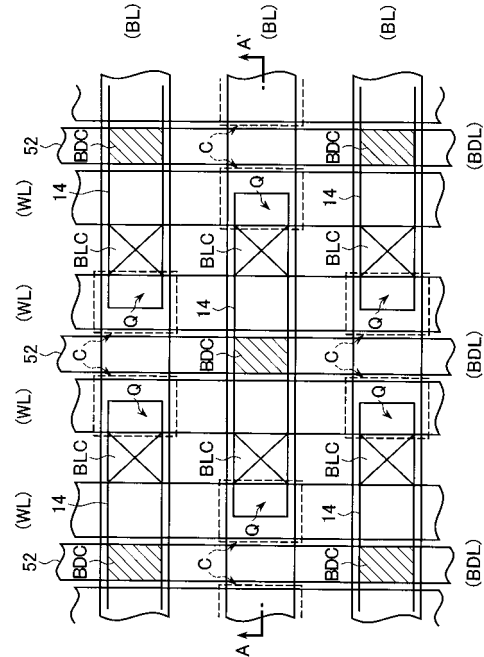
【 図 20 】



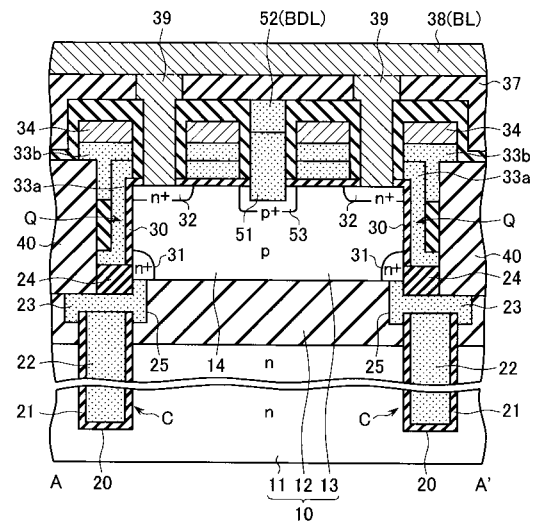
【 図 21 】



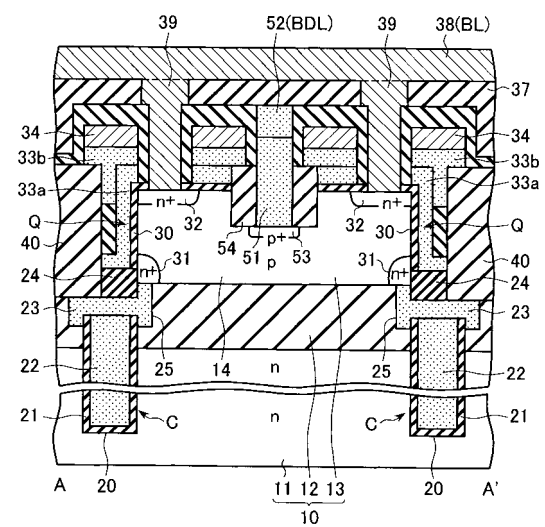
【 図 22 】



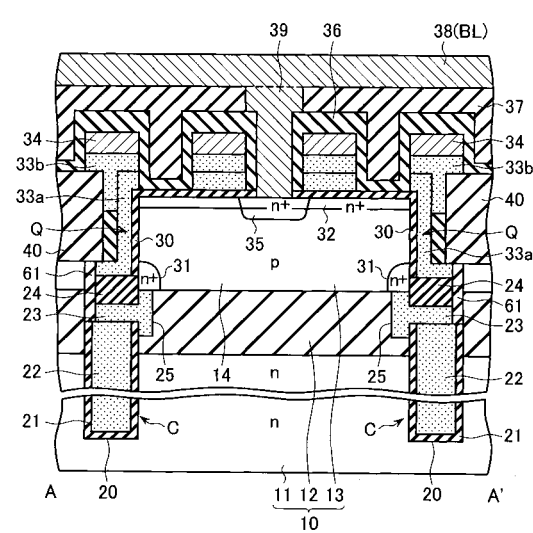
【図 2 3】



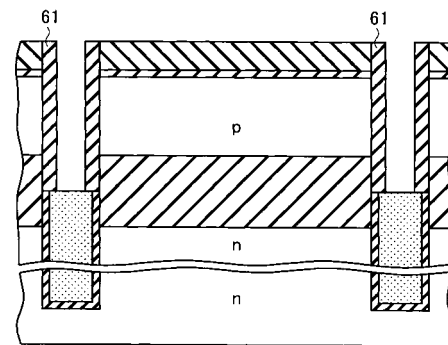
【図 2 4】



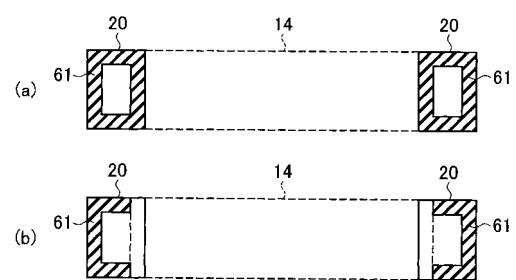
【図 2 5】



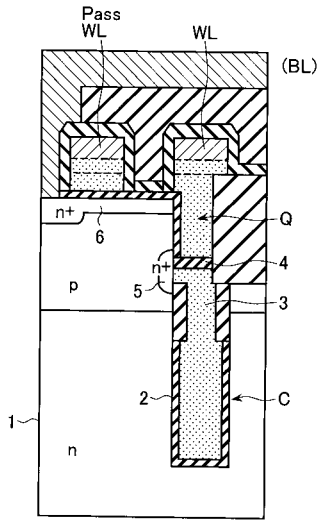
【図 2 6】



【図 2 7】



【 図 28 】



フロントページの続き

- (56)参考文献 特開平01 - 158768 (JP, A)
特開平01 - 147860 (JP, A)
米国特許第06426252 (US, B1)
特開平11 - 126819 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 27/108