



(12) 发明专利

(10) 授权公告号 CN 113130634 B

(45) 授权公告日 2023. 07. 25

(21) 申请号 202110393910.0

(22) 申请日 2015.12.10

(65) 同一申请的已公布的文献号
申请公布号 CN 113130634 A

(43) 申请公布日 2021.07.16

(30) 优先权数据
14/567,504 2014.12.11 US

(62) 分案原申请数据
201510917326.5 2015.12.10

(73) 专利权人 英飞凌科技股份有限公司
地址 德国诺伊比贝尔格

(72) 发明人 R·埃斯特夫 T·艾钦格
W·伯格纳 D·屈克 D·彼得斯
R·西明耶科

(74) 专利代理机构 北京市金杜律师事务所
11256

专利代理师 苏耿辉

(51) Int.Cl.
H01L 29/423 (2006.01)
H01L 21/28 (2006.01)
H01L 29/24 (2006.01)
H01L 21/336 (2006.01)

(56) 对比文件
CN 102856382 A, 2013.01.02
CN 103839943 A, 2014.06.04
JP 特开2001-358338 A, 2001.12.26
US 2006/0154438 A1, 2006.07.13
US 2013/0175548 A1, 2013.07.11
US 6285060 B1, 2001.09.04

审查员 梁健

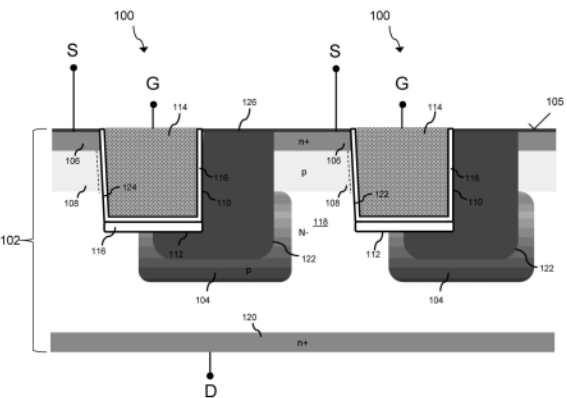
权利要求书3页 说明书9页 附图17页

(54) 发明名称

形成具有屏蔽栅极的碳化硅器件的方法

(57) 摘要

本公开涉及形成具有屏蔽栅极的碳化硅器件的方法,其中,提供了一种碳化硅半导体衬底,其具有彼此横向间隔开并且在主表面之下的多个第一掺杂区域,以及形成从主表面延伸到在第一掺杂区域之上的第三掺杂区域的第二掺杂区域。形成从主表面延伸到第一掺杂区域的第四掺杂区域。形成具有布置在第一掺杂区域中的一个区域的一部分之上的底部的栅极沟槽。对衬底应用高温步骤从而沿着沟槽的侧壁对碳化硅原子进行重排列并且在栅极沟槽中形成圆角。从衬底去除在高温步骤期间沿着栅极沟槽的侧壁形成的表面层。



1. 一种形成半导体器件的方法,包括:

形成碳化硅半导体衬底,所述碳化硅半导体衬底具有彼此横向间隔开并且在所述衬底的主表面之下的多个第一掺杂区域、从所述主表面延伸到在所述第一掺杂区域之上的第三掺杂区域的第二掺杂区域、以及在所述衬底中的从所述主表面延伸到所述第一掺杂区域的多个第四掺杂区域,所述第二掺杂区域具有第一传导类型,并且所述第一掺杂区域、所述第三掺杂区域和所述第四掺杂区域具有第二传导类型,其中所述第一掺杂区域被掺杂为具有随着距所述主表面的增加的距离而增加的杂质浓度;

对所述衬底进行退火,从而激活在所述第二掺杂区域、所述第三掺杂区域和所述第四掺杂区域中的杂质原子;

形成栅极沟槽,使得所述栅极沟槽的侧壁在所述衬底的横向部分中延伸通过所述第二掺杂区域和所述第三掺杂区域,从而使所述侧壁与掩埋的所述第一掺杂区域间隔开,所述衬底的所述横向部分位于相邻的所述第一掺杂区域之间,其中所述栅极沟槽被形成使得所述侧壁对准所述衬底的晶面并且所述侧壁垂直于所述主表面;

在形成非氧化物和非氮化物的氛围中,应用高温步骤,从而沿着所述栅极沟槽的所述侧壁对碳化硅原子进行重排列并且形成在所述栅极沟槽的底部和所述侧壁之间的圆角;以及

从所述衬底去除在所述高温步骤期间沿着所述栅极沟槽的所述侧壁形成的表面层。

2. 根据权利要求1所述的方法,其中去除所述表面层包括:

对所述表面层进行氧化,以在所述栅极沟槽中形成牺牲氧化物层;并且

从所述栅极沟槽的至少一部分中去除所述牺牲氧化物层。

3. 根据权利要求2所述的方法,其中对所述表面层进行氧化包括利用所述牺牲氧化物层衬垫整个所述栅极沟槽,并且其中去除所述牺牲氧化物层包括仅从所述栅极沟槽的中间部分去除所述牺牲氧化物层,从而在去除所述牺牲氧化物层之后由所述牺牲氧化物层衬垫所述栅极沟槽的横向末端。

4. 根据权利要求3所述的方法,其中仅从所述中间部分去除所述牺牲氧化物层包括:

在所述衬底上形成覆盖所述栅极沟槽的所述横向末端并且露出所述中间部分的掩模;并且

蚀刻掉所述中间部分的牺牲氧化物。

5. 根据权利要求3所述的方法,进一步包括:

在去除所述牺牲氧化物层之后贯穿所述栅极沟槽沉积栅极电介质,使得所述栅极电介质在所述中间部分中直接邻近所述栅极沟槽的所述底部和所述侧壁并且使得所述牺牲氧化物层居于所述底部、所述侧壁以及位于所述栅极沟槽的所述横向末端处的栅极电介质之间;并且

在气体氛围中对所述衬底进行退火,从而钝化所述栅极电介质和所述碳化硅半导体衬底之间的界面。

6. 根据权利要求5所述的方法,其中沉积所述栅极电介质包括:

仅沿着所述栅极沟槽的底部形成第一电介质层;并且

在所述第一电介质层之上并且沿着所述侧壁形成第二电介质层,从而在所述栅极沟槽中的电介质材料的整体厚度在所述栅极沟槽的所述底部处大于沿所述侧壁的厚度。

7. 根据权利要求2所述的方法, 其中对所述表面层进行氧化包括利用所述牺牲氧化物层衬垫整个所述栅极沟槽, 并且其中去除所述牺牲氧化物层包括从所述栅极沟槽完全去除所述牺牲氧化物层。

8. 根据权利要求1所述的方法, 其中通过将杂质原子注入所述衬底中来形成所述第一掺杂区域, 并且其中在注入所述杂质原子之后形成所述栅极沟槽。

9. 根据权利要求8所述的方法, 其中形成所述第一掺杂区域包括在所述衬底上形成第一掩模, 并且其中形成所述栅极沟槽包括在去除所述第一掩模之后在所述衬底上形成第二掩模并且蚀刻掉所述衬底的包括所述第二掺杂区域和所述第三掺杂区域的部分。

10. 根据权利要求9所述的方法, 其中对所述衬底进行蚀刻, 从而在蚀刻工艺的工艺容差之内, 所述栅极沟槽的第一侧壁与所述衬底的晶面基本对准, 并且其中对所述高温步骤的时间、温度和氛围进行控制从而所述第一侧壁被设置为与所述晶面更接近地对准。

11. 根据权利要求10所述的方法, 其中对所述衬底进行蚀刻, 从而所述第一侧壁相对于所述主表面呈86度的角度, 以便与所述衬底的11-20晶面基本对准, 并且其中所述高温步骤包括将所述衬底放置在处于1400摄氏度和1600摄氏度之间的温度处的氢气或氩气氛围中达五分钟到七分钟的持续时间, 以将所述第一侧壁设置为与11-20晶面更接近地对准。

12. 根据权利要求11所述的方法, 其中所述栅极沟槽被形成为使得所述第一侧壁延伸到在所述第一掺杂区域的相邻区域之间的第一下角并且使得第二侧壁延伸到布置在所述第一掺杂区域中的一个区域之内的第二下角。

13. 根据权利要求10所述的方法, 其中对所述衬底进行蚀刻, 从而所述栅极沟槽的所述第一侧壁与所述衬底的1-100晶面基本对准并且第二侧壁与所述衬底的-1100晶面基本对准, 并且其中对所述高温步骤的时间、温度和氛围进行控制从而所述第一侧壁和所述第二侧壁被分别设置为与1-100晶面和-1100晶面更接近地对准。

14. 根据权利要求13所述的方法, 其中整个所述栅极沟槽形成在所述衬底的在所述第一掺杂区域的相邻区域之间的横向部分中, 从而所述第一侧壁和所述第二侧壁均与所述第一掺杂区域分隔开。

15. 根据权利要求1所述的方法, 其中在对所述衬底进行退火之后形成所述栅极沟槽, 从而激活在所述第二掺杂区域、所述第三掺杂区域和所述第四掺杂区域中的杂质原子。

16. 根据权利要求1所述的方法, 其中所述高温步骤是在介于1400°C和1600°C之间的温度下、在形成非氧化物和非氮化物的氛围中被应用达五分钟到七分钟的持续时间。

17. 一种由具有主表面的第一传导类型碳化硅半导体衬底形成半导体器件的方法, 所述方法包括:

形成多个掩埋的第二传导类型区域, 所述多个掩埋的第二传导类型区域位于所述主表面之下并且彼此横向间隔开, 其中所述第二传导类型区域被掺杂为具有随着距所述主表面的增加的距离而增加的杂质浓度;

在所述衬底中形成第一传导类型源极区域和第二传导类型本体区域, 所述源极区域从所述主表面延伸到所述本体区域, 所述本体区域布置在所掩埋的区域之上;

在所述衬底中形成从所述主表面延伸到所述掩埋的第二传导类型区域的第二传导类型接触区域;

对所述衬底进行退火, 从而激活所述源极区域、所述本体区域和所述接触区域中的杂

质原子；

形成栅极沟槽，使得所述栅极沟槽的侧壁在所述衬底的横向部分中延伸通过所述源极区域和所述本体区域，从而使所述侧壁与掩埋的所述第二传导类型区域间隔开，所述衬底的所述横向部分位于相邻的所述第二传导类型区域之间，其中所述栅极沟槽被形成为使得所述侧壁对准所述衬底的晶面并且所述侧壁垂直于所述主表面；

在形成非氧化物和非氮化物的氛围中，应用高温步骤，从而沿着所述栅极沟槽的所述侧壁对碳化硅原子进行重排列并且形成在所述栅极沟槽的底部和所述侧壁之间的圆角；以及

从所述衬底去除在所述高温步骤期间沿着所述栅极沟槽的所述侧壁形成的表面层。

18. 根据权利要求17所述的方法，其中去除所述表面层包括：

对所述表面层进行氧化，以在所述栅极沟槽中形成牺牲氧化物层；并且

从所述栅极沟槽的至少一部分中去除所述牺牲氧化物层。

19. 根据权利要求17所述的方法，其中在对所述衬底进行退火之后形成所述栅极沟槽，从而激活在所述源极区域、所述本体区域和所述接触区域中的杂质原子。

20. 根据权利要求17所述的方法，其中所述高温步骤是在介于1400℃和1600℃之间的温度下、在形成非氧化物和非氮化物的氛围中被应用达五分钟到七分钟的持续时间。

形成具有屏蔽栅极的碳化硅器件的方法

[0001] 本申请为申请号为201510917326.5、申请日为2015年12月10日的发明名称为“形成具有屏蔽栅极的碳化硅器件的方法”的中国专利申请的分案申请。

技术领域

[0002] 本申请总体上涉及在碳化硅衬底中的器件的形成,并且更具体地涉及用于形成具有电气屏蔽栅极结构的基于碳化硅的开关器件的技术。

背景技术

[0003] 半导体晶体管,特别是诸如金属氧化物半导体场效应晶体管(MOSFET)和绝缘栅极双极型晶体管(IGBT)的场效应控制的开关器件已经被使用在诸如功率电源、功率转换器、电动汽车和空调的多种应用中。这些应用中的很多是高功率应用,其需要晶体管能够容受大量的电流和/或电压。

[0004] 可具有高达数百伏特的电压闭锁能力和高于一安培的额定电流的功率晶体管可以实现为垂直MOS沟槽晶体管。在垂直晶体管中,栅电极可以布置于在半导体本体的垂直方向上延伸的沟槽中。栅电极与晶体管的源极、本体和漂移区电介质地绝缘并且在半导体本体的横向方向上与本体区域相邻。漏极区域可以毗连漂移区域,并且源极电极可以连接到源极区域。

[0005] 碳化硅(SiC)作为功率晶体管的衬底材料提供了特定的优良特性。SiC的特定属性可以用来实现较之利用诸如硅的其他衬底材料的半导体器件而言在给定的导通电阻处具有更高的电压闭锁能力的功率晶体管。例如,SiC提供了具有 2×10^6 伏特/厘米(V/cm)的临界电场(即,在该处发生雪崩击穿的电场),其高于传统的硅的临界电场。由此,可比较地配置的基于SiC的晶体管具有较之传统的基于硅的晶体管的雪崩电压而言更高的阈值。

[0006] 虽然SiC提供了对于击穿电压来说的优良的属性,其同样提出了几个设计上的挑战。例如,在基于SiC的器件中,在SiC和栅极电介质(例如, SiO_2)之间的界面易于热氧化,其导致了在SiC中的缺陷。这些缺陷的一个后果是较低电子迁移率和增加的导通电阻。此外,由于在沟槽蚀刻技术中的困难,在基于SiC的器件中的栅极沟槽的角落不均匀。结果是,在栅极沟槽的角落中提供具有均匀厚度的栅极电介质是困难的。这反过来又导致了在栅极沟槽的角落中的增加的电场,其使得器件更容易受故障影响。如果在SiC中的电场接近临界电场,则在栅极电介质中的电场可能以2.5的因数而增加。由此,为了充分地利用SiC的有益的雪崩击穿属性的优势,应当采用恰当的方法来将栅极电介质与SiC材料所容受的大电压相屏蔽。

[0007] 需要提供SiC技术中的在沟道区域中具有最小缺陷的功率晶体管以及最低成本的屏蔽的栅极结构。

发明内容

[0008] 公开了一种形成半导体器件的方法。根据一个实施例,该方法包括形成碳化硅半

导体衬底,其具有彼此横向间隔开并且在衬底的主表面之下的多个第一掺杂区域、从所述主表面延伸到在所述第一掺杂区域之上的第三掺杂区域的第二掺杂区域、以及在衬底中的从主表面延伸到第一掺杂区域的第四掺杂区域。第二区域具有第一传导类型,并且第一掺杂区域、第三掺杂区域和第四掺杂区域具有第二传导类型。衬底为退火的衬底,从而激活在第二掺杂区域、第三掺杂区域和第四掺杂区域中的杂质原子。形成栅极沟槽,所述栅极沟槽延伸通过第二掺杂区域和第三掺杂区域并且具有布置在第一掺杂区域中的一个区域的一部分之上的底部。在非氧化物和非氮化物形成的氛围中对衬底应用高温步骤,从而沿着栅极沟槽的侧壁对碳化硅原子进行重排列并且形成在栅极沟槽的底部和侧壁之间的圆角。从衬底去除在高温步骤期间沿着栅极沟槽的侧壁形成的表面层。

[0009] 公开了一种由具有主表面的第一传导类型碳化硅半导体衬底形成半导体器件的方法。根据一个实施例,该方法包括形成多个掩埋的第二传导类型区域,所述多个掩埋的第二传导类型区域位于主表面之下并且彼此横向间隔开。在衬底中形成第一传导类型源极区域和第二传导类型本体区域。在衬底中形成从主表面延伸到掩埋的第二传导类型区域的第二传导类型接触区域。对衬底进行退火,从而激活源极区域、本体区域和接触区域中的杂质原子。形成栅极沟槽,所述栅极沟槽延伸通过源极区域和本体区域并且具有布置在掩埋的区域的一部分之上的底部。在非氧化物和非氮化物形成的氛围中对衬底应用高温步骤,从而沿着栅极沟槽的侧壁对碳化硅原子进行重排列并且形成在栅极沟槽的底部和侧壁之间的圆角。从衬底去除在高温步骤期间沿着栅极沟槽的侧壁形成的表面层。

附图说明

[0010] 附图中的元素并不必然彼此按照比例。相同的参考标号指代相对应的相似部分。各种所描述的实施例的特征可以合并除非其彼此相排斥。在附图中描绘了并且在下面的描述中详细阐释了实施例。

[0011] 图1示出了根据实施例的具有屏蔽栅电极的垂直功率晶体管的横截面视图。

[0012] 图2示出了根据实施例的在碳化硅衬底上形成氧化物层的工艺步骤。

[0013] 图3示出了根据实施例对图2的氧化物层进行掩模的工艺步骤。

[0014] 图4示出了根据实施例的对氧化物层进行蚀刻的工艺步骤。

[0015] 图5示出了根据实施例的利用氧化物层作为注入掩模在衬底中形成掩埋的掺杂区域的工艺步骤。

[0016] 图6示出了根据实施例的应用到衬底从而形成器件区域以及到掩埋的掺杂区域的电气连接的进一步的工艺步骤。

[0017] 图7示出了根据实施例的在图6的衬底上方形成氧化物层的工艺步骤。

[0018] 图8示出了根据实施例的对图7的氧化物层进行掩模的工艺步骤。

[0019] 图9示出了根据实施例的对图8的氧化物层进行蚀刻的工艺步骤。

[0020] 图10示出了根据实施例的利用图9的氧化物层作为蚀刻掩膜来对衬底进行蚀刻从而形成栅极沟槽的工艺步骤。

[0021] 图11示出了根据实施例的从衬底去除氧化物层的工艺步骤。

[0022] 图12示出了根据实施例的在非氧化物和非氮化物形成的氛围中应用高温步骤从而在栅极沟槽中形成圆角的工艺步骤。

[0023] 图13示出了根据实施例的栅极沟槽的可选配置。

[0024] 图14示出了根据实施例的在栅极沟槽中形成牺牲氧化物的工艺步骤。

[0025] 图15示出了根据实施例的对衬底进行掩模从而选择性地去除牺牲氧化物层的部分的工艺步骤。

[0026] 图16示出了根据实施例的在去除了牺牲氧化物的部分之后的衬底。

[0027] 图17示出了根据实施例的应用到衬底的进一步的工艺步骤,从而形成栅极沟槽中的栅极电介质,使得栅极沟槽中的电介质材料在栅极沟槽的底部处的整体厚度大于沿侧壁的厚度。

具体实施方式

[0028] 本文公开的实施例提供了一种由碳化硅半导体衬底102形成半导体器件的方法。图1描绘出了根据本文所描述的方法可以形成的示例性的半导体器件100。该器件100包括彼此横向间隔开并且在衬底102的主表面105之下的多个第一掺杂区域104。从主表面105延伸到在第一掺杂区域104之上的第三掺杂区域108的第二掺杂区域106。第二掺杂区域106具有第一传导类型(例如,n-类型)。第一掺杂区域和第三掺杂区域104、108具有第二传导类型(例如,p-类型)。器件100进一步包括延伸通过第二掺杂区域和第三掺杂区域106、108并且具有布置在第一掺杂区域104中的一个区域的一部分之上的底部112的栅极沟槽110。电气传导的栅电极114布置在栅极沟槽110中并且通过栅极电介质116与衬底102电介质地相绝缘。多个第四掺杂区域122从主表面105延伸到第一掺杂区域104。第四掺杂区域122具有第二传导类型,并且可以相较于其他区域而高度地掺杂(例如,P++)从而使得第四掺杂区域122电传导。

[0029] 根据实施例,图1的器件100为n-沟道(耗尽模式)MOSFET,其中第二掺杂区域106为n-型源极区域,并且第三掺杂区域108为p-型本体(沟道)区域。衬底102为通过n-型杂质进行固有掺杂,从而衬底的在本体区域104之下并且与第一掺杂区域104相邻的部分118形成了器件100的n-型漂移区域。漂移区域118(直接或间接地)耦合到更高地掺杂的n-型漏极区域120。源极区域和漏极区域106、120可以通过外部电极(未示出)分别耦合到源极电势和漏极电势。第四掺杂区域122配置为p-型电传导接触区域。接触区域122形成与第一掺杂区域104的欧姆连接并且因此允许第一掺杂区域104连接到外部电势(例如,源极电势)。

[0030] 以众所周知的方式,栅电极114配置为在本体区域108中提供或者去除电传导沟道。栅电极114相对于源极电势的偏置提供了对于器件100的ON/OFF控制。第一掺杂区域104配置为将栅极电介质116从在器件100的操作期间在衬底102中产生的电场屏蔽开的掩埋的p-型区域。在器件处于OFF状态并且大的反向电压施加到源极端子和漏极端子的情况下,大的反向电压将跨越漂移区域118而分布。掩埋的p-型区域104利用围绕的n-型材料提供了空间电荷区域(即,耗尽区域)。这个空间电荷区域提供了将栅极电介质116从在漂移区域118中的大电场屏蔽开的保护性屏障。因此,通过以所描绘的形式提供掩埋的p-型区域104,SiC材料的具有优势的击穿特性可以得到利用并且栅极电介质116的阻挡性能在器件100的整体反向阻挡性能中较少具有限制性因素。换句话说,掩埋的p-型区域104改进了器件100的击穿特性。

[0031] 根据本文所描述的方法,栅极沟槽110可以形成为与器件100的沟道相邻的第一侧

壁124与诸如晶面11-20的衬底102的晶面对准。在SiC材料中,11-20晶面提供了较之其他晶面而言的高的电子迁移率。因此,如果沟道可以配置为使载流子沿着11-20行进,则器件100的性能可以改善。

[0032] 具有优势地,本文所描述的方法利用了两步骤工艺来形成栅极沟槽110,使得第一侧壁124几乎或者恰好与诸如11-20晶面的所希望的晶面对准。在第一步骤中,通过掩模蚀刻技术形成栅极沟槽110,从而第一侧壁124相对于主表面105呈约86度的角度并且与11-20晶面基本符合。在第二步骤,衬底102放置在例如氢气(H₂)或氩气(Ar)的非氧化物和非氮化物形成的氛围中的高温处(例如,1500摄氏度),从而在第一侧壁124处重排列碳化硅原子。这使得第一侧壁124更为接近地符合11-20晶面。然而,这个高温步骤修改了在第一侧壁124的附近的SiC材料。碳化硅原子的再布置导致了在栅极沟槽的表面层处的杂质原子的再布置。表面层例如厚度为20-40nm并且延伸到包括第一侧壁124的栅极沟槽110的表面的SiC材料的层。高温步骤可能导致这个表面层变得完全未掺杂或者至少具有非均匀以及不可预测的掺杂浓度。由于表面层包括器件100的沟道区域,例如增加的漏电流和不精确的阈值电压控制的不希望的器件特性可能由高温步骤相关联的杂质原子的再布置而产生。

[0033] 具有优势地,本文所描述的方法包括去除在将碳化硅原子重排列于第一侧壁124的高温工艺步骤期间形成的表面层的工艺步骤。根据实施例,表面层通过一系列的氧化衬底102来去除,从而形成牺牲氧化物层126并且接着从栅极沟槽110的至少一部分中去除牺牲氧化物层126。可选地,可以利用诸如湿化学蚀刻来去除表面层。作为去除表面层的结果,栅极沟槽110的第一侧壁124可以形成为与11-20晶面接近或者与其完全符合,而没有增加的漏电流和不精确的阈值电压控制的劣势。

[0034] 高温步骤和接下来的去除在高温步骤期间形成的表面层的进一步的优势在于器件100的鲁棒性得到提升,因为其较少地受到急性故障(例如,来自漏电流)以及长期故障(例如,来自电介质击穿)的影响。这至少部分地归功于栅极沟槽110形成为具有平滑的表面和修圆的过渡从而栅极电介质16具有相对均匀的厚度这一事实以及在栅极电介质116和SiC材料之间的界面基本上无缺陷这一事实。

[0035] 根据具有优势的实施例,栅极沟槽110在形成了掩埋的掺杂区域104之后以及在形成了源极区域、本体区域和接触区域106、108、122之后形成。形成这些区域可能需要退火处理从而激活在源极区域、本体区域和接触区域106、108、122中的杂质原子。这种退火处理可能需要衬底经受1700摄氏度和1800摄氏度之间的温度。通过在这个退火处理之后形成栅极沟槽110,栅极沟槽110的几何形状以及具体地,侧壁与特定晶面的对准没有受到了为了激活杂质原子所需要的高温的影响。

[0036] 图2-图17描绘了可能用于形成图1的半导体器件100的所选择的方法步骤。

[0037] 参照图2,提供了一种碳化硅(SiC)半导体衬底102。该半导体衬底102可以通过外延生成工艺来形成。根据实施例,半导体衬底102在外延生长工艺期间利用第一传导类型杂质(例如,n-型杂质)来掺杂,从而衬底102具有本征第一传导类型的大多数载流子浓度。

[0038] 第一电介质层128沿着衬底102的主表面105来形成。该第一电介质层128可以为例如SiO₂的氧化物。根据实施例,该第一电介质层128通过在主表面105上沉积SiO₂而形成。第一电介质层128可能具有在2μm-4μm之间的厚度,例如3μm。

[0039] 参照图3,在第一电介质层128上形成第一掩模130。第一掩模130可能为根据公知

技术形成的光刻胶掩模。第一掩模130被图案化从而第一电介质层128的部分由在第一掩模130中的开口132露出并且因此第一电介质层128的其他部分由第一掩模130所覆盖。

[0040] 参照图4,第一电介质层128的未掩模的部分被去除。这可以利用湿蚀刻技术或干蚀刻技术来完成。蚀刻的执行使得衬底102的主表面105通过在第一电介质层128中的开口134来露出。

[0041] 参照图5,在衬底102中形成多个第一掺杂区域104。第一掺杂区域104彼此横向间隔开并且布置在衬底102的主表面105之下。第一掺杂区域104通过将杂质原子注入衬底102中形成。杂质原子具有与衬底102的传导类型(即,第一传导类型)相反的第二传导类型。第一电介质层128禁止了杂质原子穿透由第一电介质层128覆盖的衬底102的部分。即,第一电介质层128用作注入掩模,其中在第一电介质层128中的开口134限定了第一掺杂区域104的几何形状。根据实施例,第一掺杂区域104被掺杂为具有随着距主表面105的增加的距离而增加的杂质浓度。即,第一掺杂区域104的掺杂浓度在第一掺杂区域104的底部处要远远高于在第一掺杂区域104的顶部处。这种轮廓防止在第一掺杂区域104中的杂质影响紧接着在第一掺杂区域104之上形成的具有相同传导类型的本体区域108。

[0042] 参照图6,第一电介质层128已经被去除并且进一步的工艺步骤已经应用到了衬底102上。这些进一步的工艺步骤包括在衬底102中形成第二掺杂区域和第三掺杂区域106、108并且形成多个第四掺杂区域122。第二掺杂区域、第三掺杂区域和第四掺杂区域106、108、122均可以通过离子注入来形成。第四掺杂区域122的掺杂浓度可以选择为使得这些区域122为电传导且形成与第一掺杂区域104的欧姆连接。例如,第四掺杂区域122可以是P++区域。在第一传导类型杂质原子和第二传导类型杂质原子被注入衬底102中从而形成这些区域之后,衬底102可以在例如处于1700摄氏度-1800摄氏度之间的温度处被退火,从而激活杂质原子。

[0043] 参照图7,第二电介质层136沿着衬底102的主表面105形成。根据实施例,第二电介质层136通过在主表面105上沉积 SiO_2 而形成。第二电介质层136的厚度可以选择为使得可以获得所需要的栅极沟槽110的深度。例如,电介质层136可以形成为具有至少为 $1.5\mu\text{m}$ 的厚度从而提供 $1.0\mu\text{m}$ 深的栅极沟槽。这就在衬底102不能选择性地对于电介质层136而进行蚀刻的情况下提供了对于电介质层136的缓冲厚度。

[0044] 参照图8,在第二电介质层136上形成第二掩模138。第二掩模138可以是根据公知技术形成的光刻胶掩模。第二掩模138被图案化从而第二电介质层136的部分由第二掩模138中的开口140所露出并且因此第二电介质层136的其他部分由第二掩模138所覆盖。

[0045] 参照图9,第二电介质层136的未掩模部分被去除。这可以利用湿蚀刻技术或干蚀刻技术来完成。蚀刻得以执行从而衬底102的主表面105由第二电介质层136中的开口142所露出。根据实施例,蚀刻工艺为各向异性蚀刻工艺,其中第二电介质层136的侧壁基本上与主表面105垂直。这实现了第二掩模138的图案化和衬底102由开口142所露出的部分的几何形状之间的密切关联。

[0046] 参照图10,第二掩模138被去除并且衬底102的露出的部分被蚀刻掉从而形成衬底102中的栅极沟槽110。即,第二电介质层136用作用于形成栅极沟槽110的蚀刻掩膜。栅极沟槽110通过蚀刻掉包括第二掺杂区域和第三掺杂区域106、108的衬底102的一部分来形成。此外,第一掺杂区域104中的一个区域的上部可以在对栅极沟槽110的蚀刻期间被去除。根

据实施例,栅极沟槽110通过各向异性干蚀刻技术来形成。

[0047] 栅极沟槽110包括延伸通过第二掺杂区域和第三掺杂区域106、108的第一侧壁和第二侧壁124、144以及布置在第一掺杂区域104中的一个区域的一部分之上的底部112。第一侧壁124在衬底102的位于相邻的第一掺杂区域104之间的横向部分中延伸通过第二掺杂区域和第三掺杂区域108到在相邻的第一掺杂区域104之间的第一下角148。第二侧壁144在衬底102的与第一掺杂区域104中的一个区域交叠的横向部分中延伸通过第二掺杂区域和第三掺杂区域106、108到布置在第一掺杂区域104中的一个区域之内的第二下角150。换句话说,栅极沟槽110可以形成为使得底部112延伸通过n-型漂移区域118和一个掩埋的p-型掩埋的区域104。底部112还可以延伸通过接触区域122。可选地,接触区域122可以布置在栅极沟槽110的横向末端之上从而使得接触区域122仅仅在衬底102的并不与栅极沟槽110相交的横向部分中连接到第一掺杂区域104。

[0048] 根据实施例,衬底102被蚀刻从而使得在蚀刻工艺的工艺容差之内,栅极沟槽110的第一侧壁124与衬底102的晶面基本对准。例如,衬底102可以蚀刻为使得第一侧壁124相对于主表面105和/或栅极沟槽110的底部112呈约86度的角度。这个定向示出在图11中。在这个实施例中,第一侧壁124并没有与衬底102的主表面105或者栅极沟槽110的底部112(在底部112与主表面105相垂直的情况下)相垂直,而是代之以与垂直面偏移有约4度的角度。86度角度导致了第一侧壁124与衬底102的11-20晶面基本对准。例如,该11-20晶面较之诸如1-100平面或-1-120平面的其他晶面而言提供了增强的电子迁移率。由此,通过形成栅极沟槽110使得第一侧壁124与11-20晶片基本对准,器件的性能(例如,导通电阻)可以得到改善。

[0049] 由于蚀刻工艺的容差,不可能形成相对于主表面105精确地呈86度角度(以及因此精确地沿着11-20晶面)的第一侧壁124。已知的蚀刻技术仅仅能够达到具有 ± 1 度的工艺窗。也就是,在可获得的工艺窗中,相对于主表面105,第一侧壁124可以从85度到87度而随处定向。进一步,蚀刻工艺受限于其能够优化第一角、第二角148、150的几何形状的能力。如图10所示出,在第一角、第二角148、150处具有突然的角度从而在在第一角、第二角148、150附近的栅极沟槽110的表面不均匀。即,第一侧壁和第二侧壁124、144以及栅极沟槽110的底部112随着接近第一角和第二角148、150而偏离其各自的平面。例如,图10描绘了在第一角和第二角148、150处的两个缺口形状的区域。这种几何形状对于在栅极沟槽110的栅极电介质(例如, SiO_2)的形成并无益处。有可能很困难或者无法在第一角和第二角148、150的附近形成氧化物。由此,栅极电介质116的厚度可能在第一角和第二角148、150处较低,其增加了器件故障(例如,来自漏电流或者电介质击穿)的可能性。总之,唯一使用蚀刻技术来形成栅极沟槽110而没有进一步的措施导致较不优选的栅极沟槽110的几何形状。

[0050] 参照图12,衬底102被放置在处于高温的非氧化物和非氮化物形成的氛围中从而使得第一侧壁124更为接近与11-20晶面相对准。这可以通过设置高温步骤中的时间、温度和氛围来达到。根据实施例,衬底102被放置在温度在1400摄氏度和1600摄氏度之间的氢气(H_2)或氩气(Ar)中约五分钟到七分钟的持续时间。例如,衬底102可以放置在温度为1500摄氏度的氢气(H_2)氛围中达到六分钟的持续时间。

[0051] 以上述的方式将衬底102放置在非氧化物和非氮化物形成的氛围中的高温步骤使得引起碳化硅原子沿着栅极沟槽110的表面重排列。该碳化硅原子重排列从而使得第一侧

壁124均匀地沿着11-20晶面延伸。此外,这种重排列导致了第一角和第二角148、150的圆角化从而使得在图10中描绘的缺口形状的区域消失。换句话说,在第一侧壁和第二侧壁124、144以及栅极沟槽110的底部112之间为曲面的过渡。圆角化的第一角和第二角148、150较之图10所描绘的缺口形状而言更易接受氧化物沉积并且因此允许在第一角和第二角148、150处形成具有均匀厚度的栅极电介质116。由此,在栅极电介质116中出现在第一角和第二角148、150处的电场峰值可以降低。综上,高温步骤改善了形成相对于主表面而精确地处于86度角度(并且因此精确地沿着11-20晶面)的第一侧壁124的工艺窗并且进一步改善了第一角和第二角148、150的几何形状用于形成栅极电介质116。

[0052] 图13描绘了备选的实施例,其中栅极沟槽110形成为使得第一侧壁和第二侧壁124、144二者在位于相邻的第一掺杂区域104之间的衬底102的横向部分中延伸通过第二掺杂区域和第三掺杂区域106、108。即,与图9-图12的栅极沟槽110相比,图13的栅极沟槽110横向漂移,从而第一侧壁和第二侧壁124、144均延伸进入n-型漂移区域118并且与掩埋的掺杂区域104相间隔。由此,整个栅极沟槽110形成在衬底102的位于相邻的掩埋掺杂区域104之间的横向部分中。

[0053] 图13的栅极沟槽110的配置允许器件100的沟道的形成沿着第一侧壁和第二侧壁124、144二者。在这个实施例中,第一侧壁和第二侧壁124、144必须沿着11-20晶面之外的晶面形成。更具体地,栅极沟槽110可以形成为使得第一侧壁124对准衬底102的1-100晶面并且第二侧壁144与衬底102的-1100晶面对准。这通过上述的方式对衬底102进行蚀刻来达到,使得第一侧壁和第二侧壁124、144二者相对于主表面105为处于约90度的角度(即,垂直)。这种蚀刻技术如之前所描述的一样受限,这是由于不能获得恰好90度的角度并且可能会改变 ± 1 度。接着是高温工艺,其中衬底102以上面所描述的方式被放置在非氧化物和非氮化物形成的氛围中(例如,通过将衬底102在1500度的温度处放置在氢气(H_2)氛围中达六分钟的持续时间)。这个高温步骤将第一侧壁和第二侧壁124、144设置为分别接近1-100晶面和-1100晶面或者与其恰好对准。进一步,如前所述,这种高温步骤产生了圆角化的第一角落和第二角落148、150。

[0054] 参照图14,在形成栅极沟槽110以及高温步骤之后,衬底102被氧化,例如通过热氧化。这产生了牺牲氧化物层126。牺牲氧化物层126至少在栅极沟槽110的一部分中形成。根据实施例,整个衬底102是热氧化的,从而牺牲氧化物层126沿着主表面105以及在整个栅极沟槽110中形成。牺牲氧化物层126足够厚(例如,至少30nm的厚度)从而包围了在高温步骤期间形成的主表面。由此,牺牲氧化物层126可以用来被去除在高温步骤期间在栅极沟槽110中形成的表面层。

[0055] 图15-图16从衬底102的平面透视图描绘了可以应用来从栅极沟槽110的至少一部分去除牺牲氧化物层126的进一步的工艺步骤。图15描绘了具有多个安排在单元区域中的栅极沟槽110的衬底102的平面视图。单元区域与衬底102的边沿间隔开。如图15所示出的,掩模152提供在与单元区域相交叠的衬底的部分之上。掩模152可以例如是任何传统上已知的光刻掩模。根据实施例,掩模152形成在衬底102上从而其覆盖栅极沟槽110的横向末端并且露出横向末端之间的栅极沟槽110的中间部分154。

[0056] 参照图16,牺牲氧化物层126从衬底102的未掩模的部分去除并且掩模152接着被去除。牺牲氧化物层126可以通过例如湿化学蚀刻技术来去除。

[0057] 由于图15的掩模配置,其中栅极沟槽的横向末端由掩模152所覆盖,牺牲氧化物层126仅仅从栅极沟槽110的中间部分154被去除。栅极沟槽110的横向末端(即,栅极沟槽110的两个彼此相对并且在中间部分154之外的末端)在蚀刻工艺之后保持为由牺牲氧化物层126进行衬垫。通过在栅极沟槽110的横向末端处留下牺牲氧化物层126,器件100的可靠性和鲁棒性得到提高。这是由于很难或者不可能形成在栅极沟槽110的横向末端处具有均匀厚度的栅极电解质116。因此,在栅极沟槽110的横向末端处在栅极电介质116中产生场峰值,其反过来使得器件更易于受到泄漏和/或击穿的影响。通过将牺牲氧化物层126留在栅极沟槽110的横向末端处,电介质材料的厚度增加从而器件可以经受更大的电场。进一步,牺牲氧化物层126包括在器件100中并不实质上使得器件100的开关性能降级,由于其并没有沿着器件100的沟道区域的大部分而存在。

[0058] 根据另一个实施例,牺牲氧化物层126完全地从栅极沟槽110中去除。在这个实施例中,掩模152并没有覆盖栅极沟槽110的横向末端的任何部分,从而当执行蚀刻工艺时,整个的牺牲氧化物层126被蚀刻掉。

[0059] 参照图17,栅极电介质116形成在栅极沟槽110中。根据实施例,栅极电介质116通过沉积二氧化硅(SiO_2)层来形成。沉积技术可能较之诸如沿着不同的晶面可能具有不同氧化物生长速率(例如,如在栅极沟槽110的底部的晶面和第一侧壁和第二侧壁124、144的晶面之间)的热氧化的其他技术而言更为优选。栅极电介质116可以在上面所描述的方式仅仅从中间部分154蚀刻掉牺牲氧化物层126之后贯穿栅极沟槽110而沉积。因此,栅极电介质116在中间部分直接邻近栅极沟槽110的底部112和侧壁124、144并且牺牲氧化物层126居于底部112、侧壁124、144以及在栅极沟槽110的横向末端处的栅极电介质116之间。

[0060] 根据实施例,栅极电介质116包括两个层116₁和116₂。电介质层116₁中的第一个层仅沿着栅极沟槽110的底部112而非侧壁124、144形成。这种配置可以通过利用其中首先贯穿栅极沟槽110沉积氧化物并且接着从栅极沟槽110的侧壁124、144中去除氧化物的高密度等离子体沉积(HPD)工艺来获得。接着,电介质层116₂中的第二个层在第一电介质层116₁之上并且沿着侧壁124、144沉积在栅极沟槽110中。通过上面所描述的方式形成具有两层116₁和116₂的栅极电介质116,在栅极沟槽110中的电介质材料的整体厚度在栅极构造110的底部112处要大于沿着侧壁124、144处的厚度。因而,在露出到SiC材料的高电场的栅极沟槽110的部分中的电场的梯度可以降低。

[0061] 接下来,图17描绘的衬底102可以在气体氛围中被退火从而对栅极电介质116和碳化硅半导体衬底102之间的界面进行钝化。例如,衬底102可以放置在[1100摄氏度-1250摄氏度]之间的温度处的一氧化氮(NO)氛围中达到五分钟到六小时的持续时间。

[0062] 栅电极114可以传统已知的方式形成在栅极沟槽116中。

[0063] 在本说明书中,n-掺杂指的是第一传导类型而p-掺杂指的是第二传导类型。可选地,半导体器件100可以利用相反掺杂关系来形成,从而第一传导类型可以是p-掺杂并且第二传导类型可以为n-掺杂。进一步,一些附图通过在传导类型之后指示“-”或“+”来描述了相对掺杂浓度。例如,“n⁻”意味着小于“n⁻”-掺杂区域的掺杂浓度的掺杂浓度而“n⁺”-掺杂区域具有较之“n⁻”-掺杂区域而言较大的掺杂浓度。然而,除非另有陈述,指示出相对掺杂浓度并不意味着具有相同相对掺杂浓度的掺杂区域必须具有相同的绝对掺杂浓度。例如,两个不同的n⁺-掺杂区域可以具有不同的绝对掺杂浓度,同样适用于例如n⁺-掺杂区域和p⁺-掺杂

区域。

[0064] 在本说明书中所描述的特定的实施例属于而不限于半导体器件,特别是场效应半导体晶体管以及其制造方法。在本说明书中,术语“半导体器件”以及“半导体组件”作为同义词而使用。所形成的半导体器件可以是诸如垂直MOSFET的垂直半导体器件,其具有布置在第一表面上的源极敷金属、在第一表面之后布置在垂直沟槽中的绝缘栅电极以及布置在与第一表面相对的第二表面上的漏极敷金属。所形成的半导体器件可以是具有带有多个用于运送并且/或者控制负载电流的MOSFET单元的有源区域的功率半导体器件。进一步,当从上方看,功率半导体器件可以典型地具有带有至少部分围绕有源区域的至少一个边沿终止结构的外围区域。

[0065] 空间相对术语例如“之下”、“下方”、“较低”、“之上”、“较高”以及类似用于便于描述从而解释一个元素相对于第二个元素的定位。这些术语意在于除了在附图中所描述的器件100的不同定向之外还囊括器件100的不同定向。进一步,例如“第一”、“第二”以及类似的术语还用来描述各种元素、区域、部分等,并且并不意在于限制。贯穿说明,相同的术语指代相同的元素。

[0066] 正如在本文所使用的,术语“具有”、“包含”、“包括”以及类似为开放式的术语,其指出所陈述的元素或特征的存在但是并不排除附加的元素或特征。冠词“一”、“一个”以及“该”意在于包括复数以及单数,除非上下文中另外清楚指出。

[0067] 通过对上面范围的变形和应用有所会意,应当理解的是本发明并不限于前面的描述,其也不由附图来限制。相反,本发明仅仅由权利要求及其法理上的等同物来限定。

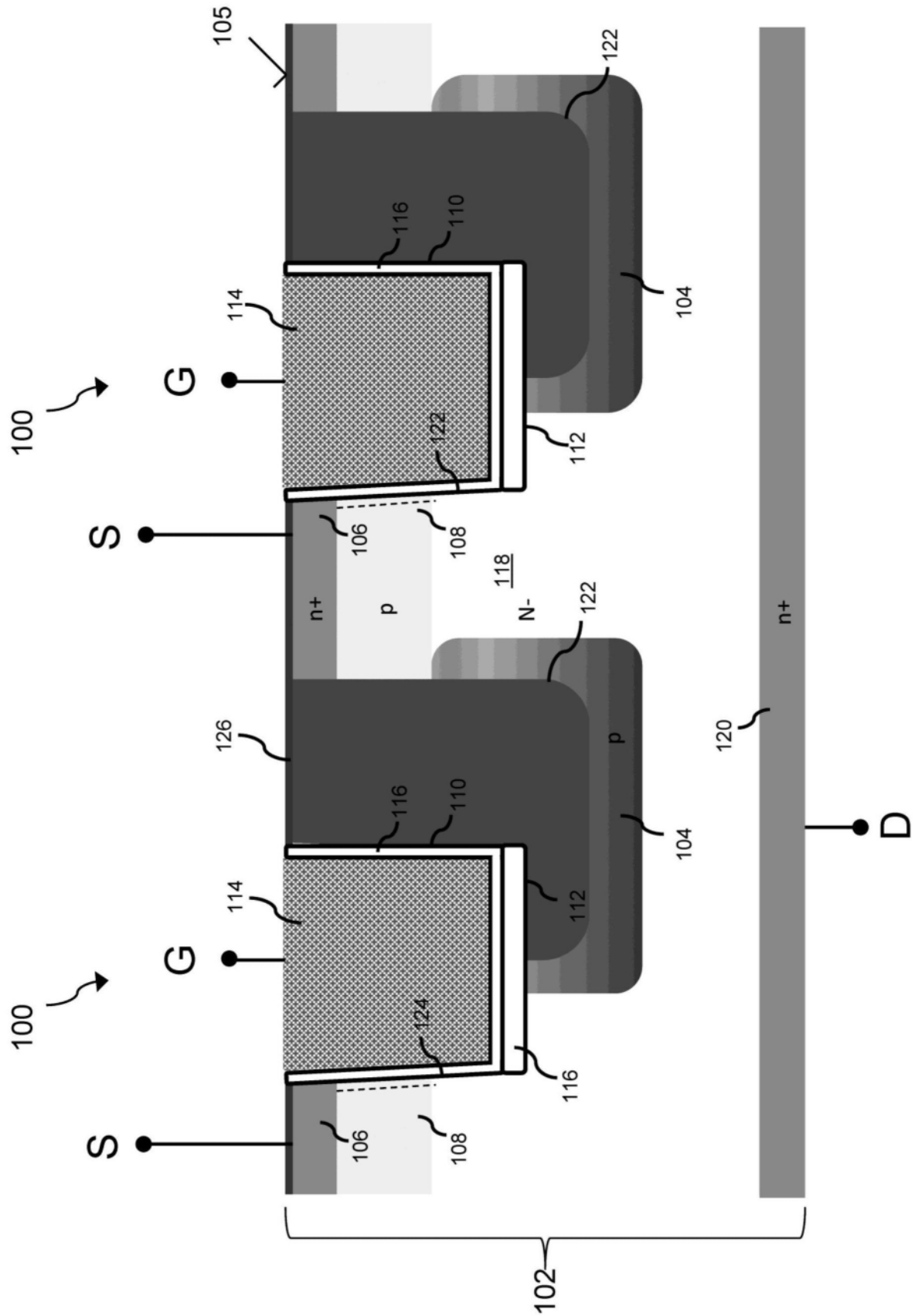


图1

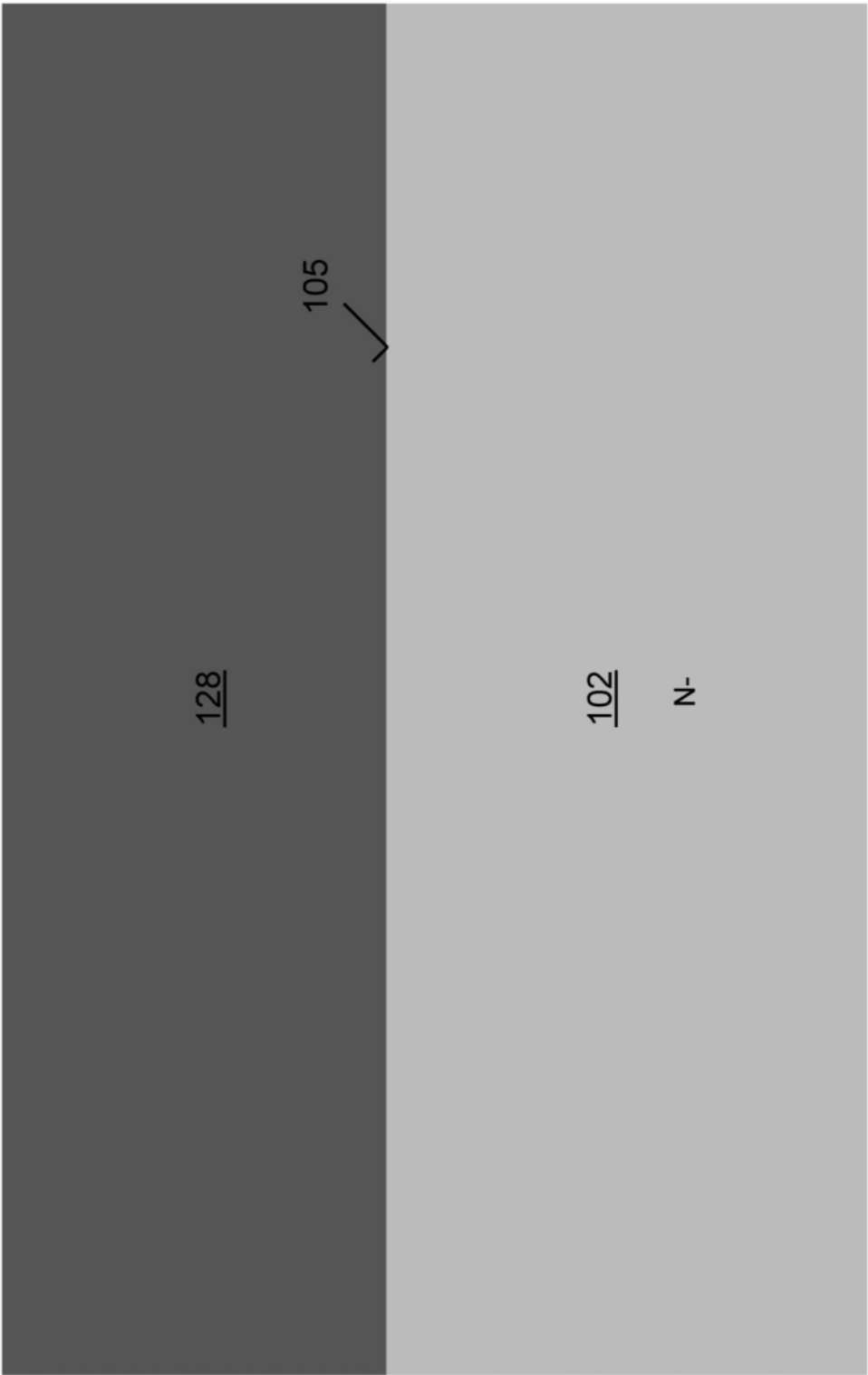


图2

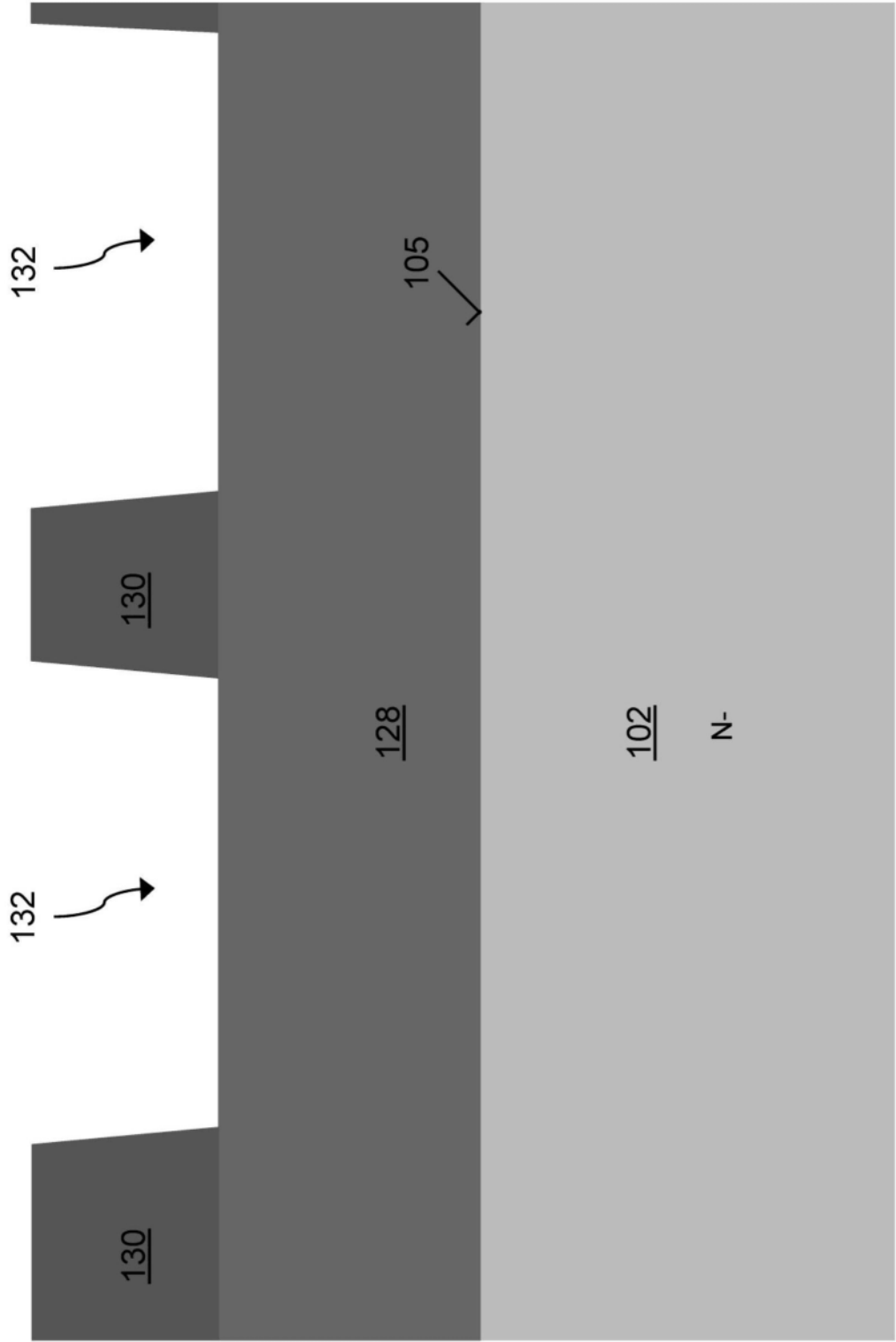


图3

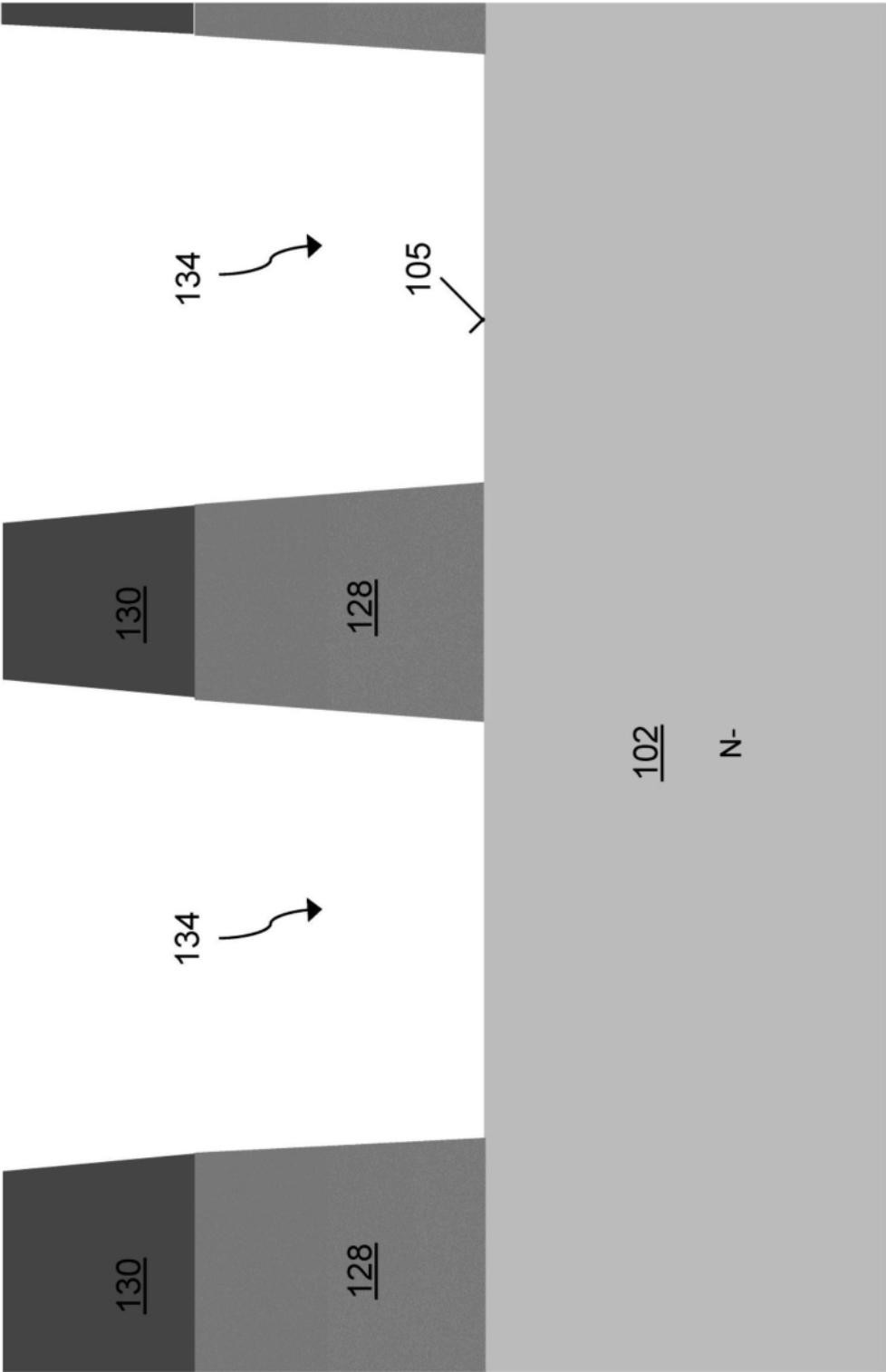


图4

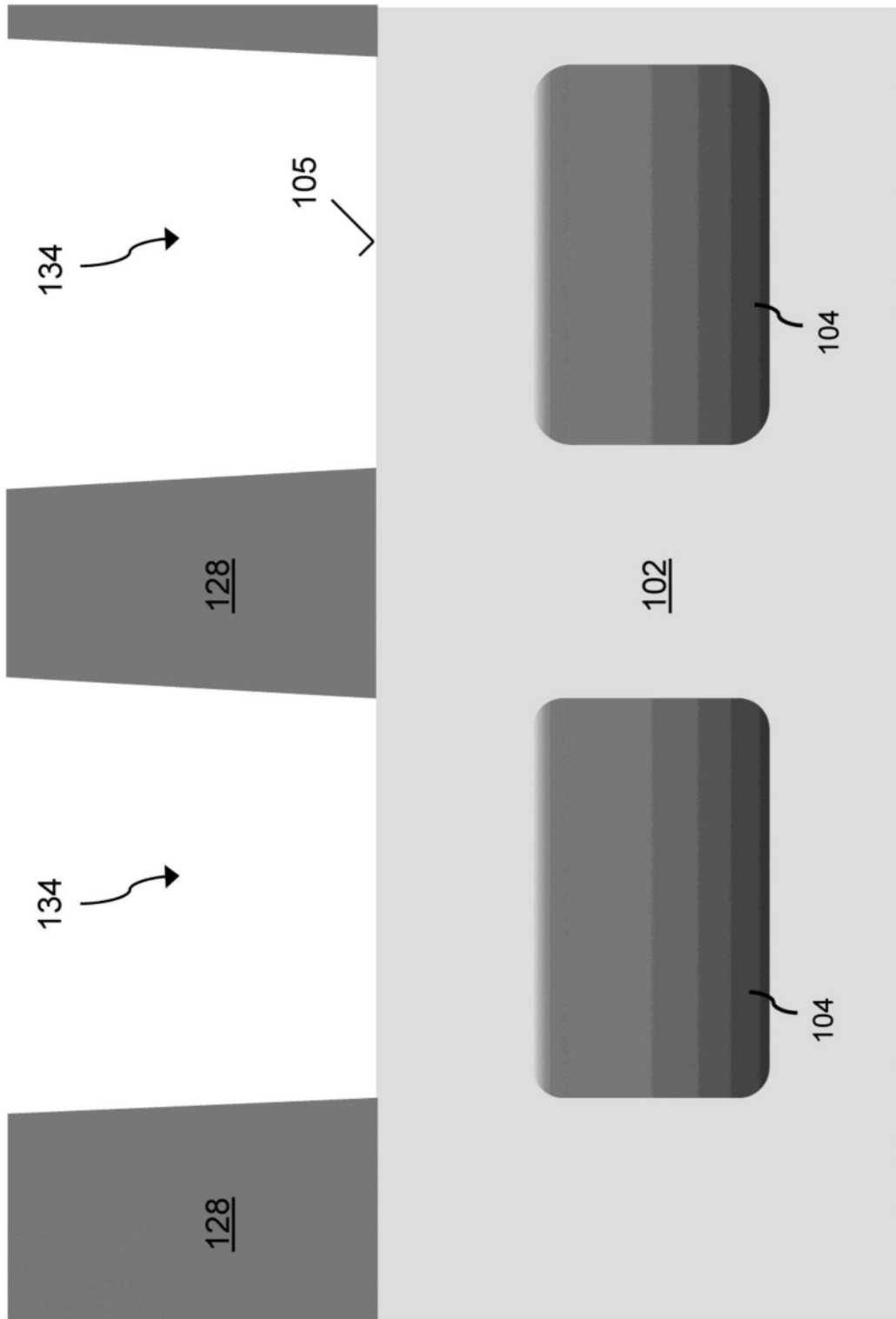


图5

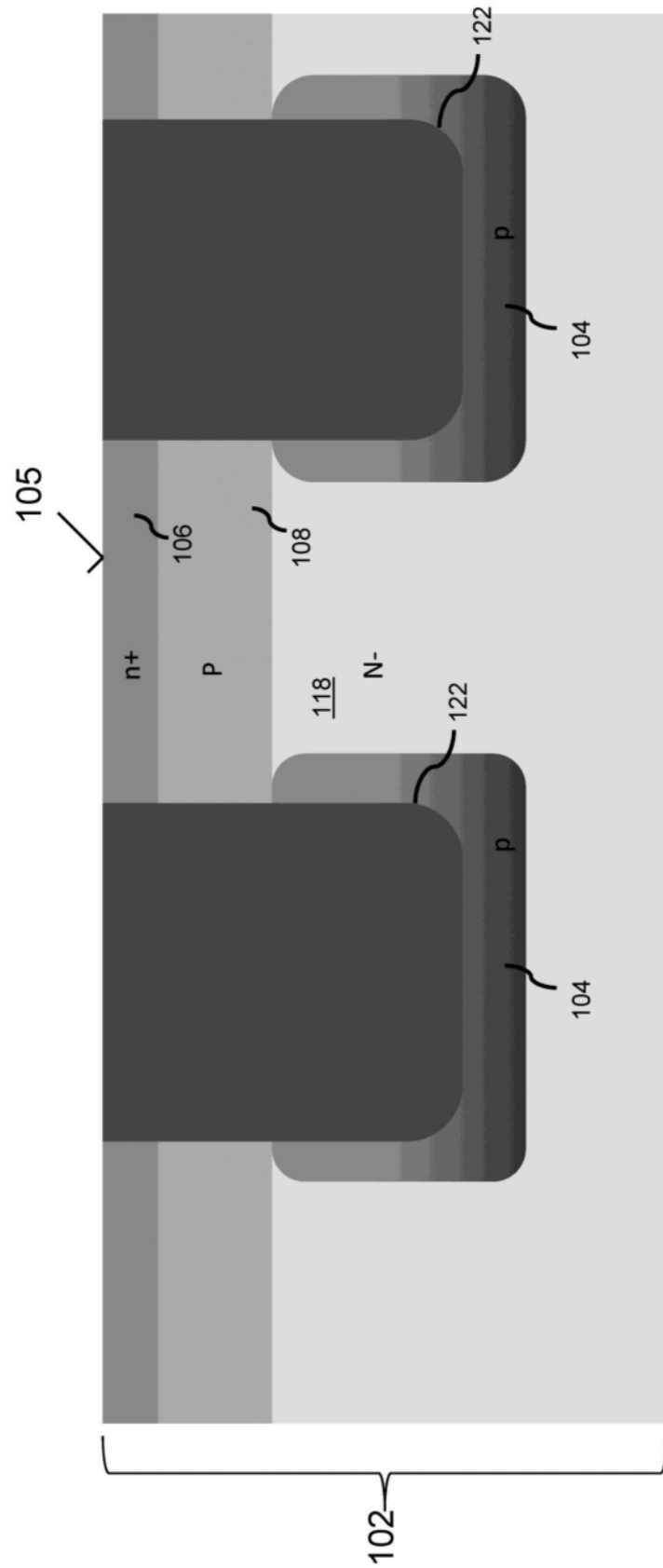


图6

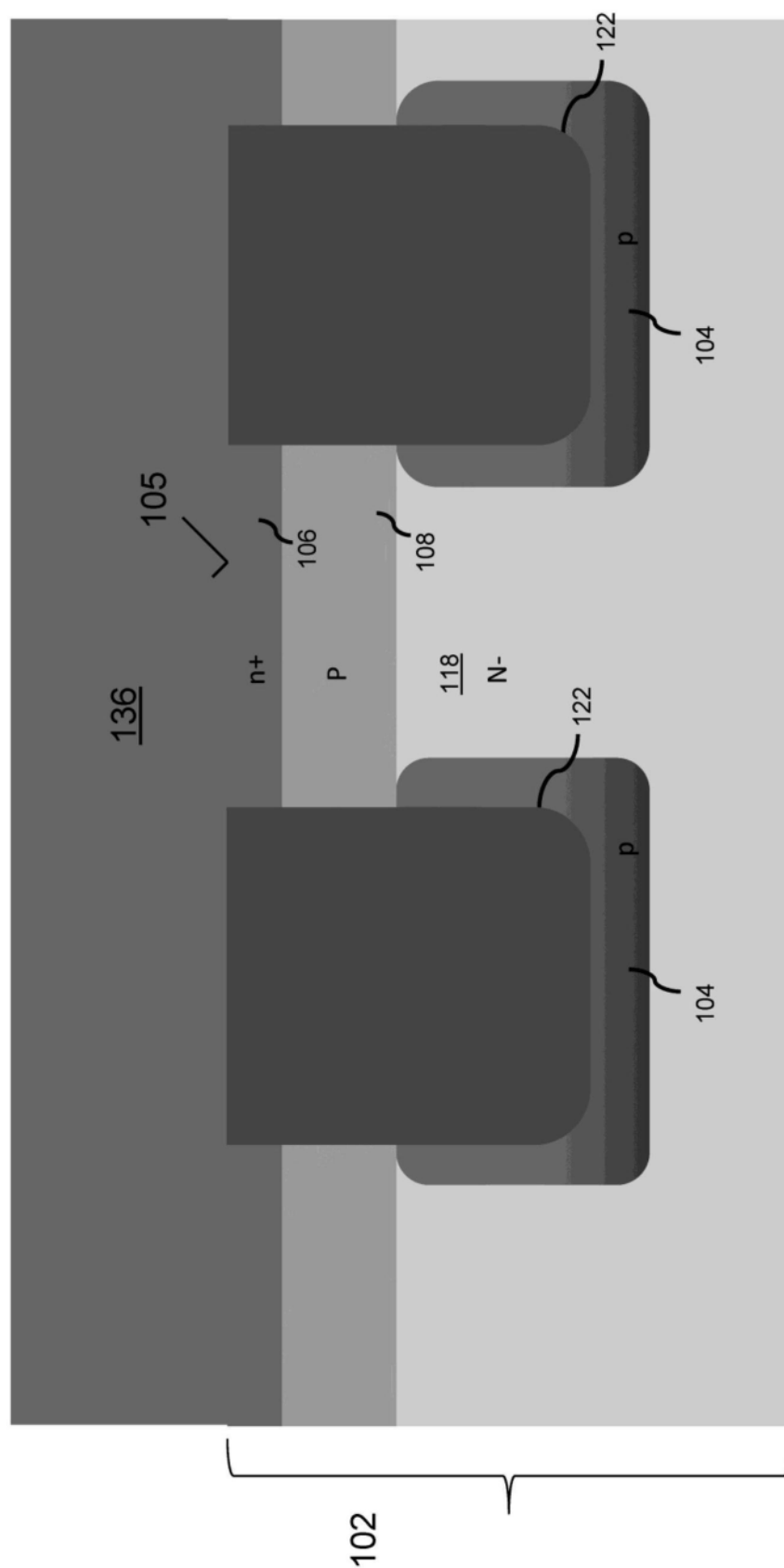


图7

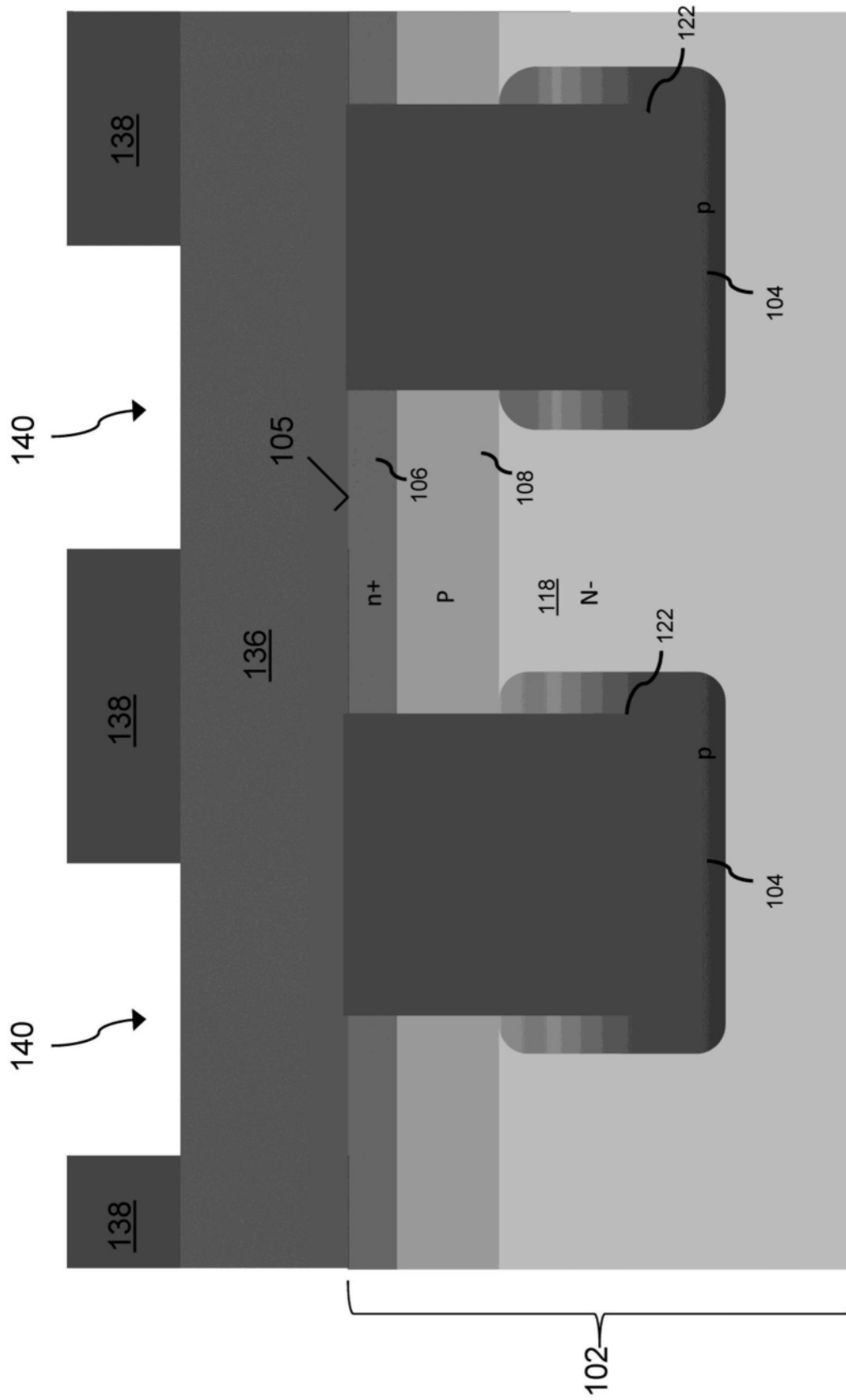


图8

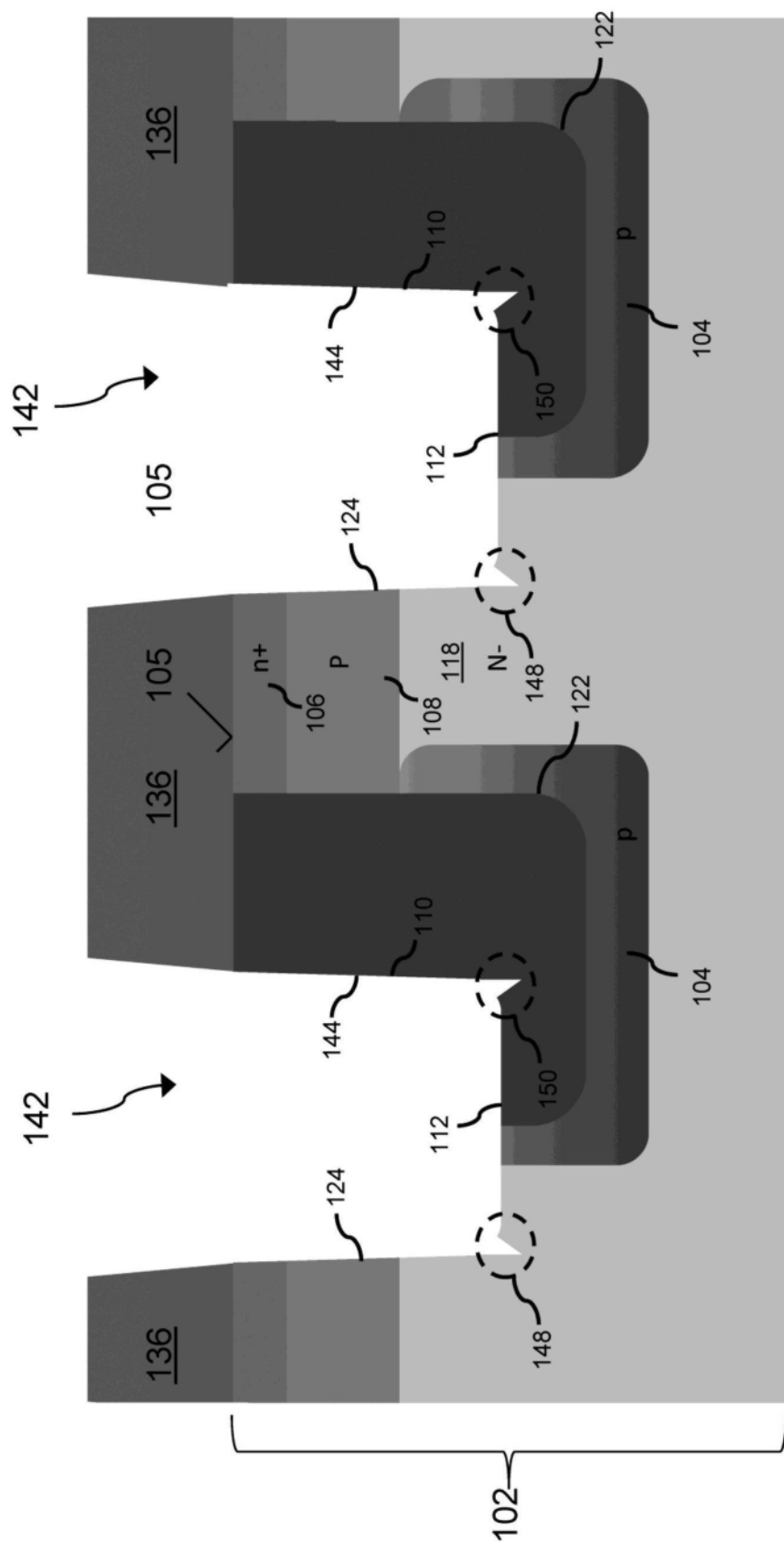


图10

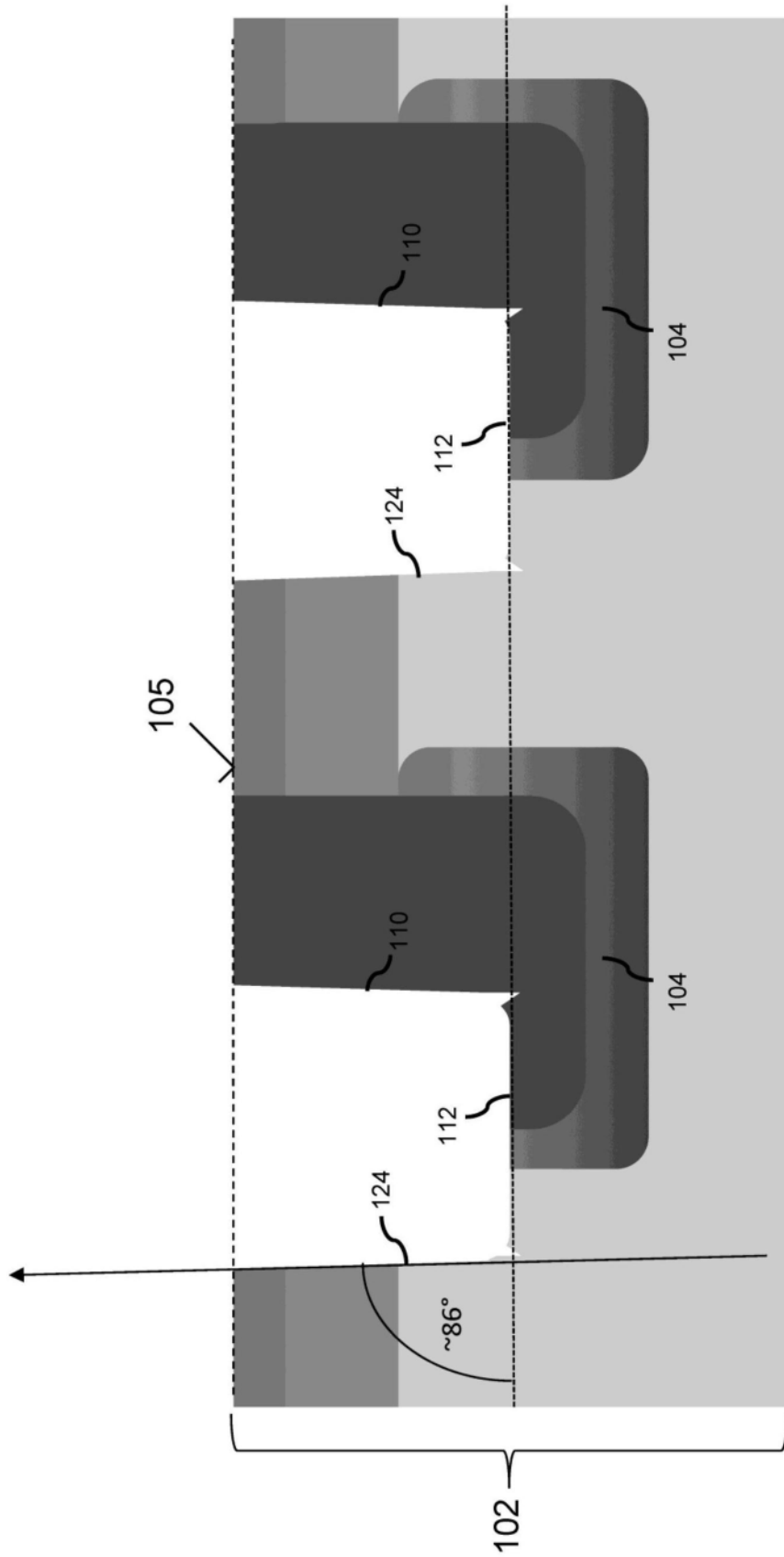


图11

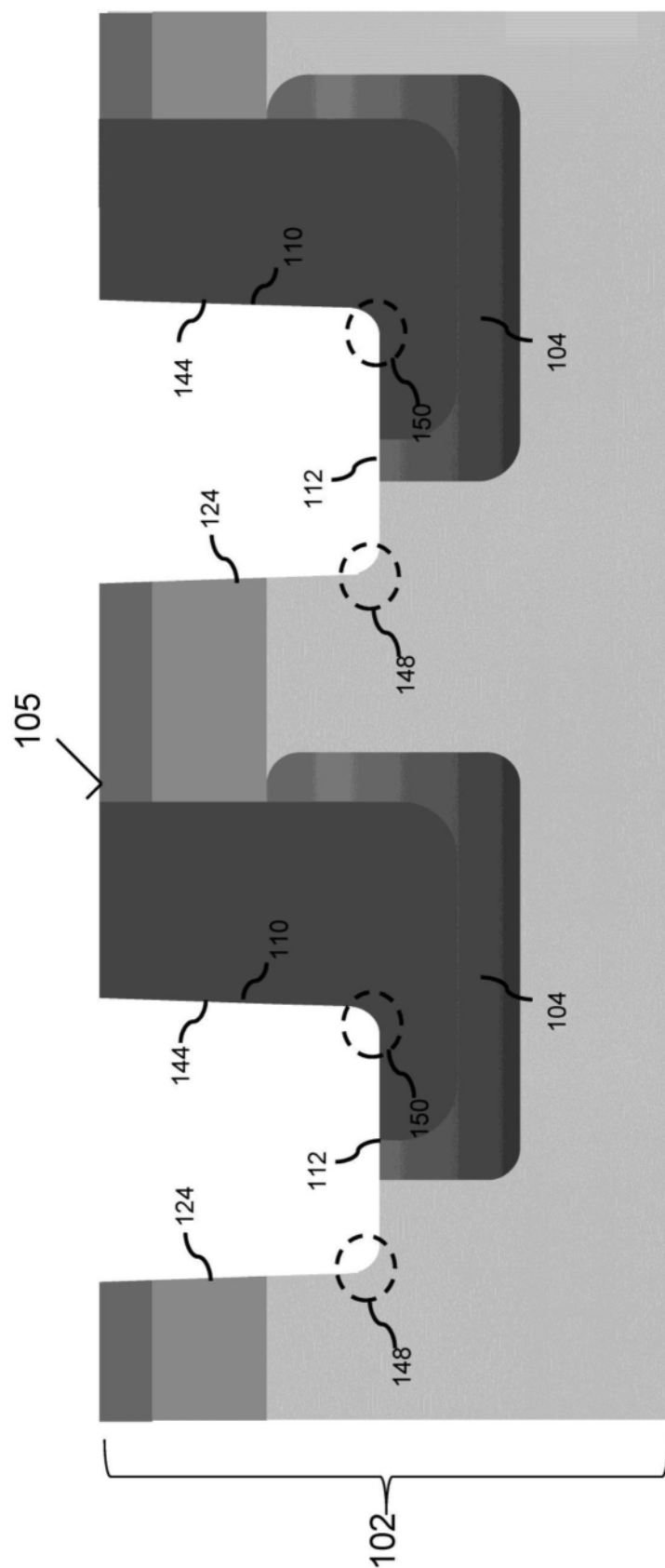


图12

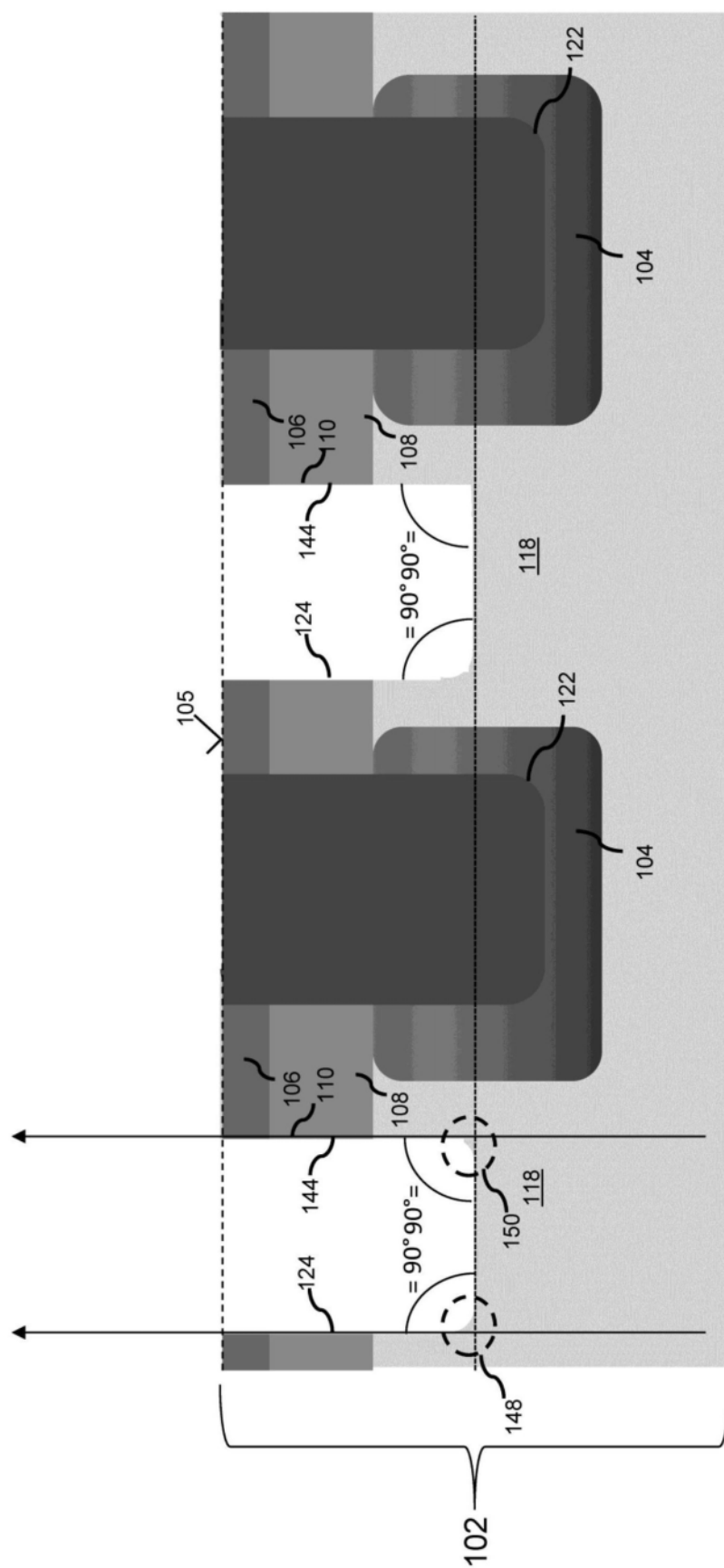


图13

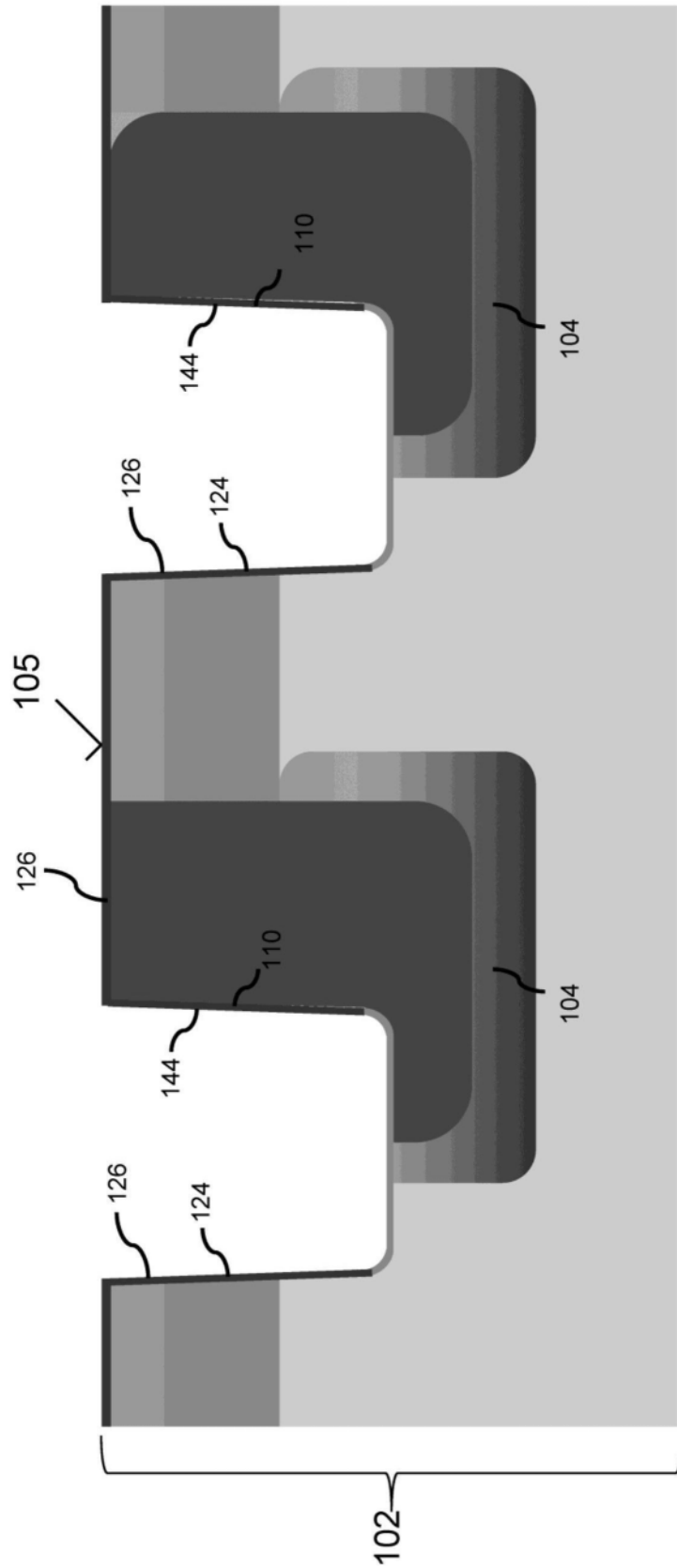


图14



图15

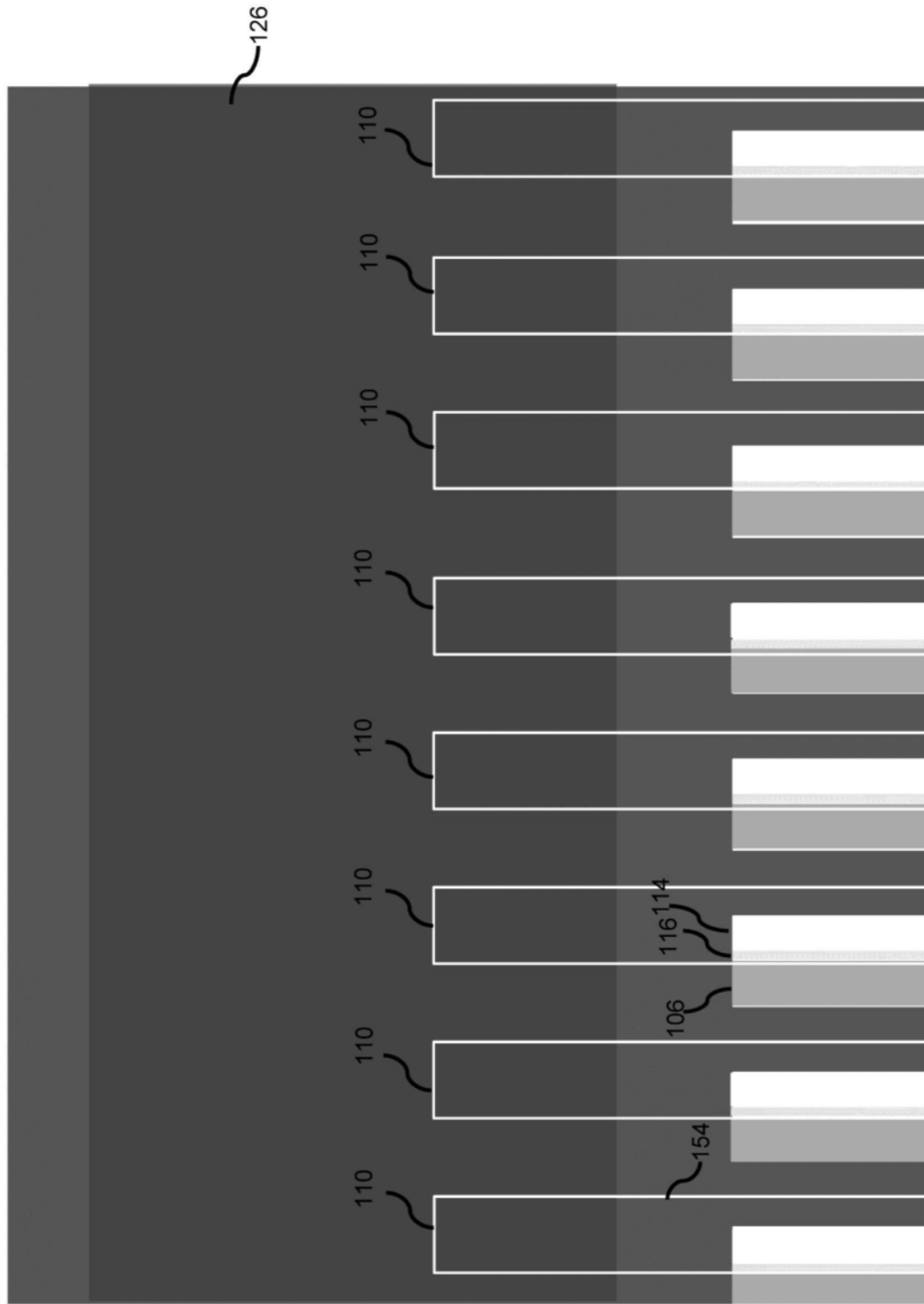


图16

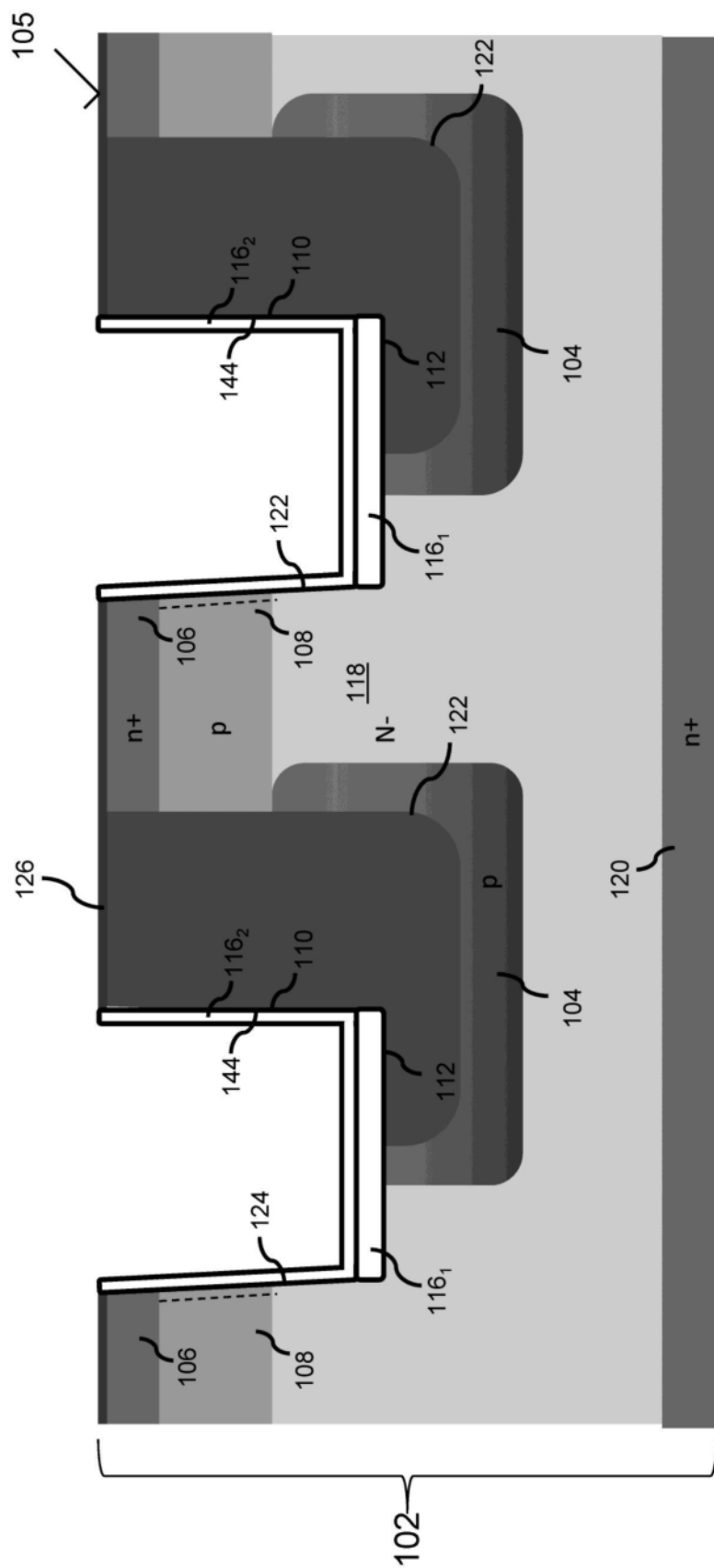


图17