

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-98076

(P2010-98076A)

(43) 公開日 平成22年4月30日(2010.4.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	5 F 0 5 8
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 V	5 F 1 0 2
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 3 0 1 B	5 F 1 1 0
HO 1 L 29/80 (2006.01)	HO 1 L 29/78 6 5 2 T	5 F 1 4 0
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 8 F	

審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2008-266810 (P2008-266810)  
 (22) 出願日 平成20年10月15日 (2008.10.15)

(71) 出願人 000154325  
 住友電工デバイス・イノベーション株式会社  
 神奈川県横浜市栄区金井町1番地  
 (74) 代理人 100087480  
 弁理士 片山 修平  
 (74) 復代理人 100137615  
 弁理士 横山 照夫  
 (74) 復代理人 100134511  
 弁理士 八田 俊之  
 (72) 発明者 中田 健  
 山梨県中巨摩郡昭和町大字紙漉阿原1000番地 ユーディナデバイス株式会社内

最終頁に続く

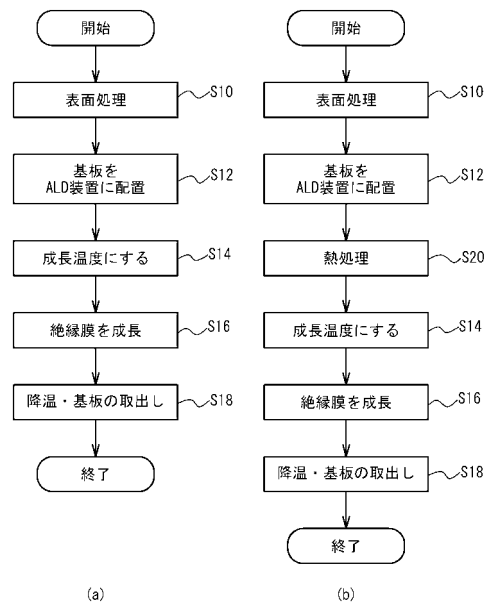
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 安定なFET特性を得ること。

【解決手段】 本半導体装置の製造方法は、基板上にGaN系半導体層を形成する工程と、ALD装置内で、ゲート絶縁膜の成長温度に比べ高い温度で熱処理を実施し、前記GaN系半導体層の表面のフッ素を除去する工程S20と、前記フッ素を除去する工程S20の後、前記ALD装置内で、前記GaN系半導体層の表面に前記ゲート絶縁膜を形成する工程S16と、前記ゲート絶縁膜上にゲート電極を形成する工程と、を含む。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

基板上に GaN 系半導体層を形成する工程と、  
 ALD 装置内で、ゲート絶縁膜の成長温度に比べ高い温度で熱処理を実施し、前記 GaN 系半導体層の表面のフッ素を除去する工程と、  
 前記フッ素を除去する工程の後、前記 ALD 装置内で、前記 GaN 系半導体層の表面に前記ゲート絶縁膜を形成する工程と、  
 前記ゲート絶縁膜上にゲート電極を形成する工程と、  
 を含むことを特徴とする半導体装置の製造方法。

## 【請求項 2】

前記ゲート絶縁膜形成後の前記ゲート絶縁膜と前記 GaN 系半導体層との界面のフッ素濃度は  $1 \times 10^{-9} / \text{cm}^3$  以下であることを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【請求項 3】

前記ゲート絶縁膜は、酸化アルミニウムであることを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【請求項 4】

前記 GaN 系半導体層上に前記ゲート電極を挟んでソース電極およびドレイン電極を形成する工程を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【請求項 5】

前記 GaN 系半導体層上にソース電極を、前記基板の前記 GaN 系半導体層が形成された面と反対側の面にドレイン電極を形成する工程を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【請求項 6】

前記 GaN 系半導体層を形成する工程の後、前記基板を前記 ALD 装置に導入する前に前記 GaN 系半導体層の表面をクリーニングする工程を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【請求項 7】

前記 GaN 系半導体層を形成する工程の後、前記 GaN 系半導体層表面にフッ素が付着する処理を行うことなく、前記ゲート絶縁膜を形成する工程を実施することを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【請求項 8】

前記 GaN 系半導体層は MOCVD 法により形成されることを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は半導体装置の製造方法に関し、特に、GaN 系半導体装置上にゲート絶縁膜を形成する工程を有する半導体装置の製造方法に関する。

## 【背景技術】

## 【0002】

Ga (ガリウム) と N (窒素) とを含む化合物半導体 (GaN 系半導体) 層を用いた FET (Field Effect Transistor) 等は、高周波数かつ高出力で動作する高周波高出力増幅用素子として注目されている。GaN 系半導体は、窒化ガリウム (GaN) を含む半導体であり、例えば GaN と窒化アルミニウム (AlN) との混晶である AlGaN、GaN と窒化インジウム (InN) との混晶である InGaN、または GaN と AlN と InN との混晶である AlInGaN 等の半導体である。

## 【0003】

GaN 系半導体を用いた FET として、GaN 系半導体層とゲート電極との間にゲート絶縁膜を有する FET (MISFET: Metal Insulator Semiconductor FET) が知られ

10

20

30

40

50

ている（特許文献1）。MISFETにおいては、ゲート絶縁膜を用いることによりゲート電極と半導体層との間のリーク電流を抑制することができる。

【0004】

GaN系半導体を用いたMISFETのゲート絶縁膜として、ALD（Atomic Layer Deposition）法により形成された酸化アルミニウム（ $Al_2O_3$ ）を用いることが知られている（非特許文献1）。ALD法は、原料ガスを反応炉内に交互に導入することにより、原子1層毎に成膜する方法である。ALD法によって酸化アルミニウム膜を形成する場合、最初にTMA（トリメチルアルミニウム）を基板に供給し、これを基板に吸着させる。ついで、TMAをパージする。その後、 $H_2O$ を基板に供給する。これにより、基板表面に吸着したTMAと $H_2O$ とを反応させる。その後、 $H_2O$ をパージする。以上により、1原子層が形成される。ALD法は、この一連のサイクルを1ステップとして、繰り返すことにより、所望の膜厚の膜を形成する方法である。ALD法を用いることにより、CVD（Chemical Vapor Deposition）法を用いての成膜が難しい酸化アルミニウム等の絶縁膜を成膜することができる。これにより、高品質のゲート絶縁膜を得ることができる。ゲート絶縁膜としては、酸化アルミニウム以外にも、酸化ハフニウム、酸化ジルコニウム、酸化チタン、酸化タンタル、酸化シリコンおよび窒化シリコン等を用いることができる

10

【特許文献1】特開2006-286942号公報

【非特許文献1】Apply Physics Letters 86, 063501 (2005)

【発明の開示】

【発明が解決しようとする課題】

20

【0005】

しかしながら、ALD法を用いゲート絶縁膜を形成してもFET特性が不安定となってしまう。

【0006】

本発明は、上記課題に鑑みなされたものであり、安定なFET特性を得ることが可能な半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本半導体装置の製造方法は、基板上にGaN系半導体層を形成する工程と、ALD装置内で、ゲート絶縁膜の成長温度に比べ高い温度で熱処理を実施し、前記GaN系半導体層の表面のフッ素を除去する工程と、前記フッ素を除去する工程の後、前記ALD装置内で、前記GaN系半導体層の表面に前記ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、含む。この構成によれば、ゲート絶縁膜とGaN系半導体層との界面の界面準位密度を低減させ、安定なFET特性を得ることができる。

30

【0008】

上記構成において、前記ゲート絶縁膜形成後の前記ゲート絶縁膜と前記GaN系半導体層との界面のフッ素濃度は $1 \times 10^{19} / cm^3$ 以下である構成とすることができる。この構成によれば、ゲート絶縁膜とGaN系半導体層との界面の界面準位密度を低減させることができる。

【0009】

上記構成において、前記ゲート絶縁膜は、酸化アルミニウムである構成とすることができる。

40

【0010】

上記構成において、前記GaN系半導体層上に前記ゲート電極を挟んでソース電極およびドレイン電極を形成する工程を含む構成とすることができる。

【0011】

上記構成において、前記GaN系半導体層上にソース電極を、前記基板の前記GaN系半導体層が形成された面と反対側の面にドレイン電極を形成する工程を含む構成とすることができる。

【0012】

50

上記構成において、前記GaN系半導体層を形成する工程の後、前記基板を前記ALD装置に導入する前に前記GaN系半導体層の表面をクリーニングする工程を含む構成とすることができる。

【0013】

前記GaN系半導体層を形成する工程の後、前記GaN系半導体層表面にフッ素が付着する処理を行うことなく、前記ゲート絶縁膜を形成する工程を実施する構成とすることができる。

【0014】

上記構成において、前記GaN系半導体層はMOCVD法により形成される構成とすることができる。

【発明の効果】

【0015】

本半導体装置の製造方法によれば、安定なFET特性を得ることができる。

【発明を実施するための最良の形態】

【0016】

まず、本発明者が行った実験について説明する。

【0017】

図1は実験に用いたサンプルの断面図である。図1のように、基板50上にMOCVD(Metal Organic CVD)法を用いGaNからなるGaN系半導体層52が形成されている。GaN系半導体層52上に絶縁膜54としてAl<sub>2</sub>O<sub>3</sub>膜が形成されている。絶縁膜54上に下からNi/Auからなる電極56が形成されている。

【0018】

図2(a)は、サンプルAの絶縁膜54の形成工程を示す図であり、図2(b)は、サンプルBの絶縁膜54の形成工程を示す図である。図2(a)を参照に、GaN層表面をクリーニングする(ステップS10)。表面クリーニングとしては、以下の番号順に実施した。(1)硫酸と過酸化水素水との混合液を用いた有機汚染の洗浄、(2)アンモニアと過酸化水素水との混合液を用いた粒子状汚染の洗浄、(3)40程度に加熱したアンモニア水による処理を行った。基板をALD装置内に配置する(ステップS12)。キャリアガスとして窒素ガスを導入し、成長温度である400に昇温する(ステップS14)。ALD装置内で、TMA(トリメチルアルミニウム)およびH<sub>2</sub>Oを交互に供給しAl<sub>2</sub>O<sub>3</sub>膜を成長する(ステップS16)。このとき、成長温度は400、圧力は1torrである。TMAおよびH<sub>2</sub>Oの供給時間は各々0.3秒である。TMAからH<sub>2</sub>Oへのガスの切り替え、H<sub>2</sub>OからTMAへのガスの切り替えの際、窒素ガスによるバージを5秒間行った。TMAとH<sub>2</sub>Oの供給で1サイクルとし、500サイクル行うことで膜厚が約40nmのAl<sub>2</sub>O<sub>3</sub>絶縁膜54を形成した。降温し、ALD装置から基板を取り出した(ステップS18)。

【0019】

図2(b)を参照に、サンプルBにおいては、サンプルAのステップS12とS14の間に、ALD装置内で基板50を絶縁膜54を成膜する成長温度より高い500で熱処理する(ステップS20)。キャリアガスとして窒素を流した状態で500を約5分間保持する。その後、成長温度である400に降温する。その他の工程は図2(a)と同じであり説明を省略する。このように、ステップS20の熱処理の後、大気に曝すことなくステップS14の絶縁膜54の成膜を行う。

【0020】

図3および図4は、それぞれサンプルAおよびBのGaN系半導体層52と絶縁膜54の界面付近の深さ方向の各元素の濃度をSIMS(Secondary Ionization Mass Spectrometer)法により測定した結果を示す図である。図3のように、サンプルAにおいて、GaN系半導体層52と絶縁膜54の界面付近には $1 \times 10^{21} / \text{cm}^3$ 以上のフッ素原子が存在する。一方、図4のように、サンプルBにおいてはGaN系半導体層52と絶縁膜54の界面のフッ素濃度は $1 \times 10^{19} / \text{cm}^3$ 程度である。

10

20

30

40

50

## 【0021】

サンプルAにおいて、フッ素濃度が高い理由はGaN系半導体層52表面にフッ素が吸着しているためと考えられる。このフッ素源は明らかではないが、クリーンルーム内の雰囲気やフォトレジストに含有するフッ素に由来するものと考えられる。なお、クリーンルーム内の雰囲気中のフッ素源は、フッ素系の薬液、ドライエッチングに用いられるフッ素ガス、ポンプ等に用いる油に含有するフッ素などに由来するものと考えられるが正確なフッ素源は不明である。

## 【0022】

サンプルBにおいては、フッ素濃度が減少している。これは、ステップS20において、GaN系半導体層52表面が高温状態でキャリアガスに曝されるためフッ素がGaN系半導体層52表面から脱離したものと考えられる。

10

## 【0023】

次に、GaN系半導体層52と絶縁膜54の界面のフッ素濃度と界面準位の関係を調べた。界面準位の測定はCV曲線を用いた。図5は、電極56に印加される電圧と容量値の関係を示す模式図である。図5の実線は計算で求めた界面準位のない理想的なCV曲線を示している。一点鎖線は界面準位が少ない場合のCV曲線、破線は界面準位が多い場合のCV曲線を示している。界面準位が多くなるとCV曲線が理想的なCV曲線からずれてくる。このように、測定したCV曲線と理想的なCV曲線との差から界面準位を求めることができる。

## 【0024】

図6は、CV曲線で求めた界面準位密度(面密度)とSIMS法で求めたフッ素濃度との関係を示す図である。図6の黒丸は測定値を示している。図6のフッ素濃度は、図3および図4のフッ素のピーク濃度を示している。フッ素濃度のピークはほぼGaN系半導体層52と絶縁膜54との界面に位置するため、フッ素のピーク濃度はGaN系半導体層52と絶縁膜54との界面のフッ素濃度にほぼ等しい。図6の各点は、サンプルAおよびBのように絶縁膜54の成長前の熱処理温度を変えた場合、熱処理時間を変えた場合等のサンプルを示している。図6のように、フッ素濃度が高くなると界面準位密度が大きくなる。なお、フッ素以外の元素の濃度についても界面準位密度との相関を調べたが、図6のような相関は観察されなかった。

20

## 【0025】

GaN系半導体を用いたFETにおいては、チャネルのキャリア面密度は、ほぼ $1 \times 10^{13} / \text{cm}^2$ である。例えば、GaN電子走行層とAlGaN電子供給層からなるHEMT(High Electron Mobility Transistor)の2DEG(二次元電子ガス)の電子密度は約 $1 \times 10^{13} / \text{cm}^2$ である。FETの安定動作のためには、界面準位密度はチャネルのキャリア面密度の10%以下であることが好ましい。よって、界面準位密度は $1 \times 10^{12} / \text{cm}^2$ 以下が好ましく、図6の破線のようにフッ素濃度は $3 \times 10^{19} / \text{cm}^3$ 以下が好ましい。さらに、界面準位密度をチャネルのキャリア面密度の5%以下とするため、界面準位密度は $5 \times 10^{12} / \text{cm}^2$ 以下が好ましく、図6の一点鎖線のようにフッ素濃度は $2 \times 10^{19} / \text{cm}^3$ 以下がより好ましい。さらにフッ素濃度 $1 \times 10^{19} / \text{cm}^3$ 以下が一層好ましい。

30

40

## 【0026】

以上のように、絶縁膜54とGaN系半導体層52との界面のフッ素濃度を低減することにより、界面準位を低減することができることがわかった。

## 【0027】

本発明は、ゲート絶縁膜を有するGaN系FETにおいて、FET特性を不安定にする原因が、フッ素に起因する界面準位であることを突き止め、これを考慮したFETの製造方法を提供することを特徴とするものである。なお、ゲート絶縁膜形成前にフッ素処理を行わなくとも、フッ素が検出されることから、このフッ素の供給源の特定は困難である。フッ素源の特定が困難であることから、本発明では、ALD装置内でフッ素を除去することを検討し、その手法として、ゲート絶縁膜の成長温度よりも高温で熱処理しGaN系半

50

導体層表面からフッ素を除去する工程を採用するものである。なお、プラズマCVD法や熱CVD法により、ゲート絶縁膜である $Al_2O_3$ 膜を成膜することも考えられる。この場合、プラズマCVD法では、そのプラズマにより、熱CVD法では、その成長温度(800以上)により、フッ素が除去できる可能性が考えられる。しかし、プラズマCVD法や熱CVD法では、例えばリーク電流が生じるなど膜質が悪い。よって、たとえ成膜時にフッ素が除去できたとしても、ゲート絶縁膜としての性能が期待できない。

【0028】

以下に、ゲート絶縁膜とGaN系半導体層との界面のフッ素濃度を低減させたFETに係る実施例を説明する。

【実施例1】

【0029】

実施例1は、本発明を横型のFETに適用する例である。図7(a)から図8(c)は実施例1に係る半導体装置の製造方法を示す断面図である。図7(a)のように、Si基板10上にMOCVD法を用いてバッファ層(不図示)を形成する。バッファ層上に膜厚が1000nmのGaN電子走行層12を形成する。GaN電子走行層12上に膜厚が30nmのAlGaN電子供給層14を形成する。AlGaN電子供給層14のAl組成は0.2である。AlGaN電子供給層14上に、膜厚が3nmのGaNキャップ層16を形成する。以上により、基板10上に、GaN電子走行層12、AlGaN電子供給層14およびGaNキャップ層16からなるGaN系半導体層15が形成される。

【0030】

図7(b)のように、GaN系半導体層15上に $Al_2O_3$ 膜からなる膜厚が40nmのゲート絶縁膜18を形成する。ゲート絶縁膜18の形成方法は、図2(b)と同じである。まず、表面処理を実行し、GaN系半導体層15の表面をクリーニングする。次に、基板をALD装置内に導入し、ALD装置内で、ゲート絶縁膜18の成長温度以上の温度で熱処理した後、ALD装置内で、ALD法を用い基板温度が400で膜厚が40nmのゲート絶縁膜18を形成する。図7(c)を参照に、 $BCl_3/Cl_2$ ガスによるエッチングにより素子間分離(不図示)を行う。ゲート絶縁膜18に開口部を設ける。開口部に上からTi/Alからなるソース電極20およびドレイン電極22を形成する。

【0031】

図8(a)のように、ゲート絶縁膜18上にNi/Auからなるゲート電極24を形成する。図8(b)のように、ソース電極20およびドレイン電極22にそれぞれ接続するAu系の配線26を形成する。図8(c)のように、ゲート絶縁膜18および配線26を覆う保護膜28を形成する。以上により、実施例1に係る半導体装置が完成する。

【0032】

比較例に係る半導体装置として、図7(b)において、ゲート絶縁膜18を図2(a)の形成方法で形成したFETを作製した。実施例1に係るFETのゲート絶縁膜18とGaN系半導体層15との界面準位密度をCV法を用い測定したところ $2 \times 10^{11} / cm^2$ であった。また、比較例に係るFETの界面準位密度は $3 \times 10^{12} / cm^2$ であった。

【0033】

図9(a)および図9(b)はそれぞれ比較例および実施例1において、ストレス試験の前後のドレイン電流 $I_{ds}$ -ドレイン電圧 $V_{ds}$ 特性を示している。破線はストレス試験前の特性を示し、実線はストレス試験後の特性を示している。測定したFETは、ゲート長が約 $1.0 \mu m$ であり、ドレイン電流 $I_{ds}$ -ドレイン電圧 $V_{ds}$ 特性はゲート電圧 $V_{gs}$ が+1Vから-5Vまで1Vステップで印加して測定している。ストレス試験は、ゲート電圧 $V_{gs} = -5V$ 、 $V_{ds} = 200V$ を5分間印加している。

【0034】

図9(a)のように、比較例に係るFETでは、ストレス試験によりドレイン電流 $I_{ds}$ が大きく減少している。一方、図9(b)のように、実施例1に係るFETでは、ドレイン電流 $I_{ds}$ はほとんど変化していない。このように、ゲート絶縁膜18とGaN系半

10

20

30

40

50

導体層 15 との界面のフッ素濃度を  $3 \times 10^{19} / \text{cm}^3$  以下とし、界面準位密度を  $1 \times 10^{12} / \text{cm}^2$  以下とすることにより、ストレス試験に起因したドレイン特性の変動を抑制することができた。

【0035】

以上のように、実施例 1 では、ALD 装置内で GaN 系半導体層 15 をゲート絶縁膜 18 の成長温度以上の温度で熱処理する（図 2（b）のステップ S20）。その後、同じ ALD 装置内で ALD 法を用い GaN 系半導体層 15 上にゲート絶縁膜 18 を形成する（ステップ S14）。これにより、ゲート絶縁膜 18 と GaN 系半導体層 15 との界面のフッ素濃度を低減させ、安定な FET 特性を得ることができた。

【0036】

図 2（b）のステップ S20 の熱処理温度としては、ステップ S14 のゲート絶縁膜 18 の形成の際よりフッ素のクリーニング効果を大きくするため、ゲート絶縁膜 18 の成長温度より 50 以上高いことが好ましい。また、100 以上がより好ましい。さらに、フッ素を有効に除去するためには、ステップ S20 の熱処理の温度は、450 以上が好ましく、500 以上がより好ましい。

【0037】

GaN 系半導体層 15 のゲート絶縁膜 18 と接する層として GaN 層を例に説明したが、GaN 系半導体層 15 であればよい。

【実施例 2】

【0038】

実施例 2 は、本発明を縦型の FET に適用する例である。図 10 は実施例 2 の断面図である。図 10 のように、導電性の SiC 基板 60 上に、n 型 GaN ドリフト層 62、p 型 GaN バリア層 64 および n 型 GaN キャップ層 66 が形成されている。これらの層にはドリフト層 62 に達する開口部 82 が形成されている。開口部 82 を覆うように再成長層として、不純物を添加しない GaN 電子走行層 68、AlGaIn 電子供給層 70 が形成されている。AlGaIn 電子供給層 70 上にゲート絶縁膜 72 が形成されている。ゲート絶縁膜 72 は、図 2（b）の方法で形成されている。開口部 82 に沿ってキャップ層 66 上にソース電極 74、開口部 82 内にゲート電極 78、基板 60 の裏面にドレイン電極 80 が形成されている。

【0039】

FET は、実施例 1 のように、GaN 系半導体層 15 上にソース電極 20 およびドレイン電極 22 が形成された横型の FET でもよい。また、実施例 2 のように、GaN 系半導体層上にソース電極 74 が、基板 60 の GaN 系半導体層が形成された面と反対側の面にドレイン電極 80 が形成された縦型の FET でもよい。

【0040】

実施例 1 および実施例 2 では、GaN 系半導体層は MOCVD 法により形成されている。GaN 系半導体層を形成した後、MOCVD 装置内の材料ガスを TMA と  $\text{H}_2\text{O}$  に切り替えることにより、ALD 法によりゲート絶縁膜を形成することもできる。これにより、より良好なゲート絶縁膜を得ることができる。なお、本発明によるフッ素除去工程があったとしても、フッ素源ができるだけ低減されることが重要である。そこで、GaN 系半導体層を形成した後、ゲート絶縁膜形成前に、GaN 系半導体層表面にフッ素が付着する処理を行わないことが好ましい。

【0041】

基板として、実施例 1 では Si 基板の例、実施例 2 では、SiC 基板の例を説明したが、サファイア基板または GaN 基板を用いることもできる。

【0042】

以上、発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【図面の簡単な説明】

10

20

30

40

50

## 【 0 0 4 3 】

【図 1】図 1 は、実験に用いたサンプルの断面図である。

【図 2】図 2 ( a ) および図 2 ( b ) は、それぞれサンプル A および B における絶縁膜の形成工程を示すフローチャートである。

【図 3】図 3 は、サンプル A の各元素の濃度を示す図である。

【図 4】図 4 は、サンプル B の各元素の濃度を示す図である。

【図 5】図 5 は、C V 法による界面準位密度の測定方法を説明するための図である。

【図 6】図 6 は、フッ素濃度に対する界面準位密度を示す図である。

【図 7】図 7 ( a ) から図 7 ( c ) は、実施例 1 に係る F E T の製造工程を示す断面図 ( その 1 ) である。

10

【図 8】図 8 ( a ) から図 8 ( c ) は、実施例 1 に係る F E T の製造工程を示す断面図 ( その 1 ) である。

【図 9】図 9 ( a ) および図 9 ( b ) は、それぞれ比較例および実施例 1 の F E T のストレス試験前後のドレイン特性を示す図である。

【図 1 0】図 1 0 は、実施例 2 に係る F E T の断面図である。

## 【符号の説明】

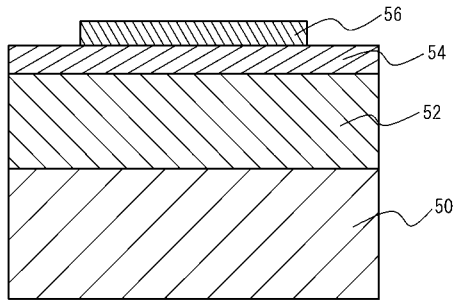
## 【 0 0 4 4 】

1 0、5 0	基板
1 2	G a N 電子走行層
1 4	A l G a N 電子供給層
1 5、5 2	G a N 系半導体層
1 6	G a N キャップ層
1 8	ゲート絶縁膜
2 0	ソース電極
2 2	ドレイン電極
2 4	ゲート電極
5 4	絶縁膜
5 6	電極

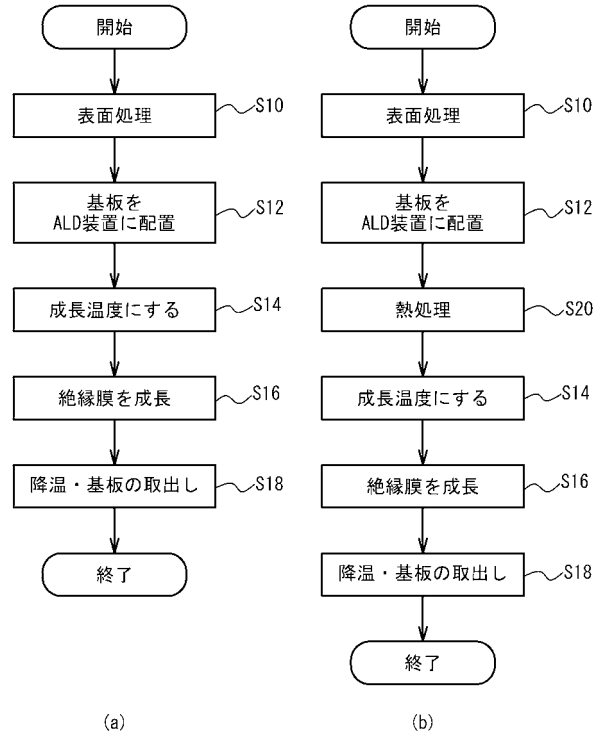
20



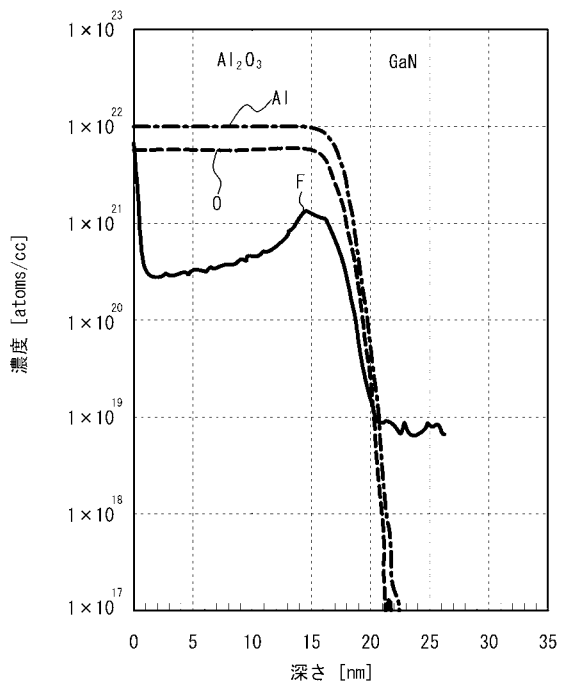
【図1】



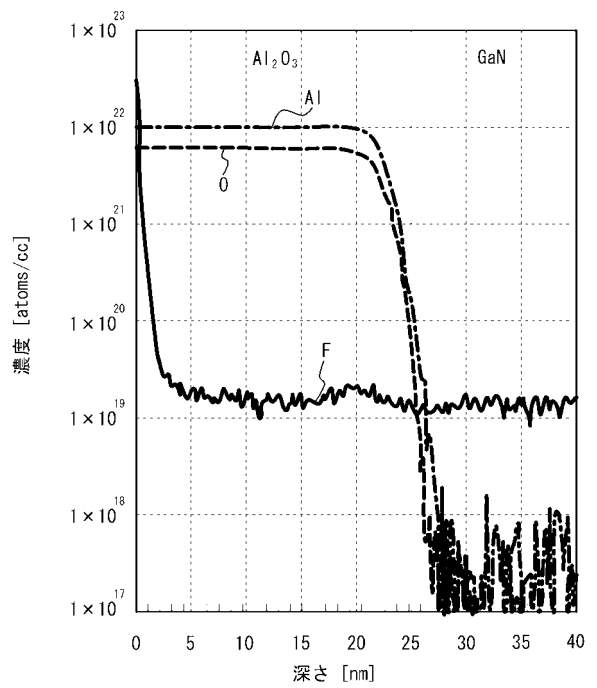
【図2】



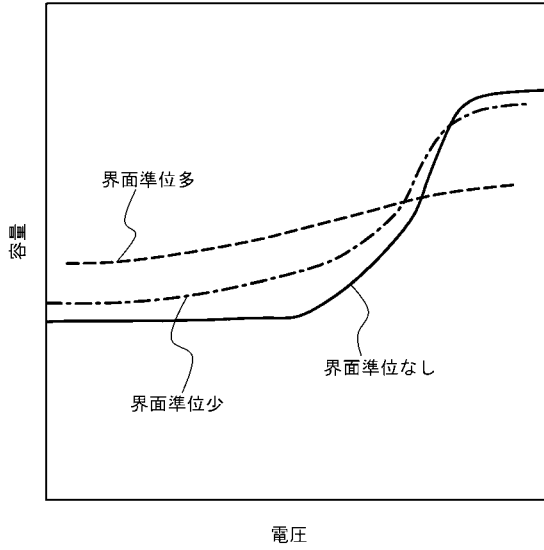
【図3】



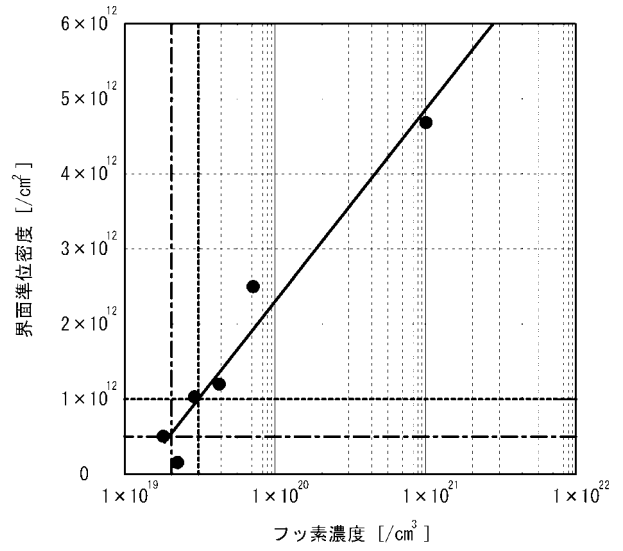
【図4】



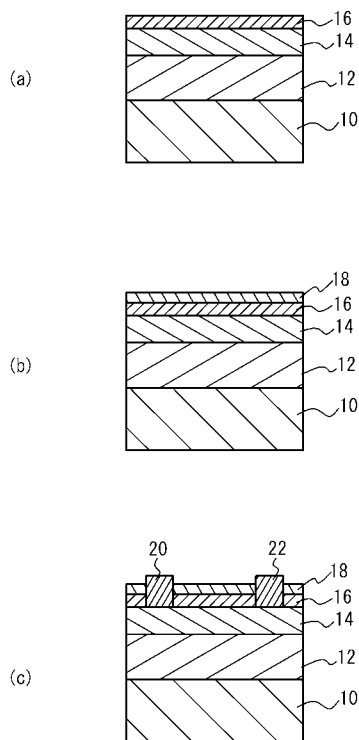
【 図 5 】



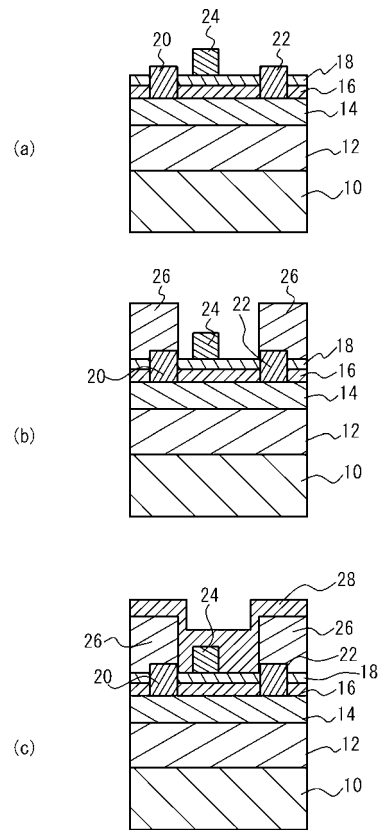
【 図 6 】



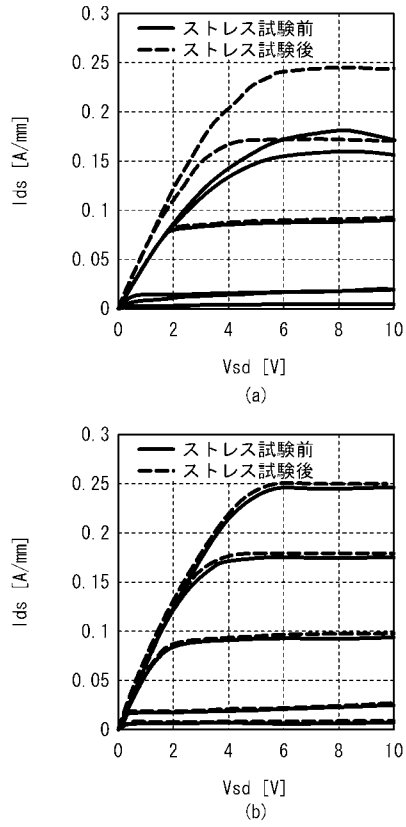
【 図 7 】



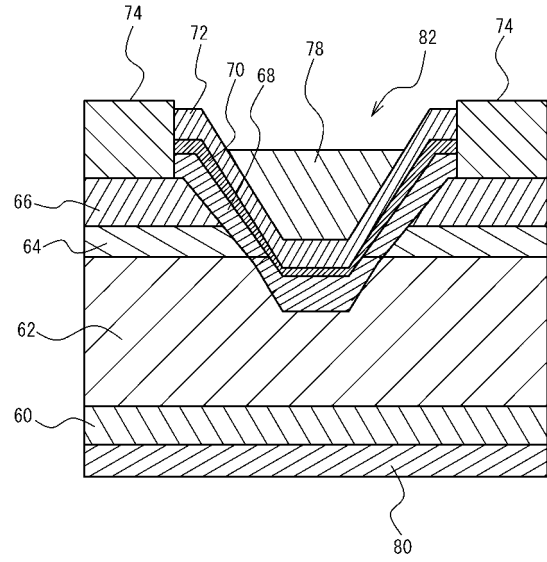
【 図 8 】



【 図 9 】



【 図 10 】



## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 29/12 (2006.01)</i>	H 0 1 L 29/78 6 5 2 K	
<i>H 0 1 L 21/336 (2006.01)</i>	H 0 1 L 29/78 6 5 8 E	
<i>H 0 1 L 29/786 (2006.01)</i>	H 0 1 L 29/78 6 1 7 V	
<i>H 0 1 L 21/316 (2006.01)</i>	H 0 1 L 29/78 6 1 8 B	
	H 0 1 L 21/316 X	

(72)発明者 八重樫 誠司

山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 ユーディナデバイス株式会社内

Fターム(参考) 5F058 BB01 BC03 BD04 BF06  
 5F102 GB05 GC01 GC07 GD10 GJ02 GJ03 GJ04 GJ10 GL04 GM04  
 GQ01 GR04 GS01 GT01 HC01 HC21  
 5F110 AA06 BB20 CC01 DD04 EE02 EE14 FF01 FF29 FF35 GG04  
 GG19 GG44 HK02 HK04 HK21 HL02 NN02  
 5F140 AA24 AC23 AC36 BA01 BA02 BA06 BA09 BA16 BA17 BB06  
 BB18 BC11 BD11 BE01 BE02 BE09 BE16 BF05 BF11 BF15  
 BJ07 BJ11 BJ15