



(12)发明专利

(10)授权公告号 CN 106298951 B

(45)授权公告日 2019.12.17

(21)申请号 201510279452.2

(51)Int.Cl.

(22)申请日 2015.05.28

H01L 29/786(2006.01)

H01L 21/336(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 106298951 A

审查员 张竞存

(43)申请公布日 2017.01.04

(73)专利权人 鸿富锦精密工业(深圳)有限公司

地址 518109 广东省深圳市宝安区龙华镇

油松第十工业区东环二路2号

专利权人 鸿海精密工业股份有限公司

(72)发明人 施博理 高逸群 李志隆 方国龙

林欣桦

(74)专利代理机构 深圳市赛恩倍吉知识产权代

理有限公司 44334

代理人 汪飞亚

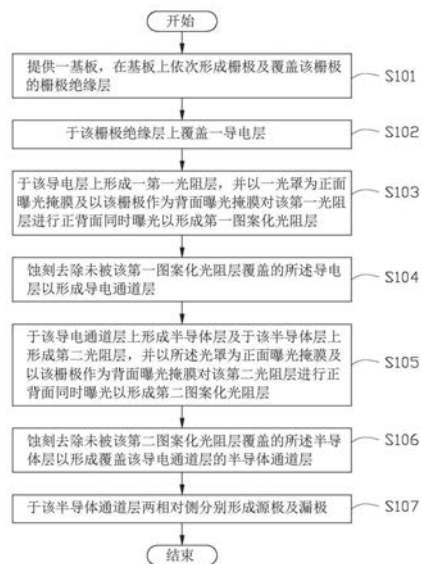
权利要求书1页 说明书5页 附图6页

(54)发明名称

薄膜晶体管的制作方法

(57)摘要

一种薄膜晶体管的制造方法,包括:于基板上形成栅极及栅极绝缘层;于栅极绝缘层上覆盖导电层;于导电层上形成第一光阻层,并以一光罩及栅极分别作为正背面曝光掩膜对第一光阻层进行正背面同时曝光以形成第一图案化光阻层;去除未被第一图案化光阻层覆盖的导电层以形成导电通道层;于导电通道层上依次形成半导体层及第二光阻层,并以上述光罩及栅极分别作为正背面曝光掩膜对第二光阻层进行正背面同时曝光以形成第二图案化光阻层;去除未被第二图案化光阻层覆盖的半导体层以形成半导体通道层;形成源极及漏极。分别进行曝光制程以形成半导体通道层及导电通道层时,均采用同一光罩,因而无需针对不同的曝光制程制造不同的光罩,利于降低制造成本。



1. 一种薄膜晶体管的制造方法,其特征在于,该制造方法包括:
提供一基板,并于该基板上形成栅极及栅极绝缘层;
于该栅极绝缘层上覆盖一导电层;
于该导电层上形成一第一光阻层,并以一光罩为正面曝光掩膜及以该栅极作为背面曝光掩膜对该第一光阻层进行正背面同时曝光以形成第一图案化光阻层;
蚀刻去除未被该第一图案化光阻层覆盖的所述导电层以形成导电通道层;
于该导电通道层上形成半导体层及于该半导体层上形成第二光阻层,并以所述光罩为正面曝光掩膜及以该栅极作为背面曝光掩膜对该第二光阻层进行正背面同时曝光以形成第二图案化光阻层;
蚀刻去除未被该第二图案化光阻层覆盖的所述半导体层以形成覆盖该导电通道层的半导体通道层;
于该半导体通道层两相对侧分别形成源极及漏极;
该光罩包括一透光区与一不透光区,该光罩的不透光区的长度小于该栅极的长度,该光罩的不透光区的宽度大于该栅极的宽度。
2. 如权利要求1所述的薄膜晶体管的制造方法,其特征在于,蚀刻该导电层的时长不同于蚀刻该半导体层的时长,以使该导电通道层的面积小于该半导体通道层的面积。
3. 如权利要求1所述的薄膜晶体管的制造方法,其特征在于,该第一、二图案化光阻层及该栅极在该基板上的正投影重合。
4. 如权利要求1所述的薄膜晶体管的制造方法,其特征在于,该第一、二光阻层均为正型光阻。
5. 如权利要求1所述的薄膜晶体管的制造方法,其特征在于,该导电层为透明材料。
6. 如权利要求1所述的薄膜晶体管的制造方法,其特征在于,该导电通道层的材料包括氧化铟锡、氧化铟锡、银纳米线、镉氧化物或碳纳米管之一。
7. 如权利要求1所述的薄膜晶体管的制造方法,其特征在于,形成该半导体通道层后还包括:在该半导体通道层上形成蚀刻阻挡层,再形成该源极及该漏极,该源极及该漏极分别覆盖于该蚀刻阻挡层的两相对侧。
8. 如权利要求1所述的薄膜晶体管的制造方法,其特征在于,形成该半导体通道层后还包括:
在该半导体通道层上形成蚀刻阻挡层,并在该蚀刻阻挡层的相对两侧分别形成连通该半导体通道层的开孔;
于该蚀刻阻挡层上分别对应该二开孔处形成所述源极及所述漏极。
9. 如权利要求1所述的薄膜晶体管的制造方法,其特征在于:该第一图案化光阻层邻近该导电层的接触面的宽度由该栅极界定,长度由该光罩的不透光区界定,该第二图案化光阻层邻近该半导体层的接触面的宽度亦由该栅极界定,长度亦由该光罩的不透光区界定。

薄膜晶体管的制作方法

技术领域

[0001] 本发明涉及一种薄膜晶体管的制作方法。

背景技术

[0002] 薄膜晶体管(Thin Film Transistor, TFT)作为开关组件已被广泛应用于显示、触控领域。例如,显示设备(如液晶电视、笔记本电脑及显示器)中的阵列基板通常采用薄膜晶体管作为开关组件。常见的TFT通常包括位于基板上的栅极、覆盖栅极的栅极绝缘层、位于栅极绝缘层上的通道层及分别覆盖于半导体通道层两侧的源/漏极。

[0003] 然,随着着电子产品朝大尺寸、高分辨率发展,阵列基板上的TFT的数量越来越多,因而对TFT的响应速度要求越来越高,而此类TFT存在电子迁移率低,而响应速度不够的问题。为解决上述问题,现有的一种对TFT的结构改良是通过在TFT的半导体通道层与栅极绝缘层之间增设一导电通道层,以增大TFT的电子迁移率,从而提高薄膜晶体管的响应速度。然而,上述半导体通道层及导电通道层结构在制程过程中需要借助不同图案的掩膜进行曝光蚀刻制程,导致制造成本的增高且制造工序较复杂。

发明内容

[0004] 鉴于此,有必要提供一种制造成本较低的薄膜晶体管的制造方法。

[0005] 一种薄膜晶体管的制造方法,该制造方法包括:

[0006] 提供一基板,并于该基板上形成栅极及栅极绝缘层;

[0007] 于该栅极绝缘层上覆盖一导电层;

[0008] 于该导电层上形成一第一光阻层,并以一光罩为正面曝光掩膜及以该栅极作为背面曝光掩膜对该第一光阻层进行正背面同时曝光以形成第一图案化光阻层;

[0009] 蚀刻去除未被该第一图案化光阻层覆盖的所述导电层以形成导电通道层;

[0010] 于该导电通道层上形成半导体层及于该半导体层上形成第二光阻层,并以所述光罩为正面曝光掩膜及以该栅极作为背面曝光掩膜对该第二光阻层进行正背面同时曝光以形成第二图案化光阻层;

[0011] 蚀刻去除未被该第二图案化光阻层覆盖的所述半导体层以形成覆盖该导电通道层的半导体通道层;

[0012] 于该半导体通道层两相对侧分别形成源极及漏极。

[0013] 与现有技术相对比,本发明在分别形成半导体通道层及导电通道层时均以栅极为背面曝光掩膜及以同一光罩作为正面曝光掩膜进行正背面同时曝光,由于两次曝光制程均采用同一光罩,而无需针对不同的曝光制程制造不同的光罩,因而可以降低制造成本。

附图说明

[0014] 图1为本发明第一实施方式所提供的薄膜晶体管的截面示意图。

[0015] 图2为本发明一变更实施方式所提供的薄膜晶体管的截面示意图。

[0016] 图3图为本发明一变更实施方式所提供的薄膜晶体管的截面示意图。

[0017] 图4为图1所示薄膜晶体管的制造流程图。

[0018] 图5至图10为图4中各步骤流程的剖视图。

[0019] 图11为图7中光罩及栅极在基板上的结构投影图。

[0020] 图12为图10中半导体通道层及导电通道层在基板上的结构投影图。

[0021] 主要元件符号说明

[0022]

薄膜晶体管	100
基板	101
栅极	102
栅极绝缘层	103
导电层	104a
导电通道层	104
半导体层	105a
半导体通道层	105
源接触区	1051
漏接触区	1052
蚀刻阻挡层	106
开孔	1061
源极	107
漏极	108
第一图案化光阻层	200
第二图案化光阻层	300
光罩	M
不透光区	M1
透光区	M2
长度	L1, L3
宽度	L2, L4

[0023] 如下具体实施方式将结合上述附图进一步说明本发明。

具体实施方式

[0024] 请参阅图1,图1为本发明第一实施方式所提供的薄膜晶体管100的截面示意图。该薄膜晶体管100可应用于一阵列基板101(例如液晶显示阵列基板101)中作为一开关组件。该薄膜晶体管100包括基板101、栅极102、栅极绝缘层103、导电通道层104、半导体通道层105、源极107及漏极108。该栅极102形成于该基板101表面,该栅极绝缘层103覆盖于该栅极102远离该基板101的一侧。该导电通道层104位于该栅极绝缘层103上且与该栅极102对应设置,该栅极绝缘层103将该导电通道层104和该栅极102及该半导体通道层105和该栅极102彼此隔开而相互绝缘。所述半导体通道层105覆盖于所述导电通道层104上。所述源极107与所述漏极108分别覆盖于所述半导体通道层105相对两侧,该半导体通道层105将该源

极107与该导电通道层104及该漏极108与该导电通道层104隔开。

[0025] 进一步地,所述半导体通道层105包括源接触区1051与漏接触区1052。所述源接触区1051位于所述源极107与所述导电通道层104之间。所述源极107上的电流会依次经由所述源接触区1051、所述导电通道层104、所述漏接触区1052传导至所述漏极108。所述漏接触区1052位于所述漏极108与所述导电通道层104之间。本实施方式中,该源极107及该漏极108选择与该导电层104a相同的材质,且均为透明材质。当然,在其他实施方式中,也可以为不同的导电材质。该导电通道层104的材料包括氧化铟锡(ITO)、氧化铟锡(ATO)、银纳米线、铟锌氧化物(IZO)或碳纳米管等透明导电材料。该半导体通道层105的材质包括非晶硅(例如本征非晶硅、n型非晶硅等)、晶硅、氧化物半导体及有机材料之一或其组合。其中,该氧化物半导体包括但不限于铟镓锌氧化物(Indium Gallium Zinc Oxide, IGZO)。

[0026] 在其他变更实施方式中,如图2所示,当所述半导体通道层105选用氧化物半导体材料时,所述薄膜晶体管100还包括一蚀刻阻挡层106。该蚀刻阻挡层106设置于该半导体通道层105上的中间位置,该源极107及该漏极108分别覆盖该蚀刻阻挡层106的相对两侧,且分别与该半导体通道层105的相对两侧接触。在另一变更实施方式中,如图3所示,该蚀刻阻挡层106覆盖于该半导体通道层105上,该蚀刻阻挡层106的相对两侧分别形成连通该半导体通道层105的开孔1061,该二开孔1061分别对应位于该源接触区1051及该漏接触区1052,所述源极107及所述漏极108分别对应形成于该二开孔1061上,并通过该二开孔1061分别与该半导体通道层105连通。

[0027] 请一并参阅图4-10,图4为图1所示薄膜晶体管100的制造流程图。图5至图10为图4中各步骤流程的剖视图。

[0028] 步骤S101,请首先参阅图5,提供一基板101,在基板101上依次形成栅极102及覆盖该栅极102的栅极绝缘层103。其中,该栅极102的长度为L1,宽度为L2,如图12所示。

[0029] 步骤S102,请进一步参阅图6,于该栅极绝缘层103上覆盖一导电层104a。

[0030] 步骤S103,请进一步参阅图7及图11,于该导电层104a上形成一第一光阻层,并以一光罩M为正面曝光掩膜及以该栅极102作为背面曝光掩膜对该第一光阻层进行正背面同时曝光以形成第一图案化光阻层200。

[0031] 具体地,如图所示11,该光罩M包括一不透光区M1及包围该不透光区的一透光区M2,该不透光区M1的长度为L3,宽度为L4,如图12。该不透光区M1在所述基板101上的正投影及所述栅极102在所述基板101上的正投影至少部分重叠,使得通过该光罩M及该栅极102对该第一光阻层进行曝光后,该第一图案化光阻层200在该基板101上的正投影与该重叠处正好重合。本实施方式中,该不透光区M1的长度L3小于该栅极102的长度L1,该不透光区M1的宽度L4大于该栅极102的宽度L2。该第一图案化光阻层200邻近该导电层104a的接触面的宽度由该栅极102界定,长度由该光罩M的不透光区M1界定。其中,该第一光阻层为正型光阻。

[0032] 由于以该光罩M及该栅极102分别作为正背面曝光掩膜,二掩膜的正投影交叠图案为该第一图案化光阻层200的正投影图案,因而可实现自动对位的效果,而省去了曝光制程中的对位校准程序,有利于提高工作效率。此外,由于借助所述栅极102作为背面曝光掩膜,有利于提高对位的准确度。

[0033] 步骤S104,请进一步参阅图8,蚀刻去除未被该第一图案化光阻层200覆盖的所述导电层104a以形成导电通道层104。

[0034] 步骤S105,请进一步参阅图9及图11,于该导电通道层104上形成半导体层105a及于该半导体层105a上形成第二光阻层,并以所述光罩M为正面曝光掩膜及以该栅极102作为背面曝光掩膜对该第二光阻层进行正背面同时曝光以形成第二图案化光阻层300。

[0035] 本实施方式中,所述第一光阻层及所述第二光阻层为相同的材质。具体地,如图所示11,该光罩M在所述基板101上的正投影及所述栅极102在所述基板101上的正投影的重叠部分面积与该第二图案化光阻层300的正投影面积相等,通过该光罩M及该栅极102对该第二光阻层进行曝光后,该第二图案化光阻层300邻近该半导体层105a的接触面的宽度由该栅极102界定,长度由该不透光区M1界定,所述第二图案化光阻层300与所述第一图案化光阻层200在该基板101上正投影正好重叠。借助所述栅极102作为背面曝光掩膜,形成该第一、二图案化光阻层200、300均可采用同一光罩M,提高了光罩M利用率,有利于节省制造成本。

[0036] 步骤S106,请进一步参阅图10及图12,蚀刻去除未被该第二图案化光阻层300覆盖的所述半导体层105a以形成覆盖该导电通道层104的半导体通道层105。

[0037] 需要说明的是,在分别对该导电层104a及该半导体层105a进行蚀刻时,可通过调节蚀刻液浓度、蚀刻速度及蚀刻时间或选择不同蚀刻液等方式调节蚀刻率,使该导电通道层104在该基板101上的投影面积小于该半导体通道层105在该基板101上的正投影面积,如图12所示,从而使该导电通道层104被该半导体通道层105所包覆而不与所述源、漏极107、108接触。本实施方式中,在上述其他参数固定的情况下,通过调节对该导电层104a及该半导体层105a进行蚀刻的蚀刻时间,使该导电通道层104在该基板101上的投影面积小于该半导体通道层105在该基板101上的正投影面积。实际实施时,可根据所述导电层104a及所述半导体层105a的具体材质及所选择的蚀刻液确认需要的蚀刻时间。

[0038] 步骤S107,请再次参阅图1,于该半导体通道层105两相对侧分别形成源极107及漏极108。得到图1所示薄膜晶体管100。

[0039] 在其他变更实施方式中,还可先在该半导体通道层105上形成蚀刻阻挡层后再形成分别覆盖所述蚀刻阻挡层相对两侧的所述源极107及所述漏极108,得到图2所示薄膜晶体管100。

[0040] 在另一变更实施方式中,还可在形成该半导体通道层105上后,在该半导体通道层105上形成蚀刻阻挡层106,并在该蚀刻阻挡层106的相对两侧分别形成连通该半导体通道层105的开孔1061,然后在该蚀刻阻挡层106上分别对应该二开孔1061处形成所述源极107及所述漏极108,得到图3所示薄膜晶体管100。需要说明的是,制造如图3所示的薄膜晶体管100的过程中,在进行上述步骤S104与步骤S106,分别对该导电层104a及该半导体层105a进行蚀刻时,由于该结构的薄膜晶体管100对该半导体通道层105是否将该导电通道层104的顶面及侧面完全覆盖并无严格要求,因而,在其他蚀刻参数不变的情况下,分别对该导电层104a及该半导体层105a的蚀刻时间长短无严格控制。但在前序制程中若该半导体层105a未将该导电层104a包覆,则在进行步骤S107时,该薄膜晶体管100的蚀刻阻挡层106需将该半导体通道层105及该导电通道层104的顶面及侧面包覆。

[0041] 在后续制程中,在薄膜晶体管100上还可形成平坦层、钝化层等习知技术,在此不再赘述。

[0042] 以上实施例仅用以说明本发明的技术方案而非限制,图示中出现的上、下、左及右

方向仅为了方便理解,尽管参照较佳实施例对本发明进行了详细说明,本领域的普通技术人员应当理解,可以对本发明的技术方案进行修改或等同替换,而不脱离本发明技术方案的精神和范围。

100

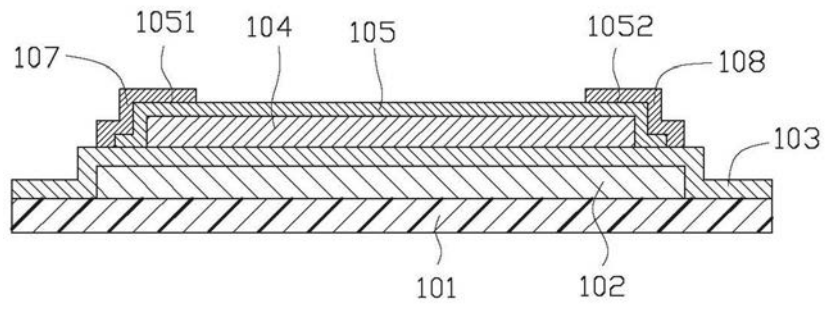


图1

100

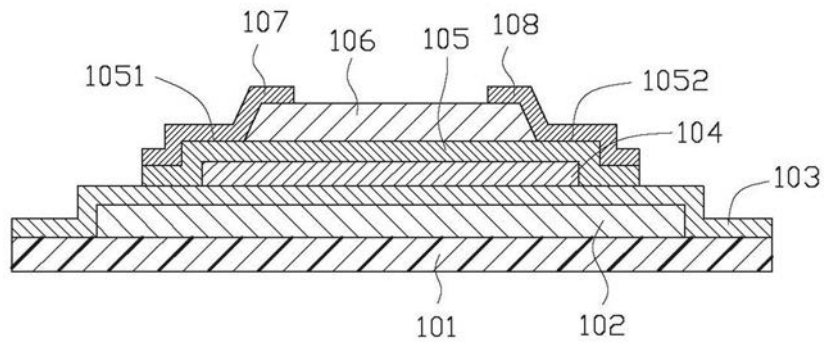


图2

100

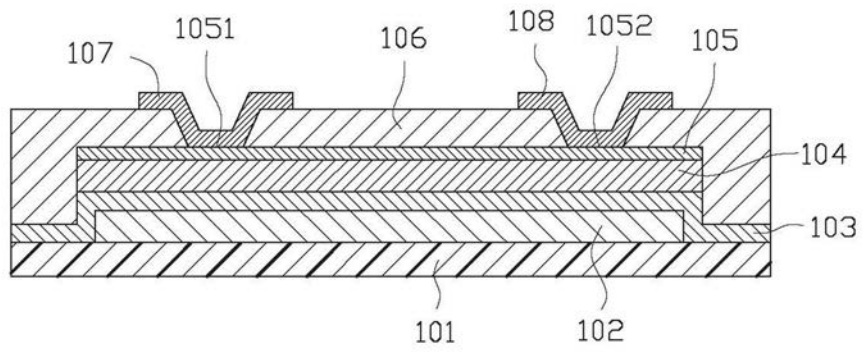


图3

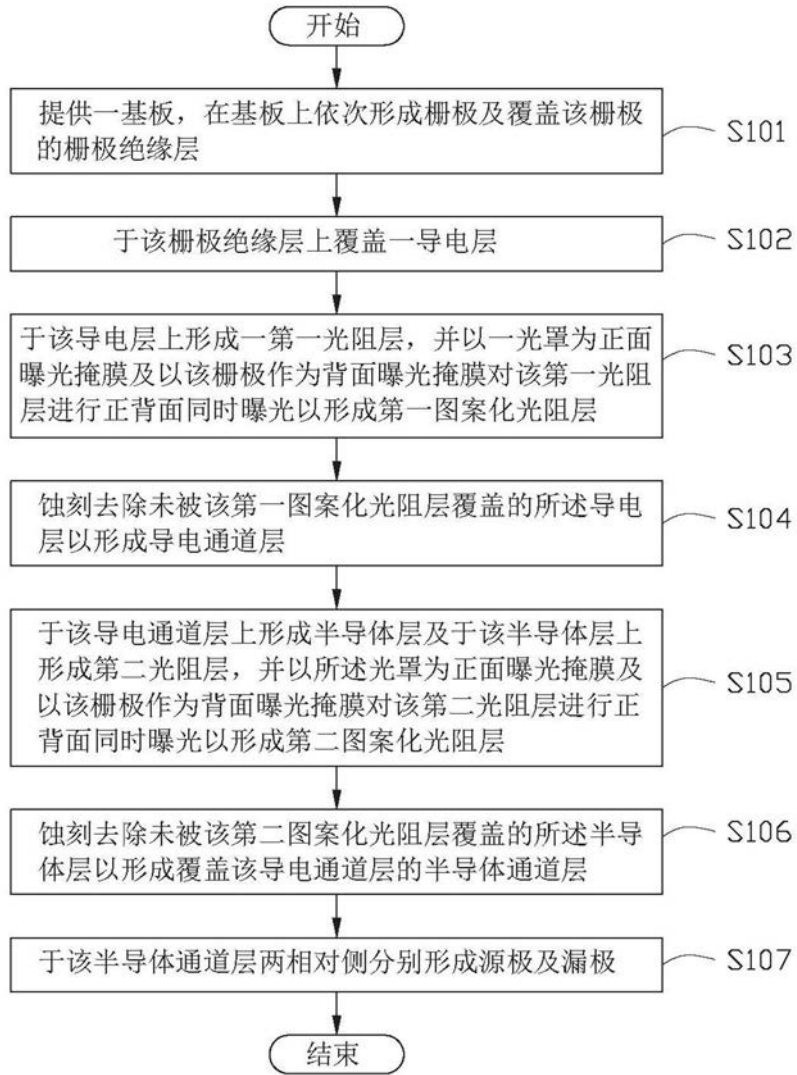


图4

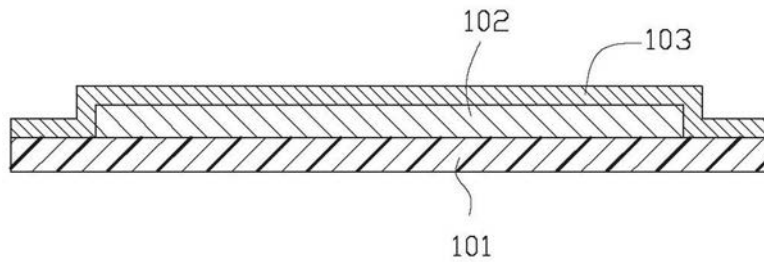


图5

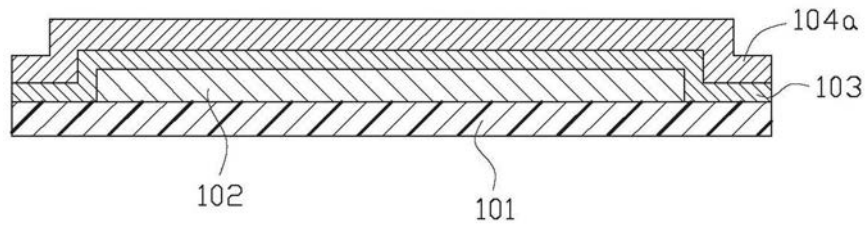


图6

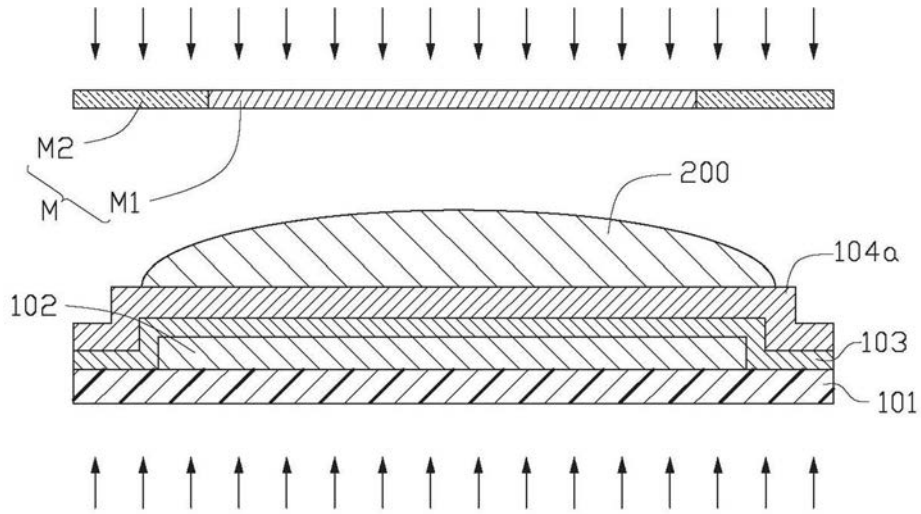


图7

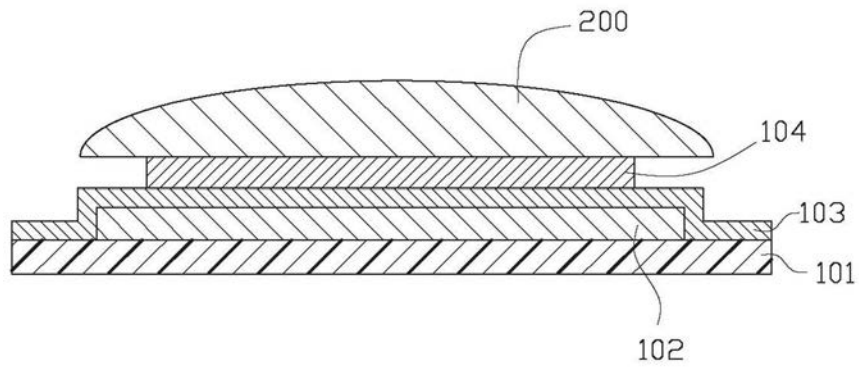


图8

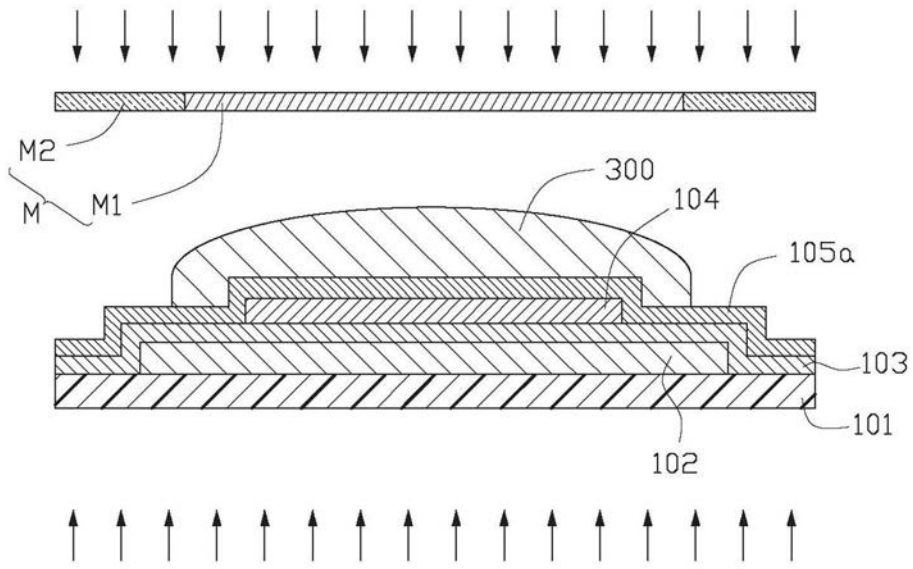


图9

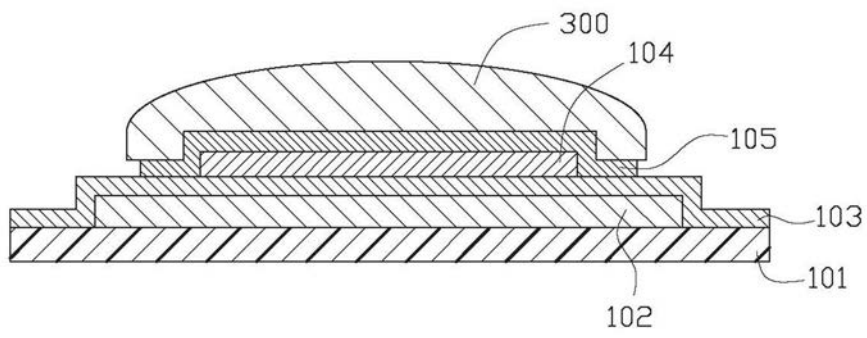


图10

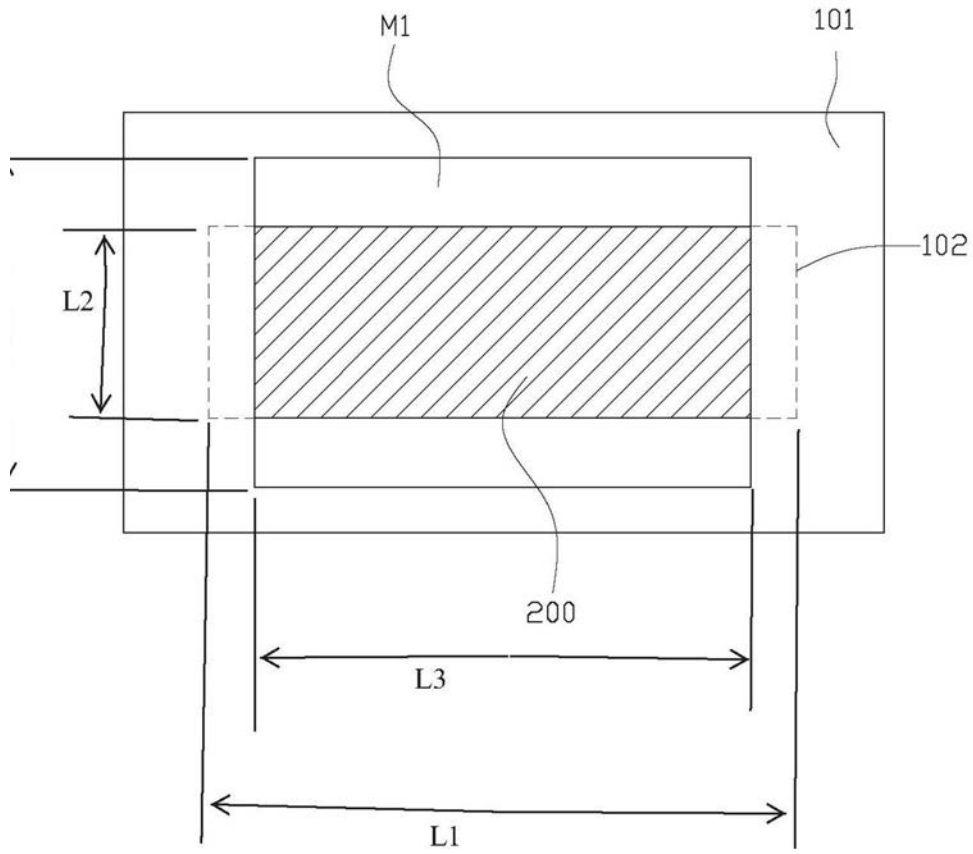


图11

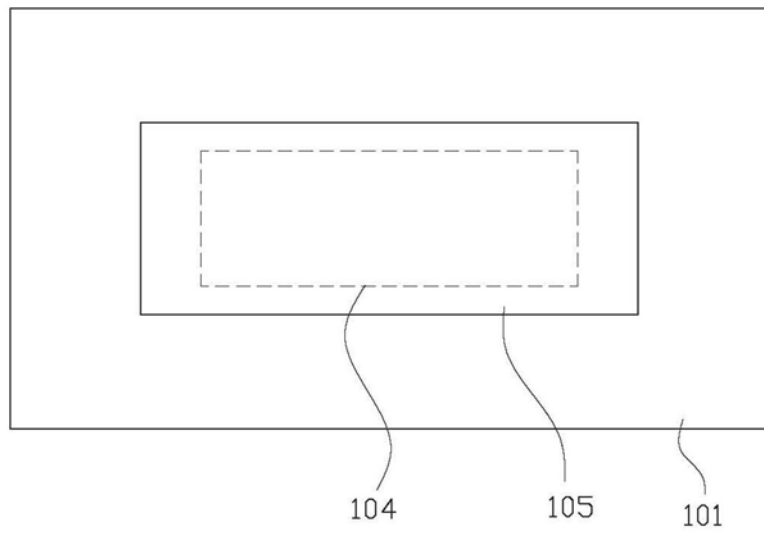


图12